



(AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告(条约第21条(3))。

(57) 摘要: 一种像素驱动电路和显示面板, 在像素驱动电路中, 第一初始化模块(30)用于在初始化阶段对发光模块(20)进行初始化; 第二初始化模块(90)用于在初始化阶段对驱动模块(10)的控制端进行初始化; 数据写入模块(40)用于在数据写入阶段将数据电压通过阈值补偿模块(50)写入驱动模块(10)的控制端和补偿延续模块(70); 存储模块(60)用于存储驱动模块(10)的控制端电位; 第一初始化模块(30)还用于钳位存储模块(60)的电位; 补偿延续模块(70)用于在补偿延续阶段对驱动模块(10)的控制端进行阈值补偿; 发光控制模块(80)用于在发光阶段导通第一电源信号输入端(VDD)和发光模块(20)之间的通路; 驱动模块(10)用于在发光阶段向发光模块(20)提供驱动电流, 发光模块(20)响应驱动电流发光。改善了像素驱动电路的阈值补偿效果和显示面板的亮度均一性。

像素驱动电路和显示面板

本申请要求于 2022 年 08 月 15 日提交中国专利局、申请号为 202210977072.6、申请名称为“像素驱动电路和显示面板”的中国专利申请的优先权，其全部内容通过引用结合在本申请中。

技术领域

本申请涉及显示的技术领域，尤其涉及一种像素驱动电路和显示面板。

背景技术

有源矩阵有机发光二极管（Active-matrix organic light emitting diode, AMOLED）显示面板由于在显示色彩饱和度、功耗和弯折等方面优胜于液晶显示面板，已经广泛应用于显示领域。在 AMOLED 显示面板显示的过程中，像素驱动电路驱动发光器件发光。

随着显示技术的发展，显示面板支持多种刷新频率的显示模式，以满足人们对显示面板在不同应用场景下的需求。例如，在息屏和电子书等应用场景下，显示面板可以应用于低刷新频率的显示模式，以在满足显示的需求的基础上降低显示面板的耗电量。在游戏和影视的等动态画面显示的应用场景下，显示面板可以应用于高刷新频率的显示模式，以满足显示的需求。当显示面板的刷新频率比较高时，像素驱动电路的一帧时间比较短。当像素驱动电路的一帧时间包括阈值补偿阶段时，使得阈值补偿阶段的时长比较短，容易导致像素驱动电路的阈值补偿时间不足，使得像素驱动电路的阈值补偿效果不佳，进而导致显示面板的亮度均一性比较差。

发明内容

本申请提供一种像素驱动电路和显示面板，以提高像素驱动电路的阈值补偿效果，提高显示面板的亮度均一性。

第一方面，本申请实施例提供了一种像素驱动电路，包括驱动模块、发光模块、第一初始化模块、数据写入模块、阈值补偿模块、存储模块、补偿延续模块、发光控制模块和第二初始化模块；

所述第一初始化模块与所述发光模块连接，所述第一初始化模块用于在初始化阶段对所述发光模块进行初始化；所述第二初始化模块与所述驱动模块的控制端连接，所述第二初始化模块用于在所述初始化阶段对所述驱动模块的控制端进行初始化；所述数据写入模块与所述驱动模块的第二端和所述补偿延续模块连接，所述阈值补偿模块连接于所述驱动模块的第一端和控制端之间，所述数据写入模块用于在数据写入阶段将数据电压通过所述阈值补偿模块写入所述驱动模块的控制端和所述补偿延续模块；所述存储模块连接于所述驱动模块的控制端和所述第一初始化模块之间，所述存储模块用于存储所述驱动模块的控制端电位；所述第一初始化模块还用于钳位所述存储模块的电位；所述补偿延续模块用于在补偿延续阶段对所述驱动模块的控制端进行阈值补偿；所述发光控制模块连接于第一电源信号输入端和所述发光模块之间，所述发光控制模块用于在发光阶段导通所述第一电源信号输入端和所述发光模块之间的通路；所述驱动模块用于在所述发光阶段向所述发光模块提供驱动电流，所述发光模块响应所述驱动电流发光。

可选地，所述补偿延续模块包括第一存储电容；

所述第一存储电容的第一极与第一电压输入端连接，所述第一存储电容的第二极与所述驱动模块的第二端连接；

优选地，所述第一电源信号输入端复用为所述第一电压输入端。

可选地，所述数据写入模块包括第一晶体管，所述阈值补偿模块包括第二晶体管，所述驱动模块包括驱动晶体管，所述第一初始化模块包括第三晶体管；

所述第一晶体管的第一极与数据信号输入端连接，所述第一晶体管的第二极与驱动晶体管的第二极和所述补偿延续模块的第二端连接，所述第一晶体管的栅极与第一扫描信号输入端连接，所述第二晶体管的第一极与所述驱动晶体管的第一极连接，所述第二晶体管的第二极与所述驱动晶体管的栅极和所述存储模块的第一端连接，所述第二晶体管的栅极与第二扫描信号输入端连接，所述第三晶体管的第一极与第一初

始化信号输入端连接，所述第三晶体管的第二极与所述存储模块的第二端和所述发光模块的阳极连接，所述第三晶体管的栅极与第三扫描信号输入端连接；所述第二扫描信号输入端提供的第二扫描信号的有效电平时长大于所述第一扫描信号输入端提供的第一扫描信号的有效电平时长。

可选地，所述发光控制模块包括第四晶体管和第五晶体管；

所述第四晶体管的第一极与所述第一电源信号输入端连接，所述第四晶体管的第二极与所述驱动模块的第一极连接，所述第四晶体管的栅极与第一发光控制信号输入端连接，所述第五晶体管的第一极与所述驱动模块的第二极连接，所述第五晶体管的第二极与所述发光模块的阳极连接，所述第五晶体管的栅极与第二发光控制信号输入端连接，所述发光模块的阴极与第二电源信号输入端连接；

优选地，所述第一发光控制信号输入端提供的第一发光控制信号在所述发光阶段控制所述第四晶体管导通，所述第二发光控制信号输入端提供的第二发光控制信号在所述初始化阶段和所述发光阶段控制所述第五晶体管导通。

可选地，像素驱动电路还包括第三初始化模块；

所述第三初始化模块与所述驱动模块的第二端连接，所述第三初始化模块用于在初始化阶段对所述驱动模块的第二端进行初始化。

可选地，所述第三初始化模块包括第六晶体管，所述第六晶体管的第一极与第二初始化信号输入端连接，所述第六晶体管的第二极与所述驱动模块的第二端连接，所述第六晶体管的栅极与第四扫描信号输入端连接。

可选地，像素驱动电路还包括第七晶体管；

所述第七晶体管的第一极与所述发光模块的阳极连接，所述第七晶体管的第二极与第三初始化信号输入端连接，所述第七晶体管的栅极与所述第四扫描信号输入端连接。

可选地，所述第二初始化信号输入端复用为所述第三初始化信号输入端。

可选地，所述第二初始化模块包括第八晶体管，所述第八晶体管的第一极与第四初始化信号输入端连接，所述第八晶体管的第二极与所述驱动模块的控制端连接，所述第八晶体管的栅极与第五扫描信号输入端连接。

第二方面，本申请实施例还提供了一种显示面板，包括第一方面所述的像素驱动电路。

本申请实施例的技术方案，通过数据写入模块在数据写入阶段将数据电压写入至驱动模块和补偿延续模块，然后在补偿延续阶段，补偿延续模块可以将数据电压继续写入驱动模块，从而可以在像素驱动电路工作在高刷新频率时，在不影响数据写入阶段时长的基础上，增加了像素驱动电路的阈值补偿时间，从而可以改善像素驱动电路的阈值补偿效果，提高了显示面板的亮度均一性。

附图说明

图1为现有技术提供的一种像素驱动电路的结构示意图；

图2为本申请实施例提供的一种像素驱动电路的结构示意图；

图3为本申请实施例提供的另一种像素驱动电路的结构示意图；

图4为本申请实施例提供的另一种像素驱动电路的结构示意图；

图5为图4提供的像素驱动电路对应的一种时序图；

图6为本申请实施例提供的另一种像素驱动电路的结构示意图；

图7为图6提供的像素驱动电路对应的一种时序图；

图8为本申请实施例提供的另一种像素驱动电路的结构示意图；

图9为本申请实施例提供的另一种像素驱动电路的结构示意图；

图10为本申请实施例提供的另一种像素驱动电路的结构示意图；

图11为图10提供的像素驱动电路对应的一种时序图；

图12为本申请实施例提供的一种显示面板的结构示意图。

具体实施方式

下面结合附图和实施例对本申请作进一步的详细说明。可以理解的是，此处所描述的具体实施例仅仅用于解释本申请，而非对本申请的限定。另外还需要说明的是，为了便于描述，附图中仅示出了与本申请相关的部分而非全部结构。

图1为现有技术提供的一种像素驱动电路的结构示意图。如图1所示，该像素驱动电路包括驱动晶体管M_{dr}、数据写入晶体管M1、阈值补偿晶体管M2、第一发光控制晶体管M3、第二发光控制晶体管M4、阳极初始化晶体管M5、存储电容C_{st}和发光器件D1。驱动晶体管M_{dr}、数据写入晶体管M1、阈值补偿晶体管M2、第一发光控制晶体管M3、第二发光控制晶体管M4、阳极初始化晶体管M5示例性地示出了均为N型晶体管，其具体连接关系如图1所示。在像素驱动电路工作的过程中，在初始化阶段，阈值补偿晶体管M2、第一发光控制晶体管M3和阳极初始化晶体管M5导通，第一电压输入端V_{dd}提供的第一电压通过阈值补偿晶体管M2写入驱动晶体管M_{dr}的栅极，实现驱动晶体管M_{dr}的栅极初始化，使得驱动晶体管M_{dr}导通。同时初始化电压通过阳极初始化晶体管M5写入发光器件D1的阳极，实现发光器件D1的阳极初始化。在数据写入阶段，驱动晶体管M_{dr}为导通状态，数据写入晶体管M1、阈值补偿晶体管M2和阳极初始化晶体管M5为导通状态，数据电压v_{data}通过数据写入晶体管M1、驱动晶体管M_{dr}和阈值补偿晶体管M2写入驱动晶体管M_{dr}的栅极，实现数据电压v_{data}的写入以及驱动晶体管M_{dr}的阈值补偿，存储电容C_{st}维持驱动晶体管M_{dr}的栅极电位。同时存储电容C_{st}的另一端维持初始化电压。在发光阶段，第一发光控制晶体管M3和第二发光控制晶体管M4导通，驱动晶体管M_{dr}根据第一电压输入端V_{dd}提供的第一电压和栅极电位形成驱动电流，并通过第二发光控制晶体管M4传输至发光器件D1的阳极，驱动发光器件D1发光。

在像素驱动电路的数据写入阶段，需要比较长的时间以完成驱动晶体管M_{dr}的阈值补偿。当像素驱动电路工作在高刷新频率时，像素驱动电路工作的各个阶段的时间比较短，使得像素驱动电路的数据写入阶段的时长无法满足驱动晶体管M_{dr}的阈值补偿所需的时间，导致像素驱动电路的阈值补偿效果比较差，进而导致显示面板的亮度均匀性比较差。

针对上述技术问题，本申请实施例提供了一种像素驱动电路。图2为本申请实施例提供的一种像素驱动电路的结构示意图。如图2所示，该像素驱动电路包括驱动模块10、发光模块20、第一初始化模块30、数据写入模块40、阈值补偿模块50、存储模块60、补偿延续模块70、发光控制模块80和第二初始化模块90；第一初始化模块30与发光模块20连接，第一初始化模块30用于在初始化阶段对发光模块20进行初始化；第二初始化模块90与驱动模块10的控制端连接，第二初始化模块90用于在初始化阶段对驱动模块10的控制端进行初始化；数据写入模块40与驱动模块10的第二端和补偿延续模块70连接，阈值补偿模块50连接于驱动模块10的第一端和控制端之间，数据写入模块40用于在数据写入阶段将数据电压通过阈值补偿模块50写入驱动模块10的控制端和补偿延续模块70；存储模块60连接于驱动模块10的控制端和第一初始化模块30之间，存储模块60用于存储驱动模块10的控制端电位；第一初始化模块30还用于钳位存储模块60的电位；补偿延续模块70用于在补偿延续阶段对驱动模块10的控制端进行阈值补偿；发光控制模块80连接于第一电源信号输入端VDD和发光模块20之间，发光控制模块80用于在发光阶段导通第一电源信号输入端VDD和发光模块20之间的通路；驱动模块10用于在发光阶段向发光模块20提供驱动电流，发光模块20响应驱动电流发光。

具体地，第一初始化模块30与发光模块20连接，第一初始化模块30可以接收第一初始化信号，在第一初始化模块30为通路状态下，第一初始化模块30将第一初始化信号传输至发光模块20，对发光模块20进行初始化，避免了像素驱动电路在初始化阶段的“偷亮”问题以及驱动发光模块20发光时的残影现象。同时，第一初始化信号可以为固定电位的信号。第一初始化模块30与存储模块60的第二端连接，当第一初始化模块30输出第一初始化信号时，可以固定存储模块60的第二端电位，有利于存储模块60在像素驱动电路的后续工作过程中保证阈值补偿的准确性。第二初始化模块90与驱动模块10的控制端连接，第二初始化模块90可以接收一初始化信号，在第二初始化模块90为通路状态下，将该初始化信号传输至驱动模块10的控制端，对驱动模块10的控制端进行初始化，改善上一帧的数据电压对当前帧的影响，同时使得驱动模块10处于导通状态。数据写入模块40与驱动模块10的第二端和补偿延续模块70的第二端连接，补偿延续模块70的第一端接入固定电位，阈值补偿模块50连接于驱动模块10的第一端和控制端

之间,存储模块 60 的第一端与驱动模块 10 的控制端连接。在数据写入阶段,数据写入模块 40 和阈值补偿模块 50 处于通路状态,数据写入模块 40 将数据电压写入补偿延续模块 70,补偿延续模块 70 存储数据电压。同时将数据电压通过驱动模块 10 和阈值补偿模块 50 写入驱动模块 10 的控制端,实现数据电压的写入和驱动模块 10 的阈值补偿。在补偿延续阶段,数据写入模块 40 处于断路状态,使得数据写入阶段满足像素驱动电路的工作频率要求,阈值补偿模块 50 维持通路状态,补偿延续模块 70 存储的数据电压通过驱动模块 10 和阈值补偿模块 50 继续写入驱动模块 10 的控制端,可以持续数据电压的写入和驱动模块 10 的阈值补偿,增加了驱动模块 10 的阈值补偿时间,从而可以在像素驱动电路工作在高刷新频率时,在不影响数据写入阶段时长的基础上,增加了像素驱动电路的阈值补偿时间,从而可以改善像素驱动电路的阈值补偿效果,提高了显示面板的亮度均一性。同时存储模块 60 存储两端的电位差。发光控制模块 80 连接于第一电源信号输入端 VDD 和发光模块 20 之间,在发光阶段,发光控制模块 80 导通第一电源信号输入端 VDD 和发光模块 20 之间的通路,使得驱动模块 10 根据存储模块 60 两端的电位差形成的驱动电流传输至发光模块 20,发光模块 20 响应驱动电流发光。

本实施例的技术方案,通过数据写入模块在数据写入阶段将数据电压写入至驱动模块和补偿延续模块,然后在补偿延续阶段,补偿延续模块可以将数据电压继续写入驱动模块,从而可以在像素驱动电路工作在高刷新频率时,在不影响数据写入阶段时长的基础上,增加了像素驱动电路的阈值补偿时间,从而可以改善像素驱动电路的阈值补偿效果,提高了显示面板的亮度均一性。

图 3 为本申请实施例提供的另一种像素驱动电路的结构示意图。如图 3 所示,补偿延续模块 70 包括第一存储电容 C1;第一存储电容 C1 的第一极与第一电压输入端 V1 连接,第一存储电容 C1 的第二极与驱动模块 10 的第二端连接。

具体地,第一电压输入端 V1 提供的第一电压 V1 可以为具有固定电位的电压信号。第一存储电容 C1 的第一极与第一电压输入端 V1 连接,使得第一存储电容 C1 的第一极电位固定。第一存储电容 C1 的第二极与驱动模块 10 的第二端连接,即与数据写入模块 40 连接。在数据写入阶段,数据写入模块 40 提供的数据电压写入第一存储电容 C1 的第二极,使得第一存储电容 C1 可以存储数据电压。然后在补偿延续阶段,数据写入模块 40 处于断路状态,使得数据写入阶段满足像素驱动电路的工作频率要求,同时阈值补偿模块 50 维持通路状态,第一存储电容 C1 存储的数据电压通过驱动模块 10 和阈值补偿模块 50 继续写入驱动模块 10 的控制端,可以持续数据电压的写入和驱动模块 10 的阈值补偿,增加了驱动模块 10 的阈值补偿时间,从而可以在像素驱动电路工作在高刷新频率时,在不影响数据写入阶段时长的基础上,增加了像素驱动电路的阈值补偿时间,从而可以改善像素驱动电路的阈值补偿效果,提高了显示面板的亮度均一性。

需要说明的是,图 3 中示例性地示出了补偿延续模块 70 包括第一存储电容 C1。在其他实施例中,补偿延续模块 70 还可以包括多个电容,以满足数据电压存储所需的电容值。或者,在其他实施例中,补偿延续模块 70 还可以包括其他具有存储功能的元件,此处不做限定。

可选地,继续参考图 3,第一电源信号输入端 VDD 复用为所述第一电压输入端 V1。

具体地,第一电源信号输入端 VDD 提供的第一电源信号为电位固定的信号。通过设置第一电源信号输入端 VDD 复用为第一电压输入端 V1,在第一电源信号输入端 VDD 提供的第一电源信号可以固定第一存储电容 C1 的第一极电位的基础上,可以避免额外设置第一电压输入端 V1,从而可以避免在显示面板上额外设置走线用于传输第一电压,有利于简化显示面板上的布线设计。

需要说明的是,在其他实施例中,还可以采用显示面板上其他具有固定电位的常规走线用于提供电压至第一电压输入端 V1,例如,显示面板上还设置有初始化信号线,用于提供初始化信号。该初始化信号具有固定电位,此时初始化信号线可以用于为第一电压输入端 V1 提供固定电位,此处不做限定。

图 4 为本申请实施例提供的另一种像素驱动电路的结构示意图。如图 4 所示,数据写入模块 40 包括第一晶体管 T1,阈值补偿模块 50 包括第二晶体管 T2,驱动模块 10 包括驱动晶体管 Tdr,第一初始化模块 30 包括第三晶体管 T3;第一晶体管 T1 的第一极与数据信号输入端 VDATA 连接,第一晶体管 T1 的第二极与驱动晶体管 Tdr 的第二极和补偿延续模块 70 的第二端连接,第一晶体管 T1 的栅极与第一扫描信号输入端 S1 连接,第二晶体管 T2 的第一极与驱动晶体管 Tdr 的第一极连接,第二晶体管 T2 的第二极与驱动晶体管 Tdr 的栅极和存储模块 60 的第一端连接,第二晶体管 T2 的栅极与第二扫描信号输入端 S2 连接,

第三晶体管 T3 的第一极与第一初始化信号输入端 VREF1 连接, 第三晶体管 T3 的第二极与存储模块 60 的第二端和发光模块 20 的阳极连接, 第三晶体管 T3 的栅极与第三扫描信号输入端 S3 连接; 第二扫描信号输入端 S2 提供的第二扫描信号的有效电平时长大于第一扫描信号输入端 S1 提供的第一扫描信号的有效电平时长。

具体地, 图 4 中示例性地示出了第一晶体管 T1、第二晶体管 T2、第三晶体管 T3 和驱动晶体管 Tdr 均为 N 型晶体管。当第一扫描信号输入端 S1 提供的第一扫描信号为高电平时, 第一晶体管 T1 导通。同理, 当第二扫描信号输入端 S2 提供的第二扫描信号为高电平时, 第二晶体管 T2 导通。第三扫描信号输入端 S3 提供的第三扫描信号为高电平时, 第三晶体管 T3 导通。继续参考图 4, 补偿延续模块 70 的第一端与第一电压输入端 V1 连接, 第一电压输入端 V1 提供的第一电压固定补偿延续模块 70 的第一端电位。存储模块 60 可以包括第二存储电容 C2。存储模块 60 的第一端与驱动晶体管 Tdr 的栅极连接, 用于存储驱动晶体管 Tdr 栅极的电位。发光模块 20 可以为发光器件 E1。图 5 为图 4 提供的像素驱动电路对应的一种时序图。其中, s1 为第一扫描信号的一种时序, s2 为第二扫描信号的一种时序, s3 为第三扫描信号的一种时序。以下结合图 4 和图 5 说明像素驱动电路的工作过程。

在初始化阶段 t11, 第一扫描信号为低电平, 第二扫描信号为低电平, 第三扫描信号为高电平, 第一晶体管 T1 和第二晶体管 T2 关断, 第三晶体管 T3 导通, 第一初始化信号输入端 VREF1 提供的第一初始化信号通过第三晶体管 T3 传输至存储模块 60 的第二端和发光模块 20 的阳极, 对发光模块 20 进行初始化, 以及固定存储模块 60 的第二端电位。同时, 第二初始化模块 90 对驱动模块 10 的控制端进行初始化。

在数据写入阶段 t12, 第一扫描信号为高电平, 第二扫描信号为高电平, 第三扫描信号为高电平, 第一晶体管 T1、第二晶体管 T2 和第三晶体管 T3 导通, 数据信号输入端 VDATA 提供的的数据电压通过第一晶体管 T1 写入补偿延续模块 70 的第二端, 补偿延续模块 70 存储数据电压。同时第一晶体管 T1 将数据电压通过驱动晶体管 Tdr 和第二晶体管 T2 写入驱动晶体管 Tdr 的栅极, 实现数据电压的写入和驱动晶体管 Tdr 的阈值补偿。存储模块 60 存储驱动晶体管 Tdr 的栅极电位。由于存储模块 60 的第二端电位为第一初始化信号, 即存储模块 60 的第二端电位固定, 可以保证存储模块 60 存储驱动晶体管 Tdr 的栅极电位准确性。

在补偿延续阶段 t13, 第一扫描信号为低电平, 第二扫描信号为高电平, 第三扫描信号为高电平, 第一晶体管 T1 关断, 第二晶体管 T2 和第三晶体管 T3 导通, 第一晶体管 T1 停止提供数据电压, 使得数据电压写入像素驱动电路的过程只在数据写入阶段完成, 满足像素驱动电路工作在高刷新频率中数据写入阶段的时间需求。同时第二晶体管 T2 导通, 使得补偿延续模块 70 存储的数据电压通过驱动晶体管 Tdr 和第二晶体管 T2 写入驱动晶体管 Tdr 的栅极, 可以持续数据电压写入驱动晶体管 Tdr 的栅极, 以及驱动晶体管 Tdr 的阈值补偿过程, 增加了驱动晶体管 Tdr 的阈值补偿时间, 从而可以在像素驱动电路工作在高刷新频率时, 在不影响数据写入阶段时长的基础上, 增加了像素驱动电路的阈值补偿时间, 从而可以改善像素驱动电路的阈值补偿效果, 提高了显示面板的亮度均匀性。

另外, 继续参考图 5, 在补偿延续阶段 t13 之后, 还包括过渡阶段。在过渡阶段, 第一扫描信号为低电平, 第二扫描信号为低电平, 第三扫描信号为高电平, 第一晶体管 T1 和第二晶体管 T2 关断, 第三晶体管 T3 导通, 数据写入阶段和补偿延续阶段完成。同时第三晶体管 T3 导通, 保持发光模块 20 的阳极初始化, 以及存储模块 60 的第二端电位为第一初始化信号, 即存储模块 60 的第二端电位固定。

在发光阶段 t14, 第一扫描信号为低电平, 第二扫描信号为低电平, 第三扫描信号为低电平, 第一晶体管 T1、第二晶体管 T2 和第三晶体管 T3 关断, 第二存储电容 C2 的第一端为浮动状态。当发光控制模块 80 导通第一电源信号输入端 VDD 和发光模块 20 之间的通路时, 第二存储电容 C2 的第二端电位变化, 并根据第二存储电容 C2 的耦合作用带动第二存储电容 C2 的第一端电位变化, 使得第二存储电容 C2 两端的电位差保持不变。从而使得驱动晶体管 Tdr 根据第二存储电容 C2 两端的电位差形成的驱动电流传输至发光器件 E1, 发光器件 E1 响应驱动电流发光。

示例性地, 继续参考图 4, 发光控制模块 80 可以包括第四晶体管 T4 和第五晶体管 T5, 第四晶体管 T4 的第一极与第一电源信号输入端 VDD 连接, 第四晶体管 T4 的第二极与驱动晶体管 Tdr 的第一极连接, 第五晶体管 T5 的第一极与驱动晶体管 Tdr 的第二极连接, 第五晶体管 T5 的第二极与发光模块 20 的阳极连接, 第四晶体管 T4 和第五晶体管 T5 的栅极与发光控制信号输入端 EM 连接, 发光模块 20 的阴极与第

二电源信号输入端 VSS 连接。图 4 中示例性地示出了第四晶体管 T4 和第五晶体管 T5 为 N 型晶体管。参考图 4 和图 5，在发光阶段 t14，发光控制信号输入端 EM 提供的发光控制信号 em 为高电平，控制第四晶体管 T4 和第五晶体管 T5 导通，使得第二存储电容 C2 的第二端电位变化，并根据第二存储电容 C2 的耦合作用带动第二存储电容 C2 的第一端电位变化，维持第二存储电容 C2 两端的电位差保持不变。从而使得驱动晶体管 Tdr 根据第二存储电容 C2 的电位差形成驱动电流，并通过第五晶体管 T5 传输至发光器件 E1 的阳极，发光器件 E1 根据驱动电流发光。

需要说明的是，图 4 中示例性地示出了第一晶体管 T1、第二晶体管 T2、第三晶体管 T3 和驱动晶体管 Tdr 均为 N 型晶体管。在其他实施例中，第一晶体管 T1、第二晶体管 T2、第三晶体管 T3 和驱动晶体管 Tdr 还可以为 P 型晶体管，此时适应性调整第一扫描信号、第二扫描信号和第三扫描信号的时序，此处不做限定。

图 6 为本申请实施例提供的另一种像素驱动电路的结构示意图。如图 6 所示，发光控制模块包括第四晶体管 T4 和第五晶体管 T5；第四晶体管 T4 的第一极与第一电源信号输入端 VDD 连接，第四晶体管 T4 的第二极与驱动模块 10 的第一极连接，第四晶体管 T4 的栅极与第一发光控制信号输入端 EM1 连接，第五晶体管 T5 的第一极与驱动模块 10 的第二极连接，第五晶体管 T5 的第二极与发光模块 20 的阳极连接，第五晶体管 T5 的栅极与第二发光控制信号输入端 EM2 连接，发光模块 20 的阴极与第二电源信号输入端 VSS 连接；第一发光控制信号输入端 EM1 提供的第一发光控制信号在发光阶段控制第四晶体管 T4 导通，第二发光控制信号输入端 EM2 提供的第二发光控制信号在初始化阶段和发光阶段控制第五晶体管 T5 导通。

具体地，图 6 中示例性地示出了第四晶体管 T4 和第五晶体管 T5 为 N 型晶体管。当第一发光控制信号输入端 EM1 提供的第一发光控制信号为高电平时，第四晶体管 T4 导通，当第二发光控制信号输入端 EM2 提供的第二发光控制信号为高电平时，第五晶体管 T5 导通。在初始化阶段，第三扫描信号为高电平，第二发光控制信号为高电平，第三晶体管 T3 和第五晶体管 T5 导通，第一初始化信号通过第三晶体管 T3 和第五晶体管 T5 传输至驱动模块 10 的第二端，可以对驱动模块 10 的第二端进行初始化，可以进一步地对驱动模块 10 进行复位，有利于进一步地改善像素驱动电路驱动发光模块 20 发光时的残影现象。在发光阶段，第一扫描信号、第二扫描信号和第三扫描信号为低电平，第一发光控制信号为高电平，第二发光控制信号为高电平，第一晶体管 T1、第二晶体管 T2 和第三晶体管 T3 关断，第二存储电容 C2 的第一端为浮动状态。第四晶体管 T4 和第五晶体管 T5 均导通，第二存储电容 C2 的第二端电位变化，并根据第二存储电容 C2 的耦合作用带动第二存储电容 C2 的第一端电位变化，使得第二存储电容 C2 两端的电位差保持不变。驱动晶体管 Tdr 根据第二存储电容 C2 两端的电位差形成驱动电流，并通过第五晶体管 T5 传输至发光模块 20 的阳极，发光模块 20 根据驱动电流发光。其中，发光模块 20 可以为发光器件 E1。

其中，显示面板上设置发光控制驱动电路和多行像素驱动电路，发光控制驱动电路包括多级级联的移位寄存器，每级移位寄存器依次输出一级发光控制信号，用于为一行像素驱动电路提供发光控制信号。当一行像素驱动电路对应的发光控制信号为第一发光控制信号时，该行像素驱动电路对应的第二发光控制信号可以为下级移位寄存器输出的发光控制信号，使得第二发光控制信号的有效电平时序滞后第一发光控制信号的有效电平时序，即第二发光控制信号的高电平滞后第一发光控制信号的高电平，从而在初始化阶段，第二发光控制信号为有效电平（即为高电平），控制第五晶体管 T5 导通，实现对驱动模块 10 的第二端的初始化。

示例性地，图 7 为图 6 提供的像素驱动电路对应的一种时序图。其中，s1 为第一扫描信号的一种时序，s2 为第二扫描信号的一种时序，s3 为第三扫描信号的一种时序，em1 为第一发光控制信号输入端 EM1 提供的第一发光控制信号的一种时序，em2 为第二发光控制信号输入端 EM2 提供的第二发光控制信号的一种时序。以下结合图 6 和图 7 说明像素驱动电路的工作过程。

在初始化阶段 t21，第一扫描信号为低电平，第二扫描信号为低电平，第三扫描信号为高电平，第一发光控制信号为低电平，第二发光控制信号为高电平，第一晶体管 T1、第二晶体管 T2 和第四晶体管 T4 关断，第三晶体管 T3 和第五晶体管 T5 导通，第一初始化信号输入端 VREF1 提供的第一初始化信号通过第三晶体管 T3 传输至存储模块 60 的第二端和发光模块 20 的阳极，对发光模块 20 的阳极进行初始化，以及固定存储模块 60 的第二端电位。第一初始化信号通过第三晶体管 T3 和第五晶体管 T5 传输至驱动模块

10的第二端,可以对驱动模块10的第二端进行初始化,可以进一步地对驱动模块10进行复位,有利于进一步地改善像素驱动电路驱动发光模块20发光时的残影现象。同时,第二初始化模块90对驱动模块10的控制端进行初始化。

在数据写入阶段t22,第一扫描信号为高电平,第二扫描信号为高电平,第三扫描信号为高电平,第一发光控制信号为低电平,第二发光控制信号为低电平,第一晶体管T1、第二晶体管T2和第三晶体管T3导通,第四晶体管T4和第五晶体管T5关断,数据信号输入端VDATA提供的数据电压通过第一晶体管T1写入补偿延续模块70的第二端,补偿延续模块70存储数据电压。同时第一晶体管T1将数据电压通过驱动晶体管Tdr和第二晶体管T2写入驱动晶体管Tdr的栅极,实现数据电压的写入和驱动晶体管Tdr的阈值补偿。存储模块60存储驱动晶体管Tdr的栅极电位。由于存储模块60的第二端电位为第一初始化信号,即存储模块60的第二端电位固定,可以保证存储模块60存储驱动晶体管Tdr的栅极电位准确性。

在补偿延续阶段t23,第一扫描信号为低电平,第二扫描信号为高电平,第三扫描信号为高电平,第一发光控制信号为低电平,第二发光控制信号为低电平,第一晶体管T1、第四晶体管T4和第五晶体管T5关断,第二晶体管T2和第三晶体管T3导通,第一晶体管T1停止提供数据电压,使得数据电压写入像素驱动电路的过程只在数据写入阶段完成,满足像素驱动电路工作在高刷新频率中数据写入阶段的时间需求。同时第二晶体管T2导通,使得补偿延续模块70存储的数据电压通过驱动晶体管Tdr和第二晶体管T2写入驱动晶体管Tdr的栅极,可以持续数据电压写入驱动晶体管Tdr的栅极,以及驱动晶体管Tdr的阈值补偿过程,增加了驱动晶体管Tdr的阈值补偿时间,从而可以在像素驱动电路工作在高刷新频率时,在不影响数据写入阶段时长的基础上,增加了像素驱动电路的阈值补偿时间,从而可以改善像素驱动电路的阈值补偿效果,提高了显示面板的亮度均匀性。

另外,继续参考图7,在补偿延续阶段t23之后,还包括过渡阶段。在过渡阶段,第一扫描信号为低电平,第二扫描信号为低电平,第三扫描信号为高电平,第一晶体管T1和第二晶体管T2关断,第三晶体管T3导通,数据写入阶段和补偿延续阶段完成。同时第三晶体管T3导通,保持发光模块20的阳极初始化,以及存储模块60的第二端电位为第一初始化信号,即存储模块60的第二端电位固定。

在发光阶段t24,第一扫描信号为低电平,第二扫描信号为低电平,第三扫描信号为低电平,第一发光控制信号为高电平,第二发光控制信号为高电平,第一晶体管T1、第二晶体管T2和第三晶体管T3关断,第二存储电容C2的第一端为浮动状态。第四晶体管T4和第五晶体管T5导通,第二存储电容C2的第二端电位变化,并根据第二存储电容C2的耦合作用带动第二存储电容C2的第一端电位变化,使得第二存储电容C2两端的电位差保持不变。驱动晶体管Tdr根据第二存储电容C2两端的电位差形成驱动电流,并通过第五晶体管T5传输至发光模块20的阳极,发光模块20根据驱动电流发光。其中,发光模块20可以为发光器件E1。

图8为本申请实施例提供的另一种像素驱动电路的结构示意图。如图8所示,像素驱动电路还包括第三初始化模块100;第三初始化模块100与驱动模块10的第二端连接,第三初始化模块100用于在初始化阶段对驱动模块10的第二端进行初始化。

具体地,图8中示例性地示出了发光控制模块80仅用于在发光阶段导通第一电源信号输入端VDD和发光模块20之间的通路,使得驱动晶体管Tdr根据存储模块60两端的电位差形成的驱动电流传输至发光模块20,发光模块20响应驱动电流发光。示例性地,发光控制模块80可以包括第四晶体管T4和第五晶体管T5,第四晶体管T4和第五晶体管T5的栅极与发光控制信号输入端EM连接。在此基础上,可以设置像素驱动电路包括第三初始化模块100,第三初始化模块100可以接收第二初始化信号,在初始化阶段,第三初始化模块100为通路状态,第三初始化模块100将第二初始化信号传输驱动模块10的第二端,对驱动模块10的第二端进行初始化,可以进一步地对驱动模块10进行复位,有利于进一步地改善像素驱动电路驱动发光模块20发光时的残影现象。由此可知,通过仅用一个发光控制信号输入端EM控制发光控制模块80的状态,可以简化发光控制模块80的控制信号。然后通过第三初始化模块100对驱动模块10的第二端进行初始化,保证了像素驱动电路驱动发光模块20发光的效果。

另外,一帧时间为显示面板刷新一次所需的时间,即显示面板上从第一行像素驱动电路扫描至最后一行像素驱动电路所需的时间。不同的刷新频率对应的一帧时间不同。例如,当刷新频率为10HZ,从显示

面板的第一行扫描至最后一行的时长为 100ms, 即一帧时间为 100ms。当刷新频率为 120HZ 时, 从显示面板的第一行扫描至最后一行的时长大约为 8.3ms, 即一帧时间为 8.3ms。当像素驱动电路工作在基础刷新频率时, 像素驱动电路工作的一帧时间可以包括一个子帧。当像素驱动电路工作在低刷新频率时, 像素驱动电路工作的一帧时间可以包括多个子帧, 多个子帧分为写入帧和至少一个保持帧, 每个子帧对应基础刷新频率的一帧时长。例如, 当像素驱动电路工作在 10HZ 时, 如果基础刷新频率为 120HZ, 则像素驱动电路工作在 10HZ 时的一帧时间内可以包括 12 个子帧, 第一个子帧作为写入帧, 剩余的 11 个子帧作为保持帧。通过设置第三初始化模块 100 在写入帧和保持帧的初始化阶段对驱动模块 10 的第二端进行初始化, 改善发光模块 20 发光时的残影现象, 同时可以在写入帧和保持帧的初始化阶段调节驱动模块 10 的特性, 从而减小驱动模块 10 的特性对发光模块 20 的发光亮度的影响, 改善像素驱动电路在一帧时间内的亮度差异, 进而改善了显示面板的闪屏现象。

继续参考图 8, 第三初始化模块 100 包括第六晶体管 T6, 第六晶体管 T6 的第一极与第二初始化信号输入端 VREF2 连接, 第六晶体管 T6 的第二极与驱动模块 10 的第二端连接, 第六晶体管 T6 的栅极与第四扫描信号输入端 S4 连接。

具体地, 图 8 中示例性地示出了第六晶体管 T6 为 N 型晶体管。当第四扫描信号输入端 S4 提供的第四扫描信号为高电平时, 第六晶体管 T6 导通, 第二初始化信号输入端 VREF2 提供的第二初始化信号通过第六晶体管 T6 写入至驱动晶体管 Tdr 的第二极, 对驱动晶体管 Tdr 的第二极进行初始化, 可以进一步地对驱动晶体管 Tdr 进行复位, 有利于进一步地改善像素驱动电路驱动发光模块 20 发光时的残影现象。

示例性地, 在像素驱动电路工作在低刷新频率时, 在第一个子帧的初始化阶段, 第四扫描信号输入端 S4 提供的第四扫描信号为高电平, 第六晶体管 T6 导通, 第二初始化信号输入端 VREF2 提供的第二初始化信号通过第六晶体管 T6 传输至驱动晶体管 Tdr 的第二极, 对驱动晶体管 Tdr 的第二极进行初始化。在写入帧的数据写入阶段、补偿延续阶段和发光阶段, 第四扫描信号为低电平, 第六晶体管 T6 关断。然后在保持帧的初始化阶段, 第四扫描信号为高电平, 第六晶体管 T6 导通, 将第二初始化信号通过第六晶体管 T6 传输至驱动晶体管 Tdr 的第二极, 对驱动晶体管 Tdr 的第二极进行初始化。

图 9 为本申请实施例提供的另一种像素驱动电路的结构示意图。如图 9 所示, 像素驱动电路还包括第七晶体管 T7; 第七晶体管 T7 的第一极与发光模块 20 的阳极连接, 第七晶体管 T7 的第二极与第三初始化信号输入端 VREF3 连接, 第七晶体管 T7 的栅极与第四扫描信号输入端 S4 连接。

具体地, 图 9 中示例性地示出了第七晶体管 T7 为 N 型晶体管。第七晶体管 T7 与第六晶体管 T6 的导通状态相同。在写入帧和保持帧的初始化阶段, 第四扫描信号输入端 S4 提供的第四扫描信号为高电平, 第七晶体管 T7 同时导通, 第三初始化信号输入端 VREF3 提供的第三初始化信号通过第七晶体管 T7 传输至发光模块 20 的阳极, 对发光模块 20 的阳极进行初始化, 可以改善像素驱动电路驱动发光模块 20 发光时的残影现象。

可选地, 第二初始化信号输入端 VREF2 复用为第三初始化信号输入端 VREF3。

具体地, 在发光阶段, 发光控制模块 80 导通驱动模块 10 与发光模块 20 之间的通路, 使得驱动模块 10 的第二端电位与发光模块 20 的阳极电位相同。在初始化阶段, 通过第二初始化信号输入端 VREF2 复用为第三初始化信号输入端 VREF3, 使得发光模块 20 的阳极初始电位与驱动模块 10 的第二端初始电位相同, 在保证像素驱动电路正常工作的基础上, 可以减少初始化信号输入端的设置, 进而可以减少显示面板上用于提供初始化信号的走线设置, 有利于简化显示面板上的布线设计。

图 10 为本申请实施例提供的另一种像素驱动电路的结构示意图。如图 10 所示,

第二初始化模块 90 包括第八晶体管 T8, 第八晶体管 T8 的第一极与第四初始化信号输入端 VREF4 连接, 第八晶体管 T8 的第二极与驱动模块 10 的控制端连接, 第八晶体管 T8 的栅极与第五扫描信号输入端 S5 连接。

具体地, 图 10 中示例性地示出了第八晶体管 T8 为 N 型晶体管。当第五扫描信号输入端 S5 提供的第五扫描信号为高电平时, 第八晶体管 T8 导通, 第四初始化信号输入端 VREF4 提供的第四初始化信号通过第八晶体管 T8 传输至驱动模块 10 的控制端, 对驱动模块 10 的控制端进行初始化。

图 10 中示例性地示出了发光控制模块 80 包括第四晶体管 T4 和第五晶体管 T5, 且第四晶体管 T4 的

栅极和第五晶体管 T5 的栅极均与发光控制信号输入端 EM 连接。图 11 为图 10 提供的像素驱动电路对应的一种时序图。其中, s1 为第一扫描信号的一种时序, s2 为第二扫描信号的一种时序, s3 为第三扫描信号的一种时序, s4 为第四扫描信号的一种时序, s5 为第五扫描信号的一种时序, em 为发光控制信号输入端 EM 提供的发光控制信号的一种时序。以下结合图 10 和图 11 说明像素驱动电路工作在低刷新频率的工作过程。

在写入帧的初始化阶段 t31, 第一扫描信号为低电平, 第二扫描信号为低电平, 第三扫描信号为高电平, 第四扫描信号为高电平, 第五扫描信号为高电平, 发光控制信号为低电平, 第一晶体管 T1、第二晶体管 T2、第四晶体管 T4 和第五晶体管 T5 关断, 第三晶体管 T3、第六晶体管 T6、第七晶体管 T7 和第八晶体管 T8 导通, 第一初始化信号输入端 VREF1 提供的第一初始化信号通过第三晶体管 T3 传输至存储模块 60 的第二端和发光模块 20 的阳极, 对发光模块 20 进行初始化, 以及固定存储模块 60 的第二端电位。同时第三初始化信号输入端 VREF3 提供的第三初始化信号同样通过第七晶体管 T7 传输至发光模块 20 的阳极, 对发光模块 20 的阳极进行初始化。第二初始化信号输入端 VREF2 提供的第二初始化信号通过第六晶体管 T6 传输至驱动晶体管 Tdr 的第二极, 对驱动晶体管 Tdr 的第二极进行初始化。第四初始化信号输入端 REF4 提供的第四初始化信号通过第八晶体管 T8 传输至驱动晶体管 Tdr 的栅极, 对驱动晶体管 Tdr 的栅极进行初始化。

在写入帧的数据写入阶段 t32, 第一扫描信号为高电平, 第二扫描信号为高电平, 第三扫描信号为高电平, 第四扫描信号为低电平, 第五扫描信号为低电平, 发光控制信号为低电平, 第一晶体管 T1、第二晶体管 T2 和第三晶体管 T3 导通, 第四晶体管 T4、第五晶体管 T5、第六晶体管 T6、第七晶体管 T7 和第八晶体管 T8 关断, 数据信号输入端 VDATA 提供的的数据电压通过第一晶体管 T1 写入补偿延续模块 70 的第二端, 补偿延续模块 70 存储数据电压。同时第一晶体管 T1 将数据电压通过驱动晶体管 Tdr 和第二晶体管 T2 写入驱动晶体管 Tdr 的栅极, 实现数据电压的写入和驱动晶体管 Tdr 的阈值补偿。存储模块 60 存储驱动晶体管 Tdr 的栅极电位。由于存储模块 60 的第二端电位为第一初始化信号, 即存储模块 60 的第二端电位固定, 可以保证存储模块 60 存储驱动晶体管 Tdr 的栅极电位准确性。

在写入帧的补偿延续阶段 t33, 第一扫描信号为低电平, 第二扫描信号为高电平, 第三扫描信号为高电平, 第四扫描信号为低电平, 第五扫描信号为低电平, 发光控制信号为低电平, 第一晶体管 T1、第四晶体管 T4、第五晶体管 T5、第六晶体管 T6、第七晶体管 T7 和第八晶体管 T8 关断, 第二晶体管 T2 和第三晶体管 T3 导通, 第一晶体管 T1 停止提供数据电压, 使得数据电压写入像素驱动电路的过程只在数据写入阶段完成, 满足像素驱动电路工作在高刷新频率中数据写入阶段的时间需求。同时第二晶体管 T2 导通, 使得补偿延续模块 70 存储的数据电压通过驱动晶体管 Tdr 和第二晶体管 T2 写入驱动晶体管 Tdr 的栅极, 可以持续数据电压写入驱动晶体管 Tdr 的栅极, 以及驱动晶体管 Tdr 的阈值补偿过程, 增加了驱动晶体管 Tdr 的阈值补偿时间, 从而可以在像素驱动电路工作在高刷新频率时, 在不影响数据写入阶段时长的基础上, 增加了像素驱动电路的阈值补偿时间, 从而可以改善像素驱动电路的阈值补偿效果, 提高了显示面板的亮度均一性。

继续参考图 11, 在写入帧的补偿延续阶段 t33 之后, 还包括过渡阶段。在过渡阶段, 第一扫描信号为低电平, 第二扫描信号为低电平, 第三扫描信号为高电平, 第一晶体管 T1 和第二晶体管 T2 关断, 第三晶体管 T3 导通, 数据写入阶段和补偿延续阶段完成。同时第三晶体管 T3 导通, 保持发光模块 20 的阳极初始化, 以及存储模块 60 的第二端电位为第一初始化信号, 即存储模块 60 的第二端电位固定。

在写入帧的发光阶段 t34, 第一扫描信号为低电平, 第二扫描信号为低电平, 第三扫描信号为低电平, 第四扫描信号为低电平, 第五扫描信号为低电平, 发光控制信号为高电平, 第一晶体管 T1、第二晶体管 T2、第三晶体管 T3、第六晶体管 T6、第七晶体管 T7 和第八晶体管 T8 关断, 第二存储电容 C2 的第一端为浮动状态。第四晶体管 T4 和第五晶体管 T5 导通, 第二存储电容 C2 的第二端电位变化, 并根据第二存储电容 C2 的耦合作用带动第二存储电容 C2 的第一端电位变化, 使得第二存储电容 C2 两端的电位差保持不变。驱动晶体管 Tdr 根据第二存储电容 C2 两端的电位差形成驱动电流, 并通过第五晶体管 T5 传输至发光模块 20 的阳极, 发光模块 20 根据驱动电流发光。其中, 发光模块 20 可以为发光器件 E1。

在保持帧的初始化阶段 t35, 第一扫描信号为低电平, 第二扫描信号为低电平, 第三扫描信号为低电

平，第四扫描信号为高电平，第五扫描信号为低电平，发光控制信号为低电平，第一晶体管 T1、第二晶体管 T2、第三晶体管 T3、第四晶体管 T4、第五晶体管 T5 和第八晶体管 T8 关断，第六晶体管 T6 和第七晶体管 T7 导通，第二初始化信号输入端 VREF2 提供的第二初始化信号通过第六晶体管 T6 传输至驱动晶体管 Tdr 的第二极，对驱动晶体管 Tdr 的第二极进行初始化。同时第三初始化信号输入端 VREF3 提供的第三初始化信号通过第七晶体管 T7 传输至发光模块 20 的阳极，对发光模块 20 的阳极进行初始化。

在保持帧的过渡阶段 t36，第一扫描信号为低电平，第二扫描信号为低电平，第三扫描信号为低电平，第四扫描信号为低电平，第五扫描信号为低电平，发光控制信号为低电平，第一晶体管 T1、第二晶体管 T2、第三晶体管 T3、第四晶体管 T4、第五晶体管 T5、第六晶体管 T6、第七晶体管 T7 和第八晶体管 T8 均关断，维持像素驱动电路的当前状态。

在保持帧的发光阶段 t37，第一扫描信号为低电平，第二扫描信号为低电平，第三扫描信号为低电平，第四扫描信号为低电平，第五扫描信号为低电平，发光控制信号为高电平，第一晶体管 T1、第二晶体管 T2、第三晶体管 T3、第六晶体管 T6、第七晶体管 T7 和第八晶体管 T8 关断，第二存储电容 C2 的第一端为浮动状态。第四晶体管 T4 和第五晶体管 T5 导通，第二存储电容 C2 的第二端电位变化，并根据第二存储电容 C2 的耦合作用带动第二存储电容 C2 的第一端电位变化，使得第二存储电容 C2 两端的电位差保持不变。驱动晶体管 Tdr 根据第二存储电容 C2 两端的电位差形成驱动电流，并通过第五晶体管 T5 传输至发光模块 20 的阳极，发光模块 20 根据驱动电流发光。

本申请实施例还提供一种显示面板。图 12 为本申请实施例提供的一种显示面板的结构示意图。如图 12 所示，该显示面板包括本申请任意实施例提供的像素驱动电路 101。

具体地，显示面板包括显示区 AA，显示区 AA 设置有多个像素单元 P，每个像素单元 P 包括本申请任意实施例提供的像素驱动电路 101 和发光器件 E1，像素驱动电路 101 为发光器件 E1 提供驱动电流，驱动发光器件 E1 发光。由于显示面板包括本申请任意实施例提供的像素驱动电路 101，因此具有像素驱动电路 101 相同的有益效果，此处不再赘述。

注意，上述仅为本申请的较佳实施例及所运用技术原理。本领域技术人员会理解，本申请不限于这里所述的特定实施例，对本领域技术人员来说能够进行各种明显的变化、重新调整和替代而不会脱离本申请的保护范围。因此，虽然通过以上实施例对本申请进行了较为详细的说明，但是本申请不仅仅限于以上实施例，在不脱离本申请构思的情况下，还可以包括更多其他等效实施例，而本申请的范围由所附的权利要求范围决定。

权利要求书

1.一种像素驱动电路，包括驱动模块、发光模块、第一初始化模块、数据写入模块、阈值补偿模块、存储模块、补偿延续模块、发光控制模块和第二初始化模块；

所述第一初始化模块与所述发光模块连接，所述第一初始化模块用于在初始化阶段对所述发光模块进行初始化；所述第二初始化模块与所述驱动模块的控制端连接，所述第二初始化模块用于在所述初始化阶段对所述驱动模块的控制端进行初始化；所述数据写入模块与所述驱动模块的第二端和所述补偿延续模块连接，所述阈值补偿模块连接于所述驱动模块的第一端和控制端之间，所述数据写入模块用于在数据写入阶段将数据电压通过所述阈值补偿模块写入所述驱动模块的控制端和所述补偿延续模块；所述存储模块连接于所述驱动模块的控制端和所述第一初始化模块之间，所述存储模块用于存储所述驱动模块的控制端电位；所述第一初始化模块还用于钳位所述存储模块的电位；所述补偿延续模块用于在补偿延续阶段对所述驱动模块的控制端进行阈值补偿；所述发光控制模块连接于第一电源信号输入端和所述发光模块之间，所述发光控制模块用于在发光阶段导通所述第一电源信号输入端和所述发光模块之间的通路；所述驱动模块用于在所述发光阶段向所述发光模块提供驱动电流，所述发光模块响应所述驱动电流发光。

2.根据权利要求1所述的像素驱动电路，其中，所述补偿延续模块包括第一存储电容；

所述第一存储电容的第一极与第一电压输入端连接，所述第一存储电容的第二极与所述驱动模块的第二端连接；

优选地，所述第一电源信号输入端复用为所述第一电压输入端。

3.根据权利要求1所述的像素驱动电路，其中，所述数据写入模块包括第一晶体管，所述阈值补偿模块包括第二晶体管，所述驱动模块包括驱动晶体管，所述第一初始化模块包括第三晶体管；

所述第一晶体管的第一极与数据信号输入端连接，所述第一晶体管的第二极与驱动晶体管的第二极和所述补偿延续模块的第二端连接，所述第一晶体管的栅极与第一扫描信号输入端连接，所述第二晶体管的第一极与所述驱动晶体管的第一极连接，所述第二晶体管的第二极与所述驱动晶体管的栅极和所述存储模块的第一端连接，所述第二晶体管的栅极与第二扫描信号输入端连接，所述第三晶体管的第一极与第一初始化信号输入端连接，所述第三晶体管的第二极与所述存储模块的第二端和所述发光模块的阳极连接，所述第三晶体管的栅极与第三扫描信号输入端连接；所述第二扫描信号输入端提供的第二扫描信号的有效电平时长大于所述第一扫描信号输入端提供的第一扫描信号的有效电平时长。

4.根据权利要求1-3任一项所述的像素驱动电路，其中，所述发光控制模块包括第四晶体管和第五晶体管；

所述第四晶体管的第一极与所述第一电源信号输入端连接，所述第四晶体管的第二极与所述驱动模块的第一极连接，所述第四晶体管的栅极与第一发光控制信号输入端连接，所述第五晶体管的第一极与所述驱动模块的第二极连接，所述第五晶体管的第二极与所述发光模块的阳极连接，所述第五晶体管的栅极与第二发光控制信号输入端连接，所述发光模块的阴极与第二电源信号输入端连接；

优选地，所述第一发光控制信号输入端提供的第一发光控制信号在所述发光阶段控制所述第四晶体管导通，所述第二发光控制信号输入端提供的第二发光控制信号在所述初始化阶段和所述发光阶段控制所述第五晶体管导通。

5.根据权利要求1-3任一项所述的像素驱动电路，其中，还包括第三初始化模块；

所述第三初始化模块与所述驱动模块的第二端连接，所述第三初始化模块用于在初始化阶段对所述驱动模块的第二端进行初始化。

6.根据权利要求5所述的像素驱动电路，其特征在于，所述第三初始化模块包括第六晶体管，所述第六晶体管的第一极与第二初始化信号输入端连接，所述第六晶体管的第二极与所述驱动模块的第二端连接，所述第六晶体管的栅极与第四扫描信号输入端连接。

7.根据权利要求6所述的像素驱动电路，其中，还包括第七晶体管；

所述第七晶体管的第一极与所述发光模块的阳极连接，所述第七晶体管的第二极与第三初始化信号输入端连接，所述第七晶体管的栅极与所述第四扫描信号输入端连接。

8.根据权利要求7所述的像素驱动电路，其中，所述第二初始化信号输入端复用为所述第三初始化信号输入端。

9.根据权利要求1所述的像素驱动电路，其中，所述第二初始化模块包括第八晶体管，所述第八晶体管的第一极与第四初始化信号输入端连接，所述第八晶体管的第二极与所述驱动模块的控制端连接，所述第八晶体管的栅极与第五扫描信号输入端连接。

10.一种显示面板，包括权利要求1-9任一项所述的像素驱动电路。

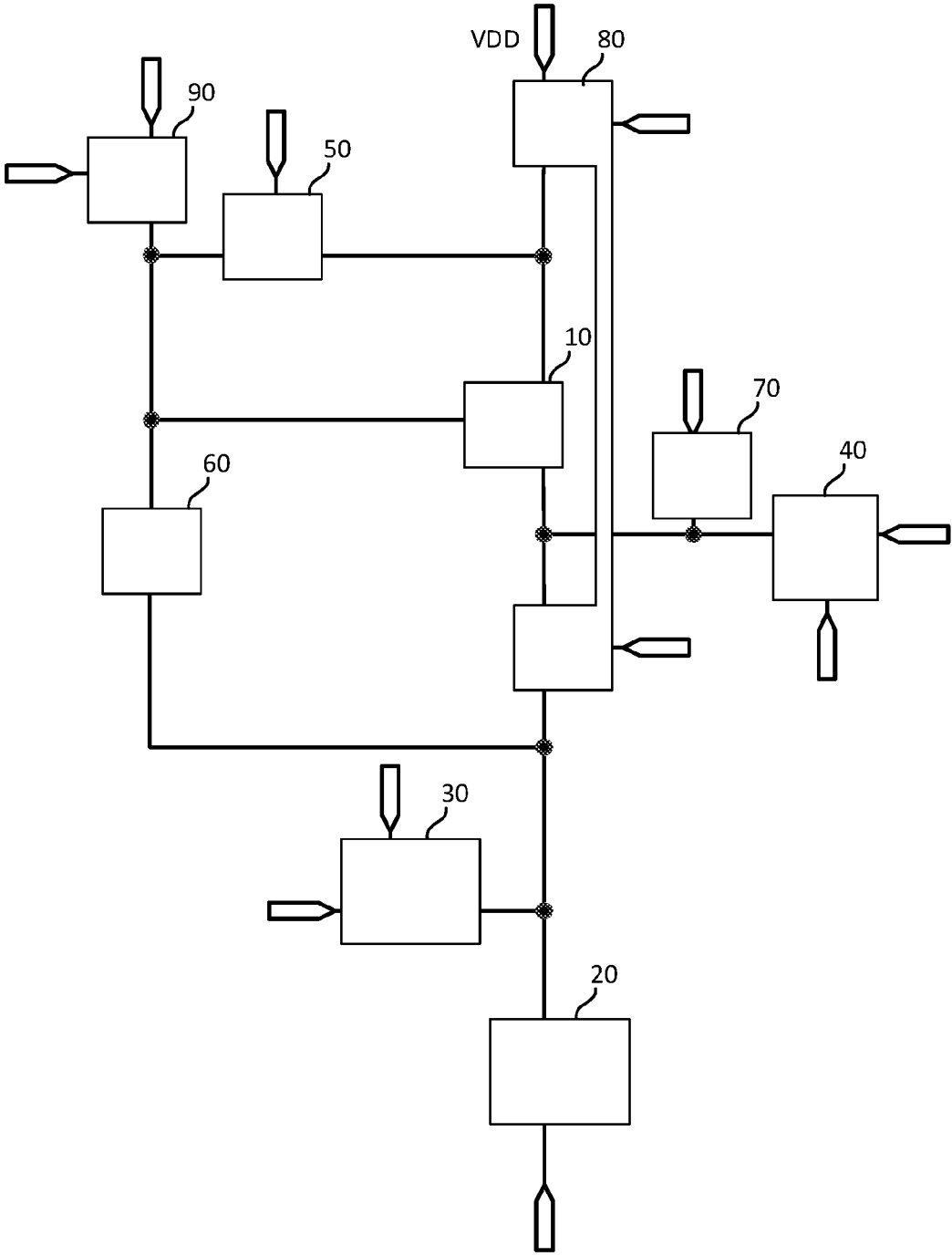


图 2

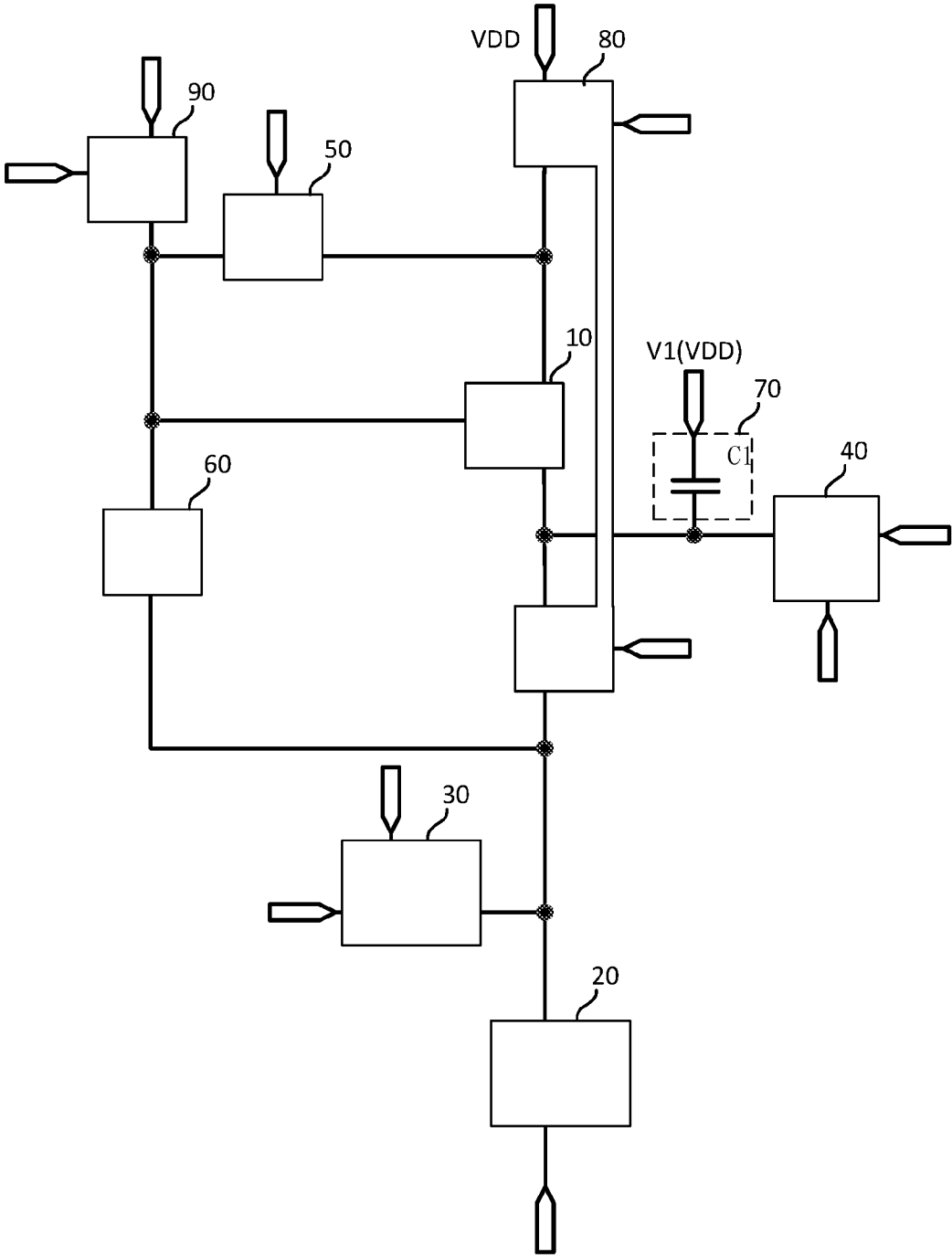


图 3

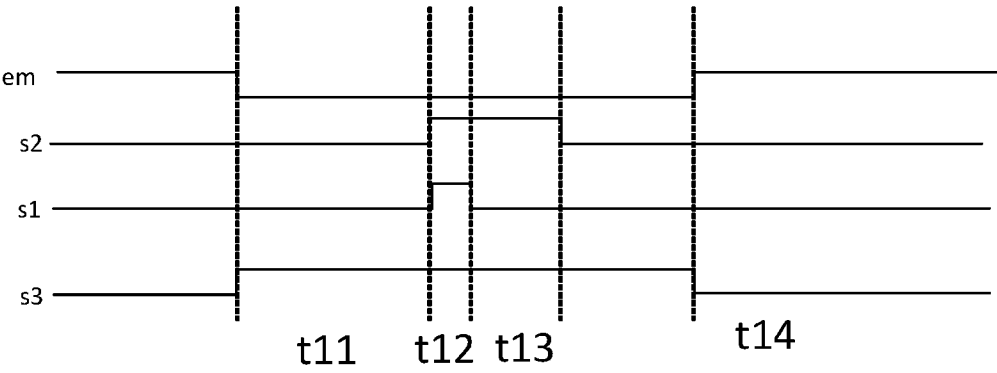


图 5

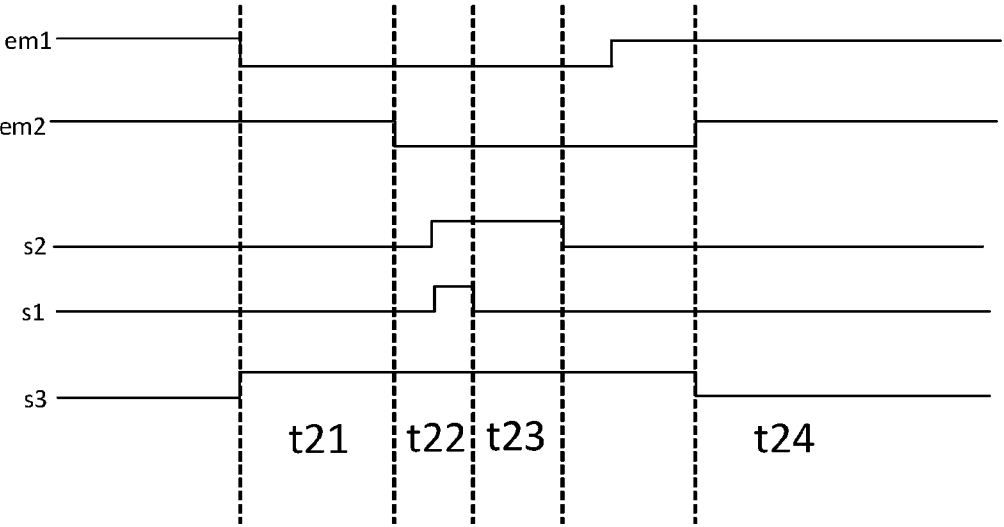


图 7

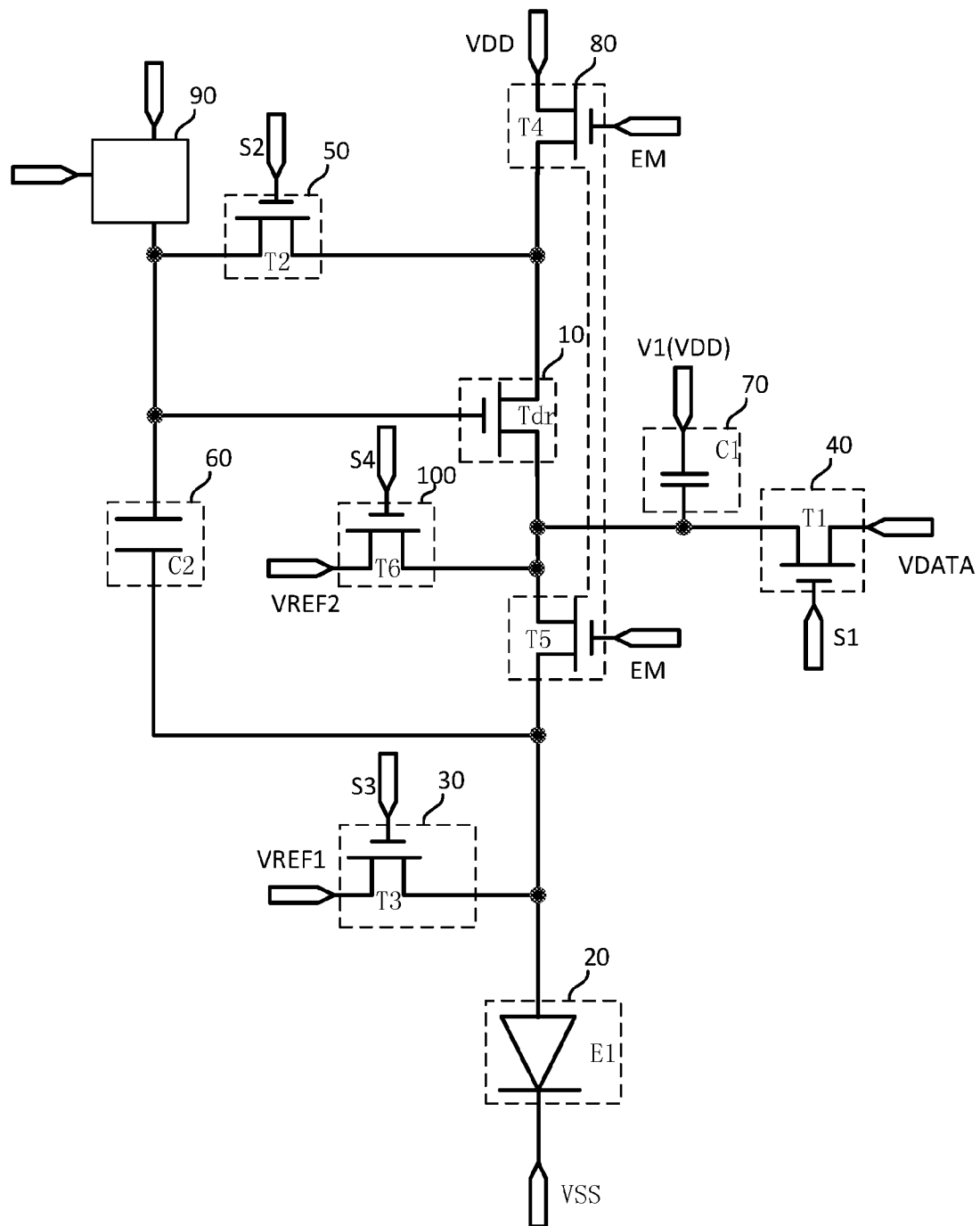


图 8

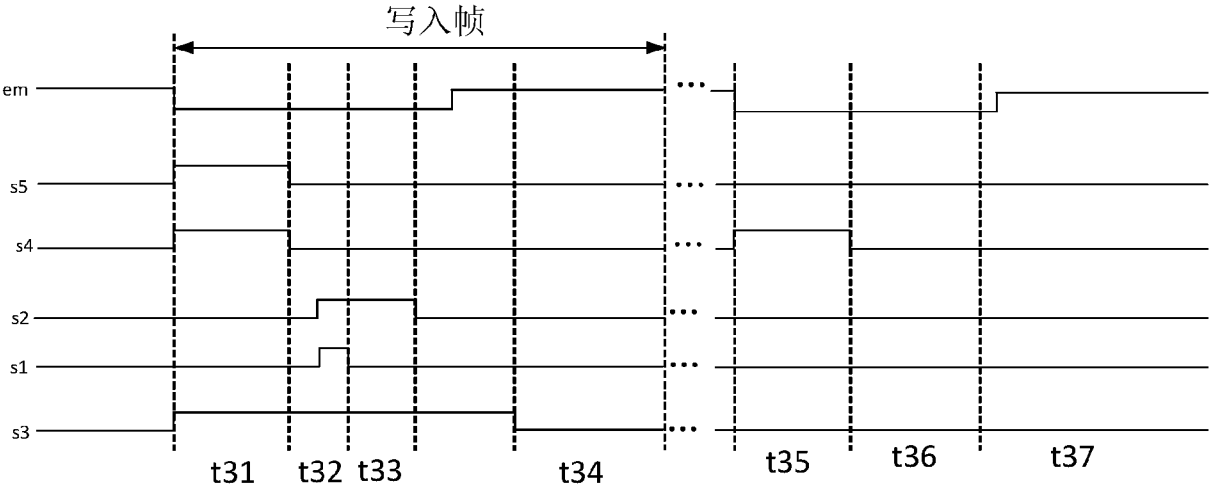


图 11

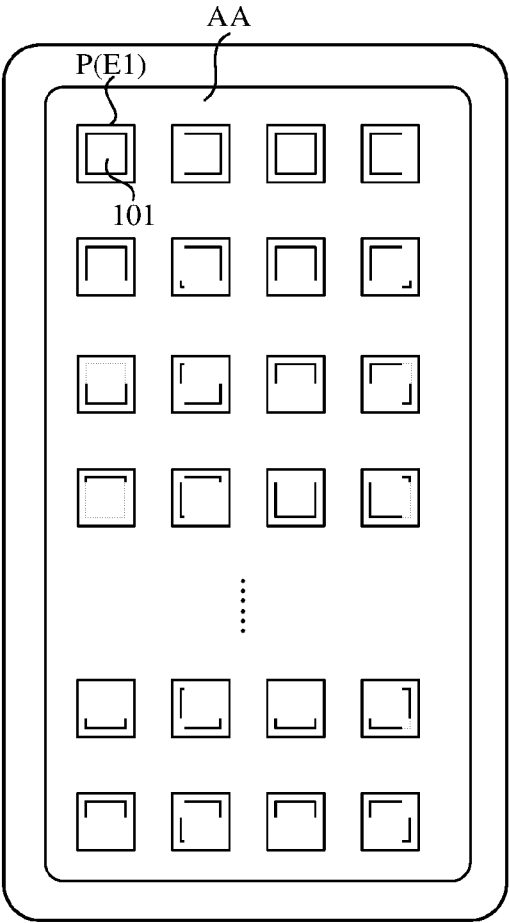


图 12

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2022/128122

A. CLASSIFICATION OF SUBJECT MATTER

G09G 3/3225(2016.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G3; H01L27

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNTXT; DWPI; ENTXTC; VEN: 阈值, 补偿, 延长, 延续, 继续, 再次, 增加, 延时, 不足, 充分, 短, 高频, 频率, 高, 刷新, 部分, 完全, 完整, 存储, 耦合, 电容, 亚阈值, threshold, compensat+, extend+, delay+, continue, hold+, lack+, sufficiency, frequency, high, refurbish, capacitor?, stor+

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
PX	CN 115223504 A (KUNSHAN GOVISIONOX OPTOELECTRONICS CO., LTD.) 21 October 2022 (2022-10-21) description, paragraphs 40-88, and figures 1-12	1-10
X	WO 2022016706 A1 (BOE TECHNOLOGY GROUP CO., LTD. et al.) 27 January 2022 (2022-01-27) description, page 6, paragraph 5 to page 22, paragraph 3, and figures 1-16	1-10
X	CN 114708832 A (YUNGU (GU&APOSAN) TECHNOLOGY CO., LTD.) 05 July 2022 (2022-07-05) description, paragraphs 58-115, and figures 1-13	1-10
X	CN 113870781 A (YUNGU (GU&APOSAN) TECHNOLOGY CO., LTD.) 31 December 2021 (2021-12-31) description, paragraphs 26-74, and figures 1-10	1-10
Y	CN 114023259 A (HEFEI VISIONOX TECHNOLOGY CO., LTD.) 08 February 2022 (2022-02-08) description, paragraphs 45-85, and figures 1-8	1-10



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

30 December 2022

Date of mailing of the international search report

28 January 2023

Name and mailing address of the ISA/CN

China National Intellectual Property Administration (ISA/
CN)
No. 6, Xitucheng Road, Jimenqiao, Haidian District, Beijing
100088, China

Facsimile No. (86-10)62019451

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2022/128122

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	CN 112102782 A (YUNGU (GU&APOSAN) TECHNOLOGY CO., LTD.) 18 December 2020 (2020-12-18) description, paragraphs 36-68, and figures 1-9	1-10
Y	CN 111883043 A (HEFEI VISIONOX TECHNOLOGY CO., LTD.) 03 November 2020 (2020-11-03) description, paragraphs 41-94, and figures 1-8	1-10
Y	CN 111986612 A (YUNGU (GU&APOSAN) TECHNOLOGY CO., LTD.) 24 November 2020 (2020-11-24) description, paragraphs 40-71, and figures 1-9	1-10
Y	CN 108389549 A (SHANGHAI TIANMA MICROELECTRONICS CO., LTD.) 10 August 2018 (2018-08-10) description, paragraphs 26-94, and figures 1-12	1-10
A	CN 114023263 A (YUNGU (GU&APOSAN) TECHNOLOGY CO., LTD.) 08 February 2022 (2022-02-08) entire document	1-10
A	CN 111508422 A (KUNSHAN GOVISIONOX OPTOELECTRONICS CO., LTD.) 07 August 2020 (2020-08-07) entire document	1-10
A	CN 102467876 A (SAMSUNG MOBILE DISPLAY CO., LTD.) 23 May 2012 (2012-05-23) entire document	1-10
A	US 2016133191 A1 (SAMSUNG DISPLAY CO., LTD.) 12 May 2016 (2016-05-12) entire document	1-10
A	US 11114030 B1 (SHARP K. K.) 07 September 2021 (2021-09-07) entire document	1-10

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2022/128122

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	115223504	A	21 October 2022	None			
WO	2022016706	A1	27 January 2022	WO	2022017044	A1	27 January 2022
				CN	114270430	A	01 April 2022
				CN	113963667	A	21 January 2022
CN	114708832	A	05 July 2022	None			
CN	113870781	A	31 December 2021	None			
CN	114023259	A	08 February 2022	None			
CN	112102782	A	18 December 2020	WO	2022062614	A1	31 March 2022
CN	111883043	A	03 November 2020	None			
CN	111986612	A	24 November 2020	None			
CN	108389549	A	10 August 2018	CN	108389549	B	24 September 2019
CN	114023263	A	08 February 2022	None			
CN	111508422	A	07 August 2020	CN	111508422	B	09 August 2022
CN	102467876	A	23 May 2012	KR	20120044504	A	08 May 2012
				US	2012105410	A1	03 May 2012
				CN	102467876	B	17 February 2016
				US	9330596	B2	03 May 2016
				KR	101791664	B1	21 November 2017
US	2016133191	A1	12 May 2016	KR	20160057032	A	23 May 2016
				KR	102343143	B1	27 December 2021
				US	9812062	B2	07 November 2017
US	11114030	B1	07 September 2021	None			

国际检索报告

国际申请号

PCT/CN2022/128122

A. 主题的分类 G09G 3/3225 (2016.01) i 按照国际专利分类 (IPC) 或者同时按照国家分类和 IPC 两种分类		
B. 检索领域 检索的最低限度文献 (标明分类系统和分类号) G09G3; H01L27 包含在检索领域中的除最低限度文献以外的检索文献 在国际检索时查阅的电子数据库 (数据库的名称, 和使用的检索词 (如使用)) CNTXT; DWPI; ENTXTC; VEN: 阈值, 补偿, 延长, 延续, 继续, 再次, 增加, 延时, 不足, 充分, 短, 高频, 频率, 高, 刷新, 部分, 完全, 完整, 存储, 耦合, 电容, 亚阈值, threshold, compensat+, extend+, delay+, continue, hold+, lack+, sufficiency, frequency, high, refurbish, capacitor?, stor+		
C. 相关文件		
类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
PX	CN 115223504 A (昆山国显光电有限公司) 2022年10月21日 (2022 - 10 - 21) 说明书第40-88段, 图1-12	1-10
X	WO 2022016706 A1 (BOE TECHNOLOGY GROUP CO LTD 等) 2022年1月27日 (2022 - 01 - 27) 说明书第6页第5段至第22页第3段, 图1-16	1-10
X	CN 114708832 A (云谷固安科技有限公司) 2022年7月5日 (2022 - 07 - 05) 说明书第58-115段, 图1-13	1-10
X	CN 113870781 A (云谷固安科技有限公司) 2021年12月31日 (2021 - 12 - 31) 说明书第26-74段, 图1-10	1-10
Y	CN 114023259 A (合肥维信诺科技有限公司) 2022年2月8日 (2022 - 02 - 08) 说明书第45-85段, 图1-8	1-10
Y	CN 112102782 A (云谷固安科技有限公司) 2020年12月18日 (2020 - 12 - 18) 说明书第36-68段, 图1-9	1-10
Y	CN 111883043 A (合肥维信诺科技有限公司) 2020年11月3日 (2020 - 11 - 03) 说明书第41-94段, 图1-8	1-10
☒ 其余文件在C栏的续页中列出。 ☒ 见同族专利附件。		
* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件 “T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件		
国际检索实际完成的日期 2022年12月30日		国际检索报告邮寄日期 2023年1月28日
ISA/CN的名称和邮寄地址 中国国家知识产权局 (ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088 传真号 (86-10) 62019451		受权官员 符媛英 电话号码 (86-27) 59371173

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
Y	CN 111986612 A (云谷固安科技有限公司) 2020年11月24日 (2020 - 11 - 24) 说明书第40-71段, 图1-9	1-10
Y	CN 108389549 A (上海天马微电子有限公司) 2018年8月10日 (2018 - 08 - 10) 说明书第26-94段, 图1-12	1-10
A	CN 114023263 A (云谷固安科技有限公司) 2022年2月8日 (2022 - 02 - 08) 全文	1-10
A	CN 111508422 A (昆山国显光电有限公司) 2020年8月7日 (2020 - 08 - 07) 全文	1-10
A	CN 102467876 A (三星移动显示器株式会社) 2012年5月23日 (2012 - 05 - 23) 全文	1-10
A	US 2016133191 A1 (SAMSUNG DISPLAY CO LTD) 2016年5月12日 (2016 - 05 - 12) 全文	1-10
A	US 11114030 B1 (SHARP KK) 2021年9月7日 (2021 - 09 - 07) 全文	1-10

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2022/128122

检索报告引用的专利文件			公布日 (年/月/日)	同族专利	公布日 (年/月/日)
CN	115223504	A	2022年10月21日	无	
WO	2022016706	A1	2022年1月27日	WO	2022017044 A1 2022年1月27日
				CN	114270430 A 2022年4月1日
				CN	113963667 A 2022年1月21日
CN	114708832	A	2022年7月5日	无	
CN	113870781	A	2021年12月31日	无	
CN	114023259	A	2022年2月8日	无	
CN	112102782	A	2020年12月18日	WO	2022062614 A1 2022年3月31日
CN	111883043	A	2020年11月3日	无	
CN	111986612	A	2020年11月24日	无	
CN	108389549	A	2018年8月10日	CN	108389549 B 2019年9月24日
CN	114023263	A	2022年2月8日	无	
CN	111508422	A	2020年8月7日	CN	111508422 B 2022年8月9日
CN	102467876	A	2012年5月23日	KR	20120044504 A 2012年5月8日
				US	2012105410 A1 2012年5月3日
				CN	102467876 B 2016年2月17日
				US	9330596 B2 2016年5月3日
				KR	101791664 B1 2017年11月21日
US	2016133191	A1	2016年5月12日	KR	20160057032 A 2016年5月23日
				KR	102343143 B1 2021年12月27日
				US	9812062 B2 2017年11月7日
US	11114030	B1	2021年9月7日	无	