

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2024 年 2 月 22 日 (22.02.2024)



(10) 国际公布号
WO 2024/036828 A1

(51) 国际专利分类号:
G11C 11/02 (2006.01)

(21) 国际申请号: PCT/CN2022/137314

(22) 国际申请日: 2022 年 12 月 7 日 (07.12.2022)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
202210993591.1 2022年8月18日 (18.08.2022) CN

(71) 申请人: 北京超弦存储器研究院
(**BEIJING SUPERSTRING ACADEMY OF MEMORY TECHNOLOGY**) [CN/CN]; 中国北京市大兴区北京经济技术开发区景园北街 52 幢 5 层 501-12, Beijing 100176 (CN)。

(72) 发明人: 李辉辉 (**LI, Huihui**); 中国北京市大兴区北京经济技术开发区景园北街 52 幢 5 层 501-12, Beijing 100176 (CN)。张云森 (**ZHANG, Yunsen**); 中国北京市大兴区北京经济技术开发区景园北街 52 幢 5 层 501-12, Beijing 100176 (CN)。王桂磊 (**WANG, Guilei**); 中国北京市大兴区北京经济技术开发区景园北街 52 幢 5 层 501-12, Beijing 100176 (CN)。赵超 (**ZHAO, Chao**); 中国北京市大兴区北京经济技术开发区景园北街 52 幢 5 层 501-12, Beijing 100176 (CN)。

(74) 代理人: 北京市立方律师事务所 (**LIFANG & PARTNERS**); 中国北京市东城区香河园街 1 号院信德京汇中心 12 层, Beijing 100028 (CN)。

(81) 指定国(除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG,

(54) **Title:** MEMORY AND MANUFACTURING METHOD AND READ-WRITE CONTROL METHOD THEREFOR

(54) 发明名称: 存储器及其制造方法、读写控制方法

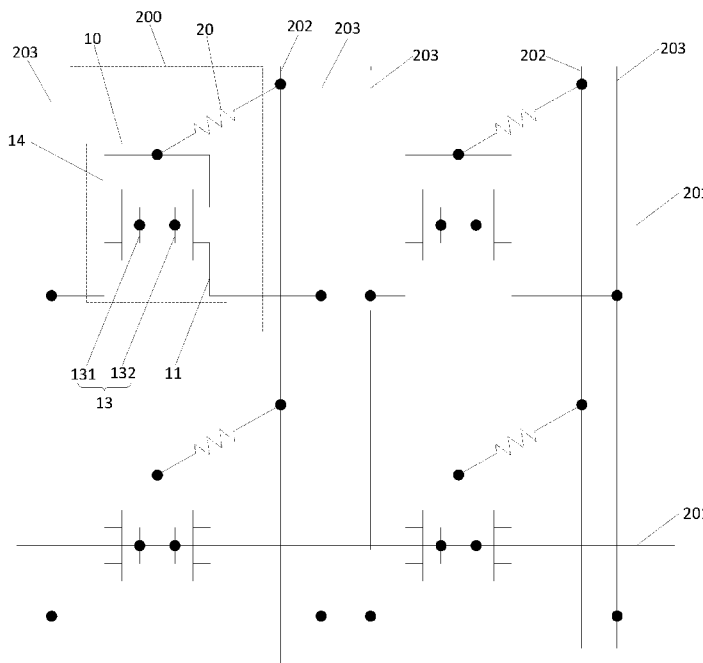


图 1

(57) **Abstract:** Provided in the embodiments of the present application are a memory and a manufacturing method and a read-write control method therefor. In the memory provided in the embodiments of the present application, a transistor of a storage unit is set to be a double-channel transistor, such that the on-state current of the transistor, and the read-write speed and performance of the storage unit can be improved. Each storage unit is configured with two source lines, and the two adjacent source lines are electrically connected to a first channel and a second channel of the transistor, respectively, by means of source electrodes, such that the current in each



WO 2024/036828 A1

BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW。

- (84) 指定国(除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告(条约第21条(3))。

source line can be reduced, and the influence, of the current flowing through the source lines, on other components of the memory can thus be reduced.

(57) 摘要: 申请实施例提供了一种存储器及其制造方法、读写控制方法。在本申请实施例提供的存储器中, 通过设置存储单元的晶体管为双沟道晶体管, 从而能够提高晶体管的开态电流, 能够提高存储单元的读写速度, 能够提高存储器的性能。每个存储单元配置有两条源线, 两条相邻的源线通过源极分别与晶体管的第一沟道和第二沟道电连接, 从而能够降低每条源线的电流, 从而能够降低源线流经电流对存储器其它部件的影响。

存储器及其制造方法、读写控制方法

5 技术领域

本申请涉及半导体技术领域，具体而言，本申请涉及一种存储器及其制造方法、读写控制方法。

背景技术

10 随着半导体器件集成化技术的发展，存储器的种类越来越多，MRAM（Magnetoresistive Random Access Memory，磁性随机存储器）作为一种非易失性存储器是行业的重要的研究方向之一。

目前，MRAM 中存储单元存在开态电流较小的问题，导致存储单元的读写速度较慢，影响 MRAM 的性能。

15

发明内容

本申请提出一种存储器及其制造方法、存储器的控制方法、电子设备，至少用以改善背景技术中的不足。

本申请一些实施例提供了一种存储器，包括：

20 多个存储单元，存储单元包括晶体管和磁性隧道结，磁性隧道结的一端与晶体管电连接；晶体管为双沟道晶体管，包含第一沟道和第二沟道；多条字线，一条字线与同一行存储单元中晶体管的各栅极电连接；多条位线，一条位线与同一列存储单元中各磁性隧道结的另一端电连接；

25 多条源线，一列存储单元中各晶体管的源极同时与两条相邻的源线电连接，两条相邻的源线通过源极分别与第一沟道和第二沟道电连接。

本申请一些实施例提供了一种存储器的读写控制方法，包括：

在读取阶段，通过字线控制待读取存储单元中晶体管处于导通状态，

通过位线或一条源线中的一个向待读取存储单元的磁性隧道结传输读取信号，以使得位线或一条源线中的另一个感测磁性隧道结的存储数据；

在写入阶段，通过字线控制待写入存储单元中晶体管处于导通状态，通过位线和两条源线控制存储信号流经待写入存储单元中磁性隧道结的方向，以将位线或源线传输的存储信号写入磁性隧道结。

本申请一些实施例提供了一种存储器的制造方法，包括：

通过图案化工艺在衬底上形成多个第一沟槽以区分多个晶体管行区域，每个第一沟槽的侧面为叠置的源极行、第一牺牲结构行和漏极行；

通过退火工艺和图案化工艺在第一沟槽内形成相互绝缘的两条源线，至少部分源线位于源极行的下方；

每个晶体管行区域，对露出在第一沟槽侧面的第一牺牲结构行进行回刻处理形成牺牲结构行，源极行、牺牲结构行和漏极行的侧壁形成 U 型沟槽；

每个晶体管行区域，在 U 型沟槽内形成半导体材料层；

图案化晶体管行区域，形成多个垂直于第一沟槽的第二沟槽以区分多个晶体管区域，每个晶体管区域包括叠置的源极行形成的源极、半导体材料层形成的半导体层和漏极行形成的漏极；牺牲结构行形成的牺牲结构与半导体层同层设置，并位于半导体层包括的第一半导体层和第二半导体层之间；

去除牺牲结构形成孔；

通过镀膜工艺在孔内、第一半导体层和第二半导体层的侧壁填充导电材料，图案化导电材料形成栅极和与栅极连接的字线；

在漏极远离衬底的一侧依次形成磁性隧道结和位线。

本申请实施例提供的技术方案带来的有益技术效果包括：

在本申请实施例提供的存储器中，通过设置存储单元的晶体管为双沟道晶体管，从而能够提高晶体管的开态电流，能够提高存储单元的读写速度，能够提高存储器的性能。

同时，每个存储单元配置有两条源线，两条相邻的源线通过源极分别

与晶体管的第一沟道和第二沟道电连接，从而能够降低每条源线的电流，从而能够降低源线流经电流对存储器其它部件的影响。

本申请附加的方面和优点将在下面的描述中部分给出，这些将从下面的描述中变得明显，或通过本申请的实践了解到。

5

附图说明

本申请上述的和/或附加的方面和优点从下面结合附图对实施例的描述中将变得明显和容易理解，其中：

图 1 为本申请实施例提供的一种存储器的电路原理示意图；

10 图 2 为本申请实施例提供的一种存储器的结构示意图；

图 3 为本申请实施例提供的图 1 所示存储器的 AA 向剖视结构示意图；

图 4 为本申请实施例提供的一种存储器的制造方法的流程示意图；

图 5 为本申请实施例提供存储器的制造方法中得到第一光刻胶结构和第一掩膜结构后的结构示意图；

15 图 6 为本申请实施例提供存储器的制造方法中得到初始叠置结构行后的结构示意图；

图 7 为本申请实施例提供存储器的制造方法中得到第一弧形槽后的结构示意图；

20 图 8 为本申请实施例提供存储器的制造方法中得到金属层后的结构示意图；

图 9 为本申请实施例提供存储器的制造方法中得到位线后的结构示意图；

图 10 为本申请实施例提供存储器的制造方法中得到第一平坦层后的结构示意图；

25 图 11 为本申请实施例提供存储器的制造方法中去除第一掩膜结构后的结构示意图；

图 12 为本申请实施例提供存储器的制造方法中得到叠置结构行后的结构示意图；

图 13 为本申请实施例提供存储器的制造方法中得到半导体材料层后

的结构示意图；

图 14 为本申请实施例提供存储器的制造方法中得到第二平坦层后的结构示意图；

图 15 为本申请实施例提供存储器的制造方法中在图 14 所示结构制作
5 得到掩膜结构后的 BB 向剖面结构示意图；

图 16 为本申请实施例提供存储器的制造方法中基于图 15 所示结构制作得到半导体层后的结构示意图；

图 17 为本申请实施例提供存储器的制造方法中形成字线后的结构示意图；

10 图 18 为本申请实施例提供存储器的制造方法中形成连接结构后的结构示意图；

图 19 为本申请实施例提供存储器的制造方法中形成封装层后的结构示意图。

附图标记说明：

15 100-衬底；

200-存储单元；201-字线；2011-第一子段；2012-第二子段；202-位线；
203-源线；2031-第一源线；2032-第二源线；2033-金属硅化物子层；2034-
金属子层；

10-晶体管；

20 11-源极；12-半导体层；121-第一半导体层；122-第二半导体层；13-
栅极；131-第一栅极；132-第二栅极；14-漏极；15-介质层绝缘层；151-
第一绝缘层；152-第二绝缘层；

20-磁性隧道结；30-硬掩膜结构；40-连接结构；41-硅化物结构；42-
金属结构；50-介质结构；51-隔离结构；60-封装层；70-隔离层；

25 101-第一硅掺杂导电层；102-牺牲半导体层；103-第二硅掺杂导电层；
104-第一光刻胶结构；105-第一掩膜结构；

106-初始叠置结构行；1011-源极行；1021-初始半导体材料层牺牲结
构行；1031-漏极行；1071-保护结构；

108-第一弧形槽；109-金属层；111-第一平坦层；1111-第一平坦结构；

112-叠置结构行; 1121-半导体材料层牺牲结构行; 113-半导体材料层; 114-第二平坦层; 1151-第一子掩膜结构; 116-叠置结构; 117-第一沟槽; 118-第二沟槽。

5 具体实施方式

下面结合本申请中的附图描述本申请的实施例。应理解, 下面结合附图所阐述的实施方式, 是用于解释本申请实施例的技术方案的示例性描述, 对本申请实施例的技术方案不构成限制。

10 本技术领域技术人员可以理解, 除非特意声明, 这里使用的单数形式“一”、“一个”、“所述”和“该”也可包括复数形式。应该进一步理解的是, 本申请的说明书中使用的措辞“包括”是指存在所述特征、整数、步骤、操作、元件和/或组件, 但不排除实现为本技术领域所支持其他特征、信息、数据、步骤、操作、元件、组件和/或它们的组合等。

15 为使本申请的目的、技术方案和优点更加清楚, 下面将结合附图对本申请实施方式作进一步地详细描述。

本申请实施例涉及的存储器可以为 MRAM, MRAM 是一种非易失性的磁性随机存储器, MRAM 中存储的数据以一种磁性状态存储, 而不是电荷, 磁场极性不像电荷那样会随着时间的流逝而泄漏, 因此即使在断电的情况下, 也能保持信息。

20 目前, MRAM 往往包括多个呈阵列排布的存储单元, 每个存储单元需设置位线、字线和位线。目前, 由于 MRAM 的集成化程度越来越高, 从而导致存储单元中晶体管的尺寸越来越小。随着晶体管尺寸的减小, 导致晶体管的开态电流较小, 进而导致晶体管的驱动性能较低、开启速度较慢, 影响存储单元的读写速度, 进而影响存储器的性能。

25 而且, MRAM 存储单元中垂直晶体管的半导体结构、栅极的制造精度较低, 从而导致存储器中 VGAA 晶体管的性能存在差异, 影响存储器的性能。

而且, 垂直晶体管面临驱动电流进一步提升的瓶颈。比如, 随着垂直晶体管尺寸的减小, 垂直晶体管的开态电流减小, 进而晶体管的驱动性能

降低、开启速度较慢，进而影响存储器的性能。

本申请提供的存储器及其制造方法、读写控制方法，旨在解决现有技术的如上技术问题。

下面以具体地实施例对本申请的技术方案进行详细说明。

5 本申请实施例提供了一种存储器，该存储器的电路原理示意图如图 1 所示，存储器包括：多个存储单元 200、多条字线 201、多条位线 202 和
多条源线 203。

10 存储单元 200，存储单元 200 包括晶体管 10 和磁性隧道结 20，磁性隧道结 20 的一端与晶体管 10 电连接，晶体管 10 为双沟道晶体管，包含
第一沟道和第二沟道。一条字线 201 与同一行存储单元 200 中晶体管 10 的各栅极 13 电连接；一条位线 202 与同一列存储单元 200 中各磁性隧道
结 20 的另一端电连接；一列存储单元 200 中各晶体管 10 的源极 11 同时
与两条相邻的源线 203 电连接，两条相邻的源线 203 通过源极 11 分别与
第一沟道和第二沟道电连接。

15 在本申请实施例提供的存储器中，通过设置存储单元 200 的晶体管
10 为双沟道晶体管，从而能够提高晶体管 10 的开态电流，能够提高存储
单元 200 的读写速度，能够提高存储器的性能。

20 同时，每个存储单元 200 配置有一条字线 201、一条位线 202 和两条
源线 203，两条相邻的源线 203 通过源极 11 分别与晶体管 10 的第一沟道
和第二沟道电连接，从而能够降低每条源线 203 的电流，从而能够降低源
线 203 流经电流对存储器其它部件的影响。

25 可选地，多个存储单元 200 呈阵列排布，也即各个存储单元 200 的晶
体管 10 呈阵列排布。本文中定义，平行于字线 201 延伸的方向为行，平
行于源线 203 延伸的方向为列。如图 1 所示，沿自左向右的方向为行，沿
自上而下的方向为列，图 1 中示例性的示出了同一行的两个存储单元，也
即分别示出了两列存储单元 200 中每一列存储单元的一个存储单元 200。

本申请实施例中，如图 1 所示，每个存储单元 200 均包括一个晶体管
10 和一个磁性隧道结 20，晶体管 10 和磁性隧道结 20 电连接。可选地，

磁性隧道结 20 的一端与晶体管 10 的漏极 14 电连接。

本申请实施例中，如图 1 所示，晶体管 10 为双沟道垂直晶体管 10，相较于单沟道晶体管而言，能够显著提高晶体管 10 的开态电流，能够提升晶体管 10 的驱动能力和开启速度，能够提高存储单元 100 的数据写入和数据读取的速度，进而能够提升存储器的性能。

如图 1 所示，两条相邻的源线 203 通过源极 11 分别与晶体管 10 的第一沟道和第二沟道电连接，相当于每个晶体管 10 包括两个并联连接的子晶体管，从而在增大晶体管 10 的开态电流的同时，能够降低通过每个子晶体管的电流，从而能够降低晶体管 10 的损耗速度，能够延长晶体管 10 的使用寿命。

本申请实施例中，如图 1 所示，磁性隧道结 20 的另一端与位线 202 电连接，同一行的各存储单元 200 中晶体管 10 的栅极 13 与字线 201 电连接。当通过字线 201 控制晶体管 10 开启后，通过一条源线 203 和一条位线 202，就可以控制一行存储单元 200 的数据读取，通过两条源线 203 和一条位线 202 就可以控制一行存储单元 200 的数据写入。

可选地，本申请实施例中，磁性隧道结 20 包括 MTJ (Magnetic Tunnel Junctions, 磁性隧道结)，MRAM 通过检测 MTJ 电阻的高低来判断所存储的数据是“0”还是“1”

具体的，MTJ 包括依次叠置的自由层、隧穿层和固定层。自由层的磁场方向是可以改变的，而固定层的磁场方向是固定不变的，在电场作用下电子会通过隧穿层势垒而垂直穿过器件，当自由层的磁场方向与固定层的磁场方向相同时，MTJ 呈现低阻态“0”，当自由层的磁场方向与固定层的磁场方向相反时，MTJ 呈现高阻态“1”。

可选地，如图 2 所示，在本申请的一个实施例中，沿平行衬底 100 的第一方向，与同一列存储单元 200 电连接的源线 203 分别为第一源线 2031 和第二源线 2032；两列相邻的存储单元 200 中，与一行存储单元 200 的各源极 11 连接的第二源线 2032，和另一行存储单元 200 的各源极 11 连接的第一源线 2031 之间设置有隔离结构 51。

本申请实施例中，如图 2 所示，沿第一方向，与同一列存储单元 200 电连接的源线 203 分别为第一源线 2031 和第二源线 2032，两列相邻的存储单元 200 中，与一列存储单元 200 的各源极 11 连接的第二源线 2032，和另一列存储单元 200 的各源极 11 连接的第一源线 2031 之间设置有隔离结构 51，从而使得与每列存储单元 200 连接的源线 203 之间相互绝缘。

可选地，本申请实施例中，隔离结构 51 作为介质结构 50 的部分。

可选地，如图 2 所示，在本申请的一个实施例中，晶体管 10 为垂直晶体管 10，晶体管 10 和磁性隧道结 20 沿垂直衬底 100 的方向叠层设置。

本申请实施例中，如图 2 所示，为本申请实施例提供的一种存储器的结构示意图，如图 2 所示，示意出了四条完整的源线 203，存储单元 200 设置于源线 203 远离衬底 100 的一侧，每个存储单元 200 配置有一条字线 201、一条位线 202 和两条源线 203。存储器中每个存储单元 200 的晶体管 10 和磁性隧道结 20 沿垂直衬底 100 的方向叠层设置。

本申请实施例中，晶体管 10 为垂直晶体管 10，如图 2 所示，沿垂直于衬底 100 的方向，源极 11、半导体结构 12 和漏极 14 依次叠层设置。栅极 13 也位于源极 11 和漏极 14 之间，即栅极 13 与半导体结构 12 同层设置。

可选地，如图 2 所示，在本申请的一个实施例中，晶体管 10 包括在衬底 100 上依次叠层设置的源极 11、半导体层 12 和漏极 14；半导体层 12 包括第一半导体层 121 和第二半导体层 122，第一半导体层 121 和第二半导体层 122 间隔设置于源极 11 的同一侧分别与源极 11 接触；第一半导体层 121 包括第一沟道，第二半导体层 122 包括第二沟道；至少部分栅极 13 位于第一半导体层 121 和第二半导体层 122 的间隔的区域。

本申请实施例中，如图 2 所示，沿垂直于衬底 100 的方向，源极 11、半导体层 12 和漏极 14 依次叠层设置。栅极 13 也位于源极 11 和漏极 14 之间，即栅极 13 与半导体层 12 同层设置。

如图 2 所示，第一半导体层 121 和第二半导体层 122 间隔设置于源极 11 的同一侧分别与源极 11 接触。第一半导体层 121 在导通的情况下包括

第一沟道，第二半导体层 122 在导通的情况下包括第二沟道，即晶体管 10 为双沟道垂直晶体管。

可选地，如图 2 所示，在本申请的一个实施例中，栅极 13 包括相互连接的第一栅极 13 和第二栅极 13；第一栅极 131 为位于第一半导体层 121 5 和第二半导体层 122 的间隔的区域之间的栅极；第二栅极 132 设置于第一半导体层 121 和第二半导体层 122 的外侧壁，且与第一半导体层 121、第二半导体层 122、源极 11 和漏极 14 相绝缘。

可选地，栅极 13 包括第一栅极 13 和第二栅极 13；第一栅极 13 设置于两个第一半导体层 121 和第二半导体层 122 之间，且与第一半导体层 10 121、第二半导体层 122、源极 11 和漏极 14 相绝缘；第二栅极 13 设置于半导体层 12 的外侧壁，且与半导体层 12、源极 11 和漏极 14 相绝缘。

本申请实施例中，如图 2 所示，晶体管 11 还包括栅极绝缘层 15，可选地，本申请实施例中，栅极绝缘层 15 采用高 k 值介质材料制成。

可选地，如图 2 所示，栅极绝缘层 15 包括一个第一栅极绝缘层 151 15 和两个第二栅极绝缘层 152。第一栅极绝缘层 151 与源极 11、第一半导体层 121 和第二半导体层 122 的内侧壁以及漏极 14 围合形成的腔室的周壁随形；第二栅极绝缘层 152 与源极 11、第一半导体层 121 和第二半导体层 122 的外侧壁以及漏极 14 围合形成的凹槽的周壁随形。

本申请实施例中，如图 2 所示，栅极 13 的第一栅极 131 位于两个间隔设置的半导体层 12 之间，可选地，第一栅极 131 设置于第一栅极绝缘层 151 围合形成的腔室内，以使得第一栅极 131 与半导体层 12、源极 11 20 和漏极 14 相绝缘。

如图 2 所示，栅极 13 的第二栅极 132 位于半导体层 12 的外侧壁，可选地，第二栅极 132 设置于第二栅极绝缘层 152 围合形成的凹槽内，以使得 25 第二栅极 132 与半导体层 12、源极 11 和漏极 14 相绝缘。

在本申请的一个实施例中，第一栅极 13 和第二栅极 13 均与字线 201 连接。

本申请实施例中，如图 2 所示，字线 201 沿平行于衬底 100 的第一方

向延伸，如图 3 所示，源线 203 沿平行于衬底 100 的第二方向延伸，第一方向垂直于第二方向。可选地，位线 202 的延伸方向平行于源线 203 的延伸方向。

本申请实施例中，结合图 3 和图 4 可知，栅极 13 的第一栅极 131 和第二栅极 132，均与字线 201 连接，从而通过字线 201 能够向第一栅极 131 和第二栅极 132 同时施加电平，能够进一步增强栅极 13 的电场强度，从而能够有助于提高晶体管 10 的开态电流，进而有助于提升晶体管 10 的驱动能力和开启速度，有助于提升存储单元 200 的读写速度，有助于提升存储器的性能。

本申请实施例中，如图 2 所示，字线 201 沿平行于衬底 100 的第一方向延伸，如图 3 所示，源线 203 沿平行于衬底 100 的第二方向延伸，第一方向垂直于第二方向。可选地，位线 202 的延伸方向平行于源线 203 的延伸方向。

本申请实施例中，结合图 3 和图 4 可知，栅极 13 的第一栅极 131 和第二栅极 132，均与字线 201 连接，从而通过字线 201 能够向第一栅极 131 和第二栅极 132 同时施加电平，能够进一步增强栅极 13 的电场强度，从而能够有助于提高晶体管 10 的开态电流，进而有助于提升晶体管 10 的驱动能力和开启速度，有助于提升存储单元 200 的读写速度，有助于提升存储器的性能。

可选地，在本申请的一个实施例中，源极 11 是基于硅掺杂得到的，且源极 11 的导电率小于源线 203 的导电率。

可选地，源线 203 包括金属硅化物子层 2033 和金属子层 2034，金属硅化物子层 2033 与源极 11 连接；金属硅化物子层 2033 的横截面为弧形状，弧形状的金属硅化物子层 2033 包围部分金属子层 2034。

本申请实施例中，如图 2 所示，源线 203 包括金属硅化物子层 2033 和金属子层 2034，金属硅化物子层 2033 的材料为金属硅化物，金属子层 2034 的材料为金属，从而能够增大源线 203 的尺寸，降低源线 203 的电阻，能够提高源线 203 的导电率，能够保障电信号的传输效率，能够降低

存储器的功耗。可选地，金属硅化物子层 2033 和金属子层 2034 包括同一中金属元素。

如图 2 所示，金属硅化物子层 2033 的横截面为弧形状，弧形状的金属硅化物子层 2033 包围部分金属子层 2034，以避免金属子层 2034 直接与源极 11 连接。

在本申请的一个实施例中，字线 201 包括多个依次交替连接的第一子段 2011 和第二子段 2012；第一子段 2011 环绕第一栅极 13 和第二栅极 13，与第一栅极 13 和第二栅极 13 均连接；第二子段 2012 的一端与一个第一子段 2011 连接，另一端与另一个第一子段 2011 连接。

10 本申请实施例中，如图 2 和图 3 所示，沿第一方向，也即字线 201 的延伸方向，第一子段 2011 和第二子段 2012 依次交替连接。

本申请实施例中，结合图 2 和图 3 可知，第一子段 2011 环绕第一栅极 131 和第二栅极 132 设置，即第一子段 2011 包裹了第一栅极 131 的两个端面和第二栅极 132 的两个端面，从而与第一栅极 131 和第二栅极 132 均连接。

15 可选地，如图 3 所示，第一子段 2011 的上表面与第一栅极 131 的上表面平齐，从而能够避免第一子段 2011 与晶体管 10 的漏极 14 接触。

本申请实施例中，如图 2 所示，第二子段 2012 位于相邻两个晶体管 10 之间，用于连接环绕第一栅极 131 和第二栅极 132 的第一子段 2011。第二子段 2012 的上表面与第一子段 2011 的上表面平齐，能够降低第二子段 2012 与晶体管 10 漏极 14 接触的几率，能够降低两者之间产生寄生电容的几率，进而能够保障存储器的性能。

应该说明的是，为了便于清楚示意出字线 201 中第一子段 2011 和第二子段 2012 的结构，图 2 和图 3 中用虚线表示出了第一子段 2011 与第二子段 2012 之间的界面分界线、第一子段 2011 与第一栅极 131 之间的界面分界线，实际产品中，第一子段 2011、第二子段 2012 和栅极 13 是采用同种材料制作形成的，并不存在如图 2 和图 3 中所展示的虚线。

在本申请的一个实施例中，源极 11 和漏极 14 的外轮廓在衬底上的投

影、围设第一半导体层 121、第二半导体层 122 和第一栅极 13 的外轮廓在衬底上的投影，使得源极 11、漏极 14 相对于半导体结构和第一栅极 13 向外凸出。

可选地，如图 2 所示，晶体管 10 中，源极 11 的漏极 14 的外轮廓在衬底 100 上的正投影，围设第一半导体层 121、第二半导体层 122 和第一栅极 131 的外轮廓在衬底 100 上的正投影，使得源极 11、漏极 14 相对于半导体结构 12 和第一栅极 131 向外凸出。如图 1 所示，源极 11、第一半导体层 121、第二半导体层 122、第一栅极 131 和漏极 14 组合形成的剖面图形为工字形。

在本申请的一个实施例中，源极 11 和漏极 14 的外轮廓在衬底上的投影，与第二栅极 13 的外轮廓在衬底上的投影相重叠。可选地，如图 2 所示，极 11 和漏极 14 的外轮廓在衬底 100 上的正投影，与第二栅极 132 的外轮廓在衬底 100 上的正投影相重叠，使得源极 11、漏极 14 的外侧壁与第二栅极 132 的外侧壁相平齐。

应该说明的是，本申请实施例中，所提及的外和内，均是相对于存储器的中心而言，相对靠近存储器的中心为内，相对远离存储器的中心为外。

在本申请的一个实施例中，存储单元 200 还包括：连接结构 40，设置于晶体管 10 的漏极 14 远离源极 11 的一侧；磁性隧道结 20 设置于连接结构远离漏极 14 的一侧。

可选地，如图 2 所示，沿垂直于衬底 100 的方向，晶体管 10 和连接结构 40 叠层设置，连接结构 40 设置于晶体管 10 的漏极 14 远离源极 11 的一侧。

本申请实施例中，连接结构 40 用于实现晶体管 10 与磁性隧道结 20 的电连接。从而便于晶体管 10 和磁性隧道结 20 的分别制作，例如，先采用一条产线在衬底 100 的一侧依次形成源线 203、晶体管 10、字线 201 以及连接结构 40 后，再采用另一条产线形成磁性隧道结 20，从而能够提高存储器的生产效率。

可选地，如图 3 所示，连接结构 40 包括硅化物结构 41 和金属结构

42。由于漏极 14 多采用掺杂的半导体材料制成，其与金属结构 42 的导电率存在明显的差异，通过设置硅化物结构 41，能够降低金属结构 42 与漏极 14 之间的界面电阻，从而能够保障存储单元 200 的性能。

本申请实施例中，如图 2-图 3 所示，存储器还包括介质结构 50，介质结构 50 可以与绝缘层 15 采用同种介质材料制成。可选的，如图 2 所示，连接结构 40 设置于介质结构 50 的开口内。

可选地，如图 2 所示，磁性隧道结 20 远离衬底 100 的一侧设置有硬掩膜结构 30，在形成磁性隧道结 20 的过程中，硬掩膜结构 30 可以起到保护磁性隧道结 20 的作用。可选地，硬掩膜结构 30 包括金属和介质材料，因此，硬掩膜结构 30 具有一定的导电性，硬掩膜结构 30 与位线 202 连接，从而实现位线 202 与磁性隧道结 20 的电连接。

应该说明的是，硬掩膜结构 30 的硬度是相对于光刻胶的硬度而言的，硬掩膜结构 30 的材料包括氧化硅、氮化硅等。

本申请实施例中，如图 2 所示，硬掩膜结构 30 远离衬底 100 的一侧设置有的封装层 60，封装层 60 覆盖磁性隧道结 20 的侧壁，以避免外界水、氧等侵蚀磁性隧道结 20。可选地，封装层 60 的材料包括氮化硅、氧化铝、氧化镁等致密材料。

本申请实施例中，如图 2 所示，在源线 203 的径向平面内，源线 203 的截面形状为弧形，一系列存储单元 200 中各晶体管 10 的源极 11 的一侧均与一条弧形源线 203 连接，同一列存储单元 200 中各晶体管 10 的源极 11 的另一侧均与另一条弧形源线 203 连接，从而使得每列存储单元 200 连接有两条源线 203。

本领域技术人员了解的是，相较于截面形状均为直线段的源线而言，采用截面形状为弧形的源线 203，能够避免源线 203 出现直角的部分，从而能够避免尖端效应，能够保障存储器的性能。

基于同一发明构思，本申请实施例提供了一种电子设备，包括：如上述各个实施例所提供的任一种存储器。

本申请实施例中，由于电子设备采用了前述各实施例提供的任一种存

存储器，其原理和技术效果请参阅前述各实施例，在此不再赘述。

可选地，电子设备包括智能电话、计算机、平板电脑、人工智能设备、可穿戴设备或移动电源。

应该说明的是，电子设备并不局限于上述几种，本领域技术人员可以根据实际的应用需求，在不同的设备中设置本申请上述各个实施例所提供的任一种存储器，从而得到本申请实施例所提供的电子设备。

基于同一发明构思，本申请实施例提供了一种存储器的控制方法，包括：在读取阶段，通过字线控制待读取存储单元中晶体管处于导通状态，通过位线或一条源线中的一个向待读取存储单元的磁性隧道结传输读取信号，以使得位线或一条源线中的另一个感测磁性隧道结的存储数据；在写入阶段，通过字线控制待写入存储单元中晶体管处于导通状态，通过位线和两条源线控制存储信号流经待写入存储单元中磁性隧道结的方向，以将位线或源线传输的存储信号写入磁性隧道结。

本申请实施例提供了的存储器的控制方法，用于上述各个实施例所提供的任一存储器。

可选地，在存储器的读取阶段，通过字线 201 向待读取存储单元 200 中晶体管 10 的栅极 13 输入第一电平，使得该晶体管 10 处于导通状态，通过一条位线 202 或一条源线 203 感测电流或电压的变化以及变化程度，实现磁性隧道结 20 存储数据的读取。下面以通过源线 203 感测电流变化为例，来说明是如何实现磁性隧道结 20 存储数据读取的。

具体的，当磁性隧道结 20 存储的数据是“1”时，此时 MTJ 呈现高阻态，当通过一条位线 202 向磁性隧道结 20 传输读取信号，也即通过位线 202 向磁性隧道结 20 施加第二电平，一条源线 203 保持在参考电平，参考电平小于第二电平，由于 MTJ 呈现高阻态，电流难以通过磁性隧道结 20，即源线 203 难以测得较为明显的电流，此种情况判断读取的数据为“1”，也即通过一条源线 203 即可感测待读取存储单元 200 的磁性隧道结 205 存储的数据为“1”。

当磁性隧道结 20 存储的数据是“0”时，此时 MTJ 呈现低阻态，当通

过一条位线 202 向磁性隧道结 20 传输读取信号，也即通过位线 202 向磁性隧道结 20 施加第二电平，一条源线 203 保持在参考电平，参考电平小于第二电平，由于 MTJ 呈现低阻态，电流能够通过磁性隧道结 20，即源线 203 可以测得较为明显的电流，此种情况判断读取的数据为“0”，也即
5 通过一条源线 203 即可感测待读取存储单元 200 的磁性隧道结 20 存储的数据为“0”。

本领域技术人员理解的是，通过控制位线 202 和源线 203 之间的电位差，能够控制电流的流向，进而实现待读取存储单元 200 中磁性隧道结 20 存储数据的读取。

10 可选地，在存储器的写入阶段，通过字线 201 向待读取存储单元 200 中晶体管 10 的栅极 13 输入第一电平，使得该晶体管 10 处于导通状态，通过位线 202 和两条源线 203 控制存储信号流经待写入存储单元 200 中磁性隧道结 20 的方向，以将位线 202 或源线 203 传输的存储信号写入磁性隧道结 20。下面以通过源线 203 向待写入存储单元 200 传输存储信号为例，
15 来说明是如何实现磁性隧道结 20 数据存储的。

具体的，当存储信号为“1”时，通过源线 203 向待写入存储单元 200 的晶体管 10 的源极 11 施加第三电平，位线 202 保持在参考电平，第三电平大于参考电平，由于两条源线 203 均施加第三电平，使得磁性隧道结 20 两端的电位差足够大，包括存储信号的电流从源线 203 流向位线 202，且
20 在电流流经磁性隧道结 20 的过程中，磁性隧道结 20 的自由层的磁场方向会改变并与固定层的磁场方向相反，使得磁性隧道结 20 呈现高阻态“1”，从而实现数据“1”的存储。

反之，通过控制磁性隧道结 20 的自由层的磁场方向改变并与固定层的磁场方向相同，使得磁性隧道结 20 呈现低阻态“0”，从而实现数据“0”
25 的存储。

本领域技术人员了解的是，MRAM 中写入电流通常是读取电流的十几倍，如果采用单沟道晶体管，在写入阶段，流经晶体管的电流较大，随着使用频率的增多，会大大加快单沟道晶体管的损耗速度，降低单沟道晶

晶体管的使用寿命。因此，本申请实施例中，通过设置双沟道垂直晶体管 10，能够降低通过每个子晶体管的电流，从而能够降低晶体管 10 的损耗速度，能够延长晶体管 10 的使用寿命。

结合图 1 和图 2 可知，每个存储单元 200 的晶体管 10 电连接有两条
5 源线 203，且晶体管 10 为双沟道晶体管，从图 2 可知，两条源线 203 分别位于晶体管 10 的两侧，相当于每条源线 203 电连接一个晶体管 10 的子晶体管，在存储器的读取阶段，一条源线 203 感测电流或电压的变化以及变化程度，相当于晶体管 10 中只有一个子晶体管处于工作状态。

在存储器的写入阶段，两条源线 203 均向待写入存储单元 200 的晶体
10 管 10 的源极 11 施加第三电平，即晶体管 10 中两个子晶体管均处于工作状态，从而在增大晶体管 10 的开态电流的同时，能够降低通过每个子晶体管的电流，从而能够降低晶体管 10 的损耗速度，能够延长晶体管 10 的使用寿命。

而且，在存储器的写入阶段，在增大晶体管 10 的开态电流的同时，
15 能够降低每条源线 203 的电流，从而能够降低源线 203 流经电流对存储器其它部件的影响。

基于同一发明构思，本申请实施例提供了一种存储器的制造方法，该方法的流程示意图如图 4 所示，该方法包括如下步骤 S401-S403：

S401，通过图案化工艺在衬底上形成多个第一沟槽以区分多个晶体管
20 行区域，每个第一沟槽的侧面为叠置的源极行、第一牺牲结构行和漏极行。

S402，通过退火工艺和图案化工艺在第一沟槽内形成相互绝缘的两条源线，至少部分源线位于源极行的下方。

S403，每个晶体管行区域，对露出在第一沟槽侧面的第一牺牲结构行进行回刻处理形成牺牲结构行，源极行、牺牲结构行和漏极行的侧壁形成
25 U 型沟槽。

S404，每个晶体管行区域，在 U 型沟槽内形成半导体材料层。

S405，图案化晶体管行区域，形成多个垂直于第一沟槽的第二沟槽以区分多个晶体管区域，每个晶体管区域包括叠置的源极行形成的源极、半

导体材料层形成的半导体层和漏极行形成的漏极；牺牲结构行形成的牺牲结构与半导体层同层设置，并位于半导体层包括的第一半导体层和第二半导体层之间。

S406，去除牺牲结构形成孔。

5 S407，通过镀膜工艺在孔内、第一半导体层和第二半导体层的侧壁填充导电材料，图案化导电材料形成栅极和与栅极连接的字线。

S408，在漏极远离衬底的一侧依次形成磁性隧道结和位线。

采用本申请实施例所提供的存储器的制造方法能够制造得到上述实施例中所提供的至少一种存储器。

10 在本申请实施例所提供的存储器的制造方法中，先于晶体管形成相互绝缘的两条源线，能够避免退火工艺影响后续晶体管，能够保障晶体管的制造良率；同时，在制造过程中，通过设置第一牺牲结构行以及牺牲结构等中间结构，便于精准控制后续制造得到的晶体管中半导体层和栅极的尺寸，从而能够保障晶体管的制造精度，进而能够保障存储器中各个存储单元
15 的晶体管性能的均一性，进而能够保障存储器的性能。

为了便于读者直观了解本申请实施例所提供的存储器的制造方法以及采用该方法制备得到的存储器的优点，下面将结合图 5-图 19 进行具体说明。

可选地，在本申请的一个实施例中，在上述步骤 S401 中通过图案化
20 工艺在衬底 100 上形成多个第一沟槽 117 以区分多个晶体管行区域，每个第一沟槽 117 的侧面为叠置的源极行 1011、第一牺牲结构行 1021 和漏极行 1031，之前还包括：通过外延生长工艺在衬底 100 的一侧依次形成第一硅掺杂导电层 101、牺牲半导体层 102 和第二硅掺杂导电层 103；源极行 1011、第一牺牲结构行 1021 和漏极行 1031 分别基于第一硅掺杂导电
25 层 101、牺牲半导体层 102 和第二硅掺杂导电层 103 形成。

可选地，通过外延生长工艺在衬底 100 的一侧依次形成第一硅掺杂导电层 101、牺牲半导体层 102 和第二硅掺杂导电层 103，如图 5 所示。

可选地，第一硅掺杂导电层 101 和第二硅掺杂导电层 103 为掺杂的半

导体材料制成。可选地，第一硅掺杂导电层 101 和第二硅掺杂导电层 103 均为 N 型掺杂，掺杂程度可以根据具体的制造工艺或需求来确定；牺牲半导体层 102 为 GeSi（硅锗）。

通过采用外延生长工艺形成第一硅掺杂导电层 101、牺牲半导体层 102 和第二硅掺杂导电层 103，便于精准控制各个膜层的厚度，特别是精准控制牺牲半导体层 102 厚度，便于精准控制后续制造得到的半导体结构 12 和栅极 13 的尺寸，从而能够保障晶体管的制造精度，进而能够保障存储器中各个存储单元的晶体管性能的均一性，进而能够保障存储器的性能。

可选地，也可以采用 CVD（Chemical Vapor Deposition，化学气相沉积）、PVD（Physical Vapor Deposition，物理气相沉积）以及 ALD（Atomic Layer Deposition，原子层沉积）等沉积工艺制造各个膜层结构。

可选地，在形成第二硅掺杂导电层 103 后，还可以包括：在第二硅掺杂导电层 103 远离衬底 100 的一侧形成第一光刻胶结构 104，在第一光刻胶结构 104 的两侧壁形成第一掩膜结构 105，如图 5 所示。

可选地，第一掩膜结构 105 的制备材料可以是氧化硅。

可选地，在本申请的一个实施例中，上述步骤 S401 中通过图案化工艺在衬底 100 上形成多个第一沟槽 117 以区分多个晶体管行区域，每个第一沟槽 117 的侧面为叠置的源极行 1011、第一牺牲结构行 1021 和漏极行 1031，包括：去除第一光刻胶结构 104，以第一掩膜结构 105 刻蚀第二硅掺杂导电层 103、牺牲半导体层 102、第一硅掺杂导电层 101 以及部分衬底 100，形成多个相互间隔设置的初始叠置结构行 106。

可选地，如图 6 所示，初始叠置结构行 106 即为晶体管行区域，第一沟槽 117 用于间隔两个任意相邻的初始叠置结构行 106。

通过设置第一掩膜结构 105 为硬掩膜，在刻蚀第二硅掺杂导电层 103、牺牲半导体层 102 以及第一硅掺杂导电层 101 的过程中，能够起到自对准刻蚀的作用，从而保障刻蚀的精度。

如图 6 所示，初始叠置结构行 106 沿第二方向延伸，第二方向平行于衬底 100 且垂直于第一方向，第一方向为源线 203 的延伸方向，多个初始

叠置结构行 106 沿第一方向间隔设置；初始叠置结构行 106 包括叠层设置的源极行 1011、初始牺牲结构行 1021 和漏极行 1031。

可选地，在本申请的一个实施例中，在上述步骤 S401 之后还包括：形成覆盖初始叠置结构行 106 的顶壁和侧壁的保护层。

5 在后续制造过程中，保护层能够起到保护初始叠置结构行 106 的作用，防止初始叠置结构行 106 被刻蚀或被掺杂。可选地，保护层的制备材料包括氧化硅。

可选地，在本申请的一个实施例中，上述步骤 S402 中通过退火工艺和图案化工艺在第一沟槽 117 内形成相互绝缘的两条源线 203，至少部分源线 203 位于源极行 1011 的下方，包括：沿第一沟槽 117 的底部刻蚀处理衬底 100，形成与第一沟槽 117 连通的第一弧形槽 108；在第一弧形槽 108 和部分第一沟槽 117 内填充金属材料，采用退火工艺处理金属材料，形成部分表面与第一弧形槽 108 随形的源线结构；图案化源线结构，形成相互分离的两条源线 203。具体如下：

15 可选地，如图 7 所示，沿第一沟槽 117 的底部刻蚀处理部分衬底 100，形成与第一沟槽 117 连通的第一弧形槽 108。如图 7 所示，第一弧形槽 108 部分延伸至相邻两个叠置结构行 106 的下方。可选地，如图 7 所示，保护层经过刻蚀后，形成保护结构 1071。

接着，在第一弧形槽 108 和部分第一沟槽 117 内填充金属材料，例如 20 钛、钴等金属材料，形成金属层 109，如图 8 所示。金属层 109 完全填充第一弧形槽 108，并填充部分第一沟槽 117，如图 8 所示，金属层 109 的上表面与初始叠置结构行 106 的初始牺牲结构行 1021 的上表面平齐，以使得后续形成的源线 203 能够与源极行 1011 接触。

然后，采用退火工艺处理金属层 109，使得金属层 109 与部分衬底 100 25 和部分源极行 1011 发生反应，形成包括金属硅化物子层的源线结构，源线结构的部分表面与第一弧形槽 108 随形。

接着，图案化源线结构，形成相互分离的两条源线 203，如图 9 所示，刻蚀部分衬底 100 以使得同一源线结构形成的两条源线 203 能够相互绝缘。

可选地，如图 9 所示，然后保留被源线 203 中弧形金属硅化物子层包围的未反应的部分金属层 109，形成金属子层 2034，从而能够保障源线 203 的导电性。

可选地，如图 9 所示，至少部分源线 203 位于源极行 1011 的下方。

5 可选地，在本申请的一个实施例中，在上述步骤图案化源线结构，形成相互隔离的两条源线之后还包括：在第一弧形槽 108 内填充介质材料，形成位于两条源线 203 之间的阻隔结构 51。

可选地，采用沉积工艺沉积介质材料，如氧化硅，并采用 CMP
(Chemical Mechanical Polishing, 化学机械抛光) 工艺处理，形成第一平
10 坦层 111，如图 10 所示。可选地，保护结构 1071 和第一平坦层 111 的制
造材料相同，因此图 10 中用第一平坦层 111 来表示两者，没有标示出保
护结构 1071。

然后，通过刻蚀工艺去除部分第一平坦层 111 和第一掩膜结构 105，
剩余的第一平坦层 111 形成第一平坦结构 1111，如图 11 所示。可选地，
15 第一平坦结构 1111 用于形成阻隔结构 51，第一平坦结构 1111 形成阻隔
结构 51 具体工艺会在后续中详细描述，此处不再赘述。

可选地，在本申请的一个实施例中，上述步骤 S403 中每个晶体管行
区域，对露出在第一沟槽 117 侧面的第一牺牲结构行 1021 进行回刻处理
形成牺牲结构行 1121，源极行 1011、牺牲结构行 1121 和漏极行 1031 的
20 侧壁形成 U 型沟槽。

可选地，采用选择性刻蚀工艺侧向刻蚀初始牺牲结构行 1021，形成
牺牲结构行 1121，使得牺牲结构行 1121 的两侧壁均相对于源极行 1011
和漏极行 1031 缩进，得到叠置结构行 112，如图 12 所示，叠置结构行 112
包括叠层设置源极行 1011、牺牲结构行 1121 和漏极行 1031。

25 可选地，在本申请的一个实施例中，上述步骤 S404 中每个晶体管行
区域，在 U 型沟槽内形成半导体材料层 113，包括：采用外延生长工艺在
U 型沟槽内生长半导体材料，形成截面与 U 型沟槽截面形状相一致的 U
型沟槽半导体材料层 113、或者截面为柱状的半导体材料层 113。具体包

括以下步骤：

首先，采用外延工艺在源极行 1011、牺牲结构行 1121 和漏极行 1031 的露出面形成半导体材料层 113。

5 由于源极行 1011、牺牲结构行 1121 和漏极行 1031 均是基于外延工艺形成，因此可以继续采用外延工艺形成与源极行 1011、牺牲结构行 1121 和漏极行 1031 露出的外表面随形的半导体材料层 113。

可选地，对于截面与 U 型沟槽截面形状相一致的 U 型沟槽半导体材料层 113 通过刻蚀可以形成截面为柱状的半导体材料层 113，如图 13 所示。

10 可选地，在本申请的一个实施例中，上述步骤 S405 中图案化晶体管行区域，形成多个垂直于第一沟槽 117 的第二沟槽 119 以区分多个晶体管区域，每个晶体管区域包括叠置的源极行 1011 形成的源极 11、半导体材料层 113 形成的半导体层 12 和漏极行 1031 形成的漏极 14；牺牲结构行 1121 形成的牺牲结构与半导体层 12 同层设置，并位于半导体层 12 包括
15 的第一半导体层 121 和第二半导体层 122 之间。具体包括以下步骤：在叠置结构行 112 远离衬底 100 的一侧形成掩膜结构；掩膜结构的延伸方向垂直于叠置结构行的延伸方向；基于掩膜结构，采用自对准刻蚀工艺刻蚀叠置结构行 112 和半导体材料层 113，形成叠置结构 116 和半导体层 12。

20 可选地，如图 14 所示，首先，采用沉积工艺沉积如氧化硅的介质材料，并采用 CMO 工艺处理，形成第二平坦层 114。

然后，在第二平坦层 114 远离衬底 100 的一侧形成掩膜结构，掩膜结构包括间隔设置的第一子掩膜结构 1151，如图 15 所示，第一子掩膜结构 1151 的延伸方向垂直于叠置结构行 112 的延伸方向。

25 本申请实施例中，图 5-图 14 为沿第一方向的剖视结构示意图，第二方向垂直于第一方向，图 15 为在图 14 所示结构制备得到掩膜结构后的 AA 向剖面结构示意图，图 15 中用⊗表示第一方向为垂直纸面向内的方向。

接着，基于第一子掩膜结构 1151，采用自对准刻蚀工艺刻蚀叠置结构行 112 和半导体材料层 113，形成叠置结构 116 和半导体层 12，叠置结

构 116 呈阵列排布，并去除未被刻蚀的第二平坦层 114，如图 16 所示，第二沟槽 119 用于间隔相邻的叠置结构 116。

本申请实施例中，第一子掩膜结构 1151 为硬掩膜，制作材料包括氧化硅，在刻蚀叠置结构行 112 和半导体材料层 113 的过程中，能够起到自对准刻蚀的作用，从而保障刻蚀的精度。

如图 16 所示，叠置结构 116 包括源极 11、漏极 14，牺牲结构行 1121 刻蚀后形成牺牲结构，半导体材料层 113 刻蚀后形成半导体层 12，牺牲结构由于半导体层 12 的遮挡而不可见，源极 11 与位线 20 连接。图 16 为沿第二方向的剖视结构示意图，图 16 中用⊗表示第一方向为垂直纸面向内的方向。

可选地，在本申请的一个实施例中，上述步骤 S406 中去除牺牲结构形成孔，包括：采用选择性刻蚀工艺去除牺牲结构，使得源极 11、第一半导体层 121、第二半导体层 122 和漏极 14 围合形成孔。可选地，孔的轴向平行于第二方向、垂直于第一方向。

可选地，在本申请的一个实施例中，上述步骤 S407 中通过镀膜工艺在孔内、第一半导体层 121 和第二半导体层 122 的侧壁填充导电材料，图案化导电材料形成栅极 13 和与栅极 13 连接的字线 201 之前，还包括：通过镀膜工艺和图案化工艺在孔内、第一半导体层 121 和第二半导体层 122 的侧壁形成绝缘层 15，绝缘层 15 包括与孔的孔壁随形的第一绝缘层 151 和与第一半导体层 121 以及第二半导体层 122 随形的第二绝缘层 152。

可选地，采用沉积工艺形成与源极 11、半导体层 12 的第一半导体层 121 和第二半导体层 122 的内侧壁以及漏极 14 围合形成的腔室的周壁随形的第一绝缘层 151，以及形成与源极 11、第一半导体层 121 和第二半导体层 122 的外侧壁以及漏极 14 围合形成的凹槽的周壁随形的第二绝缘层 152，得到绝缘层 15，以使得后续制备栅极 13 与源极 11、漏极 14 以及第一半导体层 121、第二半导体层 122 相绝缘，如图 17 所示。

可选地，在本申请的一个实施例中，上述步骤 S407 中通过镀膜工艺在孔内、第一半导体层 121 和第二半导体层 122 的侧壁填充导电材料，图

案化导电材料形成栅极 13 和与栅极 13 连接的字线 201。具体包括以下步骤：

5 可选地，首先，采用原子层沉积工艺沉积金属材料，使得金属材料填充第一绝缘层 151 围合形成的腔室内，填充于第二绝缘层 152 围合形成的凹槽内，形成初始字线层。

接着，图案化初始字线层，形成字线 201、第一栅极 131 和第二栅极 132，如图 17 所示。图 17 为沿第一方向的剖视结构示意图，图 17 中用⊙表示第二方向为垂直纸面向外的方向。

10 可选地，图案化初始字线层，可以采用 SOH（Spin On Hard mask，旋涂于硬掩膜）工艺，在初始字线层的一侧形成自流平的平坦层，然后在平坦层的一侧之形成光刻胶结构，以光刻胶结构为掩膜刻蚀初始字线层。

15 本申请实施例中，第一栅极 131 设置于第一绝缘层 151 围合形成的腔室内，以使得第一栅极 131 与第一半导体层 121、第二半导体层 122、源极 11 和漏极 14 相绝缘。第二栅极 132 设置于第二绝缘层 152 围合形成的凹槽内，以使得第二栅极 132 与第一半导体层 121、第二半导体层 122、源极 11 和漏极 14 相绝缘。

20 本申请实施例中，第一半导体层 121 和第二半导体层 122 均相对于源极 11 和漏极 14 的外轮廓侧向缩进，由于源极 11 和漏极 14 是基于外延生长工艺制备得到的，沿垂直于衬底 100 的方向，源极 11 和漏极 14 之间的距离是能够精准控制的，绝缘层 15 是通过 ALD 工艺形成的，绝缘层 15 的厚度也是能够精准控制的，从而使得第一绝缘层 151 围合形成的腔室的尺寸，以及第二绝缘层 152 围合形成的凹槽的尺寸能够精准控制，从而能够精准控制形成的第一栅极 131 和第二栅极 132 的尺寸，特别是能够精准控制第一栅极 131 和第二栅极 132 的长度，从而能够提高栅极 13 的制备精度，能够保障存储单元的制备精度，进而能够保障存储器中各个存储单元性能的均一性，进而能够保障存储器的性能。

可选地，在本申请的一个实施例中，上述步骤 S408 中在漏极 14 远离衬底 100 的一侧依次形成磁性隧道结 20 和位线 202，包括：在漏极 14 远

离衬底 100 的一侧形成连接结构 40；在连接结构 40 的一侧形成与连接结构连接 40 的磁性隧道结 20；形成覆盖磁性隧道结 20 的封装层 60；图案化封装层 60 并形成与磁性隧道结 20 连接的位线 202。

可选地，采用沉积工艺沉积介质材料，如氧化硅，磨平处理并图案化后形成包括开口的介质结构 50，开口使得部分漏极 14 露出。

然后，在开口内沉积金属材料，例如钛、钴等金属材料，并采用退火工艺处理形成硅化物结构 41；硅化物结构 41 的厚度小于开口的深度。

接着，在硅化物结构 41 远离衬底 100 的一侧沉积金属材料，覆盖硅化物结构 41 并填充开口，形成与介质结构 50 上表面齐平的金属结构 42，得到连接结构 40，如图 18 所示。

然后，在介质结构 50 和金属结构 42 远离衬底 100 的一侧依次形成初始磁性隧道结层、硬掩膜层和第二光刻胶结构。

接着，以第二光刻胶结构为掩膜图案化硬掩膜层，形成硬掩膜结构 30，继续以硬掩膜结构 30 为掩膜图案化初始磁性隧道结层，形成磁性隧道结 20。在形成磁性隧道结 20 的过程中，硬掩膜结构 30 可以起到保护磁性隧道结 20 的作用。

然后，在硬掩膜结构 30 远离衬底 100 的一侧沉积形成封装层 60，封装层 60 覆盖磁性隧道结 20 的侧壁，如图 19 所示。

接着，在封装层 60 远离衬底 100 的一侧形成包括开口的隔离层 70，隔离层 70 的开口使得部分硬掩膜结构 30 露出，在隔离层 70 的开口内沉积金属材料，形成位线 202，形成如图 2 所示的存储器。

应用本申请实施例，至少能够实现如下有益效果：

在本申请实施例提供的存储器中，通过设置存储单元 200 的晶体管 10 为双沟道晶体管，从而能够提高晶体管 10 的开态电流，能够提高存储单元 200 的读写速度，能够提高存储器的性能。

同时，每个存储单元 200 配置有一条字线 201、一条位线 202 和两条源线 203，两条相邻的源线 203 通过源极 11 分别与晶体管 10 的第一沟道和第二沟道电连接，从而能够降低每条源线 203 的电流，从而能够降低源

线 203 流经电流对存储器其它部件的影响。

在本申请的描述中，词语“中心”、“上”、“下”、“前”、“后”、“左”、“右”、“竖直”、“水平”、“顶”、“底”、“内”、“外”等指示的方向或位置关系，为基于附图所示的示例性的方向或位置关系，
5 是为了便于描述或简化描述本申请的实施例，而不是指示或暗示所指的装置或部件必须具有特定的方位、以特定的方位构造和操作，因此不能理解为对本申请的限制。

以上所述仅是本申请的部分实施方式，应当指出，对于本技术领域的普通技术人员来说，在不脱离本申请的方案技术构思的前提下，采用基于
10 本申请技术思想的其他类似实施手段，同样属于本申请实施例的保护范畴。

权 利 要 求 书

1. 一种存储器，其特征在于，包括：

多个存储单元，所述存储单元包括晶体管和磁性隧道结，所述磁性隧道结的一端与所述晶体管电连接；所述晶体管为双沟道晶体管，包含第一沟道和第二沟道；

多条字线，一条所述字线与同一行所述存储单元中所述晶体管的各栅极电连接；

多条位线，一条所述位线与同一列所述存储单元中各所述磁性隧道结的另一端电连接；

多条源线，一列所述存储单元中各所述晶体管的源极同时与两条相邻的所述源线电连接，所述两条相邻的源线通过所述源极分别与所述第一沟道和第二沟道电连接。

2. 根据权利要求 1 所述的存储器，其特征在于，沿平行衬底的第一方向，与同一列所述存储单元电连接的所述源线分别为第一源线和第二源线；

两列相邻的所述存储单元中，与一列所述存储单元的各所述源极连接的所述第二源线，和另一列所述存储单元的各所述源极连接的所述第一源线之间设置有隔离结构。

3. 根据权利要求 1 所述的存储器，其特征在于，所述晶体管为垂直晶体管，所述晶体管和所述磁性隧道结沿垂直衬底的方向叠层设置。

4. 根据权利要求 3 所述的存储器，其特征在于，所述晶体管包括在衬底上依次叠层设置的源极、半导体层和漏极；

所述半导体层包括第一半导体层和第二半导体层，所述第一半导体层和所述第二半导体层间隔设置于所述源极的同一侧分别与所述源极接触；

所述第一半导体层包括第一沟道，所述第二半导体层包括第二沟道；

至少部分所述栅极位于所述第一半导体层和所述第二半导体层之间的间隔区域。

5 5. 根据权利要求 4 所述的存储器，其特征在于，所述栅极包括相互连接的第一栅极和第二栅极；

所述第一栅极为位于所述第一半导体层和所述第二半导体层之间的间隔区域的部分所述栅极；

10 所述第二栅极设置于所述第一半导体层和所述第二半导体层的外侧壁，且与所述第一半导体层、所述第二半导体层、所述源极和所述漏极相绝缘。

6. 根据权利要求 1 所述的存储器，其特征在于，所述源极是基于硅掺杂得到的，且所述源极的导电率小于所述源线的导电率。

15

7. 一种存储器的读写控制方法，其特征在于，包括：

在读取阶段，通过字线控制待读取存储单元中晶体管处于导通状态，通过位线或一条源线中的一个向所述待读取存储单元的磁性隧道结传输读取信号，以使得位线或一条源线中的另一个感测所述磁性隧道结的存储数据；

20

在写入阶段，通过字线控制待写入存储单元中晶体管处于导通状态，通过位线和两条源线控制存储信号流经待写入存储单元中磁性隧道结的方向，以将所述位线或所述源线传输的所述存储信号写入所述磁性隧道结。

25 8. 一种存储器的制造方法，其特征在于，包括：

通过图案化工艺在衬底上形成多个第一沟槽以区分多个晶体管行区域，每个所述第一沟槽的侧面为叠置的源极行、第一牺牲结构行和漏极行；

通过退火工艺和图案化工艺在所述第一沟槽内形成相互绝缘的两条

源线，至少部分所述源线位于所述源极行的下方；

每个所述晶体管行区域，对露出在所述第一沟槽侧面的所述第一牺牲结构行进行回刻处理形成牺牲结构行，所述源极行、所述牺牲结构行和所述漏极行的侧壁形成 U 型沟槽；

5 每个所述晶体管行区域，在所述 U 型沟槽内形成半导体材料层；

图案化所述晶体管行区域，形成多个垂直于所述第一沟槽的第二沟槽以区分多个晶体管区域，每个所述晶体管区域包括叠置的所述源极行形成的源极、所述半导体材料层形成的半导体层和所述漏极行形成的漏极；所述牺牲结构行形成的牺牲结构与所述半导体层同层设置，并位于所述半导体层包括的第一半导体层和第二半导体层之间；

去除所述牺牲结构形成孔；

通过镀膜工艺在所述孔内、所述第一半导体层和所述第二半导体层的侧壁填充导电材料，图案化所述导电材料形成栅极和与栅极连接的字线；在所述漏极远离所述衬底的一侧依次形成磁性隧道结和位线。

15

9. 根据权利要求 8 所述的存储器的制造方法，其特征在于，所述通过退火工艺和图案化工艺在所述第一沟槽内形成相互绝缘的两条源线，至少部分所述源线位于所述源极行的下方，包括：

20 沿所述第一沟槽的底部刻蚀处理所述衬底，形成与所述第一沟槽连通的第一弧形槽；

在所述第一弧形槽和部分所述第一沟槽内填充金属材料，采用退火工艺处理所述金属材料，形成部分表面与所述第一弧形槽随形的源线结构；

图案化所述源线结构，形成相互分离的两条所述源线。

25 10. 根据权利要求 9 所述的存储器的制造方法，其特征在于，所述图案化所述源线结构，形成相互隔离的两条所述源线之后还包括：

在所述第一弧形槽内填充介质材料，形成位于两条所述源线之间的阻隔结构。

11. 根据权利要求 8 所述的存储器的制造方法，其特征在于，所述在所述 U 型沟槽内形成半导体材料层，包括：

5 采用外延生长工艺在所述 U 型沟槽内生长半导体材料，形成截面与所述 U 型沟槽截面形状相一致的 U 型沟槽半导体材料层、或者截面为柱状的半导体材料层。

12. 根据权利要求 8 所述的存储器的制造方法，其特征在于，所述通过图案化工艺在衬底上形成多个第一沟槽以区分多个晶体管行区域，每个
10 所述第一沟槽的侧面为叠置的源极行、第一牺牲结构行和漏极行，之前还包括：

通过外延生长工艺在所述衬底的一侧依次形成第一硅掺杂导电层、牺牲半导体层和第二硅掺杂导电层；所述源极行、所述第一牺牲结构行和所述漏极行分别基于所述第一硅掺杂导电层、所述牺牲半导体层和所述第二
15 硅掺杂导电层形成。

13. 根据权利要求 8 所述的存储器的制造方法，其特征在于，所述通过镀膜工艺在所述孔内、所述第一半导体层和所述第二半导体层的侧壁填充导电材料，图案化所述导电材料形成栅极和与栅极连接的字线，之前还
20 包括：

通过镀膜工艺和图案化工艺在所述孔内、所述第一半导体层和所述第二半导体层的侧壁形成绝缘层，所述绝缘层包括与所述孔的孔壁随形的第一绝缘层和与所述第一半导体层以及所述第二半导体层随形的第二绝缘层。

25

14. 根据权利要求 8 所述的存储器的制造方法，其特征在于，所述在所述漏极远离所述衬底的一侧依次形成磁性隧道结和位线，包括：

在所述漏极远离所述衬底的一侧形成连接结构；

在所述连接结构的一侧形成与所述连接结构连接的磁性隧道结；
形成覆盖所述磁性隧道结的封装层；
图案化所述封装层并形成与所述磁性隧道结连接的位线。

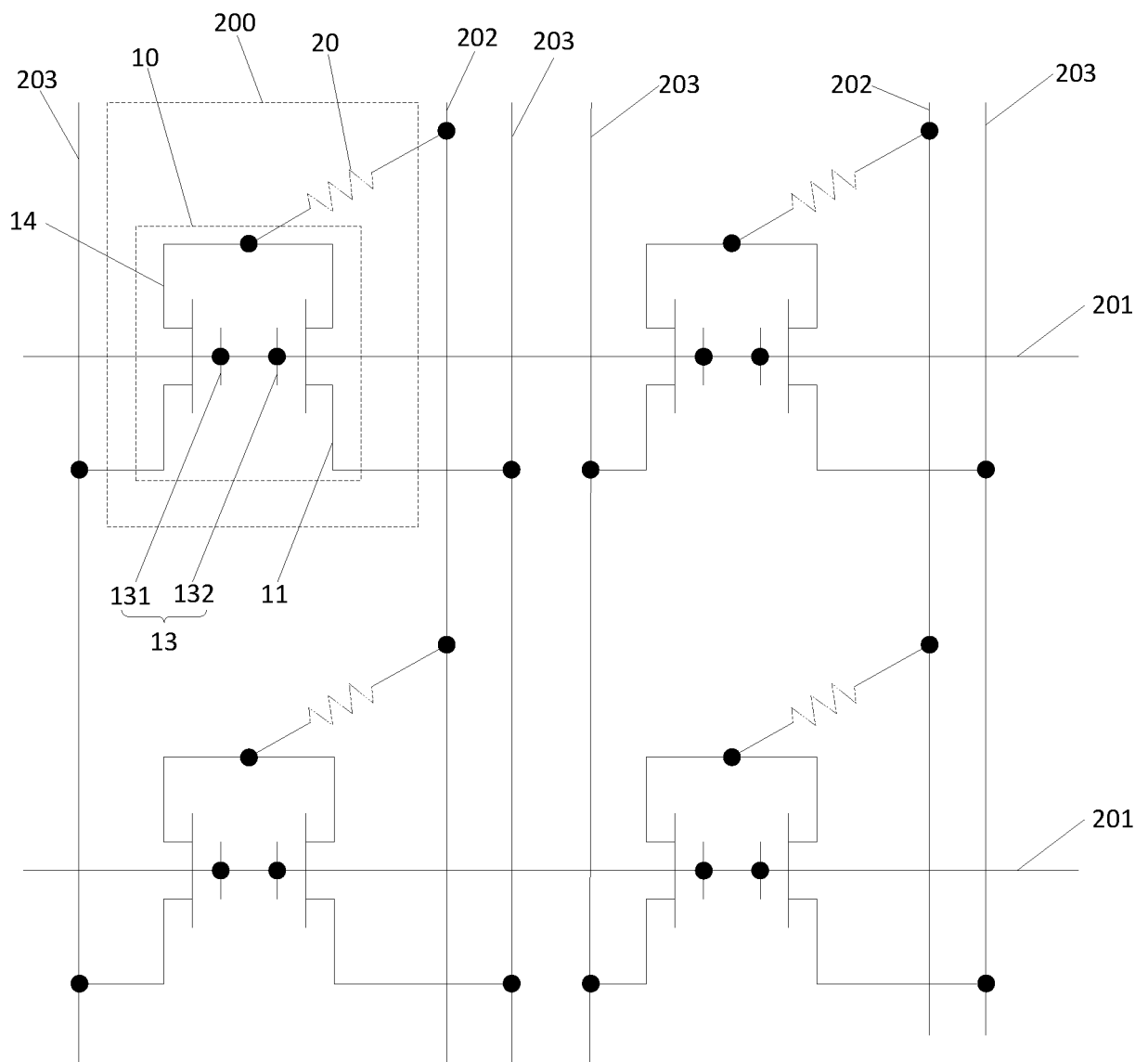


图 1

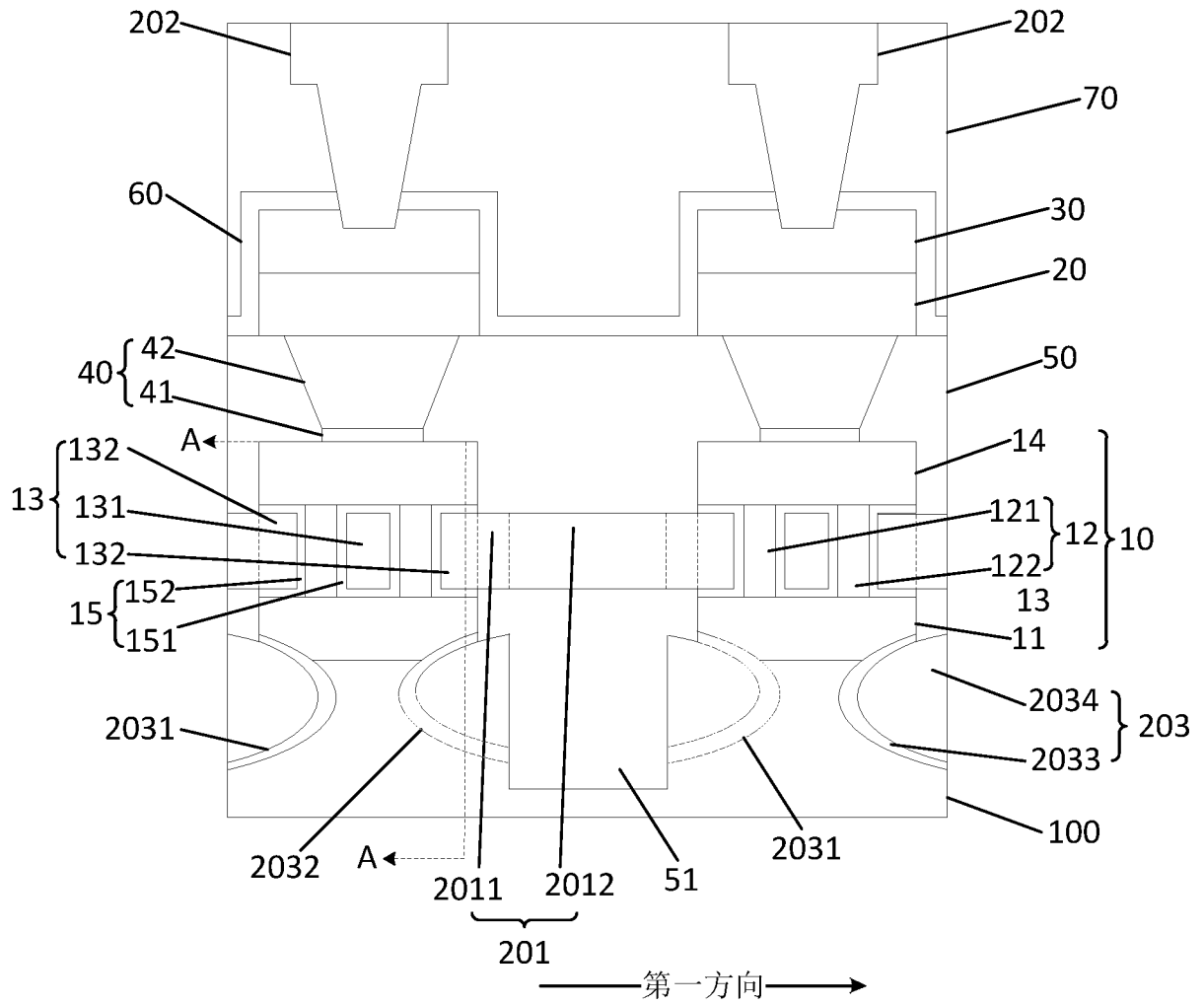


图 2

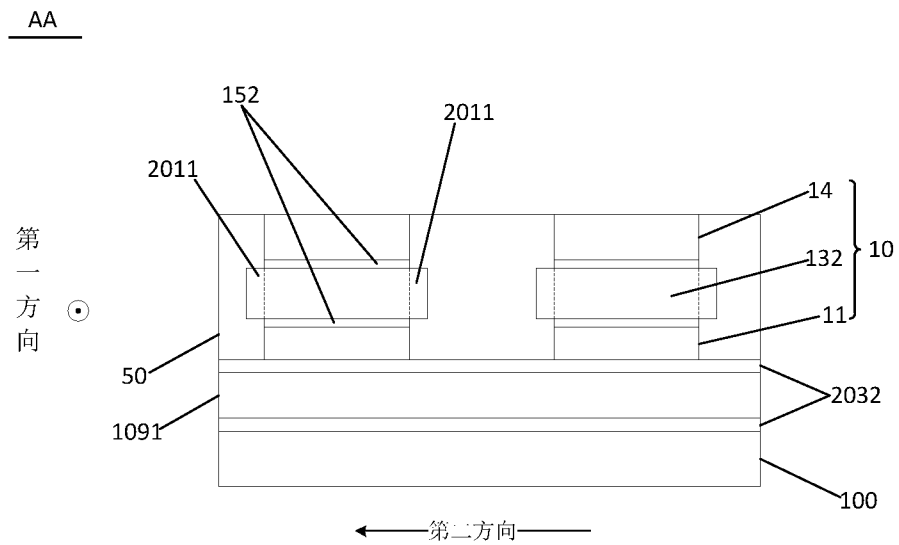


图 3

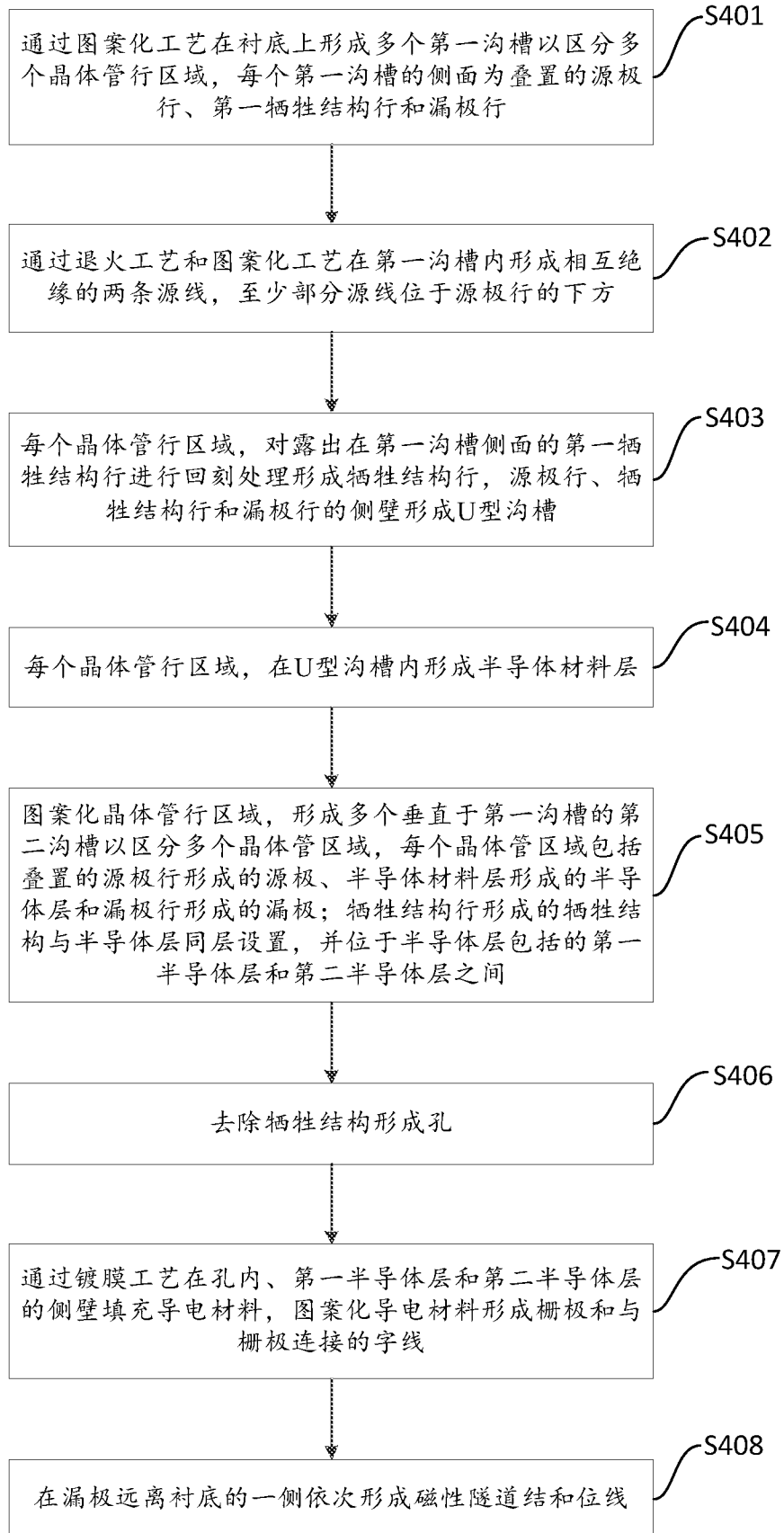


图 4

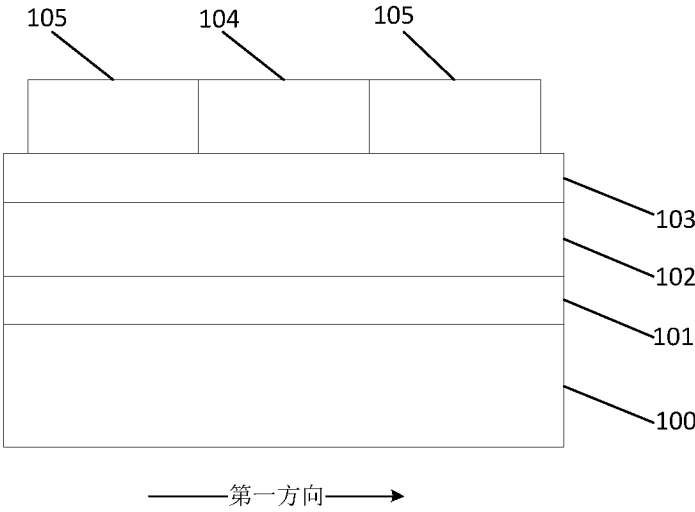


图 5

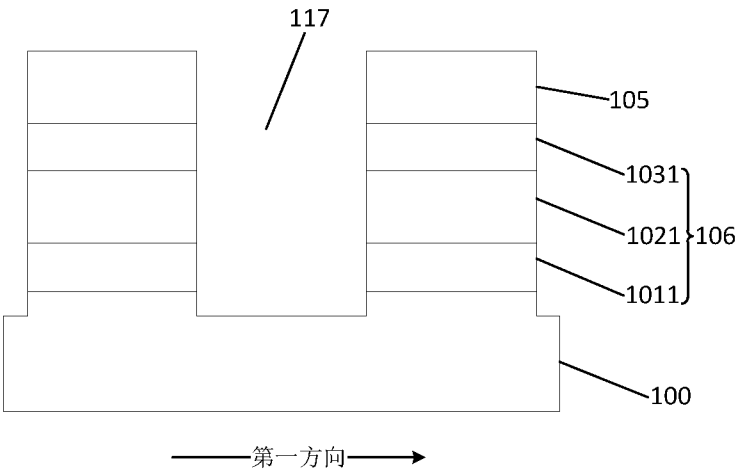


图 6

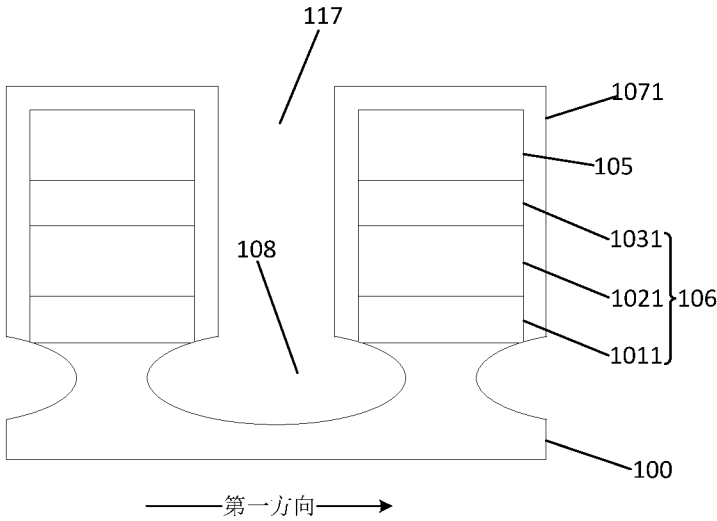


图 7

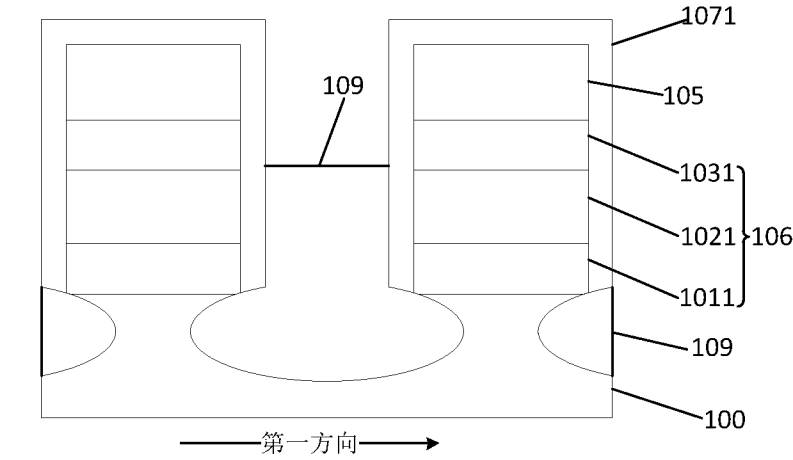


图 8

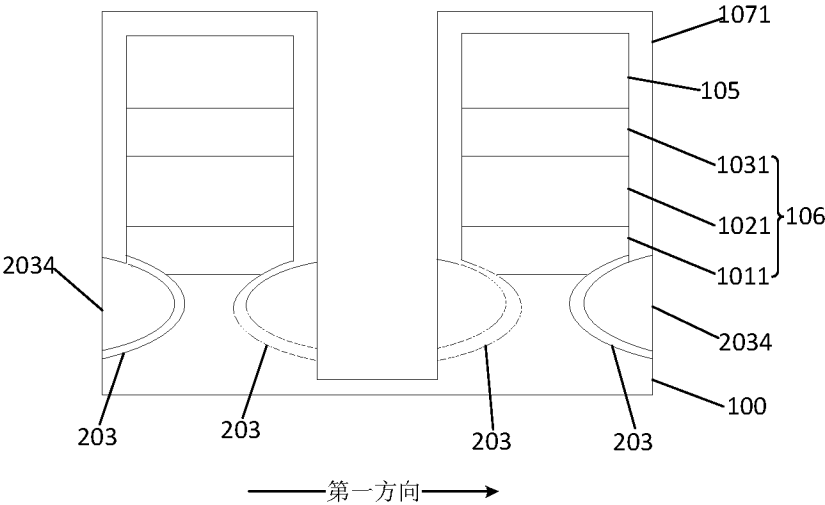


图 9

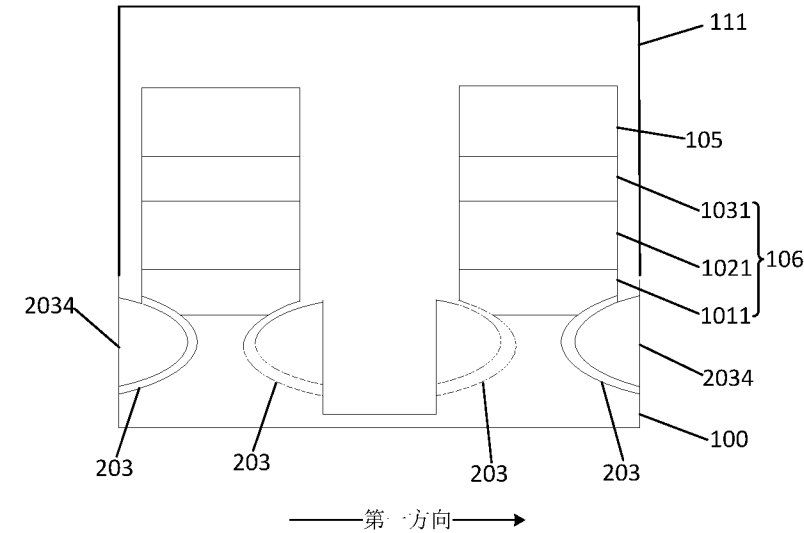


图 10

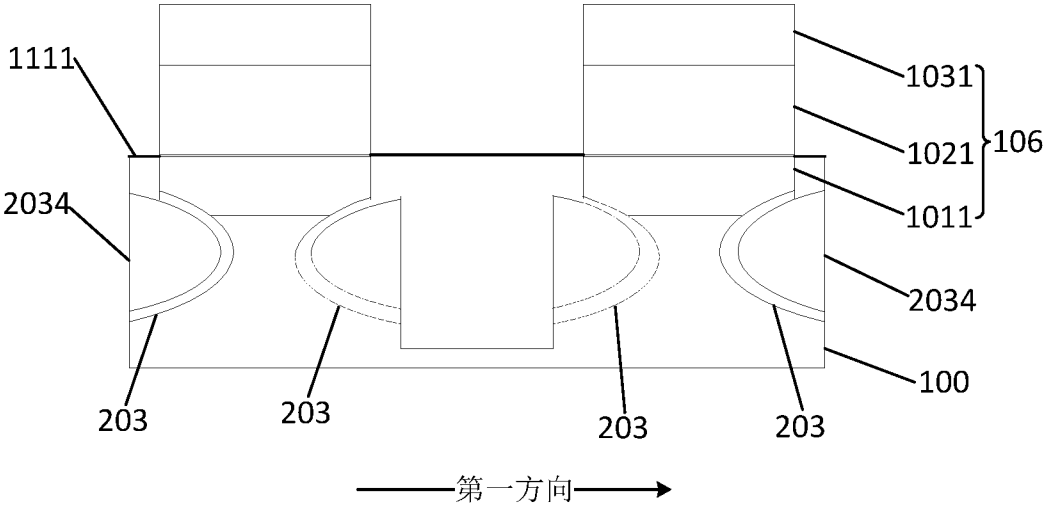


图 11

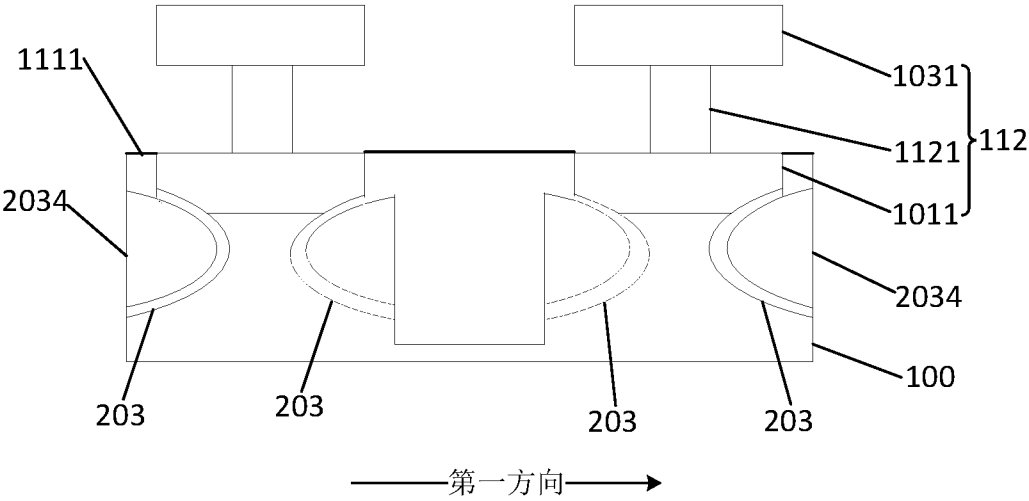


图 12

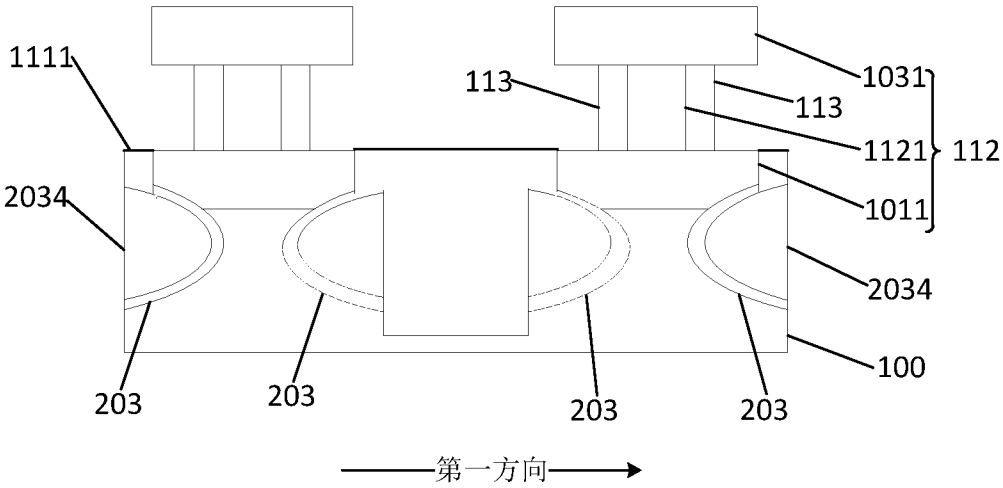


图 13

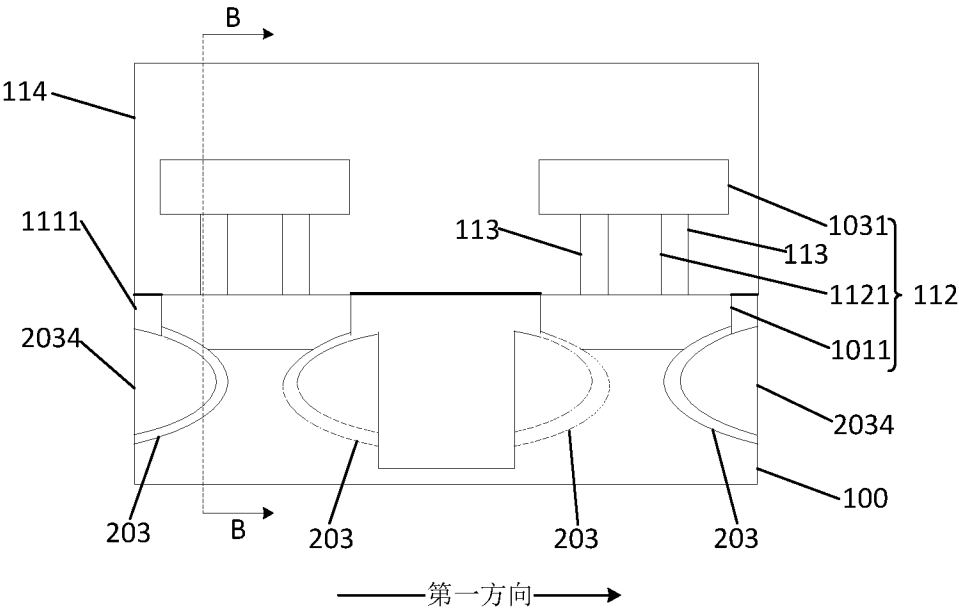


图 14

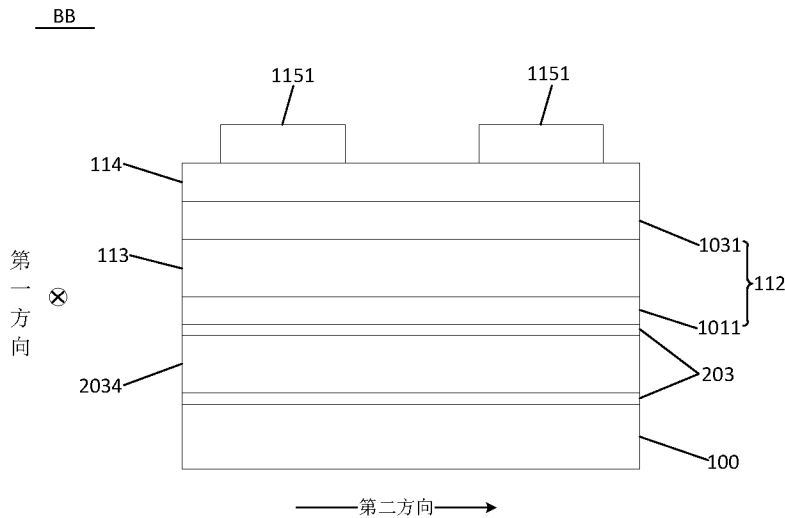


图 15

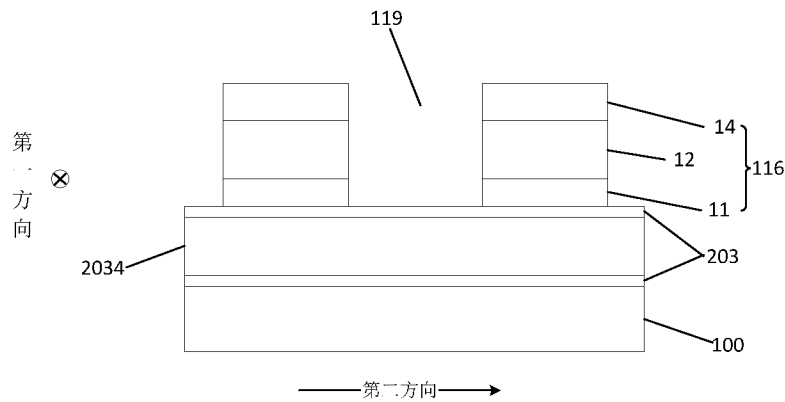


图 16

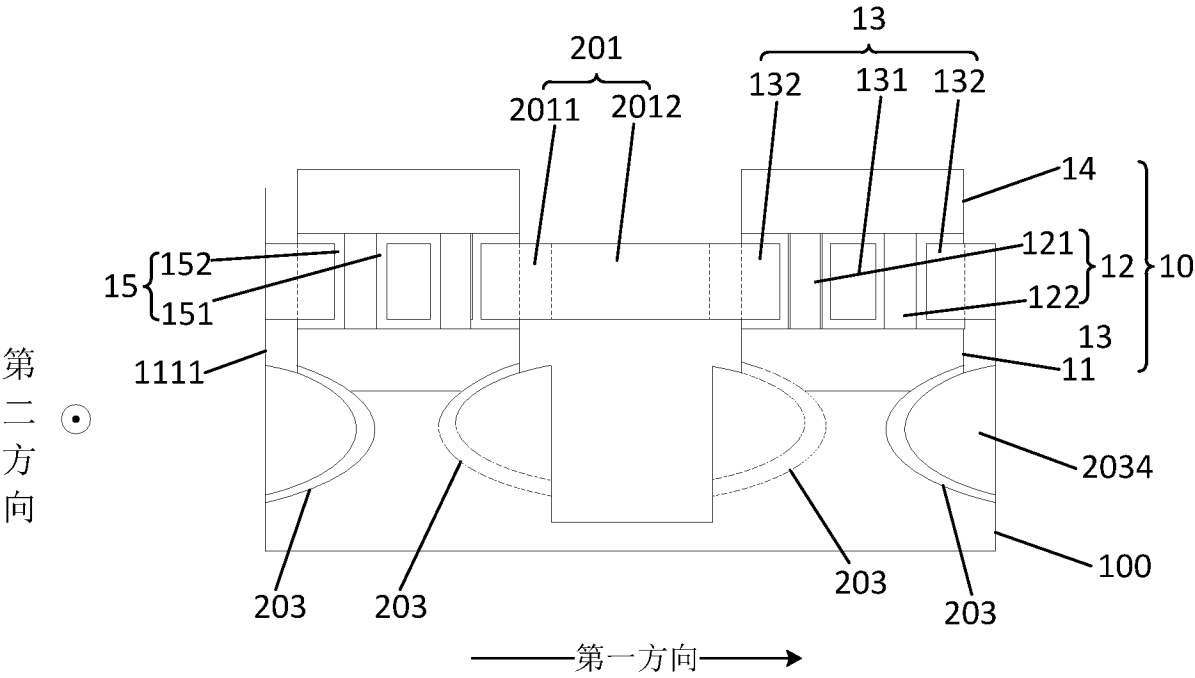


图 17

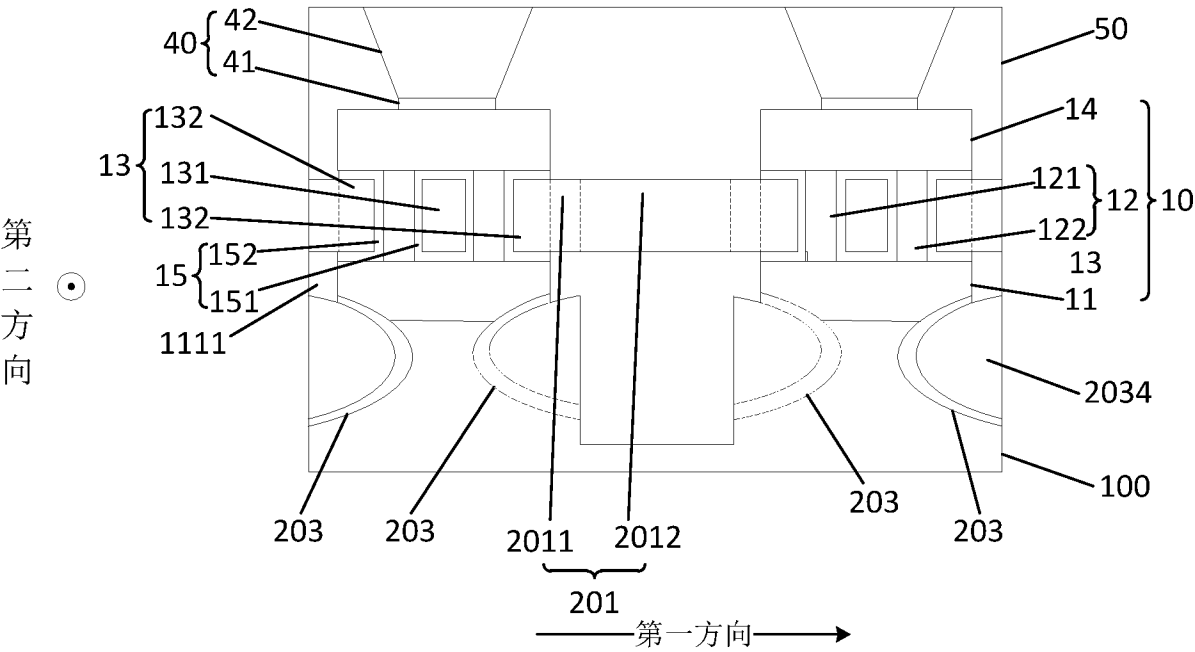


图 18

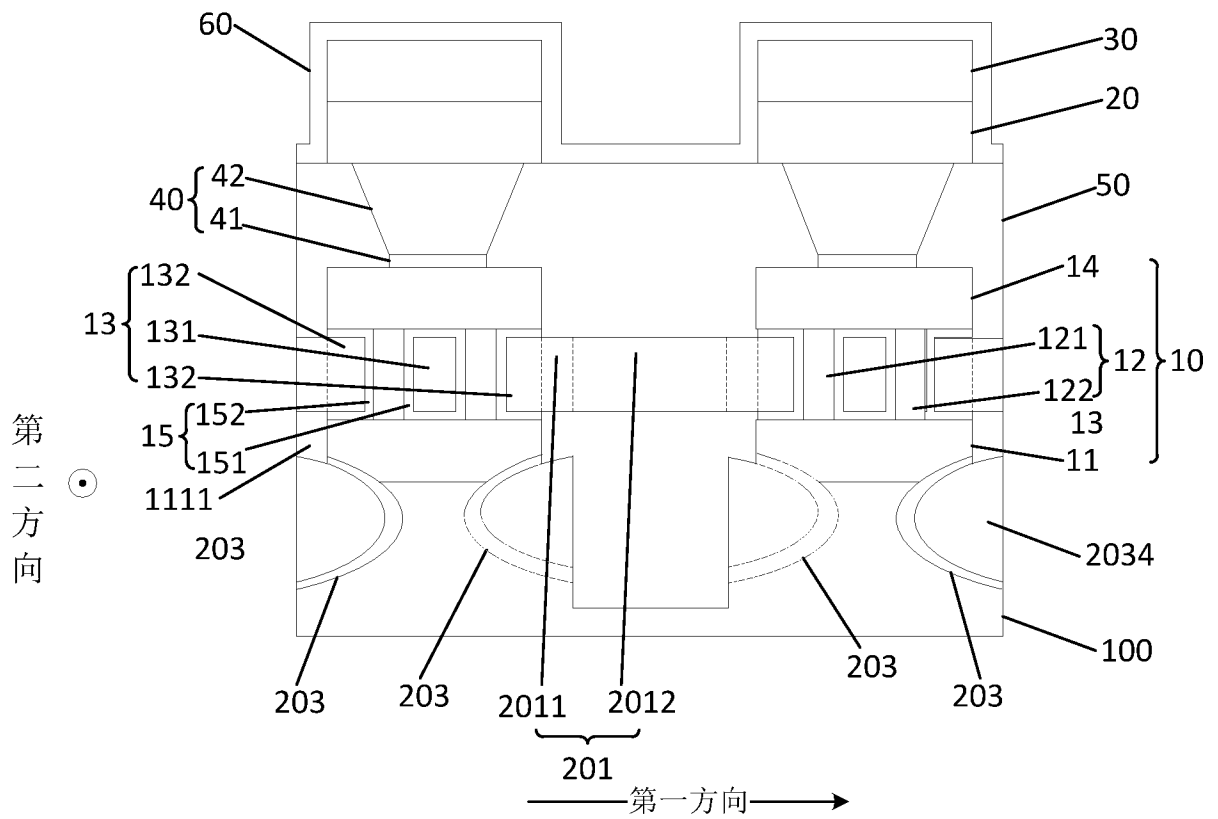


图 19

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2022/137314

A. CLASSIFICATION OF SUBJECT MATTER

G11C 11/02(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC:G11C

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

VEN, CNABS, CNTXT, WOTXT, EPTXT, USTXT, CNKI, IEEE: 存储, 磁性隧道结, 晶体管, 字线, 位线, 源线, 读, 写, 图形化, memory, storage, magnetic, tunnel, junction, transistor, word, line, bit, source, write, read, patterning

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 102314927 A (INSTITUTE OF PHYSICS, CHINESE ACADEMY OF SCIENCES) 11 January 2012 (2012-01-11) claims 1-11	1-7
A	CN 112635471 A (SAMSUNG ELECTRONICS CO., LTD.) 09 April 2021 (2021-04-09) claims 1-20	8-14
A	CN 113555046 A (WU WEI et al.) 26 October 2021 (2021-10-26) entire document	1-14
A	CN 113594355 A (TAIWAN SEMICONDUCTOR MANUFACTURING CO., LTD.) 02 November 2021 (2021-11-02) entire document	1-14
A	WO 2019066881 A1 (INTEL CORPORATION et al.) 04 April 2019 (2019-04-04) entire document	1-14



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“D” document cited by the applicant in the international application

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

06 February 2023

Date of mailing of the international search report

02 March 2023

Name and mailing address of the ISA/CN

China National Intellectual Property Administration (ISA/
CN)
China No. 6, Xitucheng Road, Jimenqiao, Haidian District,
Beijing 100088

Facsimile No. (86-10)62019451

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2022/137314

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	102314927	A	11 January 2012	None			
CN	112635471	A	09 April 2021	US	2021104526	A1	08 April 2021
				KR	20210042223	A	19 April 2021
CN	113555046	A	26 October 2021	None			
CN	113594355	A	02 November 2021	DE	102021108319	A1	20 January 2022
				JP	2022019662	A	27 January 2022
				TW	202205280	A	01 February 2022
				KR	20220009860	A	25 January 2022
				EP	3940802	A1	19 January 2022
				US	2022020920	A1	20 January 2022
WO	2019066881	A1	04 April 2019	US	2020357449	A1	12 November 2020

国际检索报告

国际申请号

PCT/CN2022/137314

A. 主题的分类 G11C 11/02 (2006.01) i 按照国际专利分类 (IPC) 或者同时按照国家分类和 IPC 两种分类		
B. 检索领域 检索的最低限度文献 (标明分类系统和分类号) IPC: G11C 包含在检索领域中的除最低限度文献以外的检索文献 在国际检索时查阅的电子数据库 (数据库的名称, 和使用的检索词 (如使用)) VEN, CNABS, CNTXT, WOTXT, EPTXT, USTXT, CNKI, IEEE: 存储, 磁性隧道结, 晶体管, 字线, 位线, 源线, 读, 写, 图形化, memory, storage, magnetic, tunnel, junction, transistor, word, line, bit, source, write, read, patterning		
C. 相关文件		
类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
X	CN 102314927 A (中国科学院物理研究所) 2012年1月11日 (2012 - 01 - 11) 权利要求1-11	1-7
A	CN 112635471 A (三星电子株式会社) 2021年4月9日 (2021 - 04 - 09) 权利要求1-20	8-14
A	CN 113555046 A (吴巍 等) 2021年10月26日 (2021 - 10 - 26) 全文	1-14
A	CN 113594355 A (台湾积体电路制造股份有限公司) 2021年11月2日 (2021 - 11 - 02) 全文	1-14
A	WO 2019066881 A1 (INTEL CORPORATION 等) 2019年4月4日 (2019 - 04 - 04) 全文	1-14
☐ 其余文件在C栏的续页中列出。 ☒ 见同族专利附件。		
* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “D” 申请人在国际申请中引证的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件 “T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件		
国际检索实际完成的日期 2023年2月6日		国际检索报告邮寄日期 2023年3月2日
ISA/CN的名称和邮寄地址 中国国家知识产权局 中国北京市海淀区蓟门桥西土城路6号 100088 传真号 (86-10)62019451		授权官员 张涛 电话号码 (+86) 010-53961356

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2022/137314

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	102314927	A	2012年1月11日	无			
CN	112635471	A	2021年4月9日	US	2021104526	A1	2021年4月8日
				KR	20210042223	A	2021年4月19日
CN	113555046	A	2021年10月26日	无			
CN	113594355	A	2021年11月2日	DE	102021108319	A1	2022年1月20日
				JP	2022019662	A	2022年1月27日
				TW	202205280	A	2022年2月1日
				KR	20220009860	A	2022年1月25日
				EP	3940802	A1	2022年1月19日
				US	2022020920	A1	2022年1月20日
WO	2019066881	A1	2019年4月4日	US	2020357449	A1	2020年11月12日