



(19) 대한민국특허청(KR)  
 (12) 등록특허공보(B1)

(45) 공고일자 2018년04월06일  
 (11) 등록번호 10-1846545  
 (24) 등록일자 2018년04월02일

- (51) 국제특허분류(Int. Cl.)  
*H01L 23/48* (2006.01) *H01L 21/60* (2006.01)
- (21) 출원번호 10-2011-0062762  
 (22) 출원일자 2011년06월28일  
 심사청구일자 2016년05월24일  
 (65) 공개번호 10-2012-0001651  
 (43) 공개일자 2012년01월04일  
 (30) 우선권주장  
 12/826,359 2010년06월29일 미국(US)  
 (56) 선행기술조사문현  
 US20090051038 A1  
 US20100108371 A1  
 WO2010052942 A1

- (73) 특허권자  
**제너럴 일렉트릭 캄파니**  
 미합중국 뉴욕 (우편번호 12345) 쉐넥테디 원 리  
 베 로우드  
 (72) 발명자  
**맥코넬리 폴 알란**  
 미국 뉴욕주 12309 니스카유나 리서치 씨클 1  
**듀로셔 케빈 매튜**  
 미국 뉴욕주 12309 니스카유나 메일 스톱 케이더  
 블유비 1313 리서치 씨클 1  
 (뒷면에 계속)  
 (74) 대리인  
**제일특허법인**

전체 청구항 수 : 총 7 항

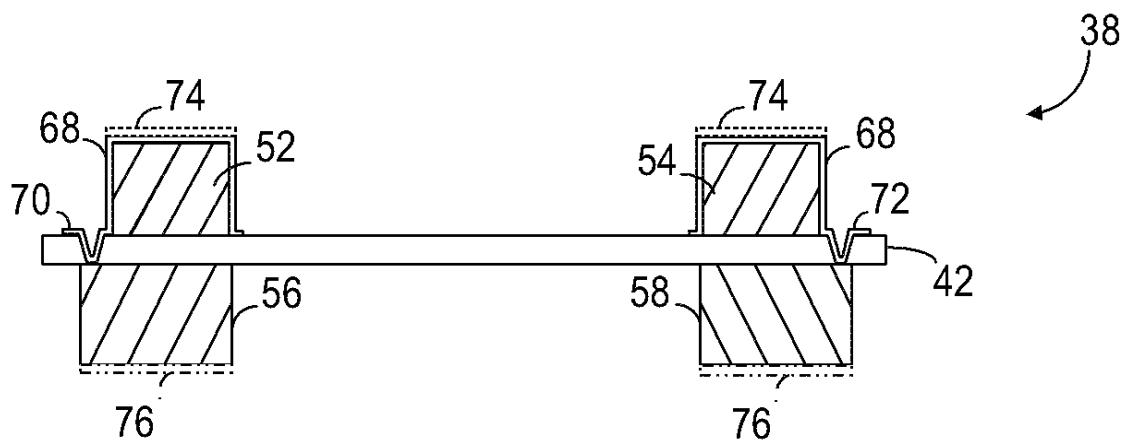
심사관 : 정구원

(54) 발명의 명칭 인터커넥트 조립체

**(57) 요약**

임베디드 칩 패키지를 위한 인터커넥트 조립체(38)가 유전체 층(42), 복수의 상부 접촉 패드(52, 54)를 포함하는 제 1 금속 층, 복수의 하부 접촉 패드(56, 58)를 포함하는 제 2 금속 층, 및 유전체 층(42)을 통해서 형성되고 그리고 복수의 상부 접촉 패드(52, 54) 및 복수의 하부 접촉 패드(56, 58)와 접촉하여 그 사이에 전기 연결부를

(뒷면에 계속)

**대 표 도** - 도11

형성하는 복수의 금속화된 연결부(62)를 포함한다. 상부 접촉 패드(52, 54)의 제 1 표면이 유전체 층(42)의 상부 표면(44)에 부착되고 그리고 하부 접촉 패드(56, 58)의 제 1 표면이 유전체 층(42)의 하부 표면(46)에 부착된다. 상기 인터커넥트 조립체(38)의 제 1 면의 하나 이상의 입력/출력(I/O)이, 복수의 하부 접촉 패드(56, 58)의 제 1 표면에 대향하여, 복수의 하부 접촉 패드(56, 58)의 제 2 표면 상에 형성되고, 그리고 상기 인터커넥트 조립체(38)의 제 2 면의 하나 이상의 입력/출력(I/O)이, 복수의 상부 접촉 패드(52, 54)의 제 1 표면에 대향하여, 복수의 상부 접촉 패드(52, 54)의 제 2 표면 상에 형성된다.

(72) 발명자

스미스 스콧

미국 뉴욕주 12309 니스카유나 리서치 씨클 1

커닝햄 도날드 폴

미국 텍사스주 75229-2920 탤러스 알타 비스타 레인 4626

## 명세서

### 청구범위

#### 청구항 1

임베디드 칩 패키지를 위한 인터커넥트 조립체(38)로서:

유전체 층(42);

복수의 상부 접촉 패드(52, 54)를 포함하는 제 1 금속 층으로서, 상기 복수의 상부 접촉 패드의 제 1 표면이 유전체 층(42)의 상부 표면(44)에 부착되는, 상기 제 1 금속 층;

복수의 하부 접촉 패드(56, 58)를 포함하는 제 2 금속 층으로서, 상기 복수의 하부 접촉 패드의 제 1 표면이 유전체 층(42)의 하부 표면(46)에 부착되는, 상기 제 2 금속 층;

유전체 층(42)을 통해서 형성되고 그리고 복수의 상부 접촉 패드(52, 54) 및 복수의 하부 접촉 패드(56, 58)와 접촉하여 그 사이에 전기 연결부를 형성하는 복수의 금속화된 연결부(70, 72)를 포함하고,

상기 인터커넥트 조립체(38)의 제 1 면의 하나 이상의 입력/출력(I/O)이, 복수의 하부 접촉 패드(56, 58)의 제 1 표면에 대향하여, 상기 복수의 하부 접촉 패드(56, 58)의 제 2 표면 상에 형성되고, 그리고

상기 인터커넥트 조립체(38)의 제 2 면의 하나 이상의 입력/출력(I/O)이, 복수의 상부 접촉 패드(52, 54)의 제 1 표면에 대향하여, 상기 복수의 상부 접촉 패드(52, 54)의 제 2 표면 상에 형성되는

인터커넥트 조립체.

#### 청구항 2

제 1 항에 있어서,

상기 유전체 층(42)이 폴리이미드 필름을 포함하는

인터커넥트 조립체.

#### 청구항 3

제 1 항에 있어서,

상기 제 1 및 제 2 금속 층이 구리를 포함하는

인터커넥트 조립체.

#### 청구항 4

제 1 항에 있어서,

상기 복수의 상부 접촉 패드(52, 54)의 제 2 표면에 커플링된 티타늄 층을 더 포함하는

인터커넥트 조립체.

#### 청구항 5

제 1 항에 있어서,

상기 복수의 금속화된 연결부(70, 72)가 상기 복수의 상부 접촉 패드(52, 54)의 제 1 표면으로부터 복수의 하부 접촉 패드(56, 58)의 제 2 표면으로 연장되는

인터커넥트 조립체.

#### 청구항 6

제 1 항에 있어서,

상기 복수의 금속화된 연결부(70, 72)가 복수의 하부 접촉 패드(56, 58)의 제 1 표면으로부터 유전체 층(42)의 상부 표면으로 연장되는  
인터커넥트 조립체.

## 청구항 7

제 6 항에 있어서,

상기 복수의 금속화된 연결부가 상기 복수의 상부 접촉 패드(52, 54)의 장착 위치에 인접한 부분에서 상기 유전체 층(42)의 상부 표면까지 연장되는  
인터커넥트 조립체.

## 발명의 설명

### 기술 분야

[0001] 본원 발명은 전체적으로 접적 회로 패키지에 관한 것이고, 보다 특히, 접적 회로 패키지를 위한 선-제조된(pre-fabricated) 전기 인터커넥트를 제조하는 장치 및 방법에 관한 것이다.

### 배경 기술

[0002] 접적 회로가 점점 더 소형화되고 그리고 보다 양호한 작동 성능을 제공하기 때문에, 접적 회로(IC) 패키징을 위한 패키징 기술도 리드형(lead) 패키징으로부터 라미네이트-계 볼 그리드 어레이(laminated-based ball grid array; BGA) 패키징으로 그리고 결과적으로 칩 스케일 패키징(chip scale packaging; CSP)으로 발전하였다. IC 칩 패키징 기술에서의 진보는 보다 양호한 성능, 보다 진행된 최소화, 및 보다 높은 신뢰성을 달성하는데 필요한 지속적으로 증대되는 요구에 의해서 이루어지고 있다. 새로운 패키징 기술은 대규모 제조의 목적을 위한 배치(batch) 생산 가능성을 추가로 제공하여야 하고 그에 따라 경제적 규모로 실행될 수 있게 허용하여야 한다.

[0003] 표준 CSP 제조 프로세스는 통상적으로 하나 또는 둘 이상의 다이를 실리콘 IC 기판의 상부 표면 상에 배치함으로써 시작된다. 이어서, 복수의 재분포 층이 IC 기판 상에 놓여지고 그리고 다이(들)가 패턴화되어 박막-필름 금속 리-루팅(re-routing) 및 인터커넥션 시스템을 형성한다. 통상적으로, 재분포 층들은 예를 들어 벤조시클로부텐(BCB) 또는 폴리이미드 물질로부터 형성되고, 그리고 스핀-온 또는 라미네이션 도포 프로세스를 통해서 도포된다. 라미네이트 재분포 층과 다이(들) 사이의 전기적 연결이 다이(들) 내외로의 입/출력(I/O) 시스템을 형성한다.

[0004] 현재의 임베디드 구축 프로세스에 대한 문제가 IC 패키징 요건의 발전에 걸림돌이 되고 있다. 즉, 많은 현재의 임베디드 칩 패키지에서 최종 IC 패키지의 양 측부에 대한 입력 및 출력을 제공하는 I/O 시스템을 구비하는 것이 바람직하다. 이러한 양면(double-sided) I/O 시스템을 달성하기 위해서, 다이(들)에 대한 전기적 인터커넥션이 IC 패키지의 상부 표면 및 하부 표면까지 다이(들)를 돌아서 루팅되어야(routed) 한다.

[0005] 양면 I/O 시스템을 형성하기 위한 몇 가지 다양한 방법들이 개발되었다. 예를 들어, 복수 라미네이션 또는 재분포 층을 IC 기판에 도포하여 희망하는 I/O 시스템을 달성할 수 있을 것이다. 그러나, 층-층(layer-by-layer) 방식으로 재분포 층들을 도포하는 프로세스는 리루팅 및 인터커넥션 시스템에서 왜곡부(warpage)를 초래할 수 있고, 편평한 또는 평면형의 IC 패키지를 유지하기 위해서 몰딩된 에폭시 용력 균형 층 또는 금속 보강체(stiffener)의 이용을 필요로 한다.

[0006] 또한, IC 패키지의 작은 크기 및 복잡성으로 인해서, IC 패키지 제조를 위한 프로세스는 통상적으로 고비용이 소요되고 많은 시간을 필요로 한다. 희망하는 양면 I/O 시스템을 생성하기 위해서 부가적인 재분포 층을 추가하는 것은 프로세싱 단계들의 수를 증대시키고, 제조 프로세스의 비용 및 복잡성을 보다 증대시키게 된다.

[0007] 따라서, IC 패키지를 위한 양면 I/O 시스템을 제조하기 위한 단순화된 방법이 요구되고 있다. IC 패키지의 편평도를 유지하면서 IC 패키지 내에 양면 I/O 시스템을 통합하기 위한 방법이 추가적으로 요구되고 있다.

[0008] 그에 따라, 접적 회로 패키지를 위한 선-제조된 전기 인터커넥트를 제조하기 위한 장치 및 방법이 바람직할 것이다.

## 발명의 내용

[0009]

본원 발명의 측면에 따라서, 임베디드 칩 패키지를 위한 인터커넥트 조립체는 유전체 층, 복수의 상부 접촉 패드를 포함하는 제 1 금속 층, 그리고 복수의 하부 접촉 패드를 포함하는 제 2 금속 층을 포함한다. 복수의 상부 접촉 패드의 제 1 표면은 유전체 층의 상부 표면에 부착되고 그리고 복수의 하부 접촉 패드의 제 1 표면은 유전체 층의 하부 표면에 부착된다. 또한, 임베디드 칩 패키지는 유전체 층을 통해서 형성되고 그리고 복수의 상부 접촉 패드 및 복수의 하부 접촉 패드와 접촉하여 그 사이에 전기적 연결을 형성하는 복수의 금속화(metalized) 연결부를 포함한다. 인터커넥트 조립체의 제 1 면의 하나 이상의 입/출력(I/O)이, 복수의 하부 접촉 패드의 제 1 표면에 대향하여, 복수의 하부 접촉 패드의 제 2 표면 상에 형성되고, 그리고 인터커넥트 조립체의 제 2 면의 하나 이상의 입/출력(I/O)이, 복수의 상부 접촉 패드의 제 1 표면에 대향하여, 복수의 상부 접촉 패드의 제 2 표면 상에 형성된다.

[0010]

본원 발명의 다른 측면에 따라서, 임베디드 칩 패키지를 제조하기 위한 방법이 설명된다. 그러한 방법은 금속화된 장착 표면을 제공하는 단계, 다이를 상기 장착 표면의 제 1 표면에 커플링하는 단계, 그리고 선-제조된 인터커넥트 구조물의 제 1 면을 상기 장착 표면의 제 1 표면에 커플링하는 단계를 포함한다. 선-제조된 인터커넥트 구조물은 상부 및 하부 표면 상에 형성된 복수의 금속화된 접촉 패드를 가지는 절연 기판을 포함하며, 상기 기판의 상부 표면 상의 금속화된 접촉 패드가 복수의 금속 인터커넥트를 통해서 기판의 하부 표면 상의 금속화된 접촉 패드에 전기적으로 연결된다. 또한, 상기 방법은 또한, 다이와 선-제조된 인터커넥트 구조물 사이에 복수의 전기 연결부를 형성하는 단계를 포함하고, 상기 복수의 전기 연결부는, 제 1 기판에 대향하여, 장착 기판의 제 2 표면 상의 다이로부터 하나 이상의 입/출력(I/O)을, 그리고 선-제조된 인터커넥트 구조물의 제 2 면 상의 다이로부터 하나 이상의 I/O를 생성한다.

[0011]

본원 발명의 다른 측면에 따라서, 임베디드 칩 패키지는 제 1 표면 상에 형성된 재분포 층을 가지는 장착 기판 및, 상기 제 1 표면에 대향하는, 상기 장착 표면의 제 2 표면 상에 장착된 제 1 다이를 포함한다. 또한, 임베디드 칩 패키지는 금속-도금된 절연 기판 상의 패터닝된 상부 및 하부 접촉 층들을 포함하는 선-제조된 인터커넥션 조립체를 포함한다. 선-제조된 인터커넥션 조립체의 상부 및 하부 접촉 층들은 그들 사이의 금속화된 연결부들을 통해서 전기적으로 연결된다. 선-제조된 인터커넥션 조립체의 상부 접촉 층이 장착 기판의 제 2 표면에 부착되고 그리고 재분포 층 및 제 1 다이 모두에 전기적으로 연결되도록 패터닝된다.

[0012]

본원 발명의 여러 가지 다른 특징 및 이점들을 이하의 구체적인 설명 및 첨부 도면으로부터 명확하게 이해할 수 있을 것이다.

## 도면의 간단한 설명

[0013]

첨부 도면들은 본원 발명을 실시하기 위한 실시예들을 도시한다.

도 1은 본원 발명의 실시예에 따른 피드 스루(feed through) 인터커넥트의 평면도이다.

도 2는 도 1의 피드 스루 인터커넥트의 일부를 확대하여 도시한 도면이다.

도 3은 도 2에 도시된 피드 스루 인터커넥트의 일부를 도시한 단면도이다.

도 4는 본원 발명의 실시예에 따른 피드 스루 인터커넥트의 패널을 도시한 평면도이다.

도 5 내지 도 12는 본원 발명의 실시예에 따른 피드 스루 인터커넥트를 제조하기 위한 단계들을 도시한 도면이다.

도 13 내지 도 17은 본원 발명의 실시예에 따른 피드 스루 인터커넥트를 포함하는 IC 패키지를 제조하는 단계들을 도시한 도면이다.

도 18은 본원 발명의 실시예에 따른 IC 패키지 조립체로 통합된 선-제조된 인터커넥트를 도시한 도면이다.

도 19는 본원 발명의 다른 실시예에 따른 IC 패키지 조립체로 통합된 선-제조된 인터커넥트를 도시한 도면이다.

## 발명을 실시하기 위한 구체적인 내용

[0014]

도 1은 본원 발명의 실시예에 따른 인터커넥트 조립체("피드 스루 인터커넥트" 또는 "삽입체"라고도 함)(10)를 도시한 평면도이다. 삽입체(10)를 구체적으로 도시하기 위해서 삽입체(10)의 일부분(12)을 확대하여 도 2에 제공하였다. 도 3은 도 2의 선 3-3을 따라 도시한 삽입체(12)의 단면도이다. 도 1 내지 도 3에 도시된 바와 같

이, 삽입체(10)는 예를 들어 Kapton과 같은 폴리이미드 물질인 유전체 층("절연 필름 층"이라고도 함)(18)의 상부 표면(16)에 커플링된 다수의 구리 상부 피드 스루 패드(14)를 포함한다. 다수의 구리 하부 피드 스루 패드(20)가 절연 필름 층(18)의 하부 표면(22)에 커플링된다. 도 2 및 도 3에 도시된 바와 같이, 각각의 상부 피드 스루 패드(14)는 서로 정렬된 대응하는 하부 피드 스루 패드(20)를 구비한다. 소위 당업자는 상부 및 하부 피드 스루 패드(14, 20)의 개체수, 형상 및 패턴이 주어진 디자인 재원(specification)에 따라서 달라질 수 있다는 것을 이해할 것이다.

[0015] 비아(vias; 24)가 절연 필름 층(18)을 통해서 형성되고 그리고 절연 필름 층(18)의 상부 및 하부 표면(16, 22) 사이에서 연장한다. 금속화 경로(metallization path; 26)가 절연 필름 층(18)의 상부 표면(16)에 형성되고 비아(24)를 통해서 연장하며, 그에 따라 상부 피드 스루 패드(14)가 각각의 하부 피드 스루 패드(20)에 전기적으로 커플링된다. 일 실시예에서, 금속화 경로(26)가 스퍼터링 및 도금(plating) 기술에 의해서 형성될 수 있고, 그리고 리소그래피 프로세스가 후속한다. 도 2가 상부 피드 스루 패드(14)마다 단일의 비아(24) 및 상응하는 금속화 경로(26)를 도시하고 있지만, 예를 들어, 고전류 용도(high current applications)에서는 제 2 비아 및 금속화 경로(도시하지 않음)가 포함될 수도 있을 것이다. 또한, 이하에서 도 5 내지 도 12와 관련하여 보다 상세하게 설명하는 바와 같이, 삽입체(10)가 IC 패키지에 통합될 때, 하나 또는 둘 이상의 다이(도시하지 않음)를 수용하기 위해서 개구부(28)가 절연 필름 층(18)의 중앙 부분에 형성될 수 있을 것이다.

[0016] 도 4를 참조하면, 본원 발명의 일 실시예에 따라서, 제조 속도를 높이고 그리고 제조 비용을 낮추기 위해서, 도 1 내지 도 3의 인터커넥트 조립체(10)와 유사한 복수의 피드 스루 인터커넥트(30)가 삽입체의 패널(32)로서 제조될 수 있을 것이다. 패널(32)이 프로세싱된 후에, 개별 인터커넥트 모듈(34) 및/또는 다중 인터커넥트 모듈(36)이 패널(32)로부터 레이저 싱글레이팅(singulated) 된다. 도 13 내지 도 17과 관련하여 보다 상세하게 설명하는 바와 같이, 삽입체(10)가 IC 패키지에 통합될 때, 하나 또는 둘 이상의 다이(도시하지 않음)를 수용하기 위해서 개구부(28)가 절연 필름 층(18)의 중앙 부분에 형성될 수 있을 것이다.

[0017] 도 5 내지 도 12를 참조하면, 본원 발명의 일 실시예에 따른, 인터커넥트 조립체("피드 스루 인터커넥트" 또는 "삽입체"라고도 함)(38)를 제조하기 위한 기술이 설명된다. 인터커넥트 조립체(38)의 제조는 예를 들어 Kapton과 같은 폴리이미드 필름인 절연 필름 층("유전체 층"이라고도 함)(42)을 포함하는 선-금속화된(pre-metalized) 플렉스(flex)의 시트(40)로 시작된다. 도 5에 도시된 바와 같이, 절연 필름 층(42)의 상부 표면 및 하부 표면(44, 46)이 롤-어닐링된 각각의 구리 층(48, 50)으로 도금된다. 구리 층(48, 50)의 두께는, 예를 들어, 다이 두께와 같은 디자인 요건에 따라서 선택될 수 있을 것이다. 도 6에 도시된 바와 같이, 구리 층(48, 50)이 패터닝되고 에칭되어 상부 표면(44) 상의 다수의 상부 피드 스루 패드("상부 접촉 패드"라고도 함)(52, 54) 및 하부 표면(46) 상의 하부 피드 스루 패드("하부 접촉 패드"라고도 함)(56, 58)를 형성한다. 도 4에 도시된 바와 같이, 상부 및 하부 피드 스루 패드(52, 54, 56, 58)의 패턴들이 단일 모듈 또는 다중 모듈에 대해서 구성(laid out)될 수 있을 것이다.

[0018] 일 실시예에 따라서, 절연 필름 층(42)이 약 55 미크론의 두께를 가지고, 그리고 구리 층(48, 50)은 각각 약 110 미크론의 두께를 가진다. 그러나, 플렉스 시트(40)의 치수는 디자인 재원에 따라서 달라질 수 있을 것이다. 예를 들어, 이하에서 보다 구체적으로 설명하는 바와 같이, 구리 층(48, 50)의 두께는 대응 다이의 두께와 대략적으로 같게 또는 그보다 두껍게 선택될 수 있을 것이다. 또한, 선-금속화된 플렉스 시트(40)의 길이 및 폭은 주어진 프로세싱 방법 및 이용가능한 프로세싱 툴에 따라서 선택될 수 있을 것이다.

[0019] 도 7을 참조하면, 비아(60, 62)가 리세스형(recessed) 부분(64, 66)에 인접하여 형성되고, 그리고 절연 필름 층(42)을 통해서 연장한다. 비아(60, 62)가 UV 레이저 드릴링 또는 에칭에 의해서 형성될 수 있을 것이다. 여러 실시예에 따라서, 하나 또는 둘 이상의 비아(60, 62)가 하부 및 상부 피드 스루 패드(52, 54, 56, 58)의 각각의 쌍 사이에 형성될 수 있을 것이다. 도 8 및 도 9는 비아(60, 62)가 형성된 후의 인터커넥트 조립체(38)의 일부분의 상면도 및 저면도이다. 도시된 바와 같이, 상부 피드 스루 패드(52, 54)가 리세스형 부분(64, 66)을 구비하도록 형성되고 그리고 하부 피드 스루 패드(56, 58)가 비아(60, 62)를 둘러싸도록 크기가 정해진다. 일 실시예에 따라서, 도 8 및 도 9에 도시된 바와 같이, 하부 피드 스루 패드(56, 58)가 상부 피드 스루 패드(52, 54) 보다 더 넓다. 그러나, 당업자는 상부 및 하부 피드 스루 패드(52, 54, 56, 58)의 기하학적 형태가 비아 배치 및 디자인 재원에 따라서 선택될 수 있다는 것을 이해할 수 있을 것이다.

[0020] 도 10을 참조하면, 비아(60, 62)가 드릴링 가공되고 세정된 후에, 금속화 층(68)이 절연 필름 층(42)의 상부 표면(44)에 도포되며, 그에 따라 금속화 층이 비아(60, 62)를 통해서 연장하게 된다. 금속화 층(68)이, 예를 들어, 구리 및 티타늄 또는 크롬의 초기 금속화된 시드 층, 상기 시드 층의 상부에 전기도금된 도금 구리 층, 그리고, 예를 들어, 제조 프로세스에서 추후에 접착 층으로서 작용하도록, 도금된 구리 층의 위에 스퍼터링된 티

타늄 또는 크롬과 같은 상부 금속 층을 포함할 수 있을 것이다. 이어서, 도 11에 도시된 바와 같이, 금속화 층(68)이 패터닝되고 그리고 예칭된다. 결과적인 금속화된 비아("금속화된 연결부"라고도 함)(70, 72)가 하부 및 상부 피드 스루 패드(52, 54, 56, 58) 사이의 전기 연결부를 형성한다. 일 실시예에 따라서, 예를 들어, 티타늄 또는 크롬과 같은 선택적인 부가적 금속 층(74)(점선으로 도시함)이 금속화 층(68) 상에 형성되어, 조립 프로세스 중에서 추후에 사용되기 위한 접착 층을 생성할 수 있을 것이다.

[0021]

선택적으로, 예를 들어, 디자인 요건을 기초로 무전해 기술 또는 전기도금 기술을 이용하여, 니켈 금 층과 같은 부가적인 금속 층(76)(점선으로 도시함)이 하부 피드 스루 패드(56, 58)에 도포될 수 있을 것이다. 도 12를 참조하면, 다이 두께 및 디자인 요건에 따라서, 절연 필름 층(42)의 일부분을 레이저로 선택적으로 제거하여 개구부(78)를 생성할 수 있고, 그러한 개구부 내에는 다이 배치를 위한 간극이 남아 있게 된다.

[0022]

도 13 내지 도 17을 참조하면, 본원 발명의 실시예에 따라서 IC 패키지(80)(도 17)를 제조하기 위한 기술이 설명된다. IC 패키지(80)로 조립하기에 앞서서, IC 패키지(80)는 도 1의 인터커넥트 조립체(10)와 같은 피드 스루 인터커넥트(82) 또는 도 5 내지 도 12에 관련하여 설명한 바와 같이 제조된 인터커넥트 조립체(38)를 통합한다. 피드 스루 인터커넥트(82)는 절연 필름 층(92) 상에 배치된 다수의 상부 피드 스루 패드(84, 86) 및 하부 피드 스루 패드(88, 90)를 포함한다. 금속화된 비아(94, 96)가 상부 및 하부 피드 스루 패드(84, 86, 88, 90) 사이의 전기적 연결부를 형성한다.

[0023]

도 13에 도시된 바와 같이, IC 패키지(80)의 제조는 변형을 제어하기 위해서 제조 프로세스 중에 프레임(도시하지 않음) 상에서 연신(stretch)될 수 있는 절연 시트(100) 상에 다이 또는 반도체 칩(98)을 위치시키는 것으로 시작된다. 일 실시예에 따라서, 절연 시트(100)는, 예를 들어, 두께가 약 1 내지 2 mil인 Kapton 필름과 같은 선-패터닝된 유전체 플렉스 물질을 포함한다. 에폭시 접착제(102)의 층이 도포되어 절연 시트(100)의 상부 표면(104)을 코팅한다. 이어서, 에폭시 접착제(102)가 저온 베이크를 이용하여 B-스테이지화되고(B-staged), 이는 점착 상태의 에폭시 접착제(102)를 남기게 된다. 다음에, 핀업 및 배치 시스템을 이용하여, 다이(98)가 아래쪽의 에폭시 접착제(102)를 향하는 상태로 배치된다. 다이(98)를 배치한 후에, 피드 스루 인터커넥트(82)가 에폭시 접착제(102) 내로 배치되고 그리고 다이(98) 및 절연 시트(100)의 금속화 패턴 주위로 정렬된다. 도 14에 도시된 바와 같이, 피드 스루 인터커넥트(82)가 다이(98)와 정렬되고, 그에 따라 다이(98)가 절연 필름 층(92) 내의 개구부(106)를 통해서 연장한다. 다이(98) 및 피드 스루 인터커넥트(82)가 배치되면, 에폭시 접착제(102)가 완전히 경화된다.

[0024]

이제 도 15를 참조하면, 제조 기술이 임베디드 칩 구축 프로세스로 계속 진행된다. 복수의 비아(108)가 절연 시트(100)를 통해서 다이(98) 상의 다수의 접촉 표면(110), 피드 스루 인터커넥트(82) 상의 다수의 접촉 표면(112), 그리고 절연 시트(100) 내의 다수의 접촉 표면(114)까지 형성된다. 비아(108)가 예를 들어 UV 레이저 드릴링 또는 건식 예칭에 의해서 형성될 수 있을 것이다. 비아(108)가 세정된 후에, 금속화 경로(116)가 절연 시트(100)의 상부 표면(101) 상에 형성된다. 금속화 경로(116)는 각각의 비아(108)를 통해서 연장하고 그리고 각 접촉 표면(110, 112)에서 상부 피드 스루 패드(84, 86) 및 다이(98)에 전기적으로 커플링된다. 일 실시예에서, 금속화 경로(116)가 구리 층을 포함할 수 있고 그리고 스퍼터링 및 도금 기술을 이용하여 형성될 수 있으며, 리소그래피 프로세스가 후속될 수 있다. 절연 시트(100), 비아(108), 및 금속화 경로(116)가 함께 제1 재분포 층(118)을 형성한다. 선택적으로, 부가적인 재분포 층(120)이 제1 재분포 층(118)의 상부에 적층될 수 있을 것이다. 도 16이 2개의 재분포 층(118, 120)을 도시하고 있지만, 소위 당업자는 재분포 층의 개체수 및 형상이 디자인 재원에 따라서 선택될 수 있다는 것을 용이하게 이해할 수 있을 것이다.

[0025]

도 17에 도시된 바와 같이, 제조 기술은 재분포 층(118, 120)의 상부 표면(124)를 코팅하기 위해서 솔더마스크 층(122)을 도포하는 것으로 계속 진행된다. 예를 들어 에폭시 또는 다른 필러와 같은 언더필(underfill) 물질(126)이 또한 다이(98) 및 피드 스루 인터커넥트(82) 주위에 도포되어 부가적인 구조적 강도뿐만 아니라, 상부 및 하부 피드 스루 패드(84, 86, 88, 90)를 사이의 격리를 제공한다. 그 대신에, 언더필 물질(126)은 언더필 물질이 다이(98)의 후방 표면(128)을 덮지 않도록 도포될 수도 있을 것이다. 대안적인 실시예에 따라, 언더필 물질(126)은 에폭시 접착제(102)가 경화된 후에 제조 프로세스에 있어서 보다 앞 부분(earlier)에서 추가될 수도 있을 것이다. 결과적인 IC 패키지(80)는 IC 패키지(80)의 상면(130) 및 하면(132) 모두에서 다이(98)로부터의 하나 이상의 입출력을 구비한다.

[0026]

도 13 내지 도 17이 단일 IC 패키지에 대해서 설명한 반면, 당업자는 IC 패키지 제조 기술이 패널화된(panelized) 형태로 다수의 IC 패키지의 동시적인 제조에도 동일하게 적용될 수 있다는 것을 이해할 수 있을 것이다. 그러한 실시예에서, 다중 피드 스루 인터커넥트가 절연 시트 상의 다수의 다이 주위에 배치된다. 제조

시간을 줄이기 위해서, 모듈(36)(도 4)과 같은 다중 인터커넥트 모듈이 사용될 수 있을 것이다. 제조가 완료되면, IC 패키지 패널이 개별적인 IC 패키지로 레이저 싱글레이팅(singulated)될 수 있을 것이다.

[0027] 도 18을 참조하면, 대안적인 실시예에 따라, IC 패키지(134)가 도시되어 있다. IC 패키지(134)는 유전체 층(146) 상에 장착된 상부 및 하부 피드 스루 패드(138, 140, 142, 144)의 쌍을 포함하는 선-제조 인터커넥트 조립체(136)를 포함한다. 도 7 내지 도 11에 대해서 설명된 것과 다른 방식으로 형성된 금속화된 비아(148, 150)가 상부 피드 스루 패드(138, 140) 및 유전체 층(146)을 통해서 연장하여, 하부 피드 스루 패드(142, 144)와의 전기 연결부를 생성한다. 금속화된 비아(148, 150)가 상부 피드 스루 패드(138, 140)를 통해서 연장하기 때문에, 상부 및 하부 피드 스루 패드(138, 140, 142, 144)가 유사한 기하학적 형상을 갖도록 형성될 수 있을 것이다. IC 패키지(134)는 또한 하나 또는 둘 이상의 제 1 재분포 층(154)에 고정된 다이(52)를 포함한다. 인터커넥트 조립체(136)가 다이(152) 주위에 배치된다. 다이(152)가 하부 피드 스루 패드(142, 144)의 두께(158)보다 얇은 두께(156)를 가지기 때문에, 유전체 층(146)이 손상되지 않고 유지될 것이며, 도시된 바와 같이 매립된 다이 구성을 생성할 것이다.

[0028] 그 대신에, 도 19에 도시된 바와 같이, 상부 및 하부 피드 스루 패드(138, 140, 142, 144)의 두께를 감소시킴으로써, 인터커넥트 조립체(136)의 두께를 조절할 수 있을 것이다. 또한, 대안적인 실시예에 따라서, 제 2 다이(160)가 다이(152)에 인접하여 장착되어 멀티-칩 모듈(162)을 형성할 수 있을 것이다. 당업자는 임의 수의 부가적인 다이들이 멀티-칩 모듈(162)에 포함될 수 있다는 것을 이해할 것이다.

[0029] 도 18을 다시 참조하면, IC 패키지(134)가 또한 도 17과 관련하여 설명한 것과 유사한 솔더마스크(164)를 포함한다. 언더필 층(166)이 하부 피드 스루 패드(142, 144) 및 다이(152) 주위에 도포된다. 일 실시예에 따라서, 히트 싱크(168)(점선으로 도시함)가 선택적으로 유전체 층(146)에 고정될 수 있을 것이다. 그 대신에, 히트 싱크(170)(점선으로 도시함)가 열 발산을 위해서 다이(152)와 짹을 이를 수 있을 것이다.

[0030] 따라서, 본원 발명의 실시예는 다이로부터의 입출력이 인터커넥트 조립체의 상면 및 하면 모두에서 제공될 수 있게 하기 위해서 IC 패키지로 통합될 수 있는 인터커넥트 조립체를 포함한다. 인터커넥트 조립체의 실시예를 매우 얇은 다이(예를 들어, 50  $\mu\text{m}$  또는 그 미만)와 함께 이용할 수 있을 것이고 그리고 층간 패터닝 및 금속화 단계들의 수가 감소된 상태에서 종래의 통합형 칩 패키지에서와 유사한 전기 연결부를 달성할 수 있을 것이다.

[0031] 부가적으로, 본원 명세서에 기재된 인터커넥트 조립체의 실시예들은 다양한 다이 치수 그리고 매립형 다이 및 적층형 다이 구성과 같은 소자 구성을 수용하기 위한 다양한 두께로 선-제조될 수 있을 것이다. 인터커넥트 조립체를 선-제조함으로써, 인터커넥트가 IC 패키지로 통합되기에 앞서서 테스트될 수 있을 것이며, 이는 최종적으로 조립된 IC 패키지의 수율을 높일 것이다.

[0032] 또한, 전술한 방법을 이용하여 조립된 IC 패키지 및 선-제조된 인터커넥트 조립체가 종래의 방법을 이용하여 제조된 IC 패키지 보다 조립 후에 보다 더 편평하게(fatter) 유지된다. 인터커넥트 조립체의 구조적 디자인 및 선-제조되는 특성으로 인해서, IC 패키지에서 인터커넥트 조립체를 이용하는 것은 조립된 IC 패키지에서 적은 응력 및 평면 왜곡을 초래한다. 그에 따라, 선-제조된 인터커넥트 조립체를 이용하여 조립된 IC 패키지의 장착 기판 및 다이가 그 다이의 장착 표면에 평행한 평면 내에서 비교적 편평하게(즉, 약 5% 미만 만큼 평면으로부터 벗어난다) 유지된다.

[0033] 그에 따라, 본원 발명의 일 실시예에 따라서, 매립된 칩 패키지에 대한 인터커넥트 조립체는 유전체 층, 복수의 상부 접촉 패드를 포함하는 제 1 금속 층, 그리고 복수의 하부 접촉 패드를 포함하는 제 2 금속 층을 포함한다. 복수의 상부 접촉 패드의 제 1 표면은 유전체 층의 상부 표면에 부착되고 그리고 복수의 하부 접촉 패드의 제 1 표면은 유전체 층의 하부 표면에 부착된다. 매립된 칩 패키지는 또한 유전체 층을 통해서 형성되고 복수의 상부 접촉 패드 및 복수의 하부 접촉 패드와 접촉하여 그 사이에 전기적 연결부들을 형성하는 복수의 금속화된 연결부를 포함한다. 인터커넥트 조립체의 제 1 면의 하나 이상의 입력/출력(I/O)이, 복수의 하부 접촉 패드의 제 1 표면에 대향하여, 복수의 하부 접촉 패드의 제 2 표면 상에 형성되고, 그리고 인터커넥트 조립체의 제 2 면의 하나 이상의 I/O가, 복수의 상부 접촉 패드의 제 1 표면에 대향하여, 복수의 상부 접촉 패드의 제 2 표면상에 형성된다.

[0034] 본원 발명의 다른 실시예에 따라서, 임베디드 칩 패키지를 제조하기 위한 방법이 제공된다. 그러한 방법은 금속화된 장착 기판을 제공하는 단계, 다이를 상기 장착 기판의 제 1 표면에 커플링하는 단계, 그리고 선-제조된 인터커넥트 구조물의 제 1 면을 장착 기판의 제 1 표면에 커플링하는 단계를 포함한다. 선-제조된 인터커넥트

구조물은 그 상부 표면 및 하부 표면에 형성된 복수의 금속화된 접촉 패드를 가지는 절연 기판을 포함하고, 상기 기판의 상부 표면 상의 금속화된 접촉 패드가 복수의 금속 인터커넥트를 통해서 기판의 하부 표면 상의 금속화된 접촉 패드에 전기적으로 연결된다. 상기 방법은 또한 다이와 선-제조된 인터커넥트 구조물 사이에 복수의 전기 연결부를 형성하는 단계를 포함하고, 상기 복수의 전기 연결부들은, 제 1 표면에 대향하여, 장착 기판의 제 2 표면 상에서 다이로부터 하나 이상의 입력/출력(I/O)을 그리고 선-제조된 인터커넥트 구조물의 제 2 면 상에서 다이로부터 하나 이상의 I/O를 생성한다.

[0035]

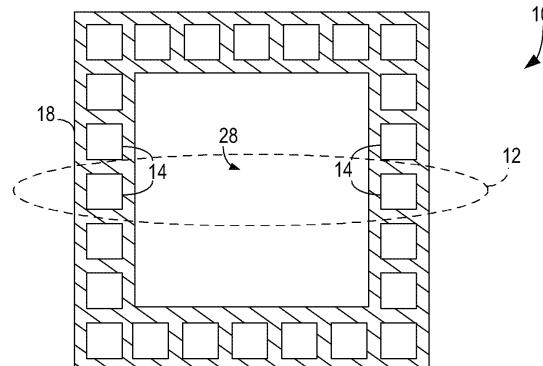
본원 발명의 또 다른 실시예에 따라서, 임베디드 칩 패키지는 제 1 표면에 형성된 재분포 층을 가지는 장착 기판 그리고, 상기 제 1 표면에 대향하여, 장착 표면의 제 2 표면에 장착되는 제 1 다이를 포함한다. 또한, 임베디드 칩 패키지는 금속-도금된 절연 기판 상에 패터닝된 상부 및 하부 접촉 층을 포함하는 선-제조된 인터커넥션 조립체를 포함한다. 선-제조된 인터커넥션 조립체의 상부 및 하부 접촉 층들이 그 사이의 금속화된 연결부들을 통해서 전기적으로 연결된다. 선-제조된 인터커넥션 조립체의 상부 접촉 층이 장착 기판의 제 2 표면에 부착되고 그리고 재분포 층 및 제 1 다이 모두에 전기적으로 연결되도록 패터닝된다.

[0036]

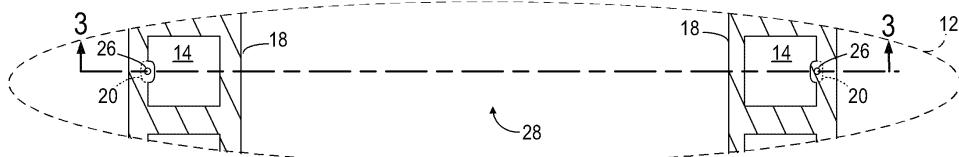
이상의 기재는 최적 모드를 포함하는 예를 들어서 그리고 또한 당업자가 본원 발명을 실시할 수 있게 본원 발명을 설명한 것으로서, 그러한 발명의 실시에는 소자 또는 시스템의 제조 및 이용 그리고 임의의 통합 방법의 실행이 포함될 것이다. 본원 발명의 특허받을 수 있는 범위는 특허청구범위에 의해서 결정되고, 그리고 당업자가 인식할 수 있는 다른 예들도 포함될 수 있을 것이다. 그러한 다른 예들이 특허청구범위의 기재로부터 벗어나지 않는 구성요소를 가진다면, 또는 특허청구범위의 기재와 크게 다르지 않은 균등한 구성요소를 포함한다면, 그러한 다른 예들도 특허청구범위에 포함될 것이다.

## 도면

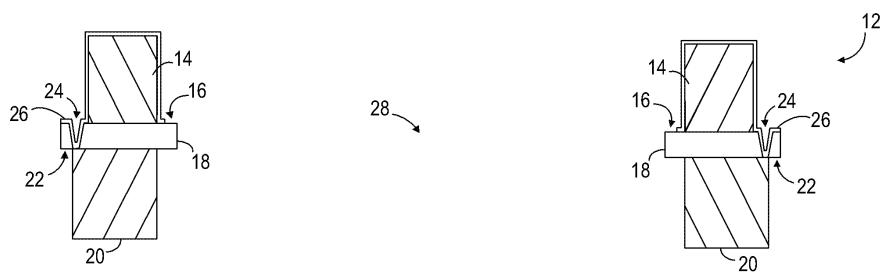
### 도면1



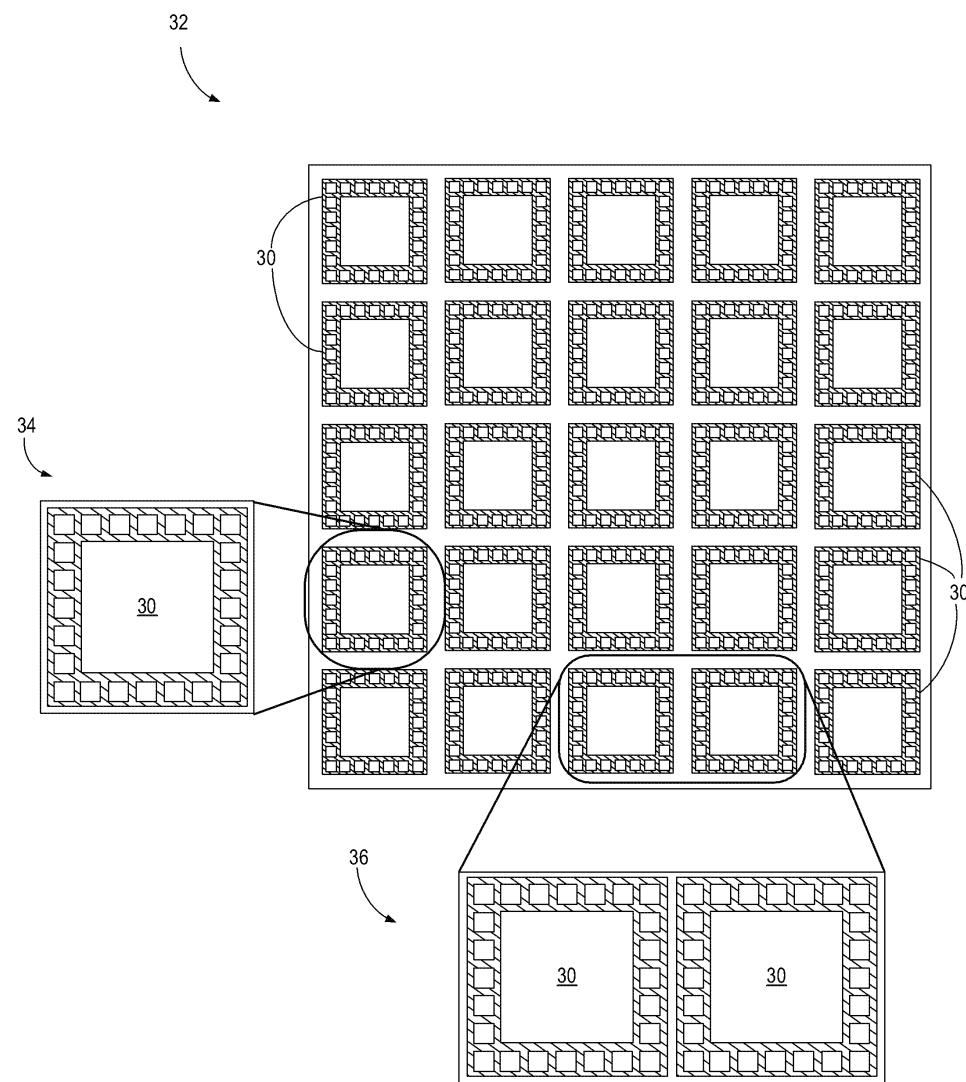
### 도면2



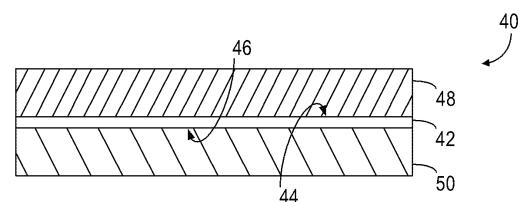
### 도면3



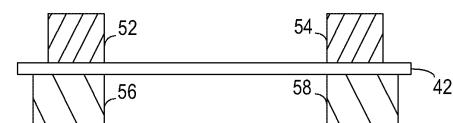
도면4

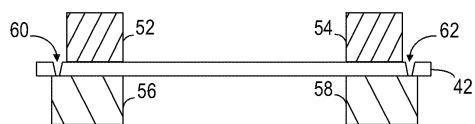
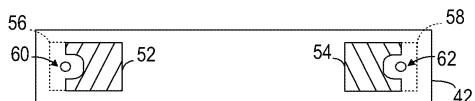
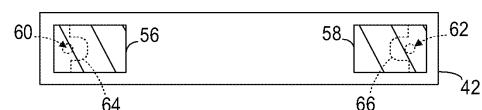
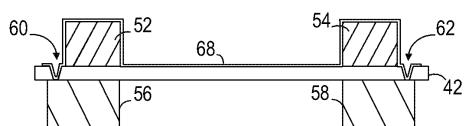
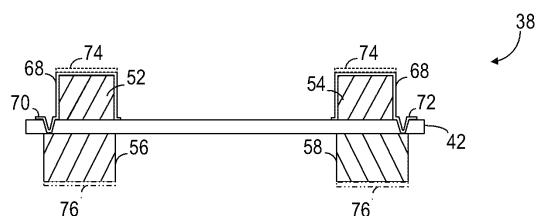
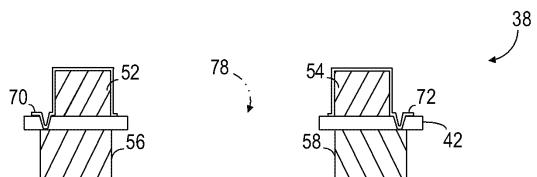
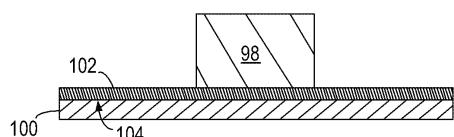


도면5

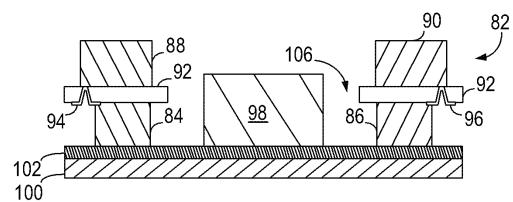


도면6

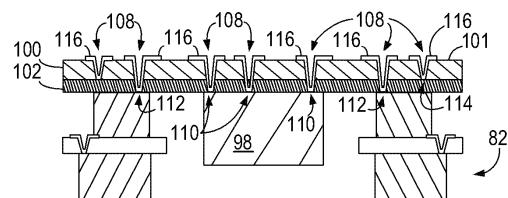


**도면7****도면8****도면9****도면10****도면11****도면12****도면13**

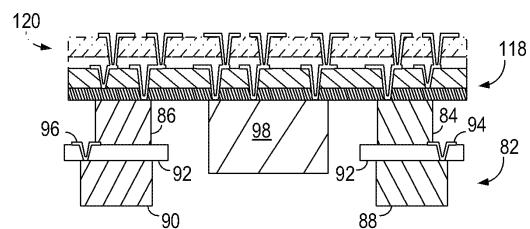
도면14



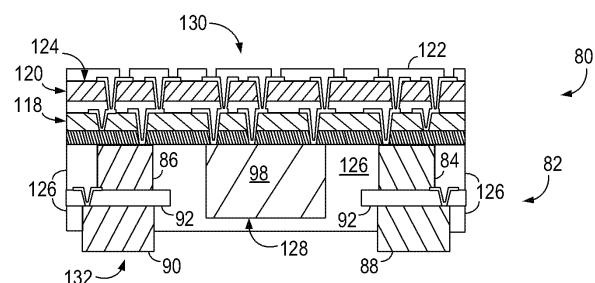
도면15



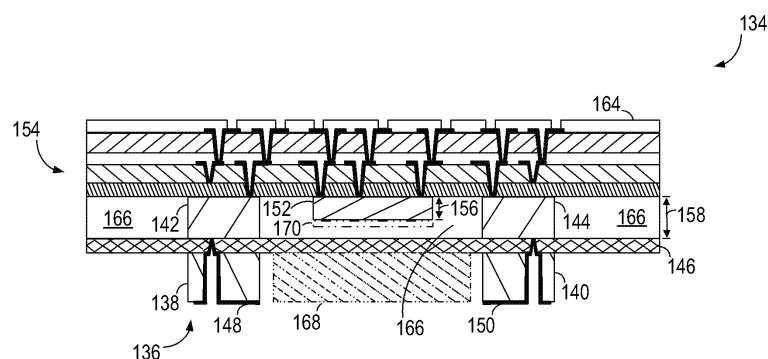
도면16



도면17



도면18



도면19

