

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4364609号
(P4364609)

(45) 発行日 平成21年11月18日(2009.11.18)

(24) 登録日 平成21年8月28日(2009.8.28)

(51) Int.Cl.		F I			
A 6 1 B	5/117	(2006.01)	A 6 1 B	5/10	3 2 2
G 0 6 T	1/00	(2006.01)	G 0 6 T	1/00	4 0 0 G
			G 0 6 T	1/00	5 0 0 A

請求項の数 9 (全 35 頁)

(21) 出願番号	特願2003-394002 (P2003-394002)	(73) 特許権者	000010098
(22) 出願日	平成15年11月25日(2003.11.25)		アルプス電気株式会社
(65) 公開番号	特開2005-152223 (P2005-152223A)		東京都大田区雪谷大塚町1番7号
(43) 公開日	平成17年6月16日(2005.6.16)	(74) 代理人	100106909
審査請求日	平成18年3月8日(2006.3.8)		弁理士 棚井 澄雄
		(74) 代理人	100064908
			弁理士 志賀 正武
		(74) 代理人	100108578
			弁理士 高橋 詔男
		(74) 代理人	100120396
			弁理士 杉浦 秀幸
		(74) 代理人	100094400
			弁理士 鈴木 三義
		(74) 代理人	100108453
			弁理士 村山 靖彦

最終頁に続く

(54) 【発明の名称】 容量検出回路及びそれを用いた指紋センサ

(57) 【特許請求の範囲】

【請求項1】

行配線に対して複数の列配線が交差され、列配線と行配線との交差部の容量変化を電圧値として検出する容量検出回路であり、

時系列に直交性を有する符号を発生する符号発生手段と、

前記符号に基づき、前記複数の列配線を第1の配線群と第2の配線群とに振り分けて駆動する列配線駆動手段と、

前記行配線に接続され、駆動された列配線との複数の交差部の容量に生じる電流の総和を電圧信号に変換した測定電圧を出力する容量検出手段と、

前記列配線群毎に、前記測定電圧と前記符号とにより積和演算を行い、各交差部の容量に対応する電圧値を求める復号演算手段と

を有し、

前記列配線駆動手段が、前記容量検出の期間を、第1及び第2の容量検出の期間に分割し、第1の容量検出の期間において、前記第1の配線群が第1の電圧から第2の電圧に立ち上がり、前記第2の配線群が第2の電圧から第1の電圧に立ち下がり、第2の容量検出の期間において、前記第1の配線群が第2の電圧から第1の電圧に立ち下がり、前記第2の配線群が第1の電圧から第2の電圧に立ち上がるように駆動する

ことを特徴とする容量検出回路。

【請求項2】

前記複数の列配線に対して、複数の前記行配線をマトリクス状に配設したエリア型の容

量センサの前記交差部の容量を検出することを特徴とする請求項 1 記載の容量検出回路。

【請求項 3】

前記複数の列配線に対して、1 本の前記行配線が対応して形成されたライン型の容量センサの前記交差部の容量を検出することを特徴とする請求項 1 記載の容量検出回路。

【請求項 4】

前記複数の列配線が所定の数の列配線からなる複数の列配線グループに分割されており、

前記列配線駆動手段が、前記複数の列配線グループから検出対象となる列配線グループを、所定期間毎に時系列に切り替えて選択し、選択された列配線グループにおいて、前記符号に基づき前記第 1 の配線群と前記第 2 の配線群とに振り分けて駆動し、選択されない列配線グループの列配線の駆動を行わないことを特徴とする請求項 1 から請求項 3 のいずれかに記載の容量検出回路。

10

【請求項 5】

前記符号発生手段が、自己相関性を有する PN 符号を発生し、1 ビットずつ位相を順次シフトさせて、時系列に前記符号として出力することを特徴とする請求項 1 から請求項 4 のいずれかに記載の容量検出回路。

【請求項 6】

前記符号発生手段が、異なるビット配列のウォルシュ直交符号を順次生成して、前記符号として時系列に出力することを特徴とする請求項 1 から請求項 4 のいずれかに記載の容量検出回路。

20

【請求項 7】

前記列配線グループが、符号のビット数より少ない数の列配線で構成されており、前記復号演算手段が、前記列配線グループの各列配線を、符号のビット列における所定の位置のビットに対応させ、かつ、この符号において余るビットを架空の列配線に対応させて積和演算を行い、前記交差部の容量に対応する電圧値の復号処理を行うことを特徴とする請求項 4 から請求項 6 のいずれかに記載の容量検出回路。

【請求項 8】

行配線に対して複数の列配線が交差され、列配線と行配線との交差部の容量変化を電圧値として検出する容量検出回路であり、

時系列に直交性を有する符号を発生する符号発生手段と、

30

前記符号に基づき、前記複数の列配線を第 1 の配線群と第 2 の配線群とに振り分けて駆動する列配線駆動手段と、

前記行配線に接続され、駆動された列配線との複数の交差部の容量に生じる電流の総和を電圧信号に変換した測定電圧を出力する容量検出手段と、

前記列配線群毎に、前記測定電圧と前記符号とにより積和演算を行い、各交差部の容量に対応する電圧値を求める復号演算手段と

を有し、

前記列配線駆動手段が、前記容量検出の期間において、前記符号とこの符号の反転情報の切り替えに応じて駆動する電圧を時系列に相補的に切り替えて、第 1 の列配線群及び第 2 の列配線群の一方を第 1 の電圧から第 2 の電圧へ駆動し、他方を第 2 の電圧から第 1 の電圧へ駆動し、

40

前記復号演算手段は、前記符号に基づいて前記第 1 の列配線群が駆動され、前記符号の反転情報に基づいて前記第 2 の列配線群が駆動された場合に前記容量検出手段が出力した第 1 の測定電圧、及び、前記符号に基づいて前記第 2 の列配線群が駆動され、前記符号の反転情報に基づいて前記第 1 の列配線群が駆動された場合に前記容量検出手段が出力した第 2 の測定電圧に基づいてその差を導く

ことを特徴とする容量検出回路。

【請求項 9】

請求項 1 から請求項 8 のいずれかに記載の容量検出回路を有することを特徴とする指紋センサ。

50

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、微小容量を検出する容量検出回路および検出方法並びにそれを用いた指紋センサに関する。

【背景技術】

【0002】

従来、バイオメトリクス（生体認証技術）の中で最も有望とされる指紋センサとして、所定の間隔で列配線と行配線を2枚のフィルムの表面にそれぞれ形成し、このフィルムを絶縁膜等を介して所定の間隔をおいて対向して配置した感圧式容量センサが開発されている。この感圧式容量センサでは、指を置いたときに指紋の凹凸に対応してフィルム形状が変形し、列配線と行配線の間隔が場所によって変化して、指紋の形状が列配線および行配線の交差部の容量として検出される。この感圧式容量センサにおいて、数百fF（フェムトファラッド）に満たない容量を検出するのに応用できる従来技術としては、容量をスイッチドキャパシタ回路により、電気信号に変換する検出回路が挙げられる。これは、第1のセンサ駆動信号で駆動され、検出対象の容量を検出するセンサ容量素子と、第2のセンサ駆動信号で駆動され検出回路基準容量となる参照容量素子とが共通のスイッチドキャパシタ回路に接続され、交互に動作する第1および第2のサンプルホールド部がそれぞれの出力信号をサンプリングした後に、サンプリング結果の差を求めることにより、検出信号を得るものである。

【0003】

この検出回路は、共通のスイッチドキャパシタ回路において、検出対象となる容量値Csに比例し帰還容量Cfに反比例した信号を、安定して検出することができ、且つ、スイッチドキャパシタ回路のリセットスイッチ（帰還制御スイッチ）のゲート電極と他電極間の寄生容量に蓄積された電荷Qdが他の電極に漏れ出る影響（フィードスルー）が相殺される。また、スイッチドキャパシタ回路の基準電位のオフセット成分や入力信号などに含まれる低周波のノイズに対しては、2つのサンプリング結果の差を求めることによりある程度除去できる効果も期待される（例えば、特許文献1）。

【特許文献1】特開平8-145717号公報（段落0018-0052、図1～図4）

【発明の開示】

【発明が解決しようとする課題】

【0004】

しかしながら、指紋センサ等の容量検出回路は、容量変化が微小であるために、高感度であることが要求されるが、人体から伝達されるノイズ（高周波ノイズを含む）や回路系のノイズに対しての耐性を有している必要がある。

また、容量変化を検出するため、列配線間や行配線間などにおいて、隣接する線などからのクロストークノイズの影響が無いことなどの要求がある。

【0005】

上述した要求に対応して、列配線の立ち上がりの時点に、交差部の容量に充電される電荷に対応する充電電圧を検出し、次に、列配線の立ち下がりの時点に、交差部の容量から放電される電荷に対応する放電電圧を検出し、この充電電圧及び放電電圧を用いて、容量変化を検出する容量検出回路も考えられる。

すなわち、この容量検出回路は、充電電圧から放電電圧を、差し引いた差電圧を求めて、この差電圧を容量変化に対応した電圧とすることで、同一極性で生じる、増幅回路のフィードスルーの影響による電圧オフセットやその他の回路で生じるオフセット成分を除去し、サンプリング周波数に比較して十分に低い周波数のノイズを除去することが可能である。

【0006】

上述した容量検出回路を含めて通常の検出回路は、容量センサの各センサ素子の容量変化を検出するとき、単一の列配線のみを駆動して、検出ラインとなる複数の行配線との交

10

20

30

40

50

差部（センサ素子）の容量値 C_s の変化を検出する構成となっている。

しかしながら、すでに述べたように、センサ素子一つ（1つの交差部）当たりの容量変化は、数百 fF 程度のごく僅かな値である。

【0007】

このため、従来の容量検出回路は、増幅回路を含んだ回路におけるオフセット成分を除去したとしても、もともと容量センサに重畳されるノイズの影響を受けることとなる。

すなわち、上記容量検出回路は、電源ノイズや人体を介して容量センサに伝達される伝導ノイズが、列配線及び行配線の信号に重畳されることにより、このような外乱ノイズの影響により正確な容量変化の検出が行えなくなる欠点を有している。

【0008】

特に、最近の蛍光灯の主流であるインバータ蛍光灯は、半導体によって、高周波を発生させて蛍光ランプを点灯させるため、数十 KHz レベルの基本周波数のノイズ源となっている。

しかしながら、上記容量検出回路においては、充電電圧及び放電電圧の差分を求めるときの、容量変化のサンプリング周波数と、上記ノイズ源の基本周波数とが近い周期となる。

【0009】

このため、この容量検出回路においては、充電電圧及び放電電圧の差分を求めたとしても、周波数差に起因するうなり成分、すなわち、周波数がわずかに異なる2つの波を重ね合わせた場合に、その周波数の差に等しい「うなり（ビート周波数）」が残り、外乱のノイズ成分を完全に除去することができない。

したがって、利用者が指紋センサなどを用いようとするとき、この利用者の人体の近傍に容量検出回路のサンプリング周波数に近い周波数のノイズ源を有する機器、例えば、上述したインバータ蛍光灯の近傍で用いられる場合や、液晶表示素子のバックライトに用いられるインバータ回路を有する機器などにセンサを接続して利用する場合に、上記うなりに起因する外乱ノイズを完全に除去することができず、容量変化を検出する信号の S/N 比が低下して、正確に利用者の指紋を読みとることができない。

【0010】

本発明は、上記事情を考慮してなされたもので、その目的は、外乱ノイズの影響を低下させることで、 S/N 比を向上させて、列配線と行配線とが交差する交差部（センサ素子）の微小な容量値 C_s 及びこの容量値 C_s の容量変化値 C_s を十分な感度で検出することができる容量検出回路および検出方法並びに指紋センサを提供することにある。

【課題を解決するための手段】

【0011】

本発明の容量検出回路は、複数の行配線に対して列配線が交差され、列配線と行配線との交差部の容量変化を電圧値として検出する容量検出回路であり、時系列に直交性を有する符号を発生する符号発生手段と、前記符号に基づき、前記複数の列配線を第1の配線群と第2の配線群とに振り分けて駆動する列配線駆動手段と、前記行配線に接続され、駆動された列配線との複数の交差部の容量に生じる電流の総和を電圧信号に変換して出力する容量検出手段と、前記列配線群毎に、前記測定電圧と前記符号とにより積和演算を行い、各交差部の容量に対応する電圧値を求める復号演算手段とを有し、前記列配線駆動手段が、前記容量検出の期間において、前記符号またはこの符号の反転情報により、時系列に、第1の列配線群及び第2の列配線群の一方を第1の電圧、他方を第2の電圧により駆動する。

【0012】

この構成により、本発明の容量検出回路は、直交性のある符号（ PN 符号やウォルシュ直交符号）により、行配線に対して交差している複数の列配線を同時に駆動し、すなわち、符号のビットの値に基づいて、列配線グループ毎に相補的に列配線を駆動することにより、行配線単位に複数のセンサ素子を同時に駆動させ、検出対象の容量値 C_s 及び容量変化値 C_s を多重化し、容量値 $N \cdot C_s$ 及び容量変化値 $N \cdot C_s$ として増加させて（ N は

10

20

30

40

50

同時に駆動される列配線の数、すなわち多重化される交差部の数)、容量/電圧変換を行って検出信号とすることで、実質的に大きな容量値及び容量変化の測定を行うことになり、相対的にうなり等の外乱ノイズを低下させて、S/N比を向上させ、直交性のある符号(疑似ランダム符号であり、自己相関性に優れるM系列PN符号、またはウォルシュ符号)を用いることにより、列配線間のクロストークの影響を排除することが可能となる。

また、本発明の容量検出回路は、復号演算部が時系列に検出される多重化された検出信号を、多重化に用いた直交符号と同一の直交符号により、積和演算(所定の演算)を用いて、多重化された検出値を、行配線に対応するセンサ素子各々の容量値Cs及び容量変化値Csとして復号するため、1本の列配線を駆動した場合と同様の分解能で検出結果を得ることができる。

10

【0013】

本発明の容量検出回路は、前記複数の列配線に対して、複数の前記行配線をマトリクス状に配設したエリア型の容量センサの前記交差部の容量を検出する構成の場合にも、適用することができ、指紋センサなどに用いることで、上述した効果により高い精度の判定結果が得られ、操作性に優れたセンサを提供することができる。

【0014】

本発明の容量検出回路は、前記複数の列配線に対して、1本の前記行配線が対応して形成されたライン型の容量センサの前記交差部の容量を検出する構成の場合にも、適用することができ、表面の凹凸の有無または粗さを検出するセンサなどに用いることで、上述した効果により高い精度で、表面の状態を検出することができ、かつ1行の行配線のみで済むため、小型でローコストなセンサを提供することができる。

20

【0015】

本発明の容量検出回路は、前記列配線駆動手段が、前記容量検出の期間を、第1及び第2の容量検出の期間に分割し、第1の容量検出期間において、前記第1の配線群が第1の電圧から第2の電圧に立ち上がり、前記第2の配線群が第2の電圧から第1の電圧に立ち下がり、第2の容量検出の期間において、前記第1の配線群が第2の電圧から第1の電圧に立ち下がり、前記第2の配線群が第1の電圧から第2の電圧に立ち上がるように駆動する。

この構成により、本発明の容量検出回路は、列配線に対する列駆動信号の立ち上がり及び立ち下がり時における検出信号の差分データを求めることにより、差動増幅回路におけるオフセット成分を除去できるため、より精度を向上させた容量の測定を行うことができる。

30

【0016】

本発明の容量検出回路は、前記複数の列配線が所定の数の列配線からなる複数の列配線グループに分割されており、前記列配線駆動手段が、前記複数の列配線グループから検出対象となる列配線グループを、所定期間毎に時系列に切り替えて選択し、選択された列配線グループにおいて、前記符号に基づき前記第1の配線群と前記第2の配線群とに振り分けて駆動し、選択されない列配線グループの列配線の駆動を行わない。

このため、本発明の容量検出回路は、積和演算の対象となる列配線の本数を、任意に設定して、演算処理の負荷を調整することができるため、使用するシステムの演算能力に対応させた処理を行うことが可能となる。

40

また、本発明の容量検出回路は、駆動する列配線数を任意に設定することが可能であり、駆動可能な列配線数の列配線グループを構成することができ、装置の使用可能な消費電力に合わせて動作を行わせることが可能となる。

【0017】

本発明の容量検出回路は、前記符号発生手段が、自己相関性を有するPN符号を発生し、このPN符号のビット配列を順次シフトさせ、時系列に位相の異なるPN符号として、前記符号を出力する。

すなわち、前記PN符号発生手段が自己相関性の良い符号をPN符号、例えばM系列を発生し、この自己相関性のよいM系列のPN符号をずらしつつ、交差部の容量変化を多重

50

化していき、復号時において、同一のPN符号の位相を対応させて復号するため、列配線間のクロストークの発生を抑えることが可能となり、高い精度で交差部の容量変化を検出することができる。

【0018】

本発明の容量検出回路は、前記符号発生手段が、時系列に、異なるビット配列のウォルシュ直交符号を生成して、前記符号として出力する。

これにより、本発明の容量検出回路は、各列配線の駆動される回数が、検出回数に対して半分となり、列配線間のクロストークの影響を抑えることになり、各交差部の容量の検出がより正確に行うことができる。

【0019】

本発明の容量検出回路は、前記列配線グループが、符号のビット数より少ない数の列配線で構成されており、前記復号演算手段が、前記列配線グループの各列配線を、符号のビット列における所定の位置のビットに対応させ、かつ、この符号において余るビットを架空の列配線に対応させて積和演算を行い、前記交差部の容量に対応する電圧値の復号処理を行う。

この構成により、本発明の容量検出回路は、架空の配線の検出値、すなわち基準値を用いて測定データの補正が行えるため、列配線グループ毎の測定において、相補的な駆動で消失したDC成分の情報を補完して、列配線グループ毎の測定データのばらつきを調整して、マトリクス全体の交差部における一様性を確保することができる。

【0020】

本発明の指紋センサは、上記容量検出回路を用いて、交差部(センサ素子)の容量変化を検出することが可能なため、高い精度で指紋を採取することができる。

【0021】

また、本発明の容量検出回路は、上述した構成において、列配線を複数の列配線グループに分割して用いる場合、前記列配線駆動手段が、前記符号で振り分けられる前記第1の列配線群と第2の列配線群とに含まれる複数の列配線のうち、少なくとも1つの列配線に相当する線を交差部を設けず未結線として駆動させず、前記復号演算手段により交差部各々に対応して分割された電圧信号を、未結線の交差部に対応する電圧信号を所定の基準値とする補正値を算出し、結線された交差部の電圧信号を補正して出力する。

ここで、前記列配線グループが前記符号のビット列のビットの数に対して1本少なく構成されており、ビット列の余ったビットを実際には未結線のダミーの列配線に対応させ、復号の演算にのみ用いて、前記列配線駆動手段はこのダミーの列配線に対して実際の駆動動作を行ない。

【発明の効果】

【0022】

以上説明したように、本発明の容量検出回路によれば、直交性を有する符号により駆動する列配線を多重化して、一度に複数の列配線を駆動し、複数の交差部の容量変化が加算された容量値を検出することにより、行配線等に重畳される外乱ノイズの影響を相対的に低下させ、検出感度を向上させるとともに、多重化に用いたPN符号を用いて復号化し、各交差部ごとの容量変化値を求めるため、各交差部の容量変化値を、実質的に単一の列配線を駆動して検出した場合と変わらない分解能で検出することができるという効果が得られる。

【発明を実施するための最良の形態】

【0023】

本発明の容量検出回路は、複数の行配線に対して列配線がマトリクス状に交差され、列配線と行配線との交差部により構成される容量素子の容量(または容量変化)を電圧値として検出する容量検出回路であり、符号発生手段が時系列に直交性を有する符号を順次発生し、列配線駆動手段(列配線駆動部)がこの発生された符号に基づいて、複数の列配線を第1の配線群と第2の配線群とに振り分けて駆動し、容量検出手段(チャージアンプ回路, サンプルホールド回路, A/D変換器)が行配線に接続され、駆動された列配線との

10

20

30

40

50

複数の交差部の容量に生じる電流の総和を電圧信号に変換して出力し、復号演算手段（復号演算回路）が列配線群毎に、測定電圧と符号とにより積和演算を行い、各交差部の容量に対応する電圧値を求め、上記列配線駆動手段が、容量検出の期間において、時系列に、符号またはこの符号の反転情報により、第1の列配線群と第2の列配線群とを相補的な電圧により駆動するものである。

【実施例1】

【0024】

本発明の第1の実施形態による容量検出回路を図1を参照して説明する。図1は、第1の実施形態による容量検出回路の一構成例を示すブロック図である。

符号発生部1は、センサ部4の列配線群2の各列配線を駆動する列駆動信号の生成に用いるPN符号を生成する。このPN符号は、自己相関性の高いM系列のPN符号が用いられる。センサ部4は、列配線群2の列配線と行配線群3の行配線とがマトリクス状に交差し、各々の交差部がセンサ素子（図4のセンサ素子55）を形成している。

図2(a)は、センサ部4の平面図、図2(b)は断面図である。図2(a)に示すように、例えば、50 μ mピッチで配列された列配線群2の各列配線と、行配線群3の各行配線とが、交差している。図2(b)に示すように、基板50の上に複数の行配線よりなる行配線群3が配置され、その表面上に絶縁膜51が積層され、絶縁膜51の表面上に空隙52だけ間隔がおかれてフィルム54が配置され、フィルム54の下面に複数の列配線からなる列配線群2が取付けられている。この行配線群3の行配線と列配線群2の列配線との交差部において、空隙52と絶縁膜51を介在して所定の容量を有する容量素子としてセンサ素子が形成される。

【0025】

上述したセンサ部4の上に指56を当てると、図3に示すように、指56の凹凸によって、フィルム54と列配線群2の列配線が変形し、空隙52が変化し、それにより、列配線群2と行配線群3との交差部に形成されるセンサ素子55の容量が変化する。

また、図4は、センサ部4の列配線および行配線間の容量素子（センサ素子）のマトリクスを示す概念図である。センサ部4は、マトリクス状のセンサ素子55, 55...から構成され、列配線駆動部5と容量検出回路100とが接続される。列配線駆動部5は、上記PN符号のビット配列に対応して、列配線群2に対して駆動パルス列を出力し、すなわちセンサ部4の列配線群2の列配線に対して並列に、各々に所定の駆動パルス（駆動信号）を出力する。この駆動パルス列における駆動パルスのパターン（駆動するしないのパターン）は、上記PN符号に基づいて生成され、PN符号のビット列のデータに対応して、列配線群2の複数の列配線を駆動し（活性化し）、駆動された列配線各々の行配線で形成される（各行配線に対応する）各交差部（センサ素子）の容量変化値を多重化する。

【0026】

図1に戻り、容量検出回路100は、チャージアンプ回路6, サンプルホールド回路7, セレクタ回路8, A/D変換器9, 復号演算回路10, 及びタイミング制御回路11を有している。

チャージアンプ回路6は、センサ部4の行配線群3における行配線各々に設けられており、交差部（センサ素子）の容量に応じて出入りする（充放電電流に基づいた）微小な電荷（容量変化量に対応する電流）を検出し、この電流を増幅して電圧に変換して検出信号（測定電圧）として出力する。

【0027】

サンプルホールド回路7は、上記チャージアンプ回路6ごとに設けられ、上記検出信号の測定電圧を、サンプリングホールド信号の入力によりサンプリングして、電圧情報として一時的に保持する。セレクタ回路8は、上記サンプルホールド回路7の各々に保持される電圧情報を、順次、例えば行配列の並び順に切り替えて、各行配線単位にA/D変換器9へ出力する。

A/D変換器9は、時系列に入力される、アナログの上記電圧情報である測定電圧を、復号演算回路10から入力されるA/Dクロックのタイミングにより、デジタル値の測定

10

20

30

40

50

データに変換して復号演算回路 10 へ出力する。

また、高速に処理する場合などに、サンプルホールド回路 7 を設けずに、各々のチャージアンプ回路 6 に A/D 変換器 9 をそれぞれ設けて、アナログの測定電圧をデジタル値の測定データに変換する様にしてもよい。

【0028】

復号演算回路 10 は、デジタル化された測定データにおいて、交差部のセンサ素子に対する充電時における測定データと、放電時における測定データとの差分演算により、フィードスルーによるオフセット成分を除去する演算処理、および PN 符号により符号多重化された信号を、符号化を行った PN 符号と同一の PN 符号とを用いた積和演算により復号して、センサ素子ごとの容量値を示す電圧データ成分に分離する演算処理などを行う。

10

タイミング制御回路 11 は、復号演算回路 10 から、容量検出を開始することを示す開始信号が入力されると、符号発生部 1、列配線駆動部 5、チャージアンプ回路 6、サンプルホールド回路 7、及びセレクト回路 8 等へ、クロック及び制御信号を出力し、容量検出回路 100 全体の動作タイミングの制御を行う。

【0029】

また、列配線駆動部 5 は、符号発生部 1 の時系列に出力する PN 符号が入力されると、各 PN 符号を用いた測定期間毎に、第 1 の容量検出期間及び第 2 の容量検出期間を時系列に設け、第 1 の容量検出期間において、この PN 符号の各ビットのデータに対応した列配線駆動信号を、PN 符号のビット配列のビット位置に対応する列配線に出力し、次に第 2 の容量検出期間において、この PN 符号の各ビットのデータを反転させたデータに対応した列配線駆動信号を、PN 符号のビット配列のビット位置に対応する列配線に出力する。

20

【0030】

例えば、列配線駆動部 5 は、第 1 の容量検出期間において、PN 符号のビットのデータが「1」の場合、「0」（第 1 の電圧）から「1」（第 2 の電圧）に遷移、すなわち立ち上がるように列配線を駆動させ、データが「0」の場合、「1」（第 2 の電圧）から「0」（第 1 の電圧）に遷移、すなわち立ち下がるように列配線を駆動させる。

一方、列配線駆動部 5 は、第 2 の容量検出期間において、PN 符号のデータを反転させて制御を行うため、元々の PN 符号のビットのデータが「1」の場合、「1」から「0」に遷移、すなわち立ち下がるように列配線を駆動させ、データが「0」の場合、「0」から「1」に遷移、すなわち立ち上がるように列配線を駆動させる。

30

【0031】

次に、図 5 を参照してチャージアンプ回路 6 の構成を説明する。図 5 はチャージアンプ回路 6 の構成例を示す概念図である、この図に示すように、チャージアンプ回路 6 はオペアンプ 121 と、オペアンプ 121 の反転入力端子と出力端子の間に接続された帰還容量 C_f と、帰還容量 C_f の電荷を放電するためのアナログスイッチ 124 とから構成されている。そして、オペアンプ 121 の非反転入力端子が基準電位に接続されている。なお、図において、 C_p はオペアンプ 121 等の寄生容量、 C_s は前述した交差部におけるセンサ素子の容量（多重化されているセンサ素子の総和）、 C_y は検出対象外の列配線に対するセンサ素子の容量の総和である。

【0032】

40

次に、上記構成からなる、本発明の第 1 の実施形態に係る容量検出回路の動作例を、図 1 を参照して説明する。ここでは、説明を簡略化するため、後述する PN 符号発生回路 20 から生成される 15 ビット長の PN 符号を例として説明する。

復号演算回路 10 が外部から容量検出の開始、すなわち指紋センサ（センサ部 4）での指紋の採取を行う信号が入力されたとする。

これにより、復号演算回路 10 は、タイミング制御回路 11 に対して、検出開始を指示する開始信号を出力する。次に、タイミング制御回路 11 は、PN 符号発生部 1 へクロック信号及びリセット信号を出力する。

そして、符号発生部 1 は、上記リセット信号により、内部の 4 段の LFSR（線形帰還シフトレジスタ）を初期化して、上記クロック信号に同期させて、M 系列の PN 符号を生

50

成し、順次出力する。

【 0 0 3 3 】

ここで、符号発生部 1 は、PN 符号発生を行い、例えば、図 6 (a) に示す PN 符号発生回路 2 0 を有しており、クロックに同期して M 系列の PN 符号を出力する。

すなわち、上記 PN 符号発生回路 2 0 (L F S R と呼ばれる) は、M 系列の 1 5 ビットの PN 符号を発生するものであり、4 ビットのシフトレジスタ 2 1 とイクスクルーシブオア (以下、E X O R) 2 2 とから構成されている。この E X O R 2 2 は、このシフトレジスタ 2 1 のタップ 1 (シフトレジスタ 2 1 の 1 ビット目の出力) と、タップ 4 (シフトレジスタ 2 1 の 4 ビット目の出力) との出力に接続され、入力される数値の排他的論理和の演算を行い、この演算結果をシフトレジスタ 2 1 の入力に出力する。

10

【 0 0 3 4 】

そして、PN 符号発生回路 2 0 は、シフトレジスタ 2 1 の各ビットのデータをクロック信号に同期してシフトさせることにより、PN 符号のビット列のデータをクロック信号に同期して、時系列に順次生成する。そして、PN 符号発生回路 2 0 は、図 6 (b) に示すように、このビット列のデータをクロック信号に同期して、{ 1 (L S B) , 1 , 1 , 1 , 0 , 1 , 0 , 1 , 1 , 0 , 0 , 1 , 0 , 0 , 0 (M S B) } の順に (図 6 (b) において、左から右へ時刻が進んでいる)、内部の格納用シフトレジスタ (後に示す格納用シフトレジスタ 2 3) に時系列に書き込む。ここで、PN 符号発生回路 2 0 は、L S B のビットから M S B のビットの順に、PN 符号を時系列に出力する。

【 0 0 3 5 】

20

また、図 7 (a) に示すように、1 5 ビットシフトする一周期毎、すなわち PN 符号のビット列を 1 5 ビットとすると、1 ビットずつシフトされて、同一のビット配列となる (位相があう) 周期毎に、自己相関のビット数が最大 (+ 1 5) となり、周期の途中では自己相関のビット数が最低 (- 1) となる。図 7 (a) において、縦軸は自己相関 (一致ビット数) であり、横軸はシフトのビット数 (1 5 ビットシフトで 1 周期) である。位相のシフトとは、PN 符号における初期のビット配列に対して、ビットのデータの並びは変えずに、ビットシフトのみを行うことを示している。

【 0 0 3 6 】

そして、図 7 (b) に示すように、PN 符号の性質としては、PN 符号のビット列と、この PN 符号と同一のビット列を有する PN 符号のビット列を巡回させた結果のビット列と、を比較したとき、位相が同期した場合、符号が一致するため、積和演算の結果は最大 (+ 1 5) となるが、位相が異なる場合、符号が一致するビット数が一致しないビット数より 1 ビット少なくなり、積和演算の結果においてほぼ平均化され最小 (- 1) となるため、復号時に多重化された情報を、積和演算を用いることにより分離することができる (携帯電話の C D M A (Code Division Multiple Access) 方式における多重化及び分離の原理に近い) 。

30

【 0 0 3 7 】

次に、上記交差部の容量の測定について説明する。

図 8 に示すように、列配線駆動部 5 は、符号発生部 1 から入力される PN 符号が入力されると、各時刻 t 1 から時刻 t 15 の各時刻の間の測定期間、すなわち所定の位相の PN 符号毎の測定期間において、第 1 の容量検出期間の直前のリセット信号 (各時刻に同期してタイミング発生回路 1 1 が出力する) により、上記 PN 符号のビットのデータを反転したデータにより、各列配線の駆動を行う。

40

そして、列配線駆動部 5 は、所定の時間の後、第 1 の容量検出期間となると、上記リセット信号によって設定されたビットのデータの反転データ、すなわち元々の PN 符号のビットのデータにより、列配線の駆動を行う。

次に、列配線駆動部 5 は、第 2 の容量検出期間となると、第 1 の容量検出期間に列配線を駆動していた PN 符号のビットのデータが反転されたデータにより、列配線の駆動を行う。これにより、各列配線が順次、時系列に相補的に駆動されることとなる。

【 0 0 3 8 】

50

すなわち、図8にあるように、PN符号が例えばビット配列{1, 1, 1, 1, 0, 1, 0, 1, 1, 0, 0, 1, 0, 0, 0}の15ビットであれば、PN符号のビット列の生成周期としての1周期が、これらのビットを時系列にシフトさせる一定の間隔となる時刻 $t_1 \sim t_{15}$ で形成されている。

そして、PN符号発生回路20が生成するPN符号のビット列{1, 1, 1, 1, 0, 1, 0, 1, 1, 0, 0, 1, 0, 0, 0}が、順次、格納用シフトレジスタ23においてシフトされる。

格納用シフトレジスタ23は、1ビットのデータを記憶するレジスタ231からレジスタ2315の15のレジスタで形成され、左(レジスタ231方向)から右(レジスタ2315方向)にデータがシフトされる。すなわち、時刻 t_1 において、格納用シフトレジスタ23の左端のレジスタ231にPN符号のビット列の1ビット目の「1」が入力される。そして、時刻 t_2 において、レジスタ231に記憶されていた上記1ビット目の「1」が、レジスタ232へシフトされるとともに、レジスタ231へPN符号のビット列の2ビット目の「1」が入力される。

【0039】

以下、上述した操作を、時刻 $t_1, t_2, t_3, t_4, t_5, t_6, t_7, t_8, t_9, t_{10}, t_{11}, t_{12}, t_{13}, t_{14}, t_{15}$ において行うことにより、レジスタ2315, 2314, 2313, 2312, 2311, 2310, 239, 238, 237, 236, 235, 234, 233, 232, 231各々に、PN符号のビット列{1, 1, 1, 1, 0, 1, 0, 1, 1, 0, 0, 1, 0, 0, 0}の各ビットのデータが入力されることになる。ここで、格納用シフトレジスタ23の各レジスタ2315, 2314, 2313, 2312, 2311, 2310, 239, 238, 237, 236, 235, 234, 233, 232, 231各々に記憶されているデータは、列配線駆動部5におけるドライバ回路515, 514, 513, 512, 511, 510, 59, 58, 57, 56, 55, 54, 53, 52, 51それぞれに供給される。時刻 $t_1 \sim t_{15}$ が終了した時点において、PN符号のビット列{1, 1, 1, 1, 0, 1, 0, 1, 1, 0, 0, 1, 0, 0, 0}は、列配線駆動部5におけるドライバ回路515, 514, 513, 512, 511, 510, 59, 58, 57, 56, 55, 54, 53, 52, 51それぞれに供給されている。この時刻 $t_1 \sim t_{15}$ 間での操作が、本発明における指紋採取処理の一周期となる。

【0040】

次に、図9から図12を用いて、実際の動作時における格納用シフトレジスタ23の動作を見てみる。ここで、上記各図において、格納用シフトレジスタ23の各レジスタ231~2315の中に記述されている数字は格納しているビットのデータを示し、反転回路24の各反転部241~2415の中に記述されている数字は反転制御されて列配線駆動部5に出力されるデータを示している。

検出動作として、指紋の取得開始の信号が入力されると、タイミング制御回路11からクロック信号が15発入力され、PN符号発生回路20が最初の位相のPN符号を生成し、初期状態として、格納用シフトレジスタ23の各レジスタ2315, 2314, ..., 231は{1(MSB), 1, 1, 1, 0, 1, 0, 1, 1, 0, 0, 1, 0, 0, 0(LSB)}と設定される。

【0041】

そして、指紋採取処理における一周期の最初の時刻 t_1 において、タイミング制御回路11からクロックが入力され、格納用シフトレジスタ23の各レジスタ2315, 2314, ..., 231は、1ビット分シフトされ、{1, 1, 1, 0, 1, 0, 1, 1, 0, 0, 1, 0, 0, 0, 1}となる(図9)。

ここで、反転回路24における各反転部241~2415は、列配線駆動回路5における対応するドライバ回路51, 52, ..., 514, 515に接続され、各々が反転制御したデータをそれぞれ対応するドライバ回路へ出力する。

すでに述べたように、時刻 t_1 においてリセットが入力されると、反転制御回路25は反転回路24に対して、格納用シフトレジスタ23から出力されるデータを反転して出力させる制御信号を出力する。

【 0 0 4 2 】

これにより、図 9 に示すように、反転回路 2 4 は、格納用シフトレジスタ 2 3 のレジスタ 2 3 1 ~ 2 3 15 から入力されるデータを、反転部 2 4 1 ~ 2 4 15 それぞれにより反転（「 1 0 」，「 0 1 」）し、入力されるビット配列 { 1 , 1 , 1 , 0 , 1 , 0 , 1 , 1 , 0 , 0 , 1 , 0 , 0 , 0 , 1 } の各ビットを反転させ、ビット配列 { 0 , 0 , 0 , 1 , 0 , 1 , 0 , 0 , 1 , 1 , 0 , 1 , 1 , 1 , 0 } として、ドライバ回路 5 へ出力する。

このとき、ドライバ回路 5 は、反転部 2 4 15 ~ 2 4 1 それぞれから入力されるビット配列 { 0 , 0 , 0 , 1 , 0 , 1 , 0 , 0 , 1 , 1 , 0 , 1 , 1 , 1 , 0 } に基づき、各々対応する列配線を駆動する。

これにより、列配線 C 1 ~ C 15 各々において、第 2 の列配線群として列配線 C 2 , C 3 , C 4 , C 6 , C 7 , C 10 , C 12 は、ビットのデータ「 1 」に対応して第 2 の電圧（H レベルの所定の電圧）に遷移し、一方、第 1 の列配線群として列配線 C 1 , C 5 , C 8 , C 9 , C 11 , C 13 , C 14 , C 15 は、ビットのデータ「 0 」に対応して第 1 の電圧（L レベルの所定の電圧）に遷移する。

10

【 0 0 4 3 】

図 8 に戻り、時刻 t 1 におけるリセットの入力から所定の時間経過後、すなわち、第 1 の容量検出期間になると、反転制御回路 2 5 は反転回路 2 4 に対して、格納用シフトレジスタ 2 3 から出力されるデータを、反転せずに出力させる制御信号を出力する。

これにより、図 1 0 に示すように、第 1 の容量検出期間において、反転回路 2 4 は、上記制御信号により、各配点部 2 4 15 ~ 2 4 1 各々の出力からなるビット配列を、ビット配列 { 0 , 0 , 0 , 1 , 0 , 1 , 0 , 0 , 1 , 1 , 0 , 1 , 1 , 1 , 0 } から、ビット配列 { 1 , 1 , 1 , 0 , 1 , 0 , 1 , 1 , 0 , 0 , 1 , 0 , 0 , 0 , 1 } に変化させる。

20

【 0 0 4 4 】

このとき、列配線駆動部 5 は、例えば、1 5 ビット目のデータが「 0 」から「 1 」へと変化したため、列配線 C 1 を第 1 の電圧から第 2 の電圧へと立ち上げ、1 4 ビット目のデータが「 1 」から「 0 」へと変化したため、列配線 C 2 を第 2 の電圧から第 1 の電圧へと立ち下げ、1 3 ビット目のデータが「 1 」から「 0 」へと変化したため、列配線 C 3 を第 2 の電圧から第 1 の電圧へと立ち下げ、その他の列配線 C 4 ~ C 15 を対応する位置のビットのデータの変化に対応させて駆動電圧を変化させる。

すなわち、列配線駆動部 5 は、ドライバ回路 5 15 , 5 14 , 5 13 , 5 12 , 5 11 , 5 10 , 5 9 , 5 8 , 5 7 , 5 6 , 5 5 , 5 4 , 5 3 , 5 2 , 5 1 により、対応する列配線 C 15 , C 14 , C 13 , C 12 , C 11 , C 10 , C 9 , C 8 , C 7 , C 6 , C 5 , C 4 , C 3 , C 2 , C 1 において、タイミング制御回路 1 1 から出力されるクロック信号に基づいて、所定の一定幅の駆動パルスにより駆動する（図 8 (d) ~ (i)、図 1 3 (b) 参照）。

30

【 0 0 4 5 】

したがって、第 1 の容量検出期間においては、各列配線に対応した所定の駆動パルスにより、例えば、第 1 の列配線群として列配線 C 1 , C 5 , C 8 , C 9 , C 11 , C 13 , C 14 , C 15 が第 2 の電圧に駆動され、第 2 の列配線群として列配線 C 2 , C 3 , C 4 , C 6 , C 7 , C 10 , C 12 が第 1 の電圧に駆動されている。

そして、各行配線 R 1 , R 2 , R 3 , ... 各々には、駆動された複数の列配線とで形成する容量センサの各容量の合計値、すなわち、PN 符号のビット配列により多重化された容量値が接続されることになる（図 1 0 ）。

40

【 0 0 4 6 】

これにより、各行配線には上述した列配線駆動により多重化された容量における電荷移動に基づく電流が流れ、チャージアンプ回路 6 がこの電流を電圧に変換して測定電圧とし、サンプルホールド回路 7 がタイミング制御回路 1 1 からのサンプルホールド（S / H）信号の入力タイミングにより、この測定電圧の電圧値をサンプリングして保持する。

そして、第 1 の容量検出期間における多重化された容量に対応する測定電圧がサンプリングされた後、タイミング制御回路 1 1 はチャージアンプ回路 6 に対してリセット信号を出力する。

50

リセット信号が入力され、図 5 におけるアナログスイッチ 1 2 4 がオン状態のとき、オペアンプ 1 2 1 の出力端子と反転入力端子とが短絡状態とされ、ボルテージ・フォロワと同様に駆動状態、すなわち出力端子と反転入力端子とが概略基準電位となり、行配線も基準電位となることで、各列配線の駆動状態を変化させても、出力端子から出力される電圧には大きな変化が生じない。

【 0 0 4 7 】

次に、図 8 に戻り、所定の時間経過後、すなわち、第 1 の容量検出期間が終了して、第 2 の容量検出期間となると、反転制御回路 2 5 は、タイミング制御回路 1 1 の制御により反転回路 2 4 に対して、格納用シフトレジスタ 2 3 から出力されるデータを、反転して出力させる制御信号を出力する。

10

これにより、図 9 に示すように、第 2 の容量検出期間において、反転回路 2 4 は、上記制御信号により、各配点部 2 4 15 ~ 2 4 1 各々の出力からなるビット配列 { 1 , 1 , 1 , 0 , 1 , 0 , 1 , 1 , 0 , 0 , 1 , 0 , 0 , 0 , 1 } を、ビット配列から、ビット配列 { 0 , 0 , 0 , 1 , 0 , 1 , 0 , 0 , 1 , 1 , 0 , 1 , 1 , 1 , 0 } に変化させる。

【 0 0 4 8 】

このとき、列配線駆動部 5 は、例えば、1 5 ビット目のデータが「 1 」から「 0 」へと変化したため、列配線 C 1 を第 2 の電圧から第 1 の電圧へと立ち下げ、1 4 ビット目のデータが「 0 」から「 1 」へと変化したため、列配線 C 2 を第 1 の電圧から第 2 の電圧へと立ち上げ、1 3 ビット目のデータが「 0 」から「 1 」へと変化したため、列配線 C 3 を第 1 の電圧から第 2 の電圧へと立ち上げ、その他の列配線 C 4 ~ C 15 を対応する位置のビット

20

のデータの変化に対応させて駆動電圧を変化させる。
すなわち、列配線駆動部 5 は、ドライバ回路 5 15 , 5 14 , 5 13 , 5 12 , 5 11 , 5 10 , 5 9 , 5 8 , 5 7 , 5 6 , 5 5 , 5 4 , 5 3 , 5 2 , 5 1 により、対応する列配線 C 15 , C 14 , C 13 , C 12 , C 11 , C 10 , C 9 , C 8 , C 7 , C 6 , C 5 , C 4 , C 3 , C 2 , C 1 において、タイミング制御回路 1 1 から出力されるクロック信号に基づいて、所定の一定幅の駆動パルスにより駆動する (図 8 (d) ~ (i) 、 図 1 3 (b) 参照) 。

【 0 0 4 9 】

したがって、第 1 の容量検出期間においては、各列配線に対応した所定の駆動パルスにより、第 1 の列配線群の列配線 C 2 , C 3 , C 4 , C 6 , C 7 , C 10 , C 12 が第 2 の電圧に駆動され、第 2 の列配線群の列配線 C 1 , C 5 , C 8 , C 9 , C 11 , C 13 , C 14 , C 15 が第 1 の電圧に駆動されている。

30

そして、各行配線 R 1 , R 2 , R 3 , ... 各々には、駆動された複数の列配線とで形成する容量センサの各容量の合計値、すなわち、PN 符号のビット配列により多重化された容量値が接続されることになる (図 9) 。

【 0 0 5 0 】

これにより、各行配線には上述した列配線駆動により多重化された容量における電荷移動に基づく電流が流れ、チャージアンプ回路 6 がこの電流を電圧に変換して測定電圧とし、サンプルホールド回路 7 がタイミング制御回路 1 1 からのサンプルホールド (S / H) 信号の入力タイミングにより、この測定電圧の電圧値をサンプリングして保持する。

そして、第 2 の容量検出期間における多重化された容量に対応する測定電圧がサンプリングされた後、タイミング制御回路 1 1 はチャージアンプ回路 6 に対してリセット信号 (後に述べる時刻 t 2) を出力する。

40

【 0 0 5 1 】

また、タイミング制御回路 1 1 は、上記リセット信号の出力に同期して、符号発生部 1 にクロックを出力する。

そして、符号発生部 1 において、PN 符号発生回路 2 0 が 1 ビット (データ「 1 」) を出力し、格納用シフトレジスタ 2 3 がレジスタ 2 3 1 ~ 1 3 14 各々のデータを、レジスタ 2 3 2 ~ 2 3 15 それぞれにシフトし、新たにレジスタ 2 3 1 に上記 1 ビットのデータを入力する (実質的に、レジスタ 2 3 15 のデータがレジスタ 2 3 1 へ入力されたことと同様) 。

これにより、格納用シフトレジスタ 2 3 には、各レジスタ 2 3 1 ~ 2 3 15 の各データが

50

1 ビット循環することで、新たな位相の P N 符号が格納されたことになる。

【 0 0 5 2 】

すなわち、タイミング制御回路 1 1 は、図 8 (a) および図 1 3 (b) に示すように、列配線が変化する第 1 及び第 2 の容量検出期間の終了のわずか前の時点で、次の測定期間における容量測定のために、時点においてリセット信号をチャージアンプ回路 6 へ出力し、また、図 8 (b)、図 1 3 (d) に示すように、上記リセット信号のわずか前の時点において、サンプルホールド信号をサンプルホールド回路 7 へ出力する。

また、このタイミング制御回路 1 1 は、サンプルホールド信号が、順次、入力される間隔において、N 個 (N はサンプルホールド回路 7 の数) の切り換え信号をセレクト回路 8 へ出力する。

10

【 0 0 5 3 】

これにより、図 8 (c) に示すように、1 つのサンプルホールド信号によってサンプルホールド回路 7、7 ・ ・ ・ にホールドされた各信号は、次のサンプルホールド信号までの間、順次、セレクト回路 8 を介して A / D コンバータ 9 へ供給される。これにより、A / D コンバータ 9 は、復号演算回路 1 0 から入力される A / D クロックのタイミングにより、順次各行配線毎の検出信号における測定電圧を、デジタルデータに変換し、測定データ d 1 として、各行線毎に復号演算回路 1 0 に出力する。そして、復号演算回路 1 0 は、順次入力される測定データにおけるデータ列のデータを、各行配線毎に内部のメモリに書き込む。

【 0 0 5 4 】

20

ここで、チャージアンプ回路 6 の動作を詳細に説明する。まず、図 1 3 に示す時刻 t 1 より少し前の時刻 t d 1 において、タイミング制御回路 1 1 からリセット信号が出力されると、アナログスイッチ 1 2 4 (M O S トランジスタ、図 5) がオンとなり、帰還容量 C f が放電され、オペアンプ 1 2 1 の出力 O U T が反転入力端子と短絡状態となり基準電位となる。また、オペアンプ 1 2 1 の反転入力端子に接続された行配線も基準電位となる。

次に、このリセット信号がオフになると、アナログスイッチ 1 2 4 のゲート寄生容量によるフィードスルーにより、オペアンプ 1 2 1 の出力電圧がわずかに上昇する (図 1 3 (a) における時刻 t d 1 後の符号 F d 参照) 。

【 0 0 5 5 】

そして、時刻 t 1 により開始される測定期間の第 1 の容量検出期間において、駆動パルス (列配線駆動信号 ; 図 8 (d) ~ (i) の駆動パルス) における P N 符号のビットパターン (ビット配列) に対応して、第 1 の配線群及び第 2 の配線群における各列配線が所定の駆動パルスにより、P N 符号に対応して第 1 の電圧から第 2 の電圧へ立ち上がり、また第 2 の電圧から第 1 の電圧へ立ち下がり、同駆動パルスが列配線と行配線の交差部のセンサ素子 (容量 C s) を介してオペアンプ 1 2 1 の反転入力端へ加えられ、この駆動パルスの電圧値に基づき流れる電流により、オペアンプ 1 2 1 の出力 O U T の電圧値が図 1 3 (a) に示すように、徐々に下降または上昇する。

30

ここで、図 1 3 においては P N 符号が「 1 」であるデータに対応して記載されており、P N 符号が「 0 」の場合には時刻 t d 4 ~ t d 6 の波形と時刻 t d 1 ~ t d 3 との波形が逆の関係となる動作が行われる。

40

【 0 0 5 6 】

次に、時刻 t d 2 において、タイミング制御回路 1 1 は、サンプルホールド回路 7 へサンプルホールド信号 (S / H 信号) を出力する。これにより、サンプルホールド回路 7 は、サンプルホールド信号が入力された時点において、チャージアンプ回路 6 におけるオペアンプ 1 2 1 の出力 O U T から出力される測定電圧 V a をホールドする。

次に、時刻 t d 3 において、タイミング制御回路 1 1 は、再びリセット信号をチャージアンプ回路 6 へ出力する。これにより、オペアンプ 1 2 1 の出力 O U T と反転入力端子とが短絡状態となり、帰還容量 C f が放電されて、オペアンプ 1 2 1 の出力 O U T が基準電位に戻る。そして、リセット信号がオフになると、前述した場合と同様にアナログスイッチ 1 2 4 のゲート寄生容量によるフィードスルーにより、オペアンプ 1 2 1 の出力電圧がわ

50

ずかに上昇する（図 13（a）における時刻 t_{d3} 後の符号 F d 参照）。

【 0 0 5 7 】

次に、時刻 t_{d4} において、第 1 の容量検出期間から第 2 の容量検出期間に遷移し、第 1 の列配線群において、反転回路 2 4 からの P N 符号のデータが「 1 」から「 0 」に変化するため、駆動パルスが第 2 の電圧から第 1 の電圧へ立ち下がることにより、同駆動パルスにより駆動された列配線と、行配線の交差部のセンサ素子（容量 C_s ）とが駆動パルスの電圧に基づく電流により放電され、これに伴い、オペアンプ 2 1 の出力 O U T が徐々に上昇する。

一方、図には示していないが、第 2 の列配線群において、反転回路 2 4 からの P N 符号のデータが「 0 」から「 1 」へ変化するため、駆動パルスが第 1 の電圧から第 2 の電圧へ立ち上がることにより、同駆動パルスにより駆動された列配線と、行配線の交差部のセンサ素子（容量 C_s ）とが駆動パルスの電圧に基づく電流により充電され、これに伴い、オペアンプ 2 1 の出力 O U T が徐々に下降する。

【 0 0 5 8 】

次に、時刻 t_{d5} において、タイミング制御回路 1 1 は、サンプルホールド回路 7 に対してサンプルホールド信号を出力する。これにより、サンプルホールド回路 7 は、サンプルホールド信号が入力された時点において、オペアンプ 1 2 1 の出力 O U T の測定電圧 V_b をホールドする（保持する）。

次に、時刻 t_{d6} （次の周期の時刻 t_2 に対応する時刻 t_{d1} ）において、タイミング制御回路 1 1 は、チャージアンプ回路 6 に対してリセット信号を出力する。これにより、チャージアンプ回路 6 におけるオペアンプ 1 2 1 の出力 O U T と反転入力端子とが短絡状態となり、帰還容量 C_f が放電され、オペアンプ 1 2 1 の出力 O U T が基準電位に戻る。

【 0 0 5 9 】

次に、上述した測定においては、出力 O U T が基準電位から下降する場合も、上昇する場合も、アナログスイッチ 1 2 4 のフィードスルー電流によるオフセット V_k が + 方向に発生する。この実施形態のように、検出対象の容量 C_s が数十から数百フェムトファラッドの場合はこのフィードスルーによるオフセットを無視できない。上記の測定において、

$$- V_{a0} = - V_a + V_k$$

が検出対象容量 C_s に比例する電圧となるが、測定される電圧は V_a であり、この電圧 V_a にはオフセットによる誤差 V_k が含まれてしまう。

$$V_a = V_{a0} + V_k$$

【 0 0 6 0 】

そこで、この実施形態においては、検出対象容量 C_s の放電時の電圧 V_b も測定する。ここで、電圧

$$V_{b0} = V_b - V_k$$

が容量 C_s に比例する電圧であり、測定される電圧は

$$V_b = V_{b0} + V_k$$

となる。これらの測定電圧 V_a 、 V_b をサンプルホールド回路 7 によって、順次ホールドし、次いでホールドした電圧を、A / D 変換器 9 により各々測定電圧 V_a 及び V_b 毎に A / D 変換し、復号演算回路 1 0 内のメモリに記憶させる。そして、復号演算回路 1 0 において、

$$d = V_b - V_a = (V_{b0} + V_k) - (V_k + V_{a0}) = V_{b0} - V_{a0}$$

なる演算を行い、これにより、オフセット誤差を含まない測定値、すなわち多重化された容量値に対応する測定データ d を得る。

【 0 0 6 1 】

以上のように、復号演算回路 1 0 は、駆動パルス列における所定の駆動パルスの立ち上がり及び立ち下がりにおいて、列配線の電位を立ち上げたときと立ち下げたときとのチャージアンプ回路 6 の出力信号の差を取ることにより、フィードスルーの影響を有さない状態において、センサ素子の容量値を測定できる。また、セレクタを設けたことで、測定時間を要するチャージアンプ回路 6 の測定を各列配線において並行して行い、センサ全体の

10

20

30

40

50

測定速度を上げることができる。

【 0 0 6 2 】

次に、時刻 t_2 に対応する測定期間（測定周期）において、タイミング制御回路 11 は、上記リセット信号の出力に同期して、符号発生部 1 にクロックを出力する。

そして、符号発生部 1 において、PN 符号発生回路 20 が 1 ビット（データ「1」）を出力し、格納用シフトレジスタ 23 がレジスタ 231 ~ 1314 各々のデータを、レジスタ 232 ~ 2315 それぞれにシフトし、新たにレジスタ 231 に上記 1 ビットのデータを入力する。

これにより、格納用シフトレジスタ 23 には、記憶されているビット配列 { 1, 1, 1, 0, 1, 0, 1, 1, 0, 0, 1, 0, 0, 0, 1 } において、各レジスタ 2315 ~ 231 の各データが 1 ビット循環することで、新たな位相の PN 符号のビット配列 { 1, 1, 0, 1, 0, 1, 1, 0, 0, 1, 0, 0, 0, 1, 1 } が格納されたことになる。

そして、時刻 t_2 におけるリセットにより、反転制御回路 25 は反転回路 24 に対して、格納用シフトレジスタ 23 から出力されるデータを反転して出力させる制御信号を出力する。

【 0 0 6 3 】

これにより、図 11 に示すように、反転回路 24 は、格納用シフトレジスタ 23 のレジスタ 231 ~ 2315 から入力されるデータを、反転部 2415 ~ 241 それぞれにより反転し、入力されるビット配列 { 1, 1, 0, 1, 0, 1, 1, 0, 0, 1, 0, 0, 0, 1, 1 } の各ビットを反転させ、ビット配列 { 0, 0, 1, 0, 1, 0, 0, 1, 1, 0, 1, 1, 0, 1, 1 } として、ドライバ回路 515 ~ 51 へ出力する。

このとき、ドライバ回路 515 ~ 51 は、反転部 2415 ~ 241 それぞれから入力されるビット配列 { 0, 0, 1, 0, 1, 0, 0, 1, 1, 0, 1, 1, 1, 0, 0 } に基づき、各々対応する列配線を駆動する。

これにより、列配線 C1 ~ C15 各々において、第 2 の列配線群として列配線 C3, C4, C5, C7, C8, C11, C13 は、ビットのデータ「1」に対応して第 2 の電圧（H レベルの所定の電圧）に遷移し、一方、第 1 の配線群として列配線 C1, C2, C6, C9, C10, C12, C14, C15 は、ビットのデータ「0」に対応して第 1 の電圧（L レベルの所定の電圧）に遷移する。

【 0 0 6 4 】

図 8 に戻り、時刻 t_2 におけるリセットの入力から所定の時間経過後、すなわち、第 1 の容量検出期間になると、反転制御回路 25 は反転回路 24 に対して、格納用シフトレジスタ 23 から出力されるデータを、反転せずに出力させる制御信号を出力する。

これにより、図 11 に示すように、第 1 の容量検出期間において、反転回路 24 は、上記制御信号により、各配点部 2415 ~ 241 各々の出力からなるビット配列を、ビット配列 { 0, 0, 1, 0, 1, 0, 0, 1, 1, 0, 1, 1, 1, 0, 0 } から、ビット配列 { 1, 1, 0, 1, 0, 1, 1, 0, 0, 1, 0, 0, 0, 1, 1 } に変化させる。

【 0 0 6 5 】

このとき、列配線駆動部 5 は、例えば、15 ビット目のデータが「0」から「1」へと変化したため、列配線 C1 を第 1 の電圧から第 2 の電圧へと立ち上げ、14 ビット目のデータが「0」から「1」へと変化したため、列配線 C2 を第 1 の電圧から第 2 の電圧へと立ち上げ、13 ビット目のデータが「1」から「0」へと変化したため、列配線 C3 を第 2 の電圧から第 1 の電圧へと立ち下げ、その他の列配線 C4 ~ C15 を対応する位置のビットのデータの変化に対応させて駆動電圧を変化させる。

すなわち、列配線駆動部 5 は、ドライバ回路 515, 514, 513, 512, 511, 510, 59, 58, 57, 56, 55, 54, 53, 52, 51 により、対応する列配線 C15, C14, C13, C12, C11, C10, C9, C8, C7, C6, C5, C4, C3, C2, C1 において、タイミング制御回路 11 から出力されるクロック信号に基づいて、所定の一定幅の駆動パルスにより駆動する（図 8 (d) ~ (i)、図 13 (b) 参照）。

【 0 0 6 6 】

10

20

30

40

50

したがって、第1の容量検出期間においては、各列配線に対応した所定の駆動パルスにより、例えば、第1の列配線群として列配線C1, C2, C6, C9, C10, C12, C14, C15が第2の電圧に駆動され、第2の列配線群として列配線C3, C4, C5, C7, C8, C11, C13が第1の電圧に駆動されている。

そして、各行配線R1, R2, R3, ...各々には、駆動された複数の列配線とで形成する容量センサの各容量の合計値、すなわち、PN符号のビット配列により多重化された容量値が接続されることになる(図11)。

【0067】

これにより、各行配線には上述した列配線駆動により多重化された容量における電荷移動に基づく電流が流れ、チャージアップ回路6がこの電流を電圧に変換して測定電圧とし、サンプルホールド回路7がタイミング制御回路11からのサンプルホールド(S/H)信号の入力タイミングにより、この測定電圧の電圧値をサンプリングして保持する。

そして、第1の容量検出期間における多重化された容量に対応する測定電圧がサンプリングされた後、タイミング制御回路11はチャージアップ回路6に対してリセット信号を出力する。

【0068】

次に、図8に戻り、所定の時間経過後、すなわち、第1の容量検出期間が終了して、第2の容量検出期間となると、反転制御回路25は、タイミング制御回路11の制御により反転回路24に対して、格納用シフトレジスタ23から出力されるデータを、反転して出力させる制御信号を出力する。

上述した時刻t1及びt2(時刻t2については、第1の容量測定期間のみ)で説明した処理を、時刻t3~時刻t15に対応する各タイミングにおいて、図10に示す時刻td1から時刻td5までの処理を繰り返して(図14に、各時刻における格納用レジスタ23のPN符号のビット配列が示されている)、一周期に渡って、PN符号のビットシフト、列配線の駆動、測定電圧の取得を繰り返して、指紋の取得処理が行われる。

【0069】

そして、容量検出回路100は、第1の容量検出期間及び第2の容量検出期間各々において、PN符号の各ビットのデータに基づく駆動パルスにより、列配線群2の複数の列配線を第1及び第2の列配線群として駆動し、上述した測定処理を15ビットのPN符号を、順次1ビット分シフトさせる毎に行い、位相が1ビットずつずれた15個の測定電圧Vdを、時系列に各行配線毎に得る。この測定電圧VdがA/D変換器9により、測定データdn(nはPN符号のビット数)に時系列に変換され、PN符号により多重化された測定データのデータ列{d1, d2..., d15}が得られる。

各行配線毎に、PN符号の位相が1ビットずつ異なる測定データとして、図15に示すデータとして、復号演算回路10内部のメモリに記憶されている。

【0070】

ここで、Vsは駆動された各列配線と行配線との交差部のセンサ素子の各容量が電圧に変換された電圧データ(デジタル値)であり、各測定データdはPN符号に基づいて駆動された列配線に対応するセンサ素子の容量により多重化されている。

一般式として考えると、以下の(1)式となる。

【0071】

【数1】

$$d_i = \sum_{j=1}^N \begin{cases} PN_s(i-j+1) \times V_s(j) & (i \geq j) \\ PN_s(i-j+1+N) \times V_s(j) & (i < j) \end{cases} \dots (1)$$

【0072】

この式において、列配線群2において約半数(8本)が、PN符号に基づいて同時に駆動されるため、約半数の交差部のセンサ素子の容量Csjに対応した電圧データVsjの積算された値が測定データdiとして求められる。ここで「j」は列配線Cの番号であり、「

10

20

30

40

50

i は測定データの番号（位相を1ビットずつずらされた順番に対応）であり、 $i = 1, 2, 3, \dots, N$ 、 $j = 1, 2, 3, \dots, N$ とする。

また、この(1)式において、PN符号のビットのデータが $PN_i = 1$ のとき、極性符号 $PNs(i) = +1$ であり、 $PN_i = 0$ のとき、極性符号 $PNs(i) = -1$ とする。

そして、復号演算回路10は、上記多重化されている測定データと、多重化に用いたPN符号とにより、各センサ素子の電圧データ V_s を以下の(2)式により求める。

【0073】

【数2】

$$ds_j = \sum_{i=1}^N \begin{cases} PNs(i-j+1) \times d(i) & (i \geq j) \\ PNs(i-j+1+N) \times d(i) & (i < j) \end{cases} \dots (2) \quad 10$$

【0074】

すでに述べたように、PN符号を順次ビット単位でシフトし、求められた時系列な測定データ d は、上記(2)式により、PN符号と測定データ d との積和演算により、行配線と駆動された列配線との交差部のセンサ素子の容量に対応する電圧データ ds 、すなわち電圧データ V_s に分離することができる。

ここで、この(2)式において、PN符号のビットのデータが $PN_i = 1$ のとき、極性符号 $PNs(i) = +1$ であり、 $PN_i = 0$ のとき、極性符号 $PNs(i) = -1$ とする。

復号演算回路10は、この(2)式を用いて測定データ d から電圧データ ds への分離（すなわち復号）の演算を行う。 20

【0075】

すなわち、センサ素子毎の電圧データ ds 、すなわち電圧データ $\{ds_1, ds_2, ds_3, \dots, ds_{14}, ds_{15}\}$ を求めるとき、行配線単位で電圧データ ds を、PN符号により多重化して、測定データのデータ列 $\{d_1, d_2, d_3, \dots, d_{14}, d_{15}\}$ が求められているので、まず測定データ d_j 毎にPN符号のビット列 $\{1(LSB), 1, 1, 1, 0, 1, 0, 1, 1, 0, 0, 1, 0, 0, 0(MSB)\}$ の各ビットのデータ PN_i を係数として乗算する。ここで、測定時に、所定のPN符号に基づいて列配線に駆動信号を印加するとき、ビット列の順番は各列配線の順番に順次対応しており、例えば、LSBのビットは列配線C1に対応し、MSBのビットは列配線C15に対応している。次に、列配線C1の交差部に対応する電圧データ ds_1 はPN符号のビット列（シフトなし）を、 $\{1(LSB), 1, 1, 1, 0, 1, 0, 1, 1, 0, 0, 1, 0, 0, 0(MSB)\}$ として、このビット列の各ビットのデータ PN_i を係数として、測定データ d_i 毎に乗算し一周期に渡って積算する。 30

【0076】

すなわち、列配線C1は、図14のLSBの時刻毎のPN符号のビットのデータを見て判るように、時刻 t_1 にPN符号のLSBのビットのデータに対応して駆動され、時刻 t_2 に2ビット目、 \dots 、時刻 t_{15} にMSBのビットのデータに対応して駆動されているため、積和演算においても、対応したPN符号のビットのデータを乗算して加算することとなる。同様に、列配線C2の交差部に対応する電圧データ ds_2 は、図14の2ビット目の時刻毎のPN符号のビットのデータを見て判るように、上記PN符号のビット列を1ビット分シフト（右方向に循環）させたものが列配線C2の駆動に用いられているため、ビット列 $\{0(LSB), 1, 1, 1, 1, 0, 1, 0, 1, 1, 0, 0, 1, 0, 0(MSB)\}$ として、このビット列の各ビットのデータ PN_i を係数として、測定データ d_i 毎に乗算し、1周期に渡って積算する。 40

【0077】

この処理は、PN符号に対する積和演算に相当し、以下に示すように、各交差部に対応する電圧データ ds_j は、PN符号のビット列を所定ビット列分をシフトされたビット列の各データとの積和演算により求められる。この場合、復号時の積和演算においては、列配線R1に対して初期状態のPN符号を用い、測定する順番の列配線毎に1ビットずつシフ 50

トさせたPN符号が用いられる。

すなわち、復号時の積和演算においては、各時刻に測定された測定データ毎に、求める交差部の列配線の番号と、この番号に対応する、上記時刻に用いられたPN符号のビット配列における番号(順番)のビットのデータとを各々乗じて、積算していくこととなる(つまり、測定時に各時刻において、対応する列配線を駆動するとき用いられたPN符号のビットのデータと、同様の値のデータが乗じられる)。

本実施形態における15本の列配線に対応した、PN符号のビット列{1, 1, 1, 1, 0, 1, 0, 1, 1, 0, 0, 1, 0, 0, 0}との場合、復号演算回路10は、(2)式に基づいて、図16に示す用に積和演算を行い、測定データ d_i のデータ列から各センサ素子の容量値に対応する電圧データ d_{sj} に分離する。

10

【0078】

上述したように、第1の実施形態においては、複数の列配線を、PN符号に基づいて同時に駆動させ、次のタイミングにおいて、PN符号の位相を変えするという操作を繰り返し、一方、検出側で時系列に得られたデータをPN符号との積和演算処理を施すことで、他の列配線との交差部容量からの影響をほぼ平均化すると同時に、対象となる列配線との交差部のセンサ素子(容量センサ)に充放電される電荷の情報のみを抽出することができる。

また、第1の実施形態においては、PN符号として、M系列の他にもいくつか種類があるが、自己相関に優れるM系列が検出側での復号時に、隣接する列配線に対する影響が一樣となるため、列配線間のクロストークの影響を小さくできる効果がある。

20

【0079】

また、図17は、本実施形態をラインセンサに用いた場合の構成例を示すブロック図を示している。

このラインセンサのセンサ部4Bにおいては、検出する行配線を1列にすることで、ライン型センサを構成している。

容量検出回路の各構成については、容量を検出する行配線を選択するセクタ回路8が設けられていない以外、すでに説明したエリア型センサと同様のため、同一の符号を付して説明を省略する。

このライン型センサは、エリア型センサに比較し、回路規模が小さく、低消費電力化とコストダウンを計ることができる。

30

このライン型センサを指紋センサとして用いるときは、指を行配線に概略垂直な角度でスweepし、タイミング制御回路11が所定の周期にて測定処理のための各信号を出力し、復号演算回路10が上記所定の周期毎に入力される行配線単位の測定データを繋ぎ合わせることで2次元の指紋データを検出する。

【実施例2】

【0080】

次に、本発明の第2の実施形態による容量検出回路を図1を参照して説明する。第1の実施形態と同様の構成については同一の符号を付して説明を省略する。

第1の実施形態と異なる構成は、PN符号を発生する符号発生部1が、直交符号を発生する符号発生部1Bに置き換わった点である。

40

符号発生部1Bは、センサ部4の行配線群3の各行配線を選択する制御信号の生成に用いる直交符号を生成する。この直交符号は、直交性の高い直交符号、例えばウィルシュ符号が用いられる。

【0081】

また、符号発生部1Bは、符号発生部1と同様に、上記直交符号に基づいて、列配線群2を第1の列配線群と第2の列配線群との2つの列配線群に分割する。

すなわち、列配線駆動部5は、各時刻間の測定期間における第1及び第2の容量検出期間各々において、符号発生部1Bから時系列に入力される直交符号により、第1及び第2の配線群それぞれを、順次相補的に駆動する。

ここで、列配線駆動部5は、列配線群2の各行配線を、直交符号のビット配列における

50

ビットのデータが「1」のとき第1の列配線群とし、ビットのデータが「0」のとき第2の列配線群とし、これら列配線と行配線との交差部における容量に流れる電流値を合成（多重化）している。

また、タイミング制御回路11、列配線駆動部5、チャージアンプ回路6、サンプルホールド回路7及びセクタ回路8の動作についての説明は、第1の実施形態と同様のため省略する。

【0082】

次に、上記構成からなる、本発明の第2の実施形態に係る容量検出回路100の動作例を、図1を参照して説明する。この第2の実施形態は、測定データの多重化に対して、第1の実施形態におけるPN符号に換え、直交符号を用いている以外に、第1の実施形態との動作の違いはない。ここでは、説明を簡略化するため、図21に示すように、符号発生部1B内に設けられており、後述する直交符号読み出し回路220から生成される15ビット長の直交符号を例とし、第1の実施形態と異なる動作のみの説明を行う。

復号演算回路10が外部から容量検出の開始、すなわち指紋センサ（センサ部4）での指紋の採取を行う信号が入力されたとする。

【0083】

これにより、復号演算回路10は、タイミング制御回路11に対して、検出開始を指示する開始信号を出力する。次に、タイミング制御回路11は、符号発生部1Bへクロック信号及びリセット信号を出力する（図22参照）。図22のタイミングチャートと、図8のタイミングチャートとの違いは、図6のPN符号でなく、図20の直交符号を用いているため、各列配線に与えられる駆動パルスの電圧レベルが異なるのみで、他の動作については第1及び第2の実施形態は同様である。

【0084】

そして、符号発生部1Bは、上記リセット信号により、図18に示す符号発生回路1Bにおける直交符号読み出し回路220を介して、内部のアドレスカウンタ222及び直交符号読み出し回路220の各レジスタを初期化して、上記クロックに同期させて、順次、直交符号をコードメモリ221から、格納レジスタ223の各レジスタ2231~22315へ読み出し、格納用レジスタ223により、対応する列配線に対して直交符号を出力する。レジスタ2231に直交符号のビット列のLSBが格納され、順次ビット位置が上位になり、レジスタ22315にビット列のMSBが格納される。

例えば、時刻t1の測定期間として、図23に示すように、図20のテーブルにおけるアドレスt1の直交符号のビット配列{1(LSB), 0, 1, 0, 1, 0, 1, 0, 1, 0, 1, 0, 1(MSB)}が、格納用レジスタ223の各レジスタ2231~22315に書き込まれる。

【0085】

レジスタ2231~22315各々は、反転回路24を介して、列配線群2における列配線C1, C2, ..., C14, C15それぞれに1対1に対応して接続されている。

反転回路24は、第1の実施形態と同様に、反転制御回路25からの制御信号により、格納レジスタ223に格納されているデータを、反転または非反転の状態、列配線駆動部5へ出力する。ここで、レジスタ2231~22315各々は、反転部241, 242, ..., 2414, 2415それぞれを介して、バッファ51, 52, ..., 514, 515各々に1対1で接続している。

【0086】

ここで、符号発生部1Bは、内部のコードメモリ221に、予め作成された直交符号が記憶されており、順次、クロックが入力される毎に、直交性を有するデータ列を列配線駆動部5へ出力する。

代表的な上記直交符号であるウォルシュ符号は、図19に示す順序により生成される。基本的な構造として、2（行）×2（列）の基本単位を作るが、右上、左上及び左下のビットは同一であり、右下はこれらのビット反転となっている。

次に、上述した2×2の基本単位を、右上、左上、右下及び左下にブロックとして4つ

10

20

30

40

50

合成して、4（行）×4（列）のビット配列の符号を作る。ここで、2×2の基本単位の作成と同様に、右下のブロックはビット反転となる。同様な手順で、8（行）×8（列）、16（行）×16（列）のように、符号のビット配列のビット数（列数に対応）と、符号の数（行数に対応）とすることができる。

【0087】

この第2の実施形態においては、全てが論理「0」、すなわち全てのビットのデータが「0」である、1行目と1列目とを、列が駆動されずに測定データの多重化が行えないために符号から除外した。図19においては、例えば、15×15のビットの行列を直交符号としてある。

上述したように、符号長が長い符号についても同様にウォルシュ符号を生成することができ、この様に生成したウォルシュ符号を、以下に述べる容量の測定における多重化に適用できる。

本実施例においては、例えば、列配線群2が配線C1～C15の15本で構成されており、15×15のビットの行列で表される直交符号を、容量測定時の多重化に用いる。

【0088】

符号発生部1B内のコードメモリ（図18のコードメモリ221）には、上記15×15の行列で表される直交符号のデータが、図20のテーブルに示すデータ形式において記憶されている。各行がアドレスt1～t15に対応づけられて順番に記憶されている。

ここで、例えば、アドレスt1の行のウォルシュ符号（直交符号）は{1(LSB), 0, 1, 0, 1, 0, 1, 0, 1, 0, 1, 0, 1, 0, 1(MSB)}となっており、アドレスt15の行のウォルシュ符号は{1(LSB), 1, 0, 1, 0, 0, 1, 1, 0, 0, 1, 0, 1, 1, 0(MSB)}となっている。

タイミング制御回路11は、開始信号が入力されると、符号発生部1Bに対して測定開始信号を出力する。

【0089】

図22において、直交符号読み出し回路220は、上記測定開始信号が入力されると、アドレスカウンタ222及び格納用レジスタ223のリセットを行い、アドレスカウンタ222の計数値を「0」とする。

そして、時刻t1において、リセット信号が入力されると、タイミング制御回路11の制御により、反転制御回路25は反転回路24に対して、格納用シフトレジスタ23から出力されるデータを、反転して出力させる制御信号を出力する。

ここで、アドレスt1の直交符号に基づき、第1の列配線群は列配線C1, C3, C5, C7, C9, C11, C13, C15により構成され、第2の列配線群は列配線C2, C4, C6, C8, C10, C12, C14により構成される。

【0090】

これにより、反転回路24は、図23に示すように、上記ビット配列{1(LSB), 0, 1, 0, 1, 0, 1, 0, 1, 0, 1, 0, 1, 0, 1(MSB)}を反転して、ビット配列{0(LSB), 1, 0, 1, 0, 1, 0, 1, 0, 1, 0, 1, 0, 1, 0(MSB)}として、列配線駆動部5へ出力する。

次に、時刻t1におけるリセットの入力から所定の時間経過後、すなわち、第1の容量検出期間になると、反転制御回路25は反転回路24に対して、格納用レジスタ223から出力されるデータを、反転せずに出力させる制御信号を出力する。

これにより、反転回路24は、図24に示すように、上記ビット配列{1(LSB), 0, 1, 0, 1, 0, 1, 0, 1, 0, 1, 0, 1, 0, 1(MSB)}を反転せずに、ビット配列{1(LSB), 0, 1, 0, 1, 0, 1, 0, 1, 0, 1, 0, 1, 0, 1(MSB)}として、列配線駆動部5へ出力する。

【0091】

そして、第1及び第2の容量測定期間が終了して、次の測定期間（次の周期）に進む毎に、交差部の容量の測定時において、直交符号読み出し回路220は、タイミング制御回路11から時系列に出力されるクロックが入力され、カウント信号をアドレスカウンタ2

10

20

30

40

50

22へ出力する。

そして、アドレスカウンタ222は、入力されるカウント信号を計数して、計数値に対応してアドレス t_1, t_2, \dots, t_{15} をコードメモリ221に出力する。

これにより、コードメモリ221は、入力されるアドレス t_1, t_2, \dots, t_{15} に対応したウォルシュ符号のデータ(行のビット配列)を直交符号読み出し回路220に出力する。

【0092】

この直交符号読み出し回路220は、読み出された直交符号を、上述したビット配列のLSB～MSBの配列に対応させ、格納用レジスタ223へ書き込む。

例えば、格納用レジスタ223に対して、図20のテーブルにおけるアドレス t_1 の直交符号が書き込まれたとすると、レジスタ2231, 2232, 2233, 2234, 2235, ..., 22314, 22315各々に、データ配列{1(LSB), 0, 1, 0, 1, 0, 1, 0, 1, 0, 1, 0, 1, 0, 1(MSB)}の各ビットのデータが入力される。

これにより、列配線駆動部5は、入力される直交符号のビット配列の各ビットのデータにより、列配線群2の各配線を第1の列配線群と第2の列配線群との2つの配線群として、相補的に駆動制御することになる。ここで、各ビットのデータの値による列配線の駆動処理はすでに説明したように、第1の実施形態と同様であり、詳細な説明は省略する。

【0093】

第1の実施形態により説明した容量検出の処理と同様に、時刻 t_1 ～時刻 t_{15} に対応する各タイミングにおいて、図10に示す時刻 t_{d1} から時刻 t_{d5} までの処理を繰り返して(図20に、各時刻において用いる、格納用レジスタ223の直交符号のビット配列が示されている)、メモリアドレス t_1 ～ t_{15} までの一周期に渡って、直交符号のコードメモリ221からの読み出し、列配線の駆動、測定電圧の取得を繰り返して、指紋の取得処理が行われる。

次に、容量検出回路100は、各時刻における駆動パルスPの駆動時において、時刻に対応する上述した測定処理における15ビットの直交符号を、順次、コードメモリ221から読み出し、格納用レジスタ223の各レジスタに格納する。

そして、符号発生部1Bは、測定期間において、第1の容量検出期間のとき、非反転にて直交符号のビットのデータを出力し、第2の容量検出期間のとき、反転して直交符号のビットのデータを出力する。

そして、列配線駆動部5は、反転回路24を介して格納用レジスタ223から入力される各ビットのデータにより、列配線各々を第1及び第2の列配線群として駆動する。

【0094】

これにより、容量検出回路100は、各時刻に対応するアドレス t_1 ～ t_{15} 毎に異なる15個の測定電圧 V_d を、時系列に各行配線毎に得る。この測定電圧 V_d がA/D変換器9により、測定データ d に時系列に変換され、直交符号により多重化された測定データのデータ列{ d_1, d_2, \dots, d_{15} }が得られる。

各行配線毎に、15個の直交符号毎に異なる測定データとして、図25に示すデータとして(図20のテーブルの直交符号を用いて測定)、復号演算回路10内部のメモリに記憶されている。

ここで、 V_s は駆動された各列配線と行配線との交差部のセンサ素子の各容量が電圧に変換された電圧データ(デジタル値)であり、各測定データ d は直交符号に基づいて駆動された列配線に対応するセンサ素子の容量により多重化されている。

一般式として考えると、以下の(3)式となる。

【0095】

【数3】

$$d_i = \sum_{j=1}^N CD_{s(i,j)} \times V_s(j) \quad \dots (3)$$

10

20

30

40

50

【 0 0 9 6 】

この(3)式において、列配線群2において約半数(8本)が、直交符号に基づいて第1の列配線群とされ、約半数(7本)が第2の列配線群とされるため、約半数の交差部のセンサ素子の容量 C_{sj} に対応した電圧データ V_{sj} の積算された値が測定データ d_i として求められる。ここで「j」は列配線Cの番号であり、「i」は測定データの番号(アドレス t_i の順番各々に対応)であり、 $i = 1, 2, 3, \dots, N$ 、 $j = 1, 2, 3, \dots, N$ とする。すなわち、(1)式の符号 $CD(i, j)$ は、時刻 t_i において用いられるi番目の符号において、j番目の要素の符号を示す。ここで、符号 $CD(i, j) = 1$ のとき極性符号 $CDs(i, j) = +1$ であり、符号 $CD(i, j) = 0$ のとき極性符号 $CDs(i, j) = -1$ である。

10

そして、復号演算回路10は、上記多重化されている測定データと、多重化に用いた直交符号とにより、各センサ素子の電圧データ V_s を以下の(4)式により求める。

【 0 0 9 7 】

【 数 4 】

$$ds_j = \sum_{i=1}^N CDs(i, j) \times d(i) \quad \dots (4)$$

【 0 0 9 8 】

すでに述べたように、直交符号を順次、コードメモリ221から読み出し、求められた時系列な測定データ d は、上記(4)式により、直交符号と測定データ d との積和演算により、行配線と相補的に駆動された列配線との交差部のセンサ素子の容量に対応する電圧データ d_s 、すなわち電圧データ V_s に分離することができる。

20

ここで、この(4)式において、直交符号のビットのデータが $CD(i, j) = 1$ のとき、極性符号 $CDs(i, j) = +1$ であり、 $CD(i, j) = 0$ のとき、極性符号 $CDs(i, j) = -1$ とする。

復号演算回路10は、この(4)式を用いて測定データ d_i から電圧データ d_{sj} への分離の演算を行う。

【 0 0 9 9 】

すなわち、センサ素子毎の電圧データ d_{sj} 、すなわち電圧データ $\{d_{s1}, d_{s2}, d_{s3}, \dots, d_{s14}, d_{s15}\}$ を求めるとき、行配線単位で電圧データ d_s を、直交符号により多重化して、測定データのデータ列 $\{d_1, d_2, d_3, \dots, d_{14}, d_{15}\}$ が求められているので、まず測定データ d_i 毎に直交符号のビット列 $\{1(\text{LSB}), 0, 1, 0, 1, 0, 1, 0, 1, 0, 1, 0, 1, 0, 1(\text{MSB})\}$ の各ビットのデータ $CD(i, j)$ に対応する極性符号を乗算する。

30

【 0 1 0 0 】

ここで、ビット列の順番は各列配線の順番に順次対応しており、例えば、LSBのビットは列配線C1に対応し、MSBのビットは列配線C15に対応している。次に、列配線C1の交差部に対応する電圧データ d_{s1} は、アドレス $t_1 \sim t_{15}$ の各直交符号のビット配列のLSBのビット列 $\{1(t_1), 0(t_2), 1(t_3), 0(t_4), 1(t_5), 0(t_6), 1(t_7), 0(t_8), 1(t_9), 0(t_{10}), 1(t_{11}), 0(t_{12}), 1(t_{13}), 0(t_{14}), 1(t_{15})\}$ として、このビット列の各ビットのデータ $CD(i, j)$ に対応する極性符号を、測定データ d_i 毎に乗算し一周期に渡って積算する。

40

【 0 1 0 1 】

すなわち、列配線C1は、時刻 t_1 にアドレス t_1 における直交符号のLSB(1ビット目)のビットのデータにより第1及び第2の列配線群のいずれかに分類され、時刻 t_2 にアドレス t_2 における直交符号のLSBのデータにより第1及び第2の列配線群のいずれかに分類され、 \dots 、時刻 t_{15} にアドレス t_{15} における直交符号のLSBのビットのデータにより第1及び第2の列配線群のいずれかに分類されているため、積和演算においても、使用した直交符号のビットのデータに対応する極性符号を乗算して加算することとなる。

50

【 0 1 0 2 】

同様に、列配線 C2 の交差部に対応する電圧データ d_{S2} は、時刻 t_1 にアドレス t_1 における直交符号の 2 ビット目のデータに対応して第 1 及び第 2 の列配線群のいずれかに分類され、時刻 t_2 にアドレス t_2 における直交符号の 2 ビット目のデータに対応して第 1 及び第 2 の列配線群のいずれかに分類され、...、時刻 t_{15} にアドレス t_{15} における直交符号の 2 ビット目のデータに対応して第 1 及び第 2 の列配線群のいずれかに分類されているため、積和演算においても、対応した直交符号のビットのデータに対応する極性符号を乗算して加算することとなる。

すなわち、電圧データ d_{s2} は、アドレス $t_1 \sim t_{15}$ の各直交符号のビット配列の 2 ビット目からなるビット列 $\{ 0(t_1), 1(t_2), 1(t_3), 0(t_4), 0(t_5), 1(t_6), 1(t_7), 0(t_8), 0(t_9), 1(t_{10}), 1(t_{11}), 0(t_{12}), 0(t_{13}), 1(t_{14}), 1(t_{15}) \}$ として、このビット列の各ビットのデータ $CD(i, j)$ に対応する極性符号を、測定データ d_i 毎に乗算し一周期に渡って積算する。

10

【 0 1 0 3 】

上述したように、各交差部各々の容量に対応する電圧は、容量の測定時において、時刻 $t_1 \sim t_{15}$ 毎に駆動パルス P が印加されるとき、列配線群 2 を第 1 及び第 2 の列配線群のいずれかに分割するとき用いた、直交符号におけるビット列の各ビットのデータ $CD(i, j)$ に対応する極性符号を、測定データ d_i 毎に乗算し、1 周期に渡って積算する。この処理は、直交符号に対する積和演算に相当し、以下に示すように、各交差部に対応する電圧データ d_{Sj} は、測定データ d_i と、コードメモリ 221 に記憶されている直交符号の各ビット配列のデータに対応する極性符号との積和演算により求められる。

20

【 0 1 0 4 】

すなわち、復号時の積和演算においては、各時刻に測定された測定データ毎に、求める交差部の列配線の番号と、この番号に対応する、上記時刻に用いられた直交符号のビット配列における番号（順番）のビットのデータに対応する極性符号とを各々乗じて、積算していくこととなる（つまり、測定時に各時刻において、対応する行配線を第 1 及び第 2 の列配線群のいずれかに分類するために用いられた直交符号のビットのデータと、同様の値のデータに対応する極性符号が乗じられる）。

本実施形態における 15 本の列配線に対応した、コードメモリ 221 に記憶された図 20 に示す直交符号において、各アドレス $t_1 \sim t_{15}$ の直交符号のビット配列により、復号演算回路 10 は、(4) 式に基づいて、図 26 に示す演算を行い、測定データ d_i のデータ列から各センサ素子の容量値に対応する電圧データ d_{sj} に分離する。

30

【 0 1 0 5 】

上述したように、第 2 の実施形態においては、直交符号の各ビットのデータにより、列配線群 2 の各列配線を第 1 及び第 2 の列配線群のいずれかに分類し、各列配線群の測定値を多重化して測定データを得、次のタイミングにおいて、コードメモリ 221 から時刻に対応したアドレスの直交符号を読み出して上述した測定を行うという操作を繰り返し、一方、検出側で時系列に得られた測定データを直交符号との積和演算処理を施すことで、他の列配線との交差部容量からの影響をほぼ平均化すると同時に、対象となる列配線との交差部のセンサ素子（容量センサ）に充放電される電荷の情報のみを抽出することができる。

40

【 実施例 3 】

【 0 1 0 6 】

次に、本発明の第 3 の実施形態による容量検出回路を図 27 を参照して説明する。第 1 及び第 2 の実施形態と同様の構成については同一の符号を付して説明を省略する。

第 1 及び第 2 の実施形態と異なる構成は、列配線群 2 を複数の列配線グループに分割して、分割された列配線グループ毎に、列配線の多重化を行う測定を行い、他の列配線グループの列配線の駆動を行わない点である。

すなわち、第 1 及び第 2 の実施形態において、PN 符号及び直交符号により、列配線全体に対する多重化を行っていたのに対して、第 3 の実施形態は上記列配線グループ単位に

50

において、列配線を相補的に駆動し、PN符号または直交符号により測定電圧の多重化を行う点である。

【0107】

このため、第3の実施形態による容量検出回路には、図27に示すように、符号発生部1（または1B）と、列配線駆動部5との間に、列配線群2を所定の数の列配線からなる列配線グループに分割し、測定時に測定対象の列配線グループを選択する列配線セレクタ13が介挿されている。

上記列配線セレクタ13は、列配線群2の列配線を、所定数の複数の列配線グループに分割し、いずれかの列配線グループを選択して、符号発生部1（または1B）からのPN符号（または直交符号）を、列配線駆動部5へ出力する。

そして、列配線駆動部5は、列配線セレクタ13により選択された列配線グループに対応したバッファに入力されることにより、対応する列配線グループにPN符号（または直交符号）により生成された駆動パルスを供給する。

【0108】

図28は、センサ部4における列配線群2のうち、駆動する（測定対象となる）列配線グループの選択を行う列配線セレクタ13の構成例を示している。図28はPN符号に対応した回路構成として示されているが、符号が直交符号においても同様な構成であり、同様な測定のための動作が行われる。

すなわち、列配線駆動部5は、図28に示すように、列配線群2を所定数、例えばM個の列配線グループ21～2Mに分割し、所定の時間間隔毎に、格納シフトレジスタ23からの出力を、順次選択する列配線グループへ出力する。

【0109】

ここで、列配線グループの列配線数は、符号発生回路1が発生するPN符号のビット列のビット数と同一の数である。

本第3の実施形態において、例えば、PN符号のビット数を15ビットとすると、列配線グループ21～2Mの各列配線グループの列配線の本数は15本である。

そして、第1及び第2の実施形態においては、隣り合い連続した列配線を束ねてグループとしており、PN符号が15ビットの場合（ $N = 15$ ）、15本ごとの列配線を束ねて1グループとし、全体を17グループとする（ $M = 17$ ）ことで、255本の列配線を制御することができる。

【0110】

また、この第3の実施形態においては、図29に示すように、列配線セレクタ13がタイミング制御回路11からの制御信号により、各列配線グループの選択を、PN符号が1周期分巡回するまで変更せず、PN符号の周期ごとに列配線グループを切り替える動作が行われる。

すなわち、図29に示すように、各列配線グループ単位で、一周期にわたって列配線及び行配線の交差部の容量測定が終了すると、順次、次の列配線グループが選択される。列配線グループの選択される順番は、列配線グループ21～2Mの順番でも良いし、位置にこだわらずにランダムな位置順に選択するようにしても良い。

各列配線グループにおける容量の測定動作については、第1及び第2の実施形態と同様のため、詳細な説明を省略する。

【実施例4】

【0111】

第4の実施形態は、第3の実施形態における、列配線群2を複数の列配線グループに分割して、列配線グループ毎に測定を行う容量測定方法において、容量検出回路の測定精度を向上させるように構成したものである。

第3の実施形態において、各列配線の相補的な駆動制御により、基本的なDC成分の情報が欠落し、各行配線において、選択されていない、すなわち駆動されていない他の列配線との交差部の容量（クロストークにより発生）により、多重化される測定電圧にオフセットが生じる。

10

20

30

40

50

【 0 1 1 2 】

これにより、駆動されていない列配線との容量が列配線グループ毎にばらつくため、行配線毎に生じるオフセットレベルが安定せず、各行配線からの測定データにより構成される2次元の指紋画像において、上記行配線毎に異なるオフセットレベルにより濃淡のムラ生じ場合がある。

本第4の実施形態の容量検出回路においては、そのムラの発生の抑止対策を行うため、各列配線グループにおける列配線の数、PN符号（または直交符号）のビット配列のビットの数に対応させずに設定、すなわち、列配線グループにおける列配線数を、PN符号（直交符号）のビット数に対して、少なくとも1ビット少なく設定している。

【 0 1 1 3 】

例えば、15ビット長のPN符号に対して、図30に示すように、1ビットを未使用状態（未結線状態）とし、15ビットのPN符号（または直交符号）に対して、列配線グループあたり14本の列配線を割り当てて結線する。

これにより、PN符号（または直交符号）のビット配列において、実際の列配線に対応させず、架空の列配線（実際には存在しない列配線）に1ビット対応させることにより、この架空の列配線が実際には駆動されないため、常に容量が変化しない基準値として使用できる。

図31の復号演算において、電圧データ $d_{s1} \sim d_{s14}$ の数値は各々交差部の容量に対応した出力を示し、電圧データ d_{s15} は本来結線されていないため、無信号に対応した基準値としての出力となる。

【 0 1 1 4 】

そこで、電圧データ d_{s15} の値を、測定における所定の基準値 d_{ref} に対応させるオフセット演算を、各列配線グループ毎に行えばよい。

例えば、

$$\begin{aligned} Ofs &= d_{s15} - d_{ref} \\ d_{saj} &= d_{sj} - Ofs \quad (j = 1 \sim 14) \end{aligned}$$

という計算を行えばよい。

ここで、基準値 d_{ref} は、全ての列配線グループ及び行配線に対して、全ての基準となるように共通に設定された数値である。

また、オフセット値 Ofs は、行配線単位において、列配線グループ毎に得られる、修正に用いるオフセット量である。

各列配線グループのオフセット値 Ofs を求めた後、同一の列配線グループに含まれる他の列配線に対応する電圧データ $d_{sj} \quad (j = 1 \sim 14)$ から、各々オフセット値 Ofs を減算することにより、全ての列配線グループにおいて上記基準値 d_{ref} に対応した修正電圧データ $d_{saj} \quad (j = 1 \sim 14)$ を得ることができ、2次元画像における濃度のムラを抑止することができる。

【 0 1 1 5 】

なお、図1、図17または図27における処理部の機能を実現するためのプログラムをコンピュータ読み取り可能な記録媒体に記録して、この記録媒体に記録されたプログラムをコンピュータシステムに読み込ませ、実行することにより容量検出回路による測定処理を行ってもよい。なお、ここでいう「コンピュータシステム」とは、OSや周辺機器等のハードウェアを含むものとする。また、「コンピュータシステム」は、ホームページ提供環境（あるいは表示環境）を備えたWWWシステムも含むものとする。また、「コンピュータ読み取り可能な記録媒体」とは、フレキシブルディスク、光磁気ディスク、ROM、CD-ROM等の可搬媒体、コンピュータシステムに内蔵されるハードディスク等の記憶装置のことをいう。さらに「コンピュータ読み取り可能な記録媒体」とは、インターネット等のネットワークや電話回線等の通信回線を介してプログラムが送信された場合のサーバやクライアントとなるコンピュータシステム内部の揮発性メモリ（RAM）のように、一定時間プログラムを保持しているものも含むものとする。

【 0 1 1 6 】

10

20

30

40

50

また、上記プログラムは、このプログラムを記憶装置等に格納したコンピュータシステムから、伝送媒体を介して、あるいは、伝送媒体中の伝送波により他のコンピュータシステムに伝送されてもよい。ここで、プログラムを伝送する「伝送媒体」は、インターネット等のネットワーク（通信網）や電話回線等の通信回線（通信線）のように情報を伝送する機能を有する媒体のことをいう。また、上記プログラムは、前述した機能の一部を実現するためのものであってもよい。さらに、前述した機能をコンピュータシステムにすでに記録されているプログラムとの組み合わせで実現できるもの、いわゆる差分ファイル（差分プログラム）であってもよい。

【図面の簡単な説明】

【0117】

10

【図1】本発明の第1の実施形態による容量検出回路を用いた指紋センサの構成を示すブロック図である。

【図2】図1におけるセンサ部4の構成例を示す概念図である。

【図3】図1におけるセンサ部4を用いた指紋データの測定を説明する概念図である。

【図4】エリアセンサ型であるセンサ部4において、列配線群2の列配線と、行配線群3の行配線との各々の交差点で形成されるセンサ素子55の構成例を説明する概念図である。

【図5】図1におけるセンサ部4と、チャージアンプ回路6との構成例を説明する概念図である。

【図6】図1の符号発生部1における符号発生回路20の構成例を示す概念図である。

20

【図7】PN符号におけるビット列のビットシフトによる位相変化において、ビット列の並びの一周期毎の自己相関を説明する概念図である。

【図8】第1の実施形態におけるセレクト回路8及び列配線の制御の動作を説明するタイミングチャートである。

【図9】PN符号により列配線を駆動し、センサ素子55の容量の多重化を行う本発明の第1の実施形態の動作例を説明するための概念図である。

【図10】PN符号により列配線を駆動し、センサ素子55の容量の多重化を行う本発明の第1の実施形態の動作例を説明するための概念図である。

【図11】PN符号により列配線を駆動し、センサ素子55の容量の多重化を行う本発明の第1の実施形態の動作例を説明するための概念図である。

30

【図12】直交符号により列配線を駆動し、センサ素子55の容量の多重化を行う本発明の第1の実施形態の動作例を説明するための概念図である。

【図13】第1の実施形態における検出信号及びチャージアンプ回路6の動作を説明するタイミングチャートである。

【図14】格納用シフトレジスタ23が1ビット分のシフト毎に出力するPN符号のビット列における各ビットのデータを示すテーブルである。

【図15】第1の実施形態における測定データ d_i と電圧データ V_{sj} との関係を示す式の概念図である。

【図16】第1の実施形態における復号演算回路10の復号演算としての積和演算の演算式を示す概念図である。

40

【図17】第1及び第2の実施形態をラインセンサに用いた場合の一構成例を示すブロック図である。

【図18】図1における符号発生回路1Bの一構成例を示すブロック図である。

【図19】直交符号であるウォルシュ符号を生成する手順を説明する概念図である。

【図20】図1の符号発生部1Bに設けられたコードメモリ221に記憶されている直交符号（ウォルシュ符号）のビット配列のテーブルである。

【図21】第2の実施形態における符号発生部1Bの一構成例と、列配線駆動部5との対応関係を示す示す概念図である。

【図22】第2の実施形態におけるセレクト回路8及び列配線の制御の動作を説明するタイミングチャートである。

50

【図 2 3】直交符号により列配線を駆動し、センサ素子 5 5 の容量の多重化を行う本発明の第 2 の実施形態の動作例を説明するための概念図である。

【図 2 4】直交符号により列配線を駆動し、センサ素子 5 5 の容量の多重化を行う本発明の第 2 の実施形態の動作例を説明するための概念図である。

【図 2 5】第 2 の実施形態における測定データ d_i と電圧データ V_{sj} との関係を示す式概念図である。

【図 2 6】第 2 の実施形態における復号演算回路 1 0 における復号を行う積和演算の式を示す概念図である。

【図 2 7】第 3 の実施形態における容量検出回路の一構成例を示すブロック図である。

【図 2 8】第 3 の実施形態における列配線グループ 2 1 ~ 2 M と列配線セレクタ 1 3 との対応を示す概念図である。

10

【図 2 9】第 3 の実施形態における、列配線グループ毎の測定処理の流れを示す概念図である。

【図 3 0】第 4 の実施形態における列配線グループ 2 1 ~ 2 M と列配線セレクタ 1 3 との対応を示す概念図である。

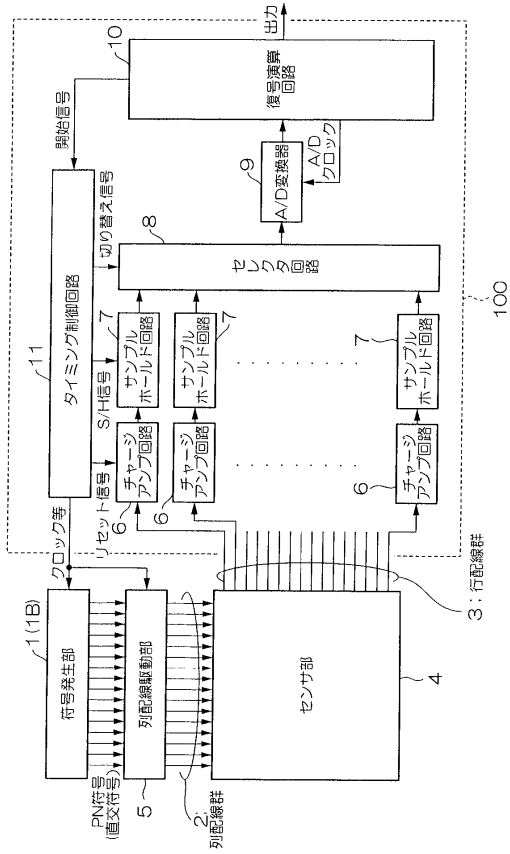
【図 3 1】第 4 の実施形態における復号演算回路 1 0 の復号演算としての積和演算の演算式を示す概念図である。

【符号の説明】

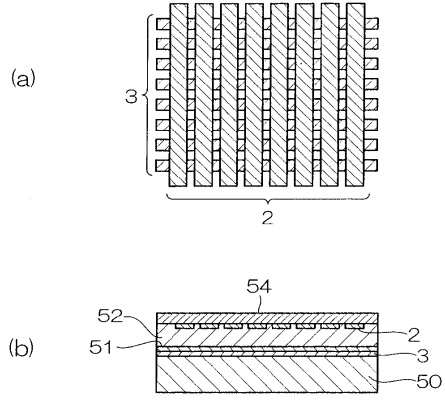
【 0 1 1 8 】

- | | |
|-----------------------------|----|
| 1 , 1 B ... 直交符号発生部 | 20 |
| 2 ... 列配線群 | |
| 2 1 , 2 2 , 2 M ... 列配線グループ | |
| 3 ... 行配線群 | |
| 4 , 4 B ... センサ部 | |
| 5 ... 列配線駆動部 | |
| 6 ... チャージアンプ回路 | |
| 7 ... サンプルホールド回路 | |
| 8 ... セレクタ回路 | |
| 9 ... A / D 変換器 | |
| 1 0 ... 復号演算回路 | 30 |
| 1 1 ... タイミング制御回路 | |
| 1 3 ... 列配線セレクタ | |
| 2 4 ... 反転回路 | |
| 2 5 ... 反転制御回路 | |
| 5 0 ... 基板 | |
| 5 1 ... 絶縁膜 | |
| 5 2 ... 空隙 | |
| 5 4 ... フィルム | |
| 1 0 0 ... 容量検出回路 | |
| 1 2 1 ... オペアンプ | 40 |
| 1 2 4 ... アナログスイッチ | |
| 2 2 0 ... 直交符号読み出し回路 | |
| 2 2 1 ... コードメモリ | |
| 2 2 2 ... アドレスカウンタ | |
| 2 2 3 ... 格納用レジスタ | |

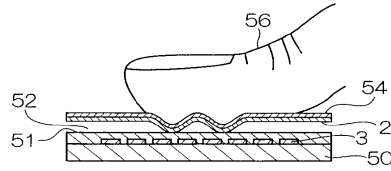
【図1】



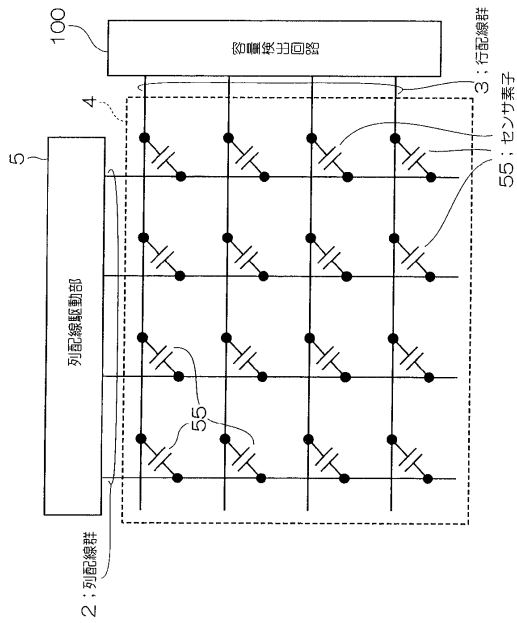
【図2】



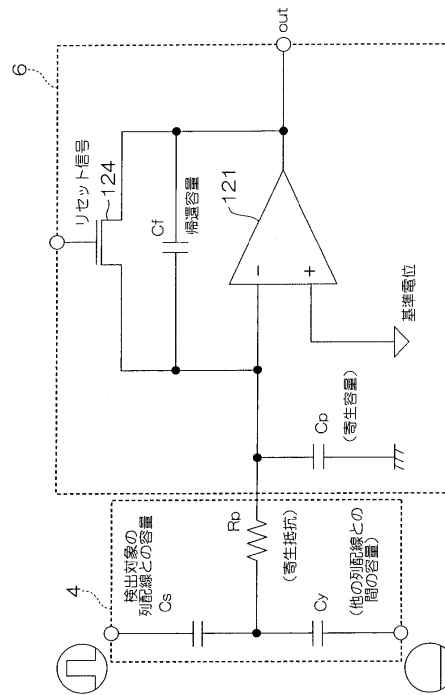
【図3】



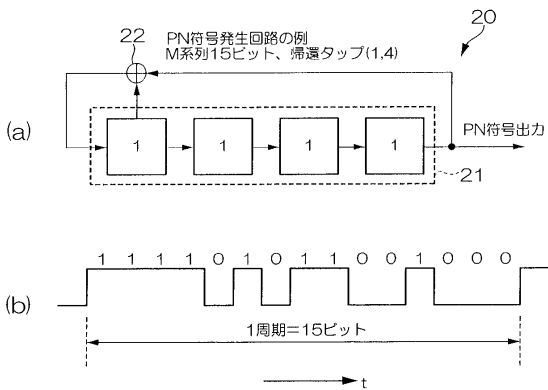
【図4】



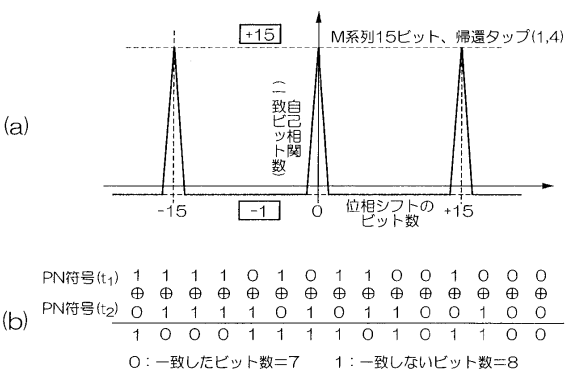
【図5】



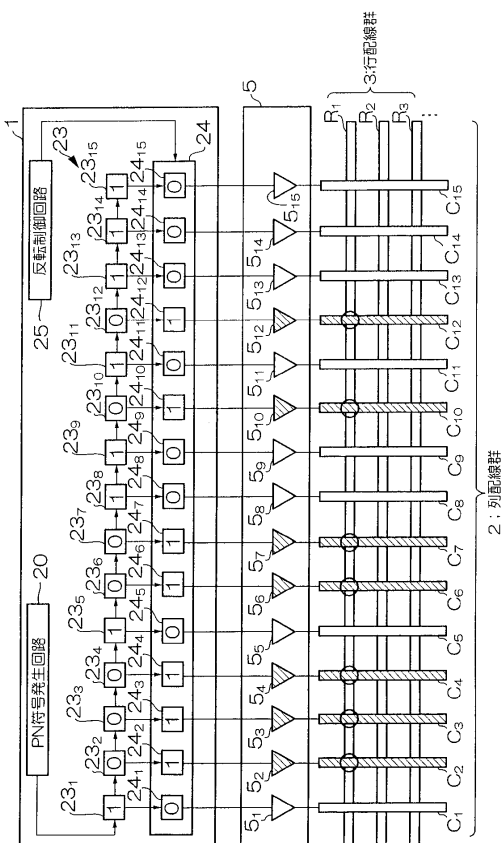
【図6】



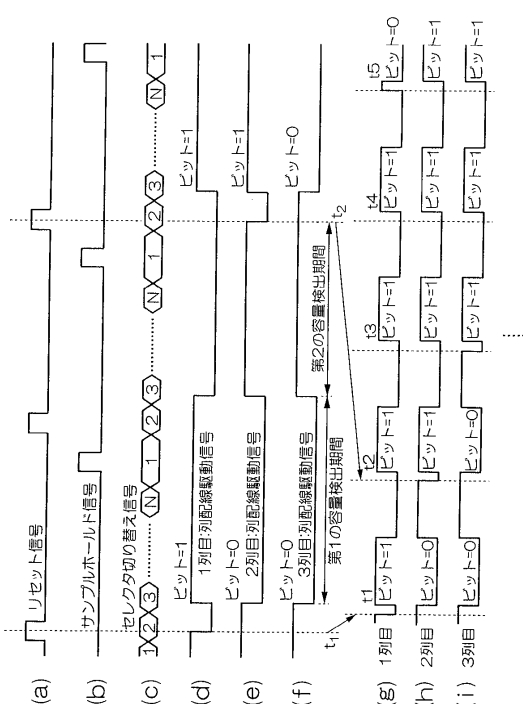
【図7】



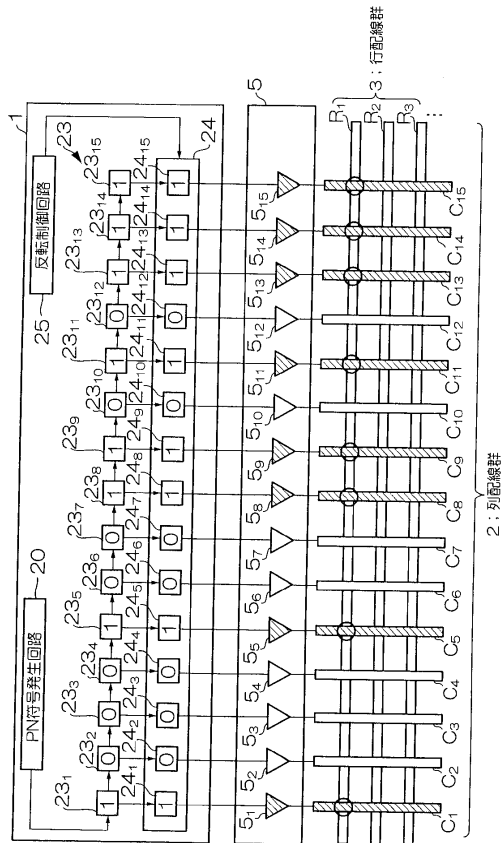
【図9】



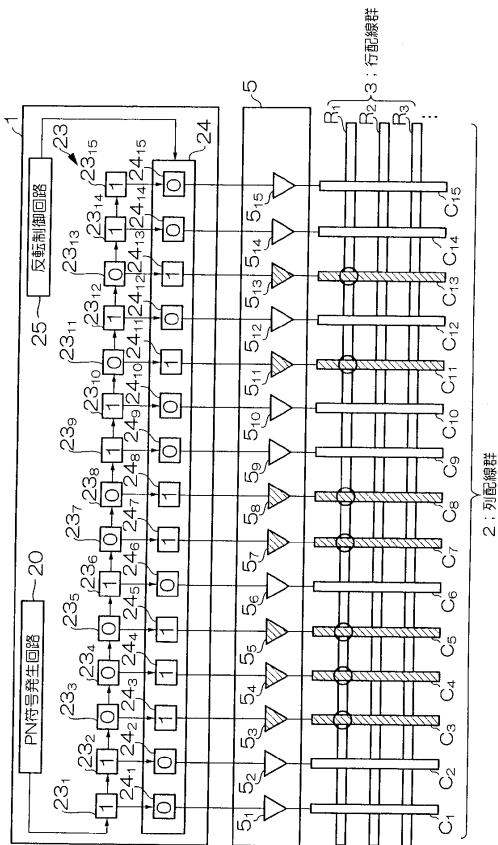
【図8】



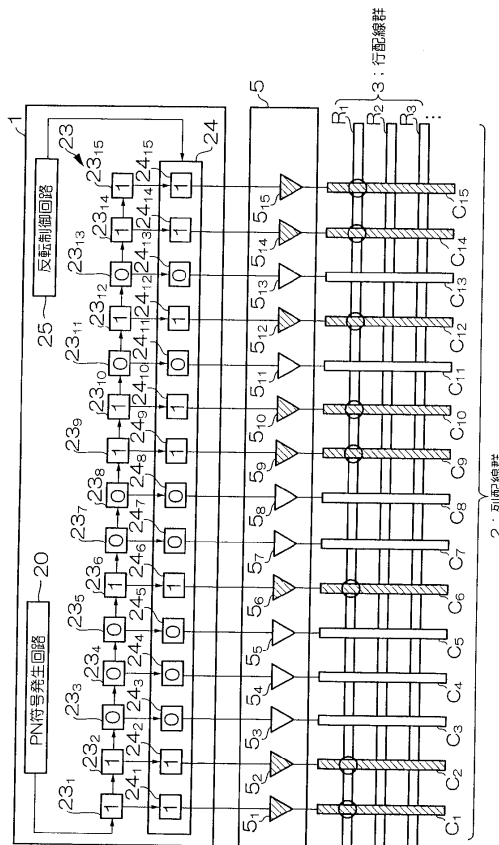
【図10】



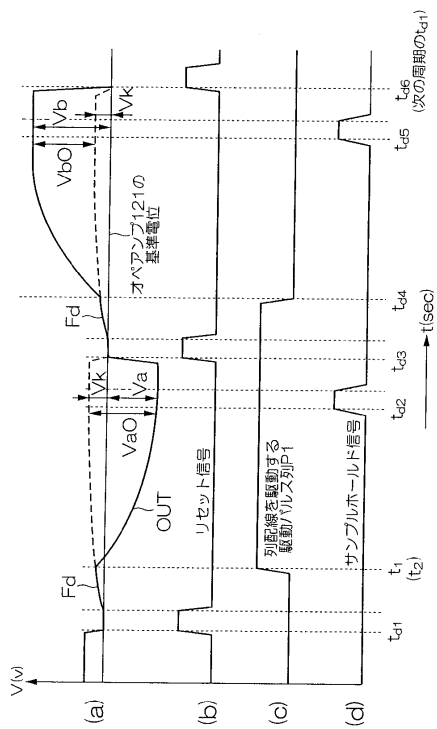
【図11】



【図12】



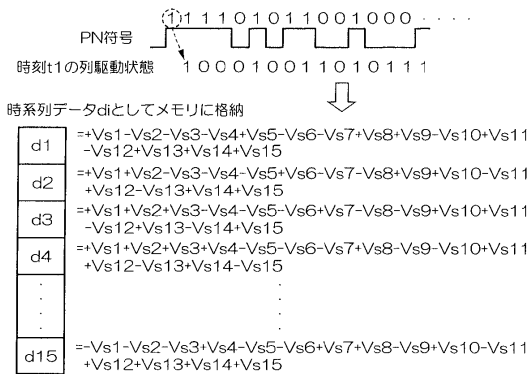
【図13】



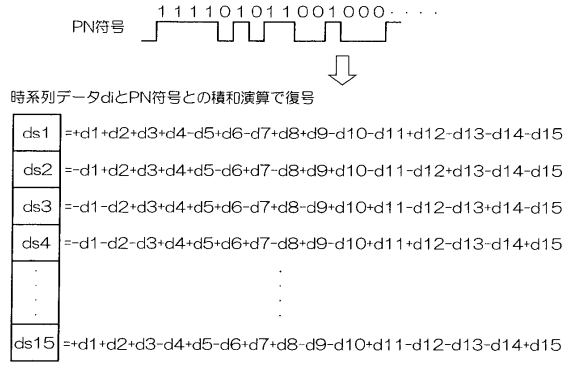
【図14】

	LSB	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	ソフト量
t1	1	1	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0
t2	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
t3	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
t4	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
t5	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
t6	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
t7	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
t8	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
t9	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
t10	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
t11	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
t12	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
t13	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
t14	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
t15	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

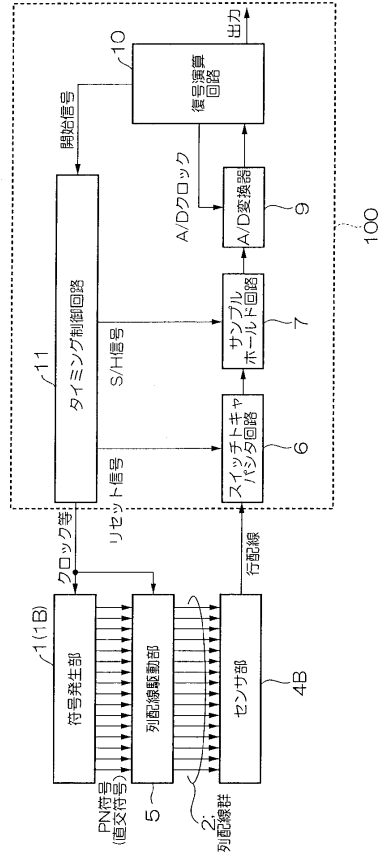
【図15】



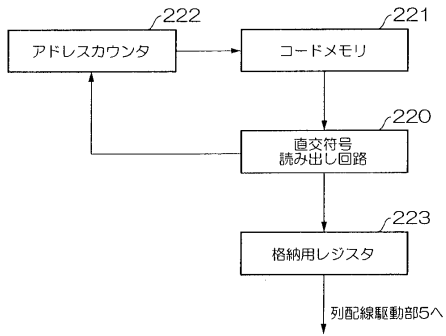
【図16】



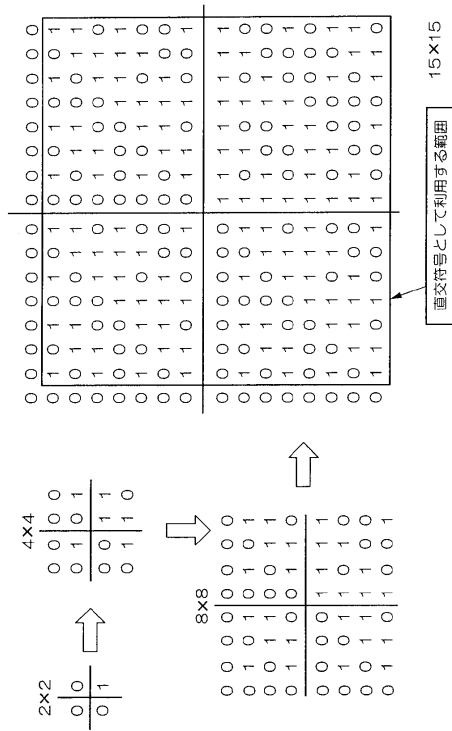
【図17】



【図18】



【図19】

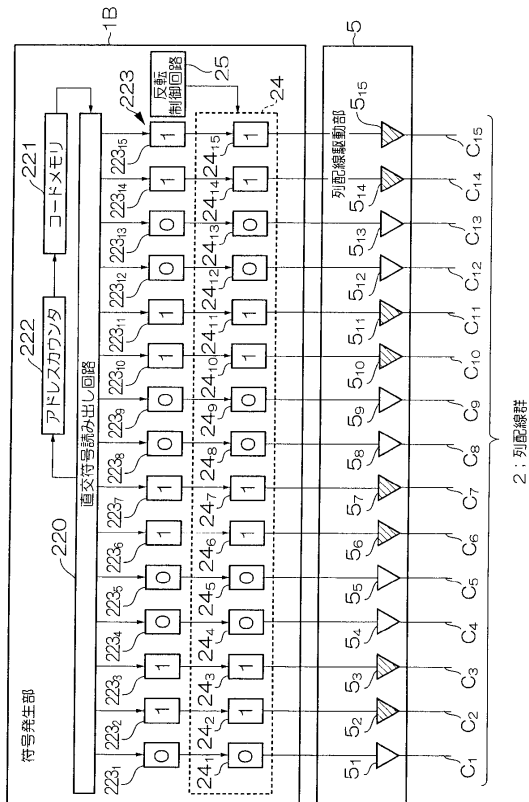


【図20】

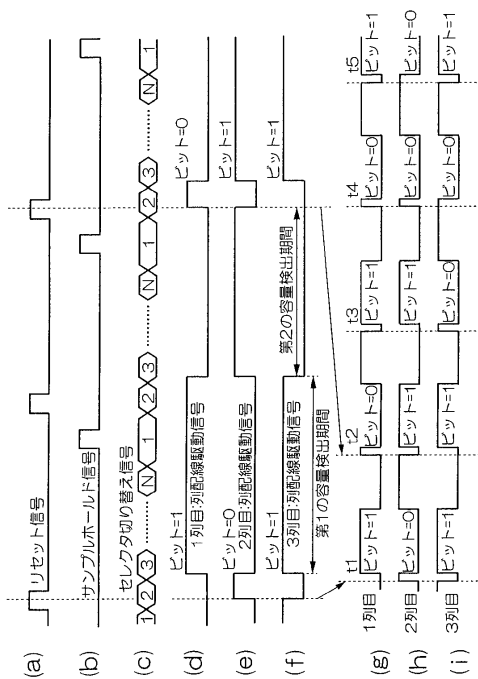
	(LSB)	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	(MSB)
t1	1	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	
t2	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	
t3	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	
t4	0	0	0	0	1	1	1	1	1	1	1	1	1	1	1	1	
t5	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	
t6	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	
t7	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	
t8	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
t9	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
t10	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	
t11	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	
t12	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
t13	1	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	
t14	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	
t15	1	1	0	1	0	0	1	1	1	0	0	1	1	1	1	0	

直交符号(15×15)

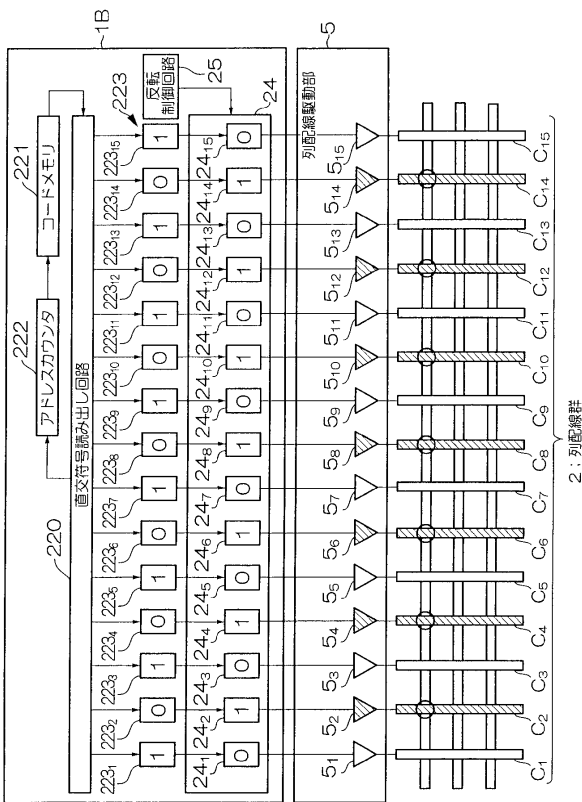
【図21】



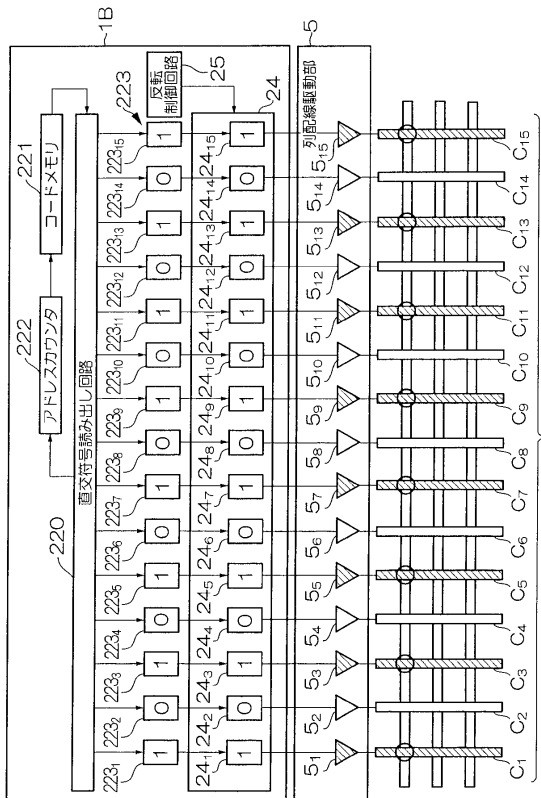
【図22】



【図23】



【図24】



【図25】

時系列データdiとしてメモリに格納

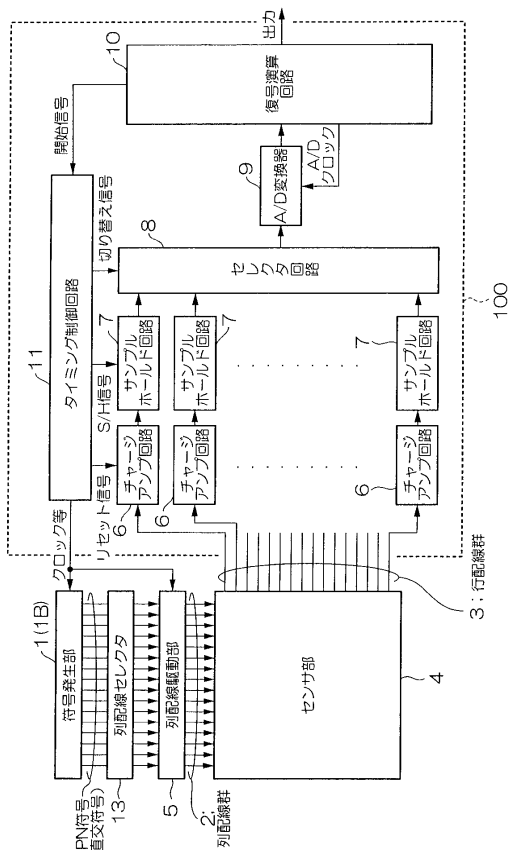
d1	=+Vs1-Vs2+Vs3-Vs4+Vs5-Vs6+Vs7-Vs8+Vs9-Vs10+Vs11 -Vs12+Vs13-Vs14+Vs15
d2	=-Vs1+Vs2+Vs3-Vs4-Vs5+Vs6+Vs7-Vs8-Vs9+Vs10+Vs11 -Vs12-Vs13+Vs14+Vs15
d3	=+Vs1+Vs2-Vs3-Vs4+Vs5+Vs6-Vs7-Vs8+Vs9+Vs10-Vs11 -Vs12+Vs13+Vs14-Vs15
d4	=-Vs1-Vs2-Vs3+Vs4+Vs5+Vs6+Vs7-Vs8-Vs9-Vs10-Vs11 +Vs12+Vs13+Vs14+Vs15
...	...
d15	=+Vs1+Vs2-Vs3+Vs4-Vs5-Vs6+Vs7+Vs8-Vs9-Vs10+Vs11 -Vs12+Vs13+Vs14-Vs15

【図26】

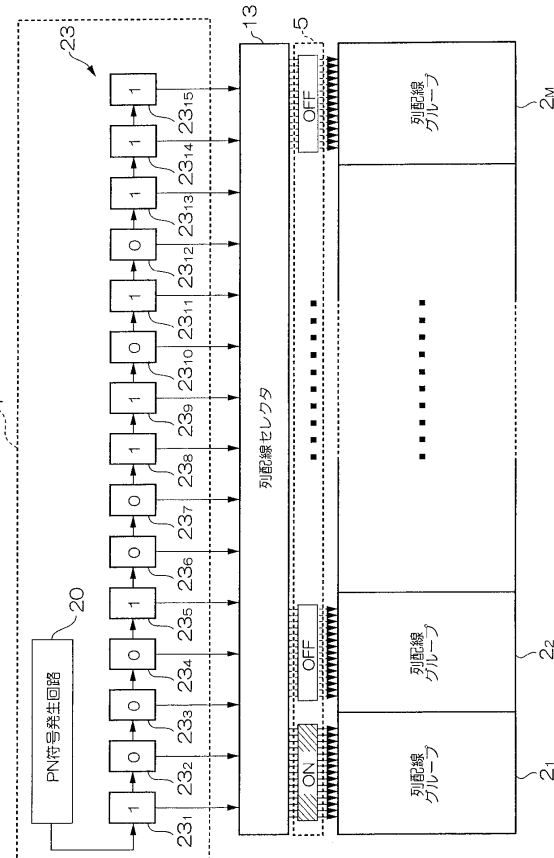
時系列データdiと直交符号との積和演算で復号

ds1	=+d1-d2+d3-d4+d5-d6+d7-d8+d9-d10+d11-d12+d13-d14+d15
ds2	=-d1+d2+d3-d4-d5+d6+d7-d8-d9+d10+d11-d12-d13+d14+d15
ds3	=+d1+d2-d3-d4+d5+d6-d7-d8+d9+d10-d11-d12+d13+d14-d15
ds4	=-d1-d2-d3+d4+d5+d6+d7-d8-d9-d10+d11+d12+d13+d14+d15
...	...
ds15	=+d1+d2-d3+d4-d5-d6+d7+d8-d9-d10+d11-d12+d13+d14-d15

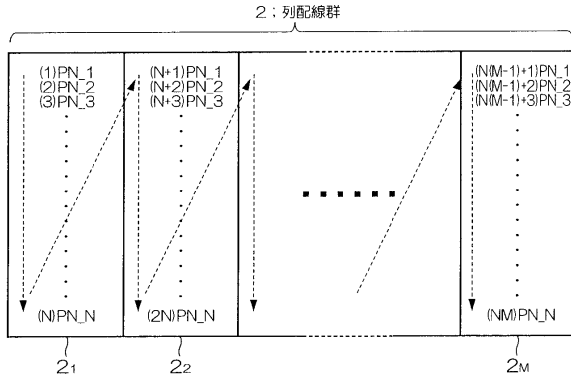
【図27】



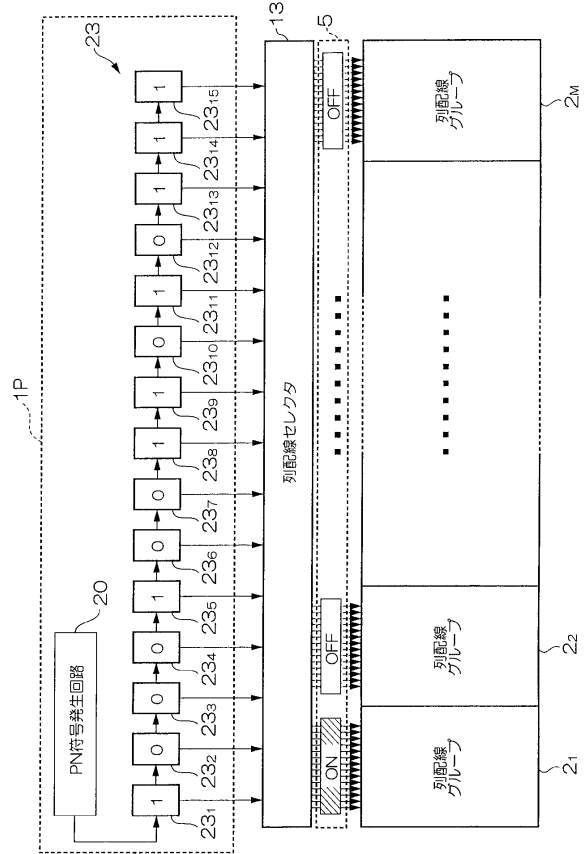
【図28】



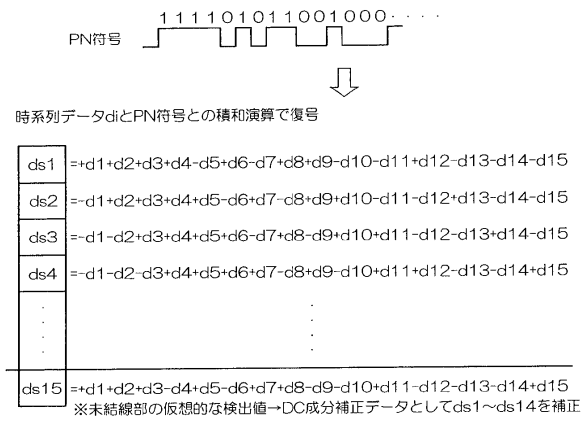
【図 29】



【図 30】



【図 31】



フロントページの続き

(74)代理人 100086379

弁理士 高柴 忠夫

(72)発明者 梅田 裕一

東京都大田区雪谷大塚町1番7号 アルプス電気株式会社内

(72)発明者 斉藤 潤一

東京都大田区雪谷大塚町1番7号 アルプス電気株式会社内

審査官 右 高 孝幸

(56)参考文献 特開2001-046359(JP,A)

特開2000-242770(JP,A)

特開2005-157643(JP,A)

特開2005-134240(JP,A)

特開2003-028607(JP,A)

特開2003-090703(JP,A)

特開2000-213908(JP,A)

特開平04-231803(JP,A)

特表2001-523349(JP,A)

特開平08-145717(JP,A)

(58)調査した分野(Int.Cl., DB名)

A61B 5/117

G06T 1/00