



(12) 发明专利

(10) 授权公告号 CN 101859770 B

(45) 授权公告日 2012. 11. 21

(21) 申请号 201010159432. 9

H01L 21/336(2006. 01)

(22) 申请日 2010. 03. 31

(56) 对比文件

(30) 优先权数据

12/417, 819 2009. 04. 03 US

CN 1577734 A, 2005. 02. 09, 说明书第 4 页第 5 行 - 第 13 页第 17 行、附图 1-11.

(73) 专利权人 国际商业机器公司

地址 美国纽约阿芒克

审查员 杨春光

(72) 发明人 利迪贾·塞卡里克

杜雷塞提·奇德姆巴拉奥 刘小虎

(74) 专利代理机构 北京市柳沈律师事务所

11105

代理人 邱军

(51) Int. Cl.

H01L 27/092(2006. 01)

H01L 21/8238(2006. 01)

H01L 21/28(2006. 01)

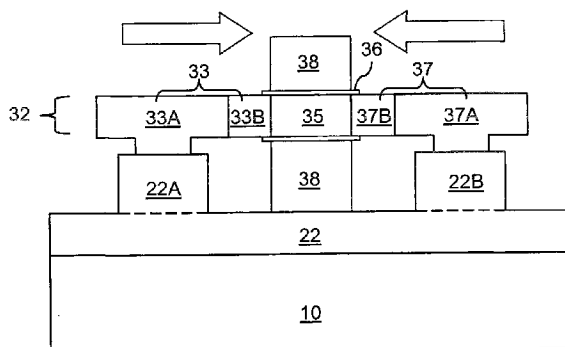
权利要求书 3 页 说明书 9 页 附图 11 页

(54) 发明名称

半导体结构及其形成方法

(57) 摘要

本发明公开了一种半导体结构及其形成方法。在两端具有两个半导体垫的半导体纳米线浮置于衬底上方。应力产生衬垫部形成于所述两个半导体垫上方,而所述半导体纳米线的中间部被暴露。栅极电介质和栅极电极形成于所述半导体纳米线的中间部的上方而所述半导体纳米线由于所述应力产生衬垫部在纵向应力之下。所述半导体纳米线的中间部在所述应力产生衬垫的去除之后在内置固有纵向应力之下,因为所述栅极电介质和栅极电极的形成将所述半导体纳米线锁在受到应变的状态中。源极和漏极区形成于所述半导体垫中以便提供半导体纳米线晶体管。中段(MOL)电介质层可以直接形成于所述源极和漏极垫上。



1. 一种半导体结构,包括:

与第一半导体垫和第二半导体垫邻接的半导体纳米线,其中所述半导体纳米线的中间部受到纵向应变;

围绕所述受到纵向应变的所述半导体纳米线的中间部的栅极电介质;和

电介质材料层,所述第一和第二半导体垫嵌入于所述电介质材料层中,其中所述电介质材料层基本没有应力,

其中,所述半导体结构还包括嵌入于所述电介质材料层中并且接触所述第一半导体垫的至少一源极侧接触通路孔和嵌入于所述电介质材料层中并且接触所述第二半导体垫的至少一漏极侧接触通路孔。

2. 根据权利要求1的半导体结构,还包括栅极电极,所述栅极电极包括导电材料并且围绕所述栅极电介质。

3. 根据权利要求2的半导体结构,还包括绝缘层,所述绝缘层包括第一电介质基座和第二电介质基座并且在所述半导体纳米线下面,其中所述第一电介质基座邻接所述第一半导体垫,所述第二电介质基座邻接所述第二半导体垫,并且所述栅极电极邻接所述绝缘层。

4. 根据权利要求1的半导体结构,还包括:

位于所述半导体纳米线的所述中间部的沟道区;

包括所述第一半导体垫并且邻接所述沟道区的源极区;和

包括所述第二半导体垫并且邻接所述沟道区的漏极区。

5. 根据权利要求4的半导体结构,其中所述源极区包括位于所述第一半导体垫中的垫源极部和位于所述半导体纳米线中的纳米线源极部,并且其中所述漏极区包括位于所述第二半导体垫中的垫漏极部和位于所述半导体纳米线中的纳米线漏极部。

6. 根据权利要求4的半导体结构,其中所述源极区和所述沟道区之间的边界与覆盖所述半导体纳米线的栅极电极的边缘基本垂直重叠,并且其中所述漏极区和所述沟道区之间的边界与所述栅极电极的另一边缘基本垂直重叠。

7. 根据权利要求4的半导体结构,其中所述沟道区具有第一导电类型的掺杂,其中所述源极区和所述漏极区具有第二导电类型的掺杂,并且其中所述第二导电类型与所述第一导电类型相反。

8. 根据权利要求1的半导体结构,其中所述电介质材料层的顶表面与所述至少一第一接触通路孔的顶表面和所述至少一第二接触通路孔的顶表面基本共面。

9. 根据权利要求1的半导体结构,还包括绝缘层,所述绝缘层包括第一电介质基座和第二电介质基座并且在所述半导体纳米线下面,其中所述第一电介质基座邻接所述第一半导体垫,并且所述第二电介质基座邻接所述第二半导体垫。

10. 根据权利要求9的半导体结构,其中部分的所述电介质材料层位于部分的所述半导体纳米线之下,覆盖部分的所述绝缘层,并且邻接栅极电极和所述第一电介质基座和所述第二电介质基座之一。

11. 根据权利要求9的半导体结构,其中所述电介质材料层、所述至少一源极侧接触通路孔、和所述第一电介质基座包封所述第一半导体垫,并且其中所述电介质材料层、所述至少一漏极侧接触通路孔、和所述第二电介质基座包封所述第二半导体垫。

12. 根据权利要求1的半导体结构,其中所述受到纵向应变的所述半导体纳米线的中

间部具有大于 0.3GPa 大小的固有压应力。

13. 根据权利要求 1 的半导体结构,其中所述受到纵向应变的所述半导体纳米线的中间部具有大于 0.3GPa 的大小的固有拉应力。

14. 根据权利要求 1 的半导体结构,其中所述半导体纳米线,所述第一半导体垫,和所述第二半导体垫包括单晶半导体材料。

15. 根据权利要求 1 的半导体结构,其中所述半导体纳米线具有从 1nm 至 20nm 的横向宽度。

16. 一种半导体结构的形成方法,包括:

在衬底上形成半导体纳米线,其中所述半导体纳米线邻接于第一半导体垫和第二半导体垫,并且其中所述半导体纳米线浮置于所述衬底上方;

通过在所述第一半导体垫上形成第一应力产生材料部并且在所述第二半导体垫上形成第二应力产生材料部而在所述半导体纳米线的中间部中引起纵向应变;

直接于所述半导体纳米线的所述中间部上形成栅极电介质而所述中间部在所述纵向应变之下;并且

去除所述第一应力产生材料部和所述第二应力产生材料部,其中所述半导体纳米线的所述中间部在所述第一应力产生材料部和所述第二应力产生材料部的去除之后受到纵向应变。

17. 根据权利要求 16 的方法,还包括:

沉积应力产生材料层于所述半导体纳米线,所述第一半导体垫,和所述第二半导体垫上;并且

构图所述应力产生材料层,其中所述第一应力产生材料部和所述第二应力产生材料部通过保留部分所述应力产生电介质材料层而形成。

18. 根据权利要求 16 的方法,还包括在所述栅极电介质上形成栅极电极。

19. 根据权利要求 18 的方法,其中所述半导体纳米线具有第一导电类型的掺杂,其中所述方法还包括注入第二导电类型的杂质于所述第一半导体垫和所述第二半导体垫,并且其中所述第二导电类型与所述第一导电类型相反。

20. 根据权利要求 18 的方法,还包括形成源极区和漏极区,其中所述源极区的边缘位于所述半导体纳米线中并且与所述栅极电极的边缘基本垂直重叠,并且所述漏极区的边缘与所述栅极电极的另一边缘基本垂直重叠。

21. 根据权利要求 16 的方法,还包括:

构图顶半导体层进入绝缘层上方的半导体连接部,其中所述半导体连接部邻接所述第一半导体垫和所述第二半导体垫;并且

蚀刻所述半导体连接部下面的所述绝缘层,由此所述半导体连接部浮置于所述绝缘层上方。

22. 根据权利要求 21 的方法,还包括通过构图所述绝缘层而形成第一电介质基座和第二电介质基座,其中所述第一电介质基座邻接所述第一半导体垫,并且其中所述第二电介质基座邻接所述第二半导体垫。

23. 根据权利要求 22 的方法,还包括:

氧化所述第一半导体垫,所述第二半导体垫,和所述半导体连接部的外部;并且

去除所述第一半导体垫,所述第二半导体垫,和所述半导体连接部的被氧化的部分,其中所述第一半导体垫和所述第二半导体垫在尺寸上被减小,并且其中所述半导体连接部的保留的部分构成所述半导体纳米线。

24. 根据权利要求 23 的方法,其中所述半导体纳米线具有从 1nm 至 20nm 的横向宽度。

半导体结构及其形成方法

技术领域

[0001] 本发明涉及半导体装置,更具体地涉及具有内置应力的半导体纳米线及其形成方法。

背景技术

[0002] 半导体纳米线指具有在纳米 (10^{-9} 米) 或者几十纳米量级的横侧和垂直尺寸的半导体线。典型地,横侧尺寸和垂直尺寸小于 20nm。

[0003] 对于侧向尺寸的限制适用于横侧尺寸(宽度)和垂直侧尺寸(高度)。半导体纳米线的纵向侧尺寸(长度)不受限制,并且可以是,例如从 1nm 至 1mm。当半导体纳米线的侧向尺寸小于几十纳米时,量子力学效应变得重要。同样,半导体纳米线也被称为半导体量子线。

[0004] 半导体纳米线的横向尺寸当前是亚光刻的,即不可以通过从由单个曝光所构图的光致抗蚀剂的直接图像转移而被印刷。在 2008 年,临界尺寸,即可以通过光刻法印刷的最小的可印刷的尺寸是大约 35nm。小于临界尺寸的尺寸被称为亚光刻尺寸。在任何给定的时间,临界尺寸和亚光刻尺寸的范围由在半导体工业中最佳可获得的光刻工具所界定。通常,临界尺寸和亚光刻尺寸在各接续的技术节点减小并且由半导体工业业界所接收的制造标准所建立。

[0005] 半导体纳米线使得可以通过由栅极电介质和栅极电极将半导体纳米线的截面区域完全环绕而提高沿长度方向的电荷载流子的控制。通过栅极电极的沿半导体纳米线的电荷输运在半导体纳米线装置中比在鳍场效应晶体管(finFET)中受到更好的控制,因为半导体纳米线的完全的环绕。

[0006] 对于高性能互补半导体上金属(CMOS)电路,希望提供高导通电流的高性能半导体纳米线装置。

发明内容

[0007] 本发明提供了具有沿半导体纳米线中的电流流动方向的内置固有纵向应力的半导体纳米线晶体管的结构和制造方法,使得半导体纳米线晶体管的电荷载流子迁移率和导通电流提高。

[0008] 在两端上具有两个半导体垫的半导体纳米线浮置于衬底上方。应力产生衬垫部形成于两个半导体垫上方,而半导体纳米线的中间部被暴露。栅极电介质和栅极电极形成于半导体纳米线的中间部上方,而半导体纳米线由于应力产生衬垫部而在纵向应力之下。半导体纳米线的中间部在应力产生衬垫的去除之后在内置固有纵向应力之下,因为栅极电介质和栅极电极的形成将半导体纳米线锁在应变的状态中。源极和漏极区形成于半导体垫中以便提供半导体纳米线晶体管。中段(MOL)电介质层可以直接形成于源极和漏极垫上。

[0009] 根据本发明的一方面,半导体结构被提供,该半导体结构包括:邻接第一半导体垫和第二半导体垫的半导体纳米线,其中半导体纳米线的中间部受到纵向应变;围绕受到纵

向应变的半导体纳米线的中间部的栅极电介质；和嵌入第一和第二半导体垫的电介质材料层，其中电介质材料层是基本没有应力。

[0010] 根据本发明的另一方面，提供了半导体结构的形成方法，该方法包括：在衬底上形成半导体纳米线，其中半导体纳米线邻接第一半导体垫和第二半导体垫，并且其中半导体纳米线浮置于衬底上方；通过在第一半导体垫上形成第一应力产生材料部并且在第二半导体垫上形成第二应力产生材料部而在半导体纳米线的中间部中引起纵向应变；在半导体纳米线的中间部上直接形成栅极电介质而中间部在纵向应变之下；并且去除第一应力产生材料部和第二应力产生材料部，其中半导体纳米线的中间部在第一应力产生材料部和第二应力产生材料部的去除之后受到纵向应变。

附图说明

[0011] 图 1A 是当作为绝缘体上半导体 (SOI) 衬底提供时的示范性半导体结构的俯视图。图 1B 是对应于图 1A 的步骤的沿平面 B-B' 的示范性半导体结构的垂直截面图。

[0012] 图 2A 是半导体连接部和半导体垫的构图之后示范性半导体结构的俯视图。图 2B 是对应于图 2A 的步骤的沿平面 B-B' 的示范性半导体结构的垂直截面图。

[0013] 图 3A 是在电介质基座的形成之后示范性半导体结构的俯视图。图 3B 是对应于图 3A 的步骤的沿平面 B-B' 的示范性半导体结构的垂直截面图。

[0014] 图 4A 是在半导体纳米线的形成之后示范性半导体结构的俯视图。图 4B 是对应于图 4A 的步骤的沿平面 B-B' 的示范性半导体结构的垂直截面图。

[0015] 图 5A 是在应力产生材料层的形成之后示范性半导体结构的俯视图。图 5B 是对应于图 5A 的步骤的沿平面 B-B' 的示范性半导体结构的垂直截面图。

[0016] 图 6A 是在应力产生材料部形成之后示范性半导体结构的俯视图。图 6B 是对应于图 6A 的步骤的沿平面 B-B' 的示范性半导体结构的垂直截面图。

[0017] 图 7A 是在栅极电介质的形成之后示范性半导体结构的俯视图。图 7B 是对应于图 7A 的步骤的沿平面 B-B' 的示范性半导体结构的垂直截面图。

[0018] 图 8A 是在栅极电极的形成之后示范性半导体结构的俯视图。图 8B 是对应于图 8A 的步骤的沿平面 B-B' 的示范性半导体结构的垂直截面图。

[0019] 图 9A 是在应力产生材料部的去除之后在沟道区中产生拉纵向应变的情形中示范性半导体结构的俯视图。图 9B 是对应于图 9A 的步骤的沿平面 B-B' 的示范性半导体结构的垂直截面图。

[0020] 图 10A 是在中段 (MOL) 电介质层和接触通路孔的形成之后示范性半导体结构的俯视图。图 10B 是对应于图 10A 的步骤的沿平面 B-B' 的示范性半导体结构的垂直截面图。

[0021] 图 11A 是在应力产生材料部的去除之后在沟道区中产生压纵向应变的情形中示范性半导体结构的俯视图。图 11B 是对应于图 11A 的步骤的沿平面 B-B' 的示范性半导体结构的垂直截面图。

具体实施方式

[0022] 如上面所述，本发明涉及具有内置应力的半导体纳米线及其制造方法，现在参考附图详细描述。应当注意相似和对应的元件由相似的参考标号所指称。

[0023] 参考图 1A 和 1B, 根据本发明的示范性半导体结构包括绝缘体上半导体 (SOI) 衬底, 该绝缘体上半导体 (SOI) 衬底包含处理衬底 10, 掩埋绝缘层 20 和顶半导体层 30。顶半导体层 30 包括半导体材料, 其可以选自但不限于, 硅、锗、硅-锗合金、碳化硅合金、碳化硅锗合金、砷化镓、砷化铟、磷化铟、III-V 族化合物半导体材料、II-VI 族化合物半导体材料、有机半导体材料、和其它化合物半导体材料。在一实施例中, 顶半导体层 30 可以包括例如单晶硅或者单晶硅锗合金的含硅半导体材料。

[0024] 优选顶半导体层 30 内的半导体材料的整体是单晶材料, 即, 全部具有外延原子排列。在该情形中, 顶半导体层 30 的顶表面的表面法线的晶向在此被称为顶半导体层 30 的顶表面的表面取向。顶半导体层 30 的厚度可以从 10nm 至 200nm, 尽管在此也考虑更小或者更大的厚度。

[0025] 顶半导体层 30 可以根据需要被掺杂以电掺杂剂。顶半导体层 30 可以被设置为基本上本征的半导体层, 或者可以设置为 p 型掺杂或者 n 型掺杂。典型地, 在掺杂区中的掺杂剂浓度在从 $5.0 \times 10^{14}/\text{cm}^3$ 至 $3.0 \times 10^{17}/\text{cm}^3$ 的范围中, 尽管在此也考虑更小或者更大的掺杂剂浓度。

[0026] 掩埋绝缘层 20 是电介质材料层, 即包括电介质材料的层。掩埋绝缘层 20 的电介质材料可以是例如氧化硅、氮化硅、氧氮化硅、石英、陶瓷材料、或者其组合。掩埋绝缘层 20 的厚度可以从 50nm 至 1000nm, 尽管在此也考虑更小或者更大的厚度。处理衬底 10 可以包括半导体材料、绝缘材料、或者导电材料。在一些情形中, 处理衬底 10 和掩埋绝缘层 20 可以包括相同的电介质材料并且可以是单一和整体的构造。

[0027] 参考图 2A 和 2B, 光致抗蚀剂 7 被施加至顶半导体层 30 的顶表面并且被光刻构图从而形成图案化的形状。图案化的形状包括连接形状、第一垫形状、和第二垫形状。连接形状在俯视图中具有矩形形状。连接形状的宽度, 它在此被称作第一宽度 w_1 , 是光刻的尺寸, 即可以用单个光刻曝光印刷的尺寸。因而, 第一宽度 w_1 大于 40nm, 而可以考虑, 随着将来光刻工具的改善而可以形成更小的宽度。典型地, 第一宽度 w_1 是临界尺寸, 即可以用光刻法印刷的最小尺寸, 或者接近于临界尺寸的尺寸。

[0028] 连接形状横向邻接第一垫形状和第二垫形状, 第一垫形状和第二垫形状具有比连接形状宽的宽度。垂直于第一宽度 w_1 的方向的水平方向在此被称为长度方向。第一宽度 w_1 的方向在此被称为宽度方向。第一垫形状在连接形状的纵向端部横向邻接连接形状, 并且第二垫形状在连接形状的相反的纵向端部横向邻接连接形状。

[0029] 优选, 长度方向被选择以便包括垂直平面, 在垂直平面空穴迁移率或者电子迁移率至少处于局部峰值, 并且优选在构成顶半导体层 30 的单晶半导体层中的所有垂直平面之中最大。在顶半导体层 30 被掺杂第一导电类型的掺杂剂的情形中, 长度方向可以被选择以便最大化与第一导电类型相反的第二导电类型的电荷载流子的迁移率。例如, 如果第一导电类型是 n 型并且第二导电类型是 p 型, 则长度方向可以被选择以便包括最大化空穴迁移率的垂直晶面。在顶半导体层 30 包括单晶硅的情形中, $\{110\}$ 面最大化空穴迁移率。如果第一导电类型是 p 型并且第二导电类型是 n 型, 则长度方向可以被选择以便包括最大化电子迁移率的垂直晶面。在顶半导体层 30 包括单晶硅的情形中, $\{100\}$ 面最大化电子迁移率。

[0030] 在光致抗蚀剂 7 中的图案被转移入顶半导体层 30 和掩埋的绝缘层 20 的上部, 例

如,通过各向异性蚀刻。顶半导体层 30 和直接在下面的掩埋绝缘层 20 的上部的被暴露的部分通过各向异性蚀刻而被去除。顶半导体层 30 的保留的部分包括构图的半导体结构 31。构图的半导体结构 31 包括半导体连接部 31C,在一侧侧向邻接半导体连接部 31C 的第一垫 31A,和在相反侧上横向邻接半导体连接部 31C 的第二垫 31B。

[0031] 构图的半导体结构 31 的被暴露的侧壁与光致抗蚀剂 7 的侧壁基本垂直重叠。此外,掩埋绝缘层 20 的构图部分的侧壁与光致抗蚀剂 7 的侧壁和构图的半导体结构 31 的侧壁基本垂直重叠。半导体连接部 31C 具有由第一宽度 w_1 所分离的一对侧壁。构图的半导体结构 31 的高度整体上可以是均匀的,如果顶半导体层 30 的厚度在构图之前是均匀的。光致抗蚀剂 7 随后被去除,例如,通过灰化。

[0032] 参考图 3A 和 3B,选择性地对于构图的半导体结构 31 的半导体材料,在掩埋绝缘层 20 的电介质材料上进行基本各向同性蚀刻。构图的半导体结构 31 被用作该基本各向同性蚀刻的蚀刻掩模。该基本各向同性蚀刻可以是湿法蚀刻或者干法蚀刻。因为蚀刻是基本各向同性的,所以构图的半导体结构 31 的边缘随着蚀刻进行而被形成底切。蚀刻至少进行到至直接位于构图的半导体结构 31 下面的掩埋绝缘层 20 的部分被去除,使得构图的半导体结构 31 变得浮置于掩埋绝缘层 20 的保留部分的上方。换言之,构图的半导体结构 31 与掩埋绝缘层 20 的保留部分不具有直接的物理接触,这在此被称作中间电介质材料层 21,在蚀刻之后。

[0033] 蚀刻还从第一垫 31A 和第二垫 31B 的周边部下面去除掩埋绝缘层 20 的电介质材料。包括掩埋绝缘层 20 的保留部分的第一原型电介质基座 21A 直接形成于第一垫 31A 的中心部的下面。相似地,第二原型电介质基座 21B 直接形成于第二垫 31B 的中心部的下面。由于电介质材料从构图的半导体结构 31 的周边部下面采用构图的半导体结构 31 作为蚀刻掩模而被蚀刻,作为电介质材料层的掩埋绝缘层 20 在半导体连接部 31C 下面形成底切。

[0034] 半导体连接部 31C 浮置于掩埋绝缘层 20 的保留部分上方,掩埋绝缘层 20 的保留部分是中间电介质材料层 21。第一和第二原型电介质基座 21A,21B 与中间电介质材料层 21 整体形成,并且是部分的中间电介质材料层 21。构图的半导体结构 31 接触中间电介质材料层 21,构图的半导体结构 31 在第一垫 31A 和第二垫 31B 的底表面结合第一和第二原型电介质基座 21A,21B。

[0035] 参考图 4A 和 4B,构图的半导体结构 31 被减薄,以便形成半导体纳米线结构 32,即构图的半导体结构 31 的尺寸被减小,例如,通过氧化。具体地,包括半导体连接 31C 的构图的半导体结构 31 的被暴露的周边部分通过氧化被转换为氧化物材料部。半导体氧化物材料随后通过例如湿法蚀刻的各向同性蚀刻而被去除。例如,如果构图的半导体结构 31 包括硅,则半导体氧化物材料可以是氧化硅,它可以被氢氟酸 (HF) 所去除。作为替代,各向同性湿法蚀刻或者各向同性干法蚀刻可以被采用以便通过去除半导体材料的被暴露的外部而减薄构图的半导体结构 31。

[0036] 半导体纳米线结构 32 是构图的半导体结构 31 的保留部分,包括第一半导体垫 32A、第二半导体垫 32B、和半导体纳米线 32C。第一半导体垫 32A 和第二半导体垫 32B 横向邻接半导体纳米线 32C。

[0037] 半导体纳米线 32C 在垂直于长度方向的平面中可以具有矩形垂直截面区。半导体纳米线 32C 的宽度是在通过减薄而凹进的第一侧壁对之间的宽度方向的半导体纳米线 32C

的尺寸,在此被称作第二宽度 w_2 。第二宽度 w_2 小于第一宽度 w_1 ,因为在减薄过程中消耗了半导体材料。优选第二宽度 w_2 是亚光刻尺寸,即小于可以在光致抗蚀剂上采用单个光刻曝光所印刷的最小尺寸的尺寸。典型地,第二宽度 w_2 从 1 μm 至 20nm,尽管在此也考虑更小或者更大的尺寸。优选第二宽度 w_2 从 2nm 至 10nm。

[0038] 在中间电介质材料层 21 包括通过用于去除构图的半导体结构的被氧化的材料的蚀刻而被去除的材料的情形中,中间电介质材料层 21 的被暴露的部分也可以被蚀刻。在该情形中,中间电介质材料层 21 的水平部分被凹进以便形成电介质材料层 22,并且第一和第二原型电介质基座 21A、21B 被横向蚀刻以便分别形成第一和第二电介质基座 22A、22B。电介质材料层 22 与第一和第二电介质基座 22A、22B 整体形成,并且包括第一和第二电介质基座 22A、22B。电介质材料层 22 是被提供作为 SOI 衬底的部件的掩埋绝缘层 20 的保留部分(见图 1A 和 1B)。

[0039] 半导体纳米线 32C 的长度方向可以被选择以便包括在半导体纳米线 32C 的单晶半导体材料的所有垂直晶面之中提供最大空穴迁移率或者最大电子迁移率的垂直平面。如果半导体纳米线 32C 具有 n 型掺杂,则侧壁对可以平行于在构成半导体纳米线 32C 的单晶半导体材料中所有垂直平面之中其空穴迁移率最大的垂直平面。相反,如果半导体纳米线 32C 具有 p 型掺杂,则侧壁对可以平行于在构成半导体纳米线 32C 的单晶半导体材料中所有垂直平面之中其电子迁移率最大的垂直平面。

[0040] 参考图 5A 和 5B,应力产生材料层 40L 被沉积于半导体纳米线结构 32 和电介质材料层 22 上。应力产生材料层 40L 包括与半导体纳米线结构 32 的材料和电介质材料层 22 的材料不同的材料。应力产生材料层 40L 可以包括电介质材料、半导体材料、导电材料、或者其组合。例如,应力产生材料层 40L 可以包括具有大于 0.3GPa 大小的高固有应力的氮化硅。应力产生材料层 40L 可以施加拉应力或者压应力至半导体纳米线 32C,半导体纳米线 32C 在垂直于半导体纳米线 32C 的长度方向的平面中被应力产生材料层 40L 所横向包封。应力产生材料层 40L 的厚度优选小于半导体纳米线 32C 的底表面和直接位于下面的电介质材料层 22 的顶表面之间的距离的一半,使得半导体纳米线 32C 下面的空间不用应力产生材料层 40L 所插入。应力产生材料层 40L 的厚度典型地是从 10nm 至 500nm,尽管在此也考虑更小或者更大的厚度。

[0041] 参考图 6A 和 6B,应力产生材料层 40L 被光刻构图以便形成第一应力产生部 40A 和第二应力产生部 40B。第一应力产生部 40A 形成于第一半导体垫 32A 和直接邻接于第一半导体垫 32A 的半导体纳米线 32C 的端部上。第二应力产生部 40B 形成于第二半导体垫 32B 和直接邻接于第二半导体垫 32B 的半导体纳米线 32C 的端部上。可以形成第一和第二应力产生部 40A、40B,例如,通过施加光致抗蚀剂(未被示出)于应力产生材料层 40L 上并且构图所述光致抗蚀剂,跟随着通过去除应力产生材料层 40L 的被暴露的部分而将光致抗蚀剂中的图案转移至应力产生材料层 40L 的蚀刻。几何上,应力产生材料层 40L 的被屏蔽的部分,例如,在半导体纳米线 32C 的中间部的底表面上,可以通过偏移光致抗蚀剂的边缘并且采用各向同性蚀刻而被去除以便对于构图的光致抗蚀剂的边缘区下面的应力产生材料层 40L 形成底切。

[0042] 由于应力产生材料层 40L 从半导体纳米线 32C 的中间部周围被去除,半导体纳米线 32C 的中间部受到纵向应变。如果应力产生材料层 40L 产生压应力于邻接的结构上,则

应力产生材料部 40A、40B 分别施加压应力至第一半导体垫 32A 和第二半导体垫 32B。在该情形中,第一半导体垫 32A 和第二半导体垫 32B 变为受到压应变。在压应变状态中,第一半导体垫 32A 和第二半导体垫 32B 在两端都拉半导体纳米线 32C,并且半导体纳米线 32C 受到纵向拉应力并且逐步产生纵向拉应变,即变得沿半导体纳米线 32C 的长度方向以拉应变受到应变。半导体纳米线 32C 上的纵向压应力伴随着纵向压应变。

[0043] 作为替代,如果应力产生材料层 40L 在邻接的结构上产生拉应力,则应力产生材料部 40A、40B 分别对于第一半导体垫 32A 和第二半导体垫 32B 施加拉应力。在该情形中,第一半导体垫 32A 和第二半导体垫 32B 变为受到拉应变。在拉应变状态中,第一半导体垫 32A 和第二半导体垫 32B 在两端推半导体纳米线 32C,并且半导体纳米线 32C 受到纵向压应力并且逐步产生纵向压应变,即变得沿半导体纳米线 32C 的长度方向以压应变受到应变。半导体纳米线 32C 上的纵向拉应力伴随着纵向拉应变。

[0044] 参考图 7A 和 7B,栅极电介质 36 形成于第一和第二应力产生材料部 40A、40B 之间的半导体纳米线 32C 的被暴露的表面上。栅极电介质 36 直接形成于半导体纳米线 32C 的中间部上而半导体纳米线受到纵向应变,或者压或者拉。因而,半导体纳米线 32C 的中间部的长度小于或者大于在缺少任何纵向应变中半导体纳米线 32C 的中间部的平衡长度。栅极电介质 36 的原子和半导体纳米线 32C 的中间部的原子之间的原子接合在栅极电介质 36 形成期间被建立而半导体纳米线 32C 的中间部受到纵向应变。

[0045] 在一情形中,栅极电介质 36 包括通过半导体纳米线 32C 的外部的热转换而形成的电介质材料,例如氧化硅或者氮化硅。热氧化、热氮化、等离子体氧化、等离子体氮化、或者其组合可以被采用以便形成栅极电介质 36。在该情形中,栅极电介质 36 仅形成于半导体纳米线 32C 的中间部的被暴露的表面上。栅极电介质 36 的厚度可以是大约 0.8nm 至大约 10nm,并且典型地是从大约 1.1nm 至大约 6nm。

[0046] 在另一情形中,栅极电介质 36 可以包括具有介电常数大于 3.9(即氧化硅的介电常数)的高 k 电介质材料。高 k 电介质材料可以包括包含金属和氧的电介质金属氧化物。优选,高 k 材料的介电常数大于或者是大约 4.0。更加优选高 k 电介质材料的介电常数大于氮化硅的介电常数(大约 7.5)。甚至更加优选高 k 电介质材料的介电常数大于 8.0。在本领域中还已知高 k 电介质材料是高 k 栅极电介质材料,它们包括电介质金属氧化物,其合金的氧化物,和其合金的硅酸盐。示范性的高 k 电介质材料包括 HfO_2 、 ZrO_2 、 La_2O_3 、 Al_2O_3 、 TiO_2 、 SrTiO_3 、 LaAlO_3 、 Y_2O_3 、 HfO_xNy 、 ZrO_xNy 、 $\text{La}_2\text{O}_x\text{Ny}$ 、 $\text{Al}_2\text{O}_x\text{Ny}$ 、 TiO_xNy 、 SrTiO_xNy 、 LaAlO_xNy 、 $\text{Y}_2\text{O}_x\text{Ny}$ 、其硅酸盐和其合金的氧化物或氮氧化物。各 x 值是独立的从大约 0.5 至大约 3 并且各值 y 是独立的从 0 值大约 2。选择性地,界面层(未被示出),例如,氧化硅,可以在高 k 电介质材料被沉积之前通过化学氧化或者热氧化而形成。在该情形中,栅极电介质 36 可以形成成为单个连续的栅极电介质层,其覆盖半导体纳米线结构 32 的顶表面和侧壁表面的整体和包括第一和第二电介质基座 22A、22B 的电介质材料层 22 的所有被暴露的表面。在该情形中,栅极电介质 36 的厚度可以是大约 1nm 至大约 6nm,并且可以具有在 1nm 量级上或者小于 1nm 量级的有效氧化物厚度。

[0047] 参考图 8A 和 8B,栅极电极 38 形成于栅极电介质 36 上和周围。通过在栅极电介质 36 上形成栅极电极 38 而半导体纳米线 32C 的中间部受到纵向应变,半导体纳米线 32C 的受到纵向应变的原子配置通过栅极电介质 36 和栅极电极 38 的组合被锁至受到应变的状态。

换而言之,栅极电介质 36 和栅极电极 38 结构上支持半导体纳米线 32C 受到纵向应变。对于半导体纳米线 32C 通过改变纵向应变的获得不同长度的任何趋势都被半导体纳米线 32C 和栅极电介质 36 和栅极电极 38 的组件之间的原子排列而抵消和减小。

[0048] 栅极电极 38 包括导电材料,例如被掺杂的半导体材料、金属、金属合金、至少一金属的导电化合物、或者其组合。优选,被沉积的栅极电极材料的厚度超过半导体纳米线 32C 和电介质材料层 22 之间的距离的一半,使得第二栅极电极 38 仅包含在其内半导体纳米线 32C 所在的一孔。

[0049] 在一实施例中,栅极电极 38 包括非晶或者多晶半导体材料,例如多晶硅、非晶硅、硅锗合金、碳硅合金、碳硅锗合金,或者其组合。栅极电极 38 可以被原位掺杂,或者可以通过后续的掺杂剂离子的离子注入而被掺杂。

[0050] 替代或者额外地,栅极电极 38 可以包括金属栅极材料,它包括金属导电材料。例如,栅极电极 38 可以包括例如 TaN、TiN、WN、TiAlN、TaCN,其它导电难熔金属氮化物,或其合金的氮化物。金属栅极材料可以通过化学气相沉积 (CVD)、物理气相沉积 (PVD)、原子层沉积 (ALD) 等而形成,并且包括导电难熔金属氮化物。在栅极电介质 36 包括高 k 栅极电介质材料的情形中,金属栅极材料可以直接形成于栅极电介质 36 上。金属栅极材料的成份可以被选择以便优化在半导体纳米线结构 32 中被后续形成的半导体装置的阈值电压。栅极电极 38 可以包括金属栅极材料和半导体材料两者。

[0051] 参考图 9A 和 9B,第一应力产生部 40A 和第二应力产生部 40B 对于半导体纳米线结构 32、栅极电极 38、和电介质材料层 22 被选择性地去除。例如湿法蚀刻或者干法蚀刻的蚀刻工艺可以被采用以便去除第一和第二应力产生部 40A、40B。优选,蚀刻对于栅极电介质 36 是选择性的,使得栅极电极 38 的边缘周围的栅极电介质的钻蚀底切被最小化。在第一和第二应力产生部 40A、40B 包括应力产生氮化硅材料并且电介质材料层 22 包括氧化硅的情形中,热磷酸蚀刻可以被采用以便对于半导体纳米线结构 32、栅极电极 38、和电介质材料层 22 选择性地去除第一和第二应力产生部 40A、40B。

[0052] 半导体纳米线 32C (见图 8A 和 8B) 和栅极电介质 36 之间的原子接合被固定而半导体纳米线 32C 的中间部受到纵向应变,并且原子接合通过直接在栅极电介质 36 上随后形成栅极电极 38 而在结构上稳定化。第一和第二应力产生部 40A、40B 的去除不改变半导体纳米线 32C 的中间部中的纵向应变。因而,半导体纳米线 32C 的中间部受到固有的纵向应变,即相对于没有外部应力被施加的自然状态的应变,即便在第一和第二应力产生部 40A、40B 的去除之后。

[0053] 在一实施例中,第一和第二应力产生部 40A、40B 在去除之前对于邻接的结构施加压应力。在该情形中,第一和第二应力产生部 40A、40B 的去除之前半导体纳米线 32C 的中间部在纵向拉应变之下。因为纵向拉应变被栅极电介质 36 和栅极电极锁在适当位置,所以即便在第一和第二应力产生部 40A、40B 的去除之后半导体纳米线 32C 的中间部也在纵向拉应变之下。此外,由于纵向拉应变在半导体纳米线 32C 的中间部中在第一和第二应力产生部 40A、40B 的去除之后仍小程度地重生,所以半导体纳米线 32C 的中间部中小量纵向拉应变被转移至纳米线 32C 的端部,使得半导体纳米线 32C 的整体受到纵向拉应变并且具有固有的纵向拉应力。半导体纳米线 32C 上纵向拉应变的方向用箭头示意性地示出,所以箭头的方向指示施加至半导体纳米线 32C 的应力的方向。例如,半导体布线 32C 的纵向应变的

中间部可以具有大于 0.3GPa 的大小的固有拉应力。

[0054] 选择性地,电介质隔离体(未被示出)可以根据需要形成于例如栅极电极 38 的侧壁上,以便控制要被形成的半导体纳米线晶体管的栅极电极 38 和源极和漏极区之间的重叠。

[0055] 采用栅极电极 38 作为离子注入掩模,第二导电类型的掺杂剂被注入半导体纳米线 32 的被暴露的部分中。第一半导体垫 32A 和第二半导体垫 32B 被掺杂以第二导电类型的掺杂剂,它们在此被称作垫源极部 33A 和垫漏极部 37A。邻接垫源极部 33A 的半导体纳米线 32C 的一端(见图 8B)也被掺杂以第二导电类型的掺杂剂并且在此被称为纳米线源极部 33B。垫源极部 33A 和纳米线源极部 33B 具有第二导电类型的掺杂并且被共同称作源极区 33。邻接垫漏极部 37A 的半导体纳米线 32C 的另一端(见图 8B)也被掺杂以第二导电类型的掺杂剂并且在此被称为纳米线漏极部 37B。垫漏极部 37A 和纳米线漏极部 37B 具有第二导电类型的掺杂并且被共同称作漏极区 37。未被注入第二导电类型的掺杂剂的半导体纳米线 32C 的中间部(见图 6B)具有第一导电类型的掺杂,并且在此被称作沟道区 35。

[0056] 沟道区 35 横向邻接源极区 33 和漏极区 37。沟道区 35、源极区 33、漏极区 37、栅极电介质 36、和栅极电极 38 共同构成控制穿过半导体纳米线 35、33B、37B 的电流的流动的半导体纳米线晶体管。源极区 33 和沟道区 35 之间的边界与覆盖半导体纳米线 35、33B、37B 的栅极电极的边缘基本垂直重叠并且漏极区 37 和沟道区 35 之间的边界与栅极电极 38 的另一边缘基本垂直重叠。

[0057] 参考图 10A 和 10B,中段(MOL)电介质材料层 80 形成于第一和第二半导体纳米线晶体管上方。MOL 电介质材料层 80 可以包括移动离子扩散屏障层(未被示出),它包括阻挡例如 Na^+ 和 K^+ 的移动离子的扩散的材料。移动离子扩散屏障层所采用的典型材料包括氮化硅。MOL 电介质材料层 80 可以包括例如,CVD 氧化物,具有介电常数小于 2.8 的旋涂低介电常数材料,具有小于 2.8 的介电常数的有机硅酸盐玻璃或者 CVD 低电介质材料,或者可以被用于金属互连结构中的后端(BEOL)电介质层的任何其它电介质材料。例如,CVD 氧化物可以是未掺杂的硅酸盐玻璃(USG),硼硅酸盐玻璃(BSG),磷硅酸盐玻璃(PSG),氟硅酸盐玻璃(FSG),硼磷硅酸盐玻璃(BPSG),或者其组合。MOL 电介质层 80 填充电介质材料层 22 和半导体纳米线 35、33B、37B 之间的空间。

[0058] MOL 电介质层 80 是基本没有应力的电介质材料层,即不是应力产生层并且不对半导体纳米线 35、33B、37B 施加压应力或者拉应力。为了本发明的目的,对于周围元件产生小于 0.1GPa 大小的电介质材料层被基本认为是没有应力的。优选施加至周围元件的应力在大小上小于 0.3GPa。半导体纳米线 35、33B、37B 被嵌入在 MOL 电介质层 80 中。MOL 电介质层 80 的第一部分在部分半导体纳米线 35、33B、37B 下面,覆盖作为绝缘层的部分电介质材料层 22,并且横向邻接栅极电极 38 和第一电介质基座 22A。MOL 电介质层 80 的第二部分在半导体纳米线 35、33B、37B 的另一部分下面,覆盖电介质材料层 22 的另一部分,并且横向邻接栅极电极 38 和第二电介质基座 22B。

[0059] 各种接触通路孔形成于 MOL 电介质层 80 中并且用导电材料填充从而形成各种接触通路孔。具体地,至少一源极侧接触通路孔 42A 直接形成于垫源极部 33A 上,至少一漏极侧接触通路孔 42B 直接形成于垫漏极部 37A 上,并且至少一栅极侧接触通路孔 48 直接形成于栅极电极 38 上。MOL 电介质层 80 的顶表面、至少一源极侧接触通路孔 42A、至少一漏极

侧接触通路孔 42B、和至少一栅极侧接触通路孔 48 在 MOL 电介质层 80 的平坦化和多余的导电材料的去除之后可以基本共面。包括第一层金属布线（未被示出）的另外的金属互连结构可以形成于 MOL 电介质层 80 上方。

[0060] 半导体纳米线晶体管包括位于半导体布线 35、33B、37B 的中心部的沟道区 35，侧向邻接沟道区 35 并且包括垫源极部 33A 的源极区 33（它是第一半导体垫 32A（见图 8B）），和侧向邻接沟道区 35 并且包括垫漏极部 37A 的漏极区 37（它是第二半导体垫 32B（见图 8B））。第一电介质基座 22A 垂直邻接第一半导体垫 32A（见图 8B）并且第二电介质基座 22B 垂直邻接第二半导体垫 32B（见图 8B）。栅极电极 38 的底表面邻接电介质材料层 22，电介质材料层 22 是绝缘层。

[0061] MOL 电介质层 80、至少一源极侧接触通路孔 42A、和第一电介质基座 22A 包封垫源极部 33A，它是第一半导体垫 32A（见图 8）。MOL 电介质层 80、至少一漏极侧接触通路孔 42B、和第二电介质基座 22B 包封垫漏极部 37A，它是第二半导体垫 32B（见图 8）。

[0062] 参考图 11A 和 11B，示出了对应于图 9A 和 9B 的本发明的另一实施例。在该实施例中，第一和第二应力产生部 40A、40B 在去除之前对于邻接的结构施加拉应力。在第一和第二应力产生部 40A、40B 的去除之前半导体纳米线 32C 的中间部在纵向压应变之下。因为纵向压应变被栅极电介质 36 和栅极电极锁在适当位置，所以即便在第一和第二应力产生部 40A、40B 的去除之后半导体纳米线 32C 的中间部也在纵向压应变之下。此外，由于纵向压应变在半导体纳米线 32C 的中间部中在第一和第二应力产生部 40A、40B 的去除之后小程度重生，所以半导体纳米线 32C 的中间部中小量纵向压应变被转移至纳米线 32C 的端部。半导体纳米线 32C 的整体受到纵向压应变并且具有固有的纵向压应力。半导体纳米线 32C 上纵向压应变的方向用箭头示意性地示出，所以箭头的方向指示施加至半导体纳米线 32C 的应力的方向。例如，半导体布线 32C 的受到纵向应变的中间部可以具有大于 0.3GPa 的大小的固有压应力。

[0063] 虽然已经根据具体实施例描述了本发明，但是显见考虑到前面的描述，许多替代、改进和变体对于本领域中的技术人员是显见的。因而，本发明旨在涵盖所有这样的落在本发明和所附权利要求的范围和精神内的替代、改进和变体。

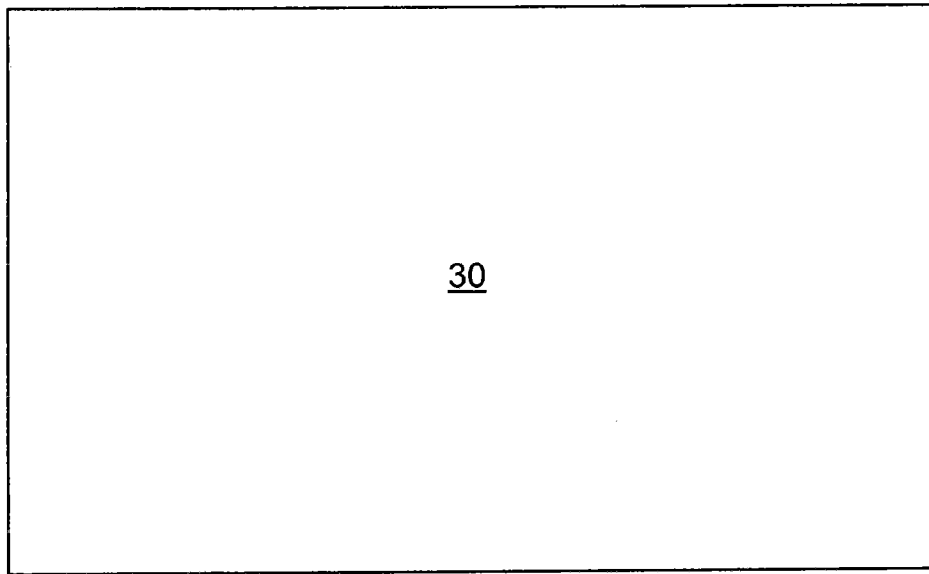


图 1A

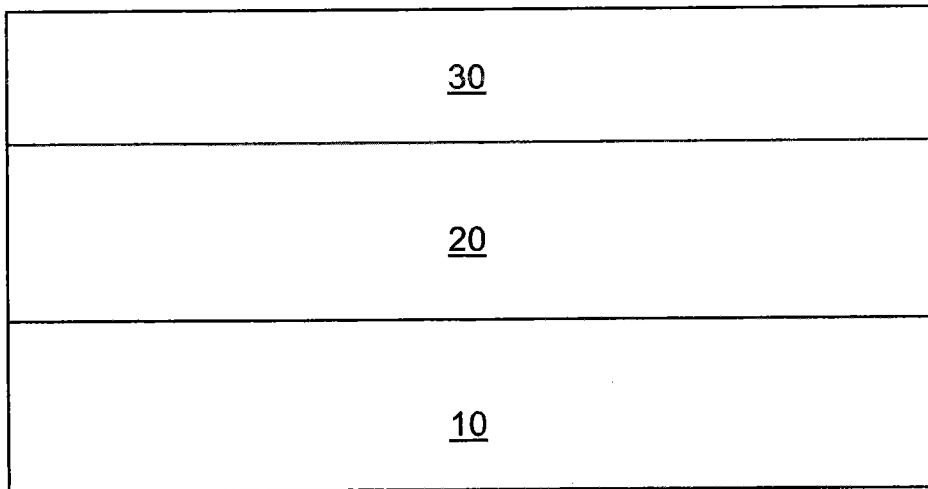


图 1B

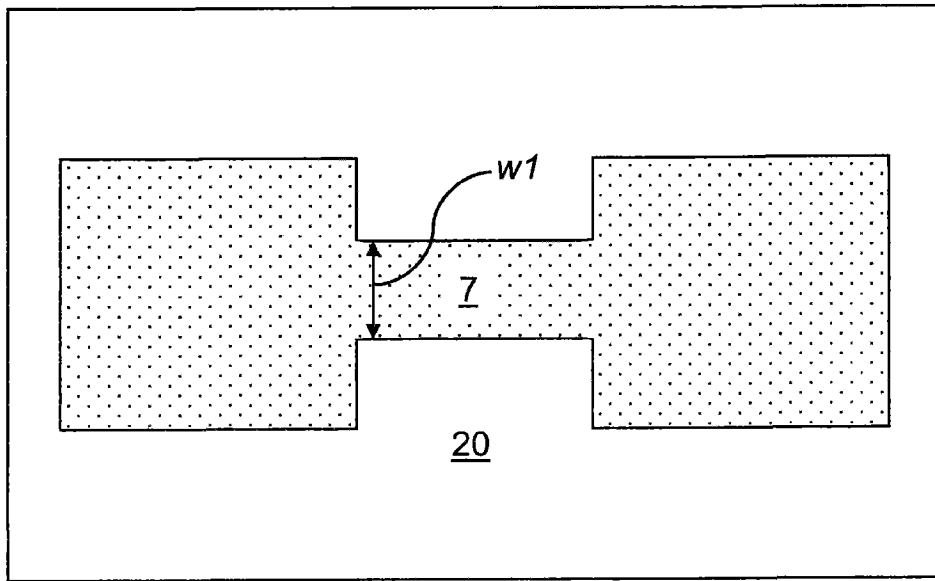


图 2A

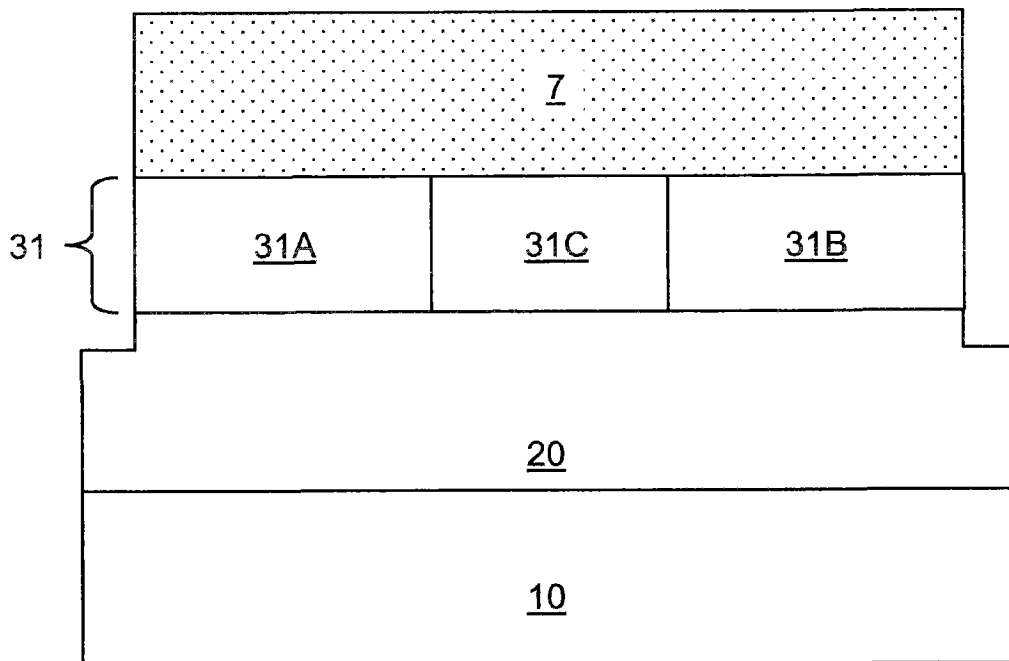


图 2B

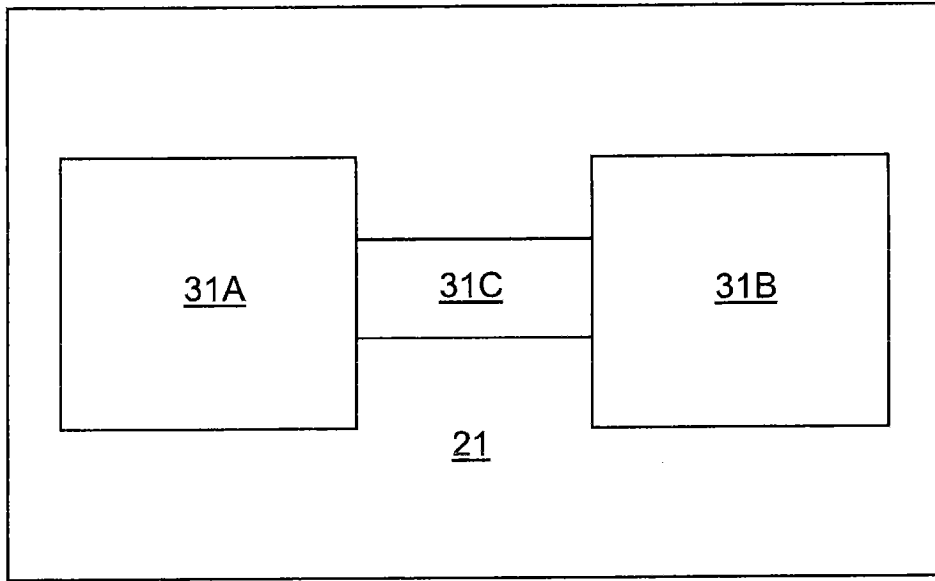


图 3A

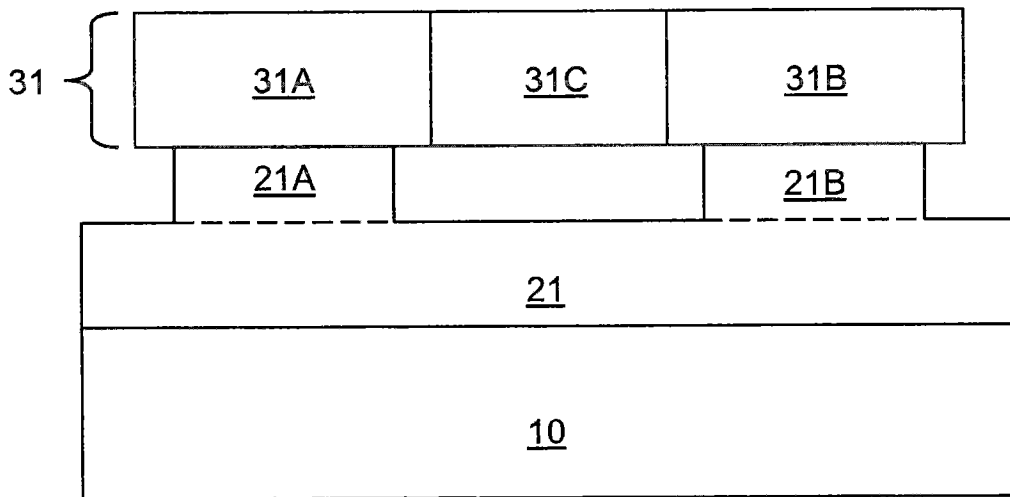


图 3B

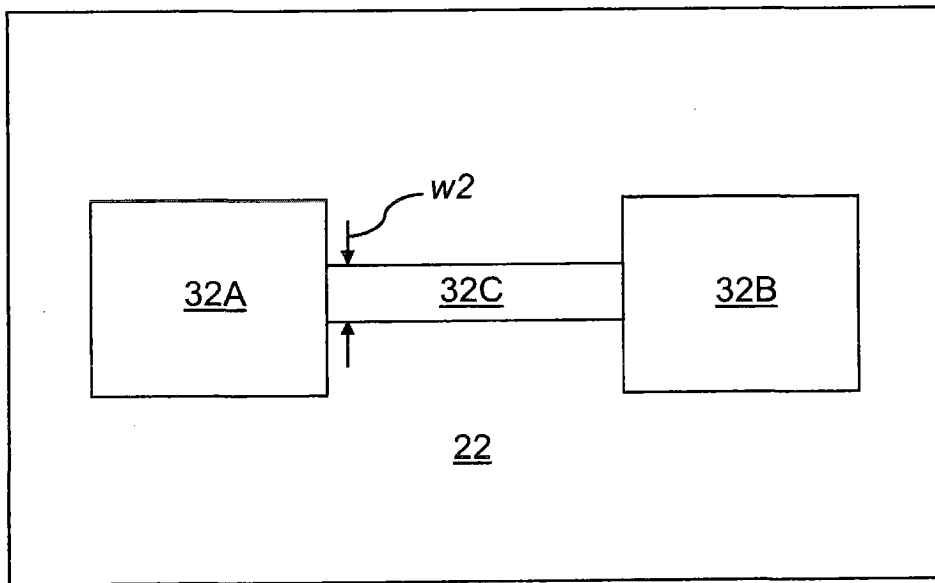


图 4A

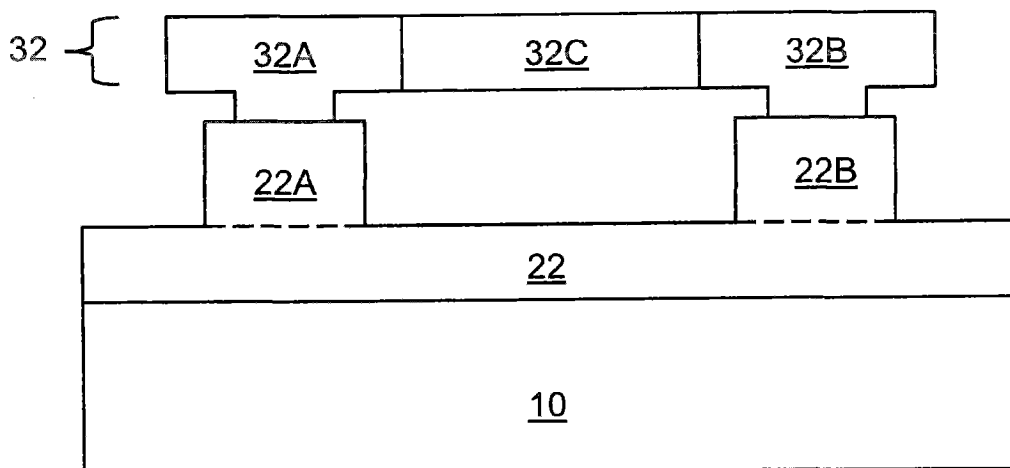


图 4B

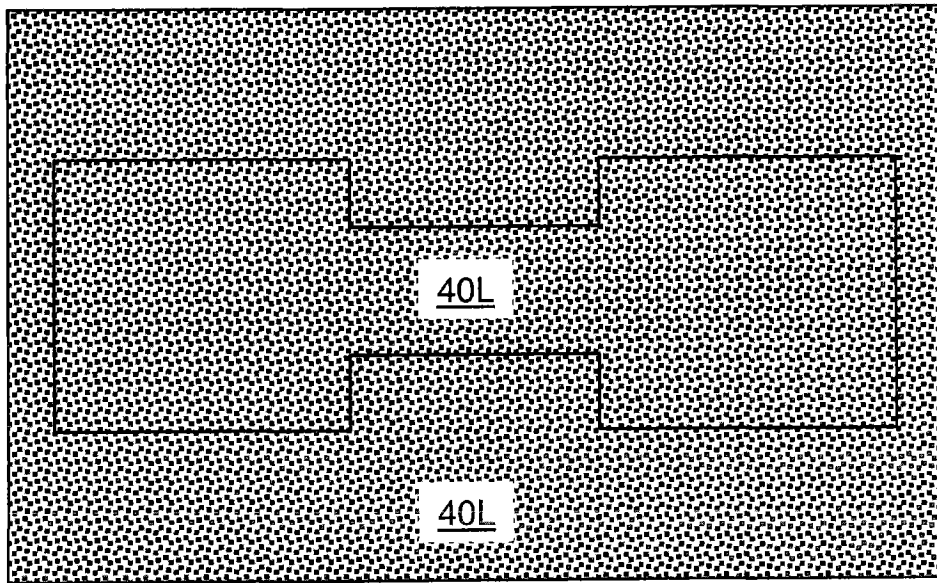


图 5A

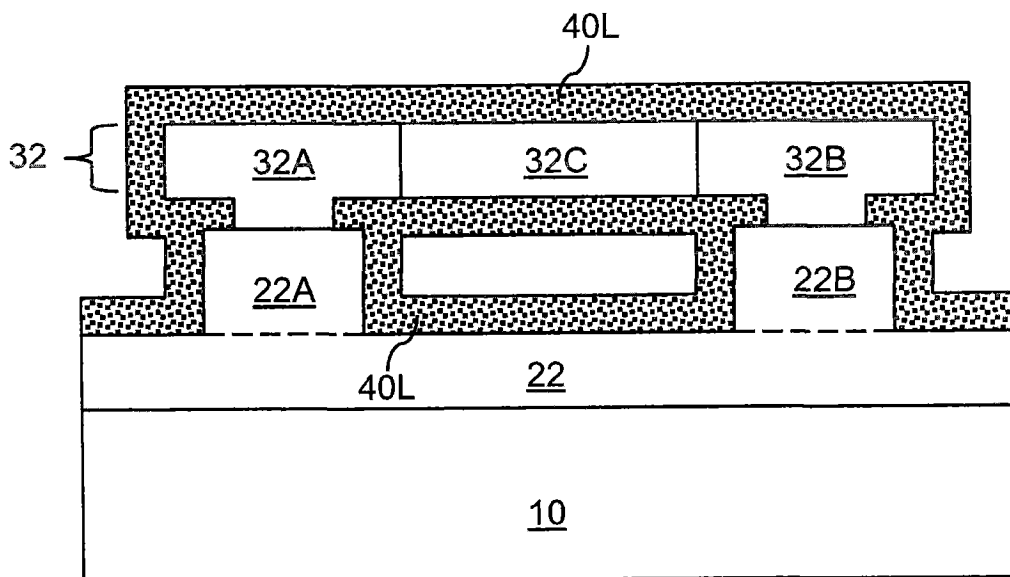


图 5B

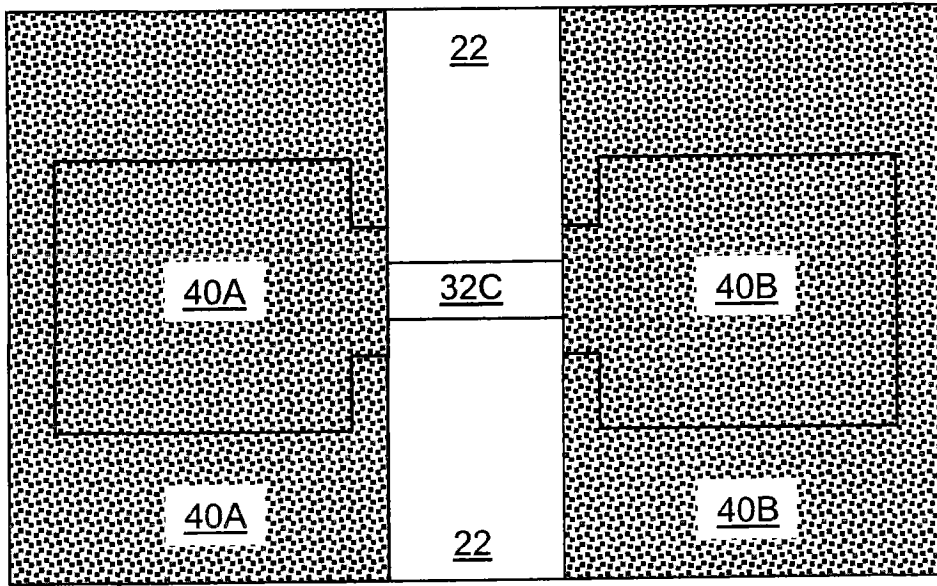


图 6A

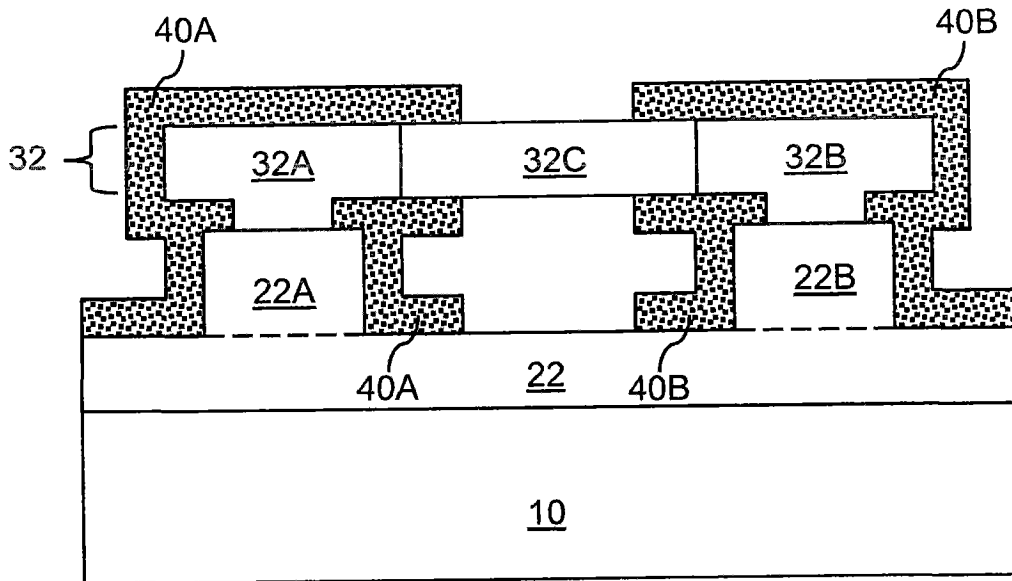


图 6B

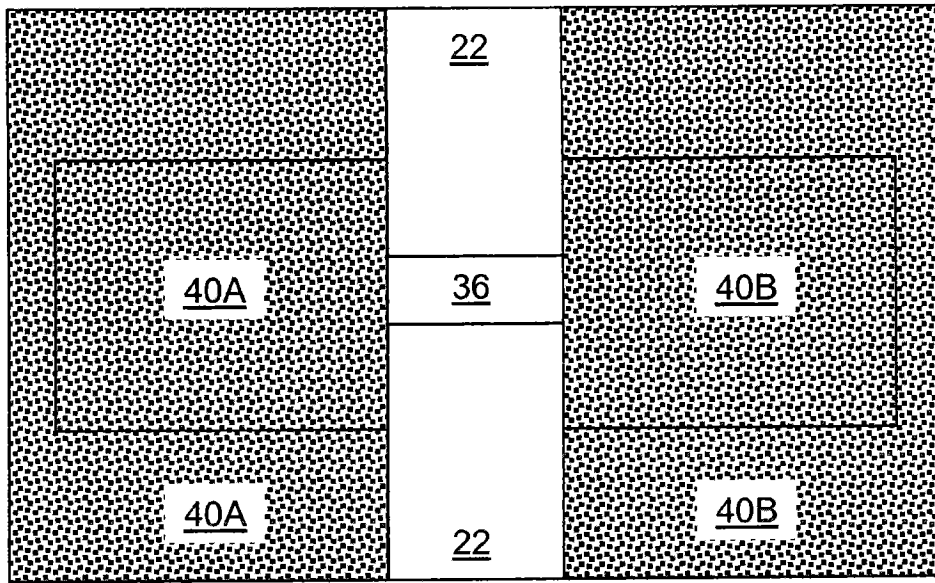


图 7A

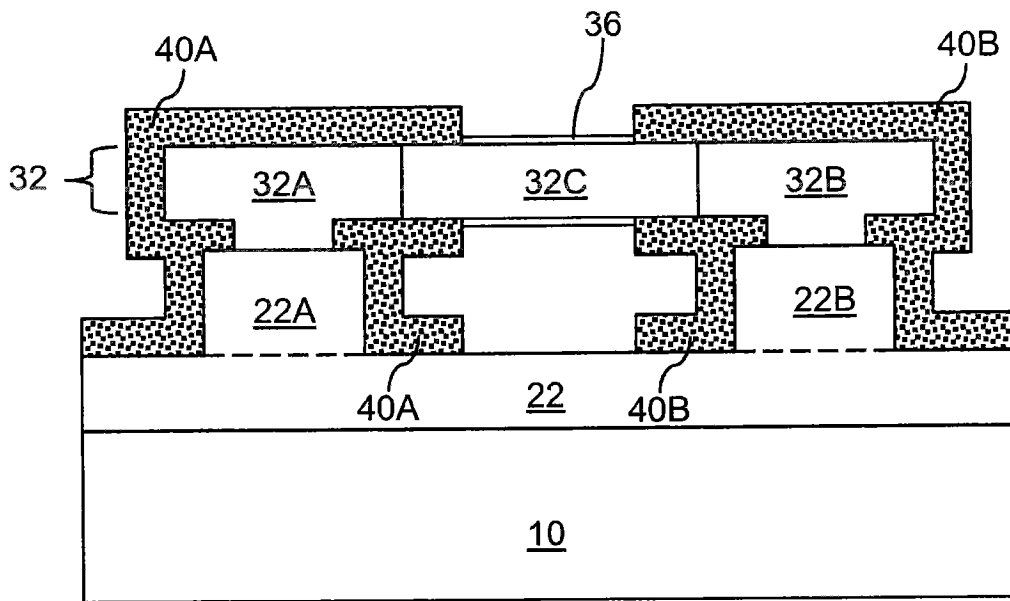


图 7B

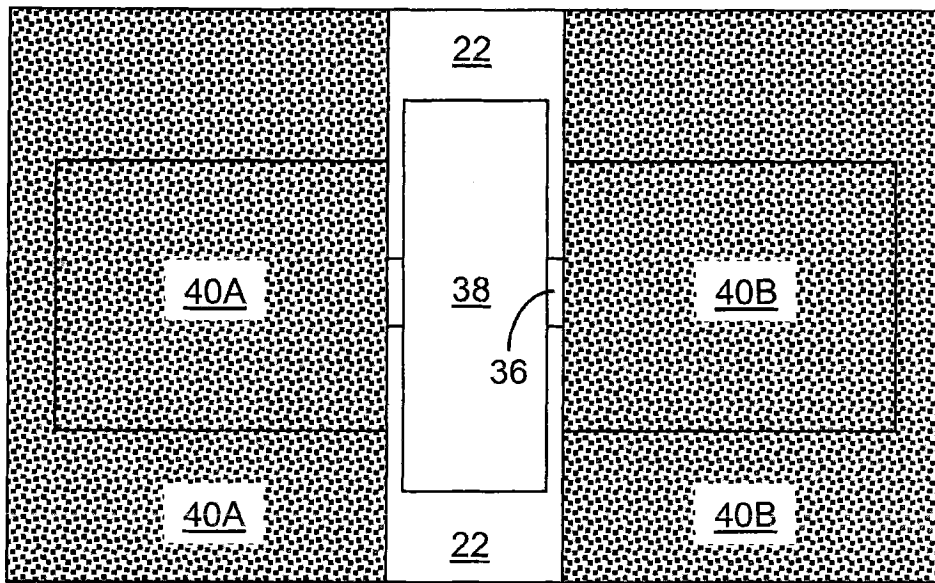


图 8A

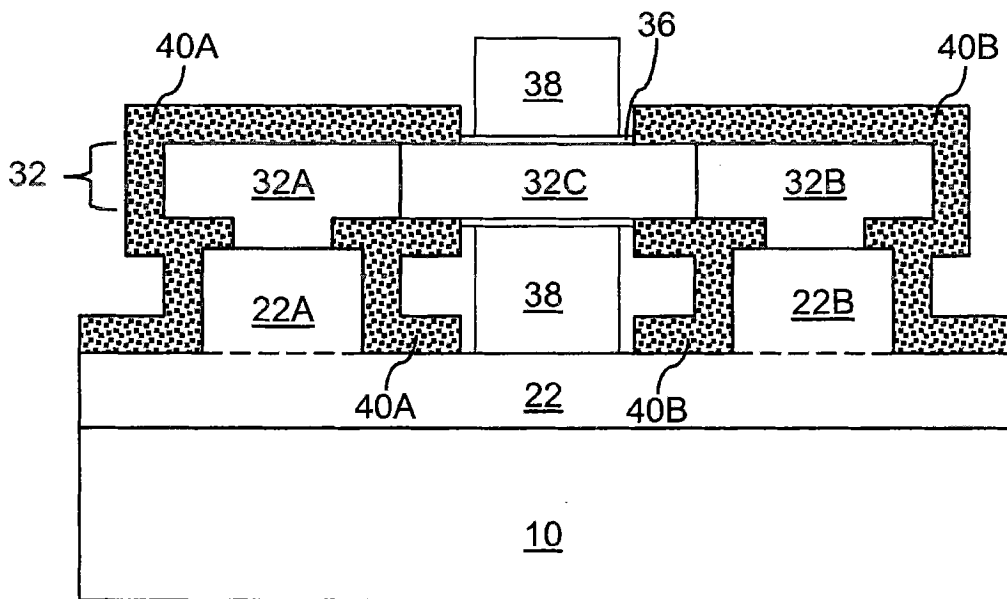


图 8B

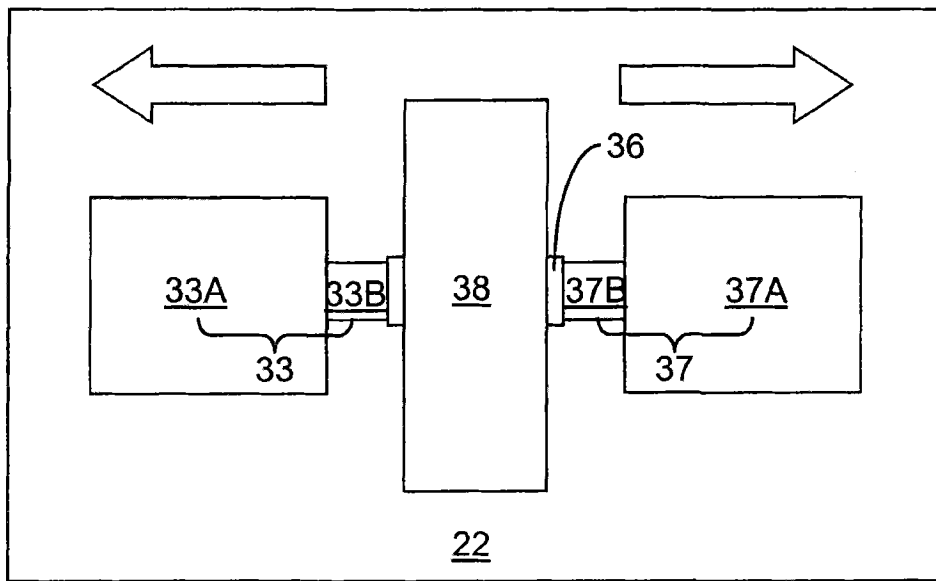


图 9A

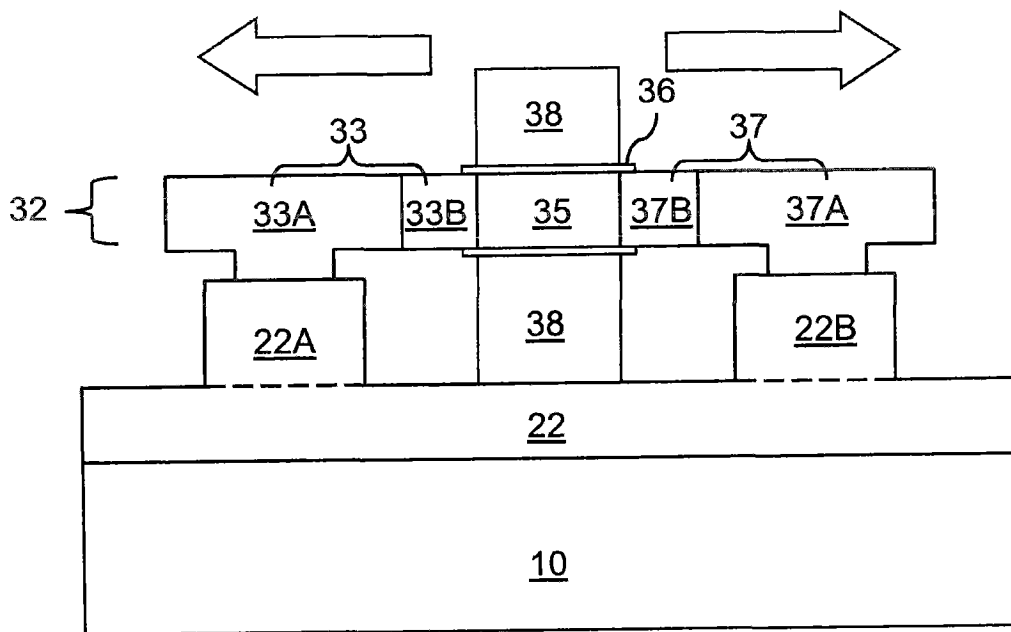


图 9B

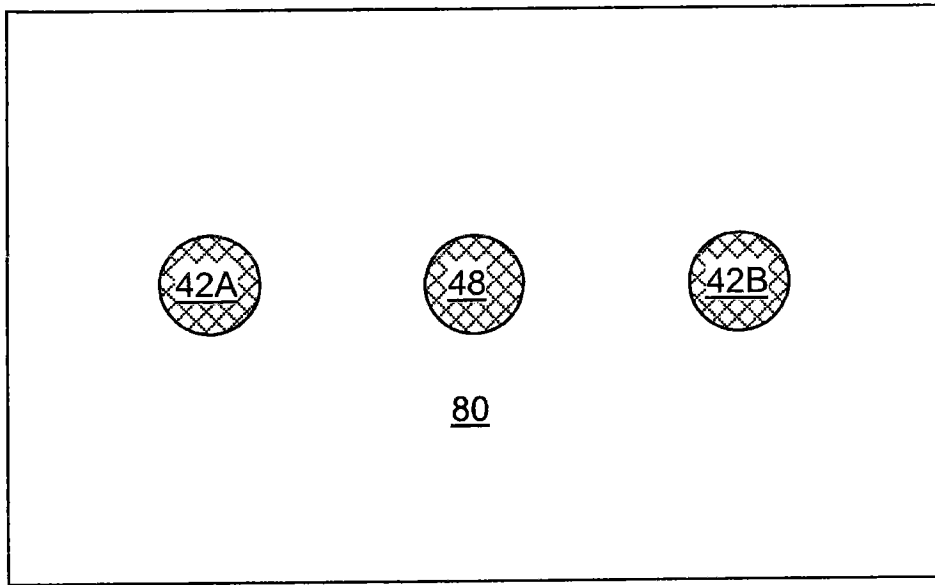


图 10A

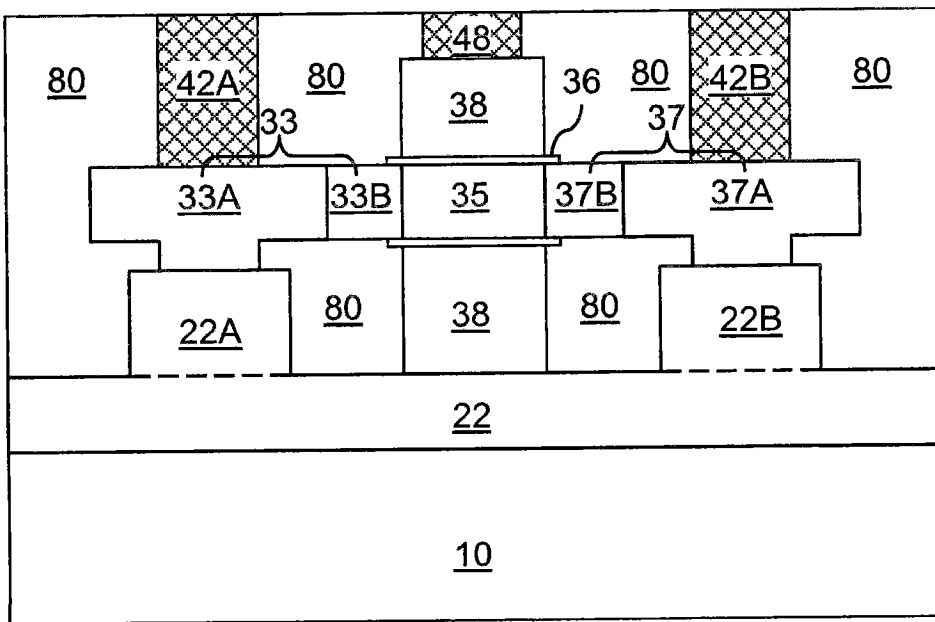


图 10B

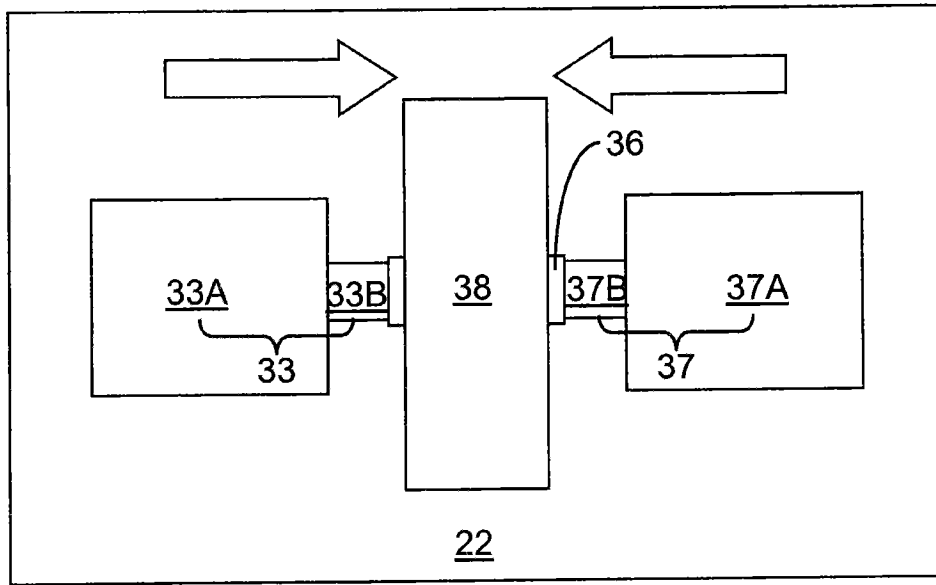


图 11A

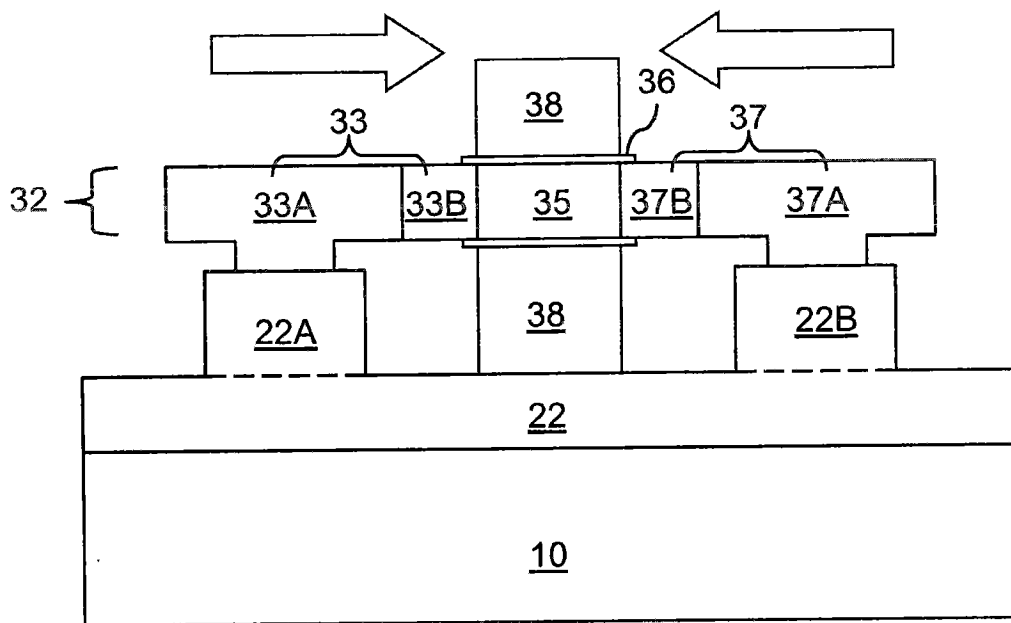


图 11B