



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU

K AUTORSKÉMU OSVĚDČENÍ

196827

(11)

(B1)

(b1)

(23) Výstavní priorita

(22) Přihlášeno 07.11.77

(21) (PV 7266 - 77)

(51) Int. Cl.³

H 03 K 19/08

(40) Zveřejněno 31.07.79

(45) Vydáno 31.03.82

(75)

Autor vynálezu

R a t a j Miroslav, Praha

(54)

LOGICKÝ OBVOD SIGNALIZUJÍCÍ ZAPNUTÍ A VYPNUTÍ JEDNOFÁZOVÉHO SÍTOVÉHO NAPĚTÍ

Vynález se týká logického obvodu, který po dobu připojení jednofázového síťového napětí na jeho vstupní svorky vytváří na výstupu logickou úroveň napětí vhodnou pro řízení dalších logických obvodů.

Četná elektronická zařízení, automatické ovládací systémy, jejichž správná činnost je závislá na podmínce přítomnosti síťového napětí, obsahují vhodný logický obvod, vytvářející potřebný informační napěťový signál. Tento obvod je většinou řešen jako běžný usměrňovač střídavého napětí sítě a jeho nevýhody jsou nízká vstupní impedance, větší hmotnost obvodu a jeho větší rozměry.

Uvedené nevýhody zmenšuje logický obvod signalizující zapnutí a vypnutí síťového napětí podle vynálezu, jehož podstatou je, že vstupní svorka pro jednu fázi síťového napětí je připojena přes první odpor na jeden vývod kondenzátoru, na katodu první diody, na anodu čtvrté diody, přičemž druhý vývod kondenzátoru je připojen na katodu druhé diody a na anodu třetí diody, přičemž anoda první diody je spojena přes druhý odpor s bází druhého tranzistoru typu vodivosti PNP, s kolektorem prvního tranzistoru, typu vodivosti NPN, a s jedním vývodem třetího odporu, jehož druhý vývod je spojen s anodou druhé diody, přičemž katoda čtvrté diody je spojena přes pátý odpor s bází prvního tranzistoru a s jedním vývodem čtvrtého odporu, druhým vývodem připojeného na katodu třetí diody, přičemž kolektor prvního tranzistoru je

spojen přes šestý odpor s emitorem druhého tranzistoru, k němuž je připojen jeden vývod napájecího zdroje, jehož druhý vývod je spojen s jednou výstupní svorkou a s uzemněným přívodem rozvodu síťového napětí a přes osmý odpor s druhou výstupní svorkou obvodu, k níž je připojen emitor prvního tranzistoru, kolektor druhého tranzistoru a jeden vývod sedmého odporu, jehož druhý vývod je spojen sází prvního tranzistoru.

Zapojení podle vynálezu má velkou vstupní impedanci, potřebuje minimální napájecí energii, má malé rozměry a dovoluje přímé spojení výstupu obvodu se vstupem integrovaných logických obvodů. Toto zapojení je zvláště vhodné pro užití hybridní technologie ve výrobě.

Zapojení podle vynálezu bude popsáno pomocí připojeného výkresu, na kterém je vstupní svorka 1 pro jednu fázi síťového napětí připojena přes první odpor 2 na jeden vývod kondenzátoru 3, na katodu první diody 4, na anodu čtvrté diody 7, přičemž druhý vývod kondenzátoru 3 je připojen na katodu druhé diody 5 a na anodu třetí diody 6, přičemž anoda první diody 4 je spojena přes druhý odpor 8 sází druhého tranzistoru 15 typu vodivosti PNP, s kolektorem prvního tranzistoru 14, typu vodivosti NPN, a s jedním vývodem třetího odporu 9, jehož druhý vývod je spojen s anodou druhé diody 5, přičemž katoda čtvrté diody 7 je spojena přes pátý odpor 11 sází prvního tranzistoru 14 a s jedním vývodem čtvrtého odporu 10, druhým vývodem připojeného na katodu třetí diody 6, přičemž kolektor prvního tranzistoru 14 je spojen přes šestý odpor 13 s emitorem druhého tranzistoru 15, k němuž je připojen jeden vývod napájecího zdroje 17, jehož druhý vývod je spojen s jednou výstupní svorkou 19 a s uzemněným přívodem rozvodu síťového napětí a přes osmý odpor 16 s druhou výstupní svorkou 18 obvodu, k níž je připojen emitor prvního tranzistoru 14, kolektor druhého tranzistoru 15 a jeden vývod sedmého odporu 12, jehož druhý vývod je spojen sází prvního tranzistoru 14.

Jedna fáze zapínaného síťového napětí je zavedena na vstupní svorku 1. První odpor 2 omezuje proud z rozvodu sítě na bezpečnou hodnotu. Kladné části sinusového průběhu síťového napětí procházejí přes čtvrtou diodu 7 a přes pátý odpor 11 naází prvního tranzistoru 14. Záporné části sinusového průběhu síťového napětí pronikají přes první diodu 4 a přes druhý odpor 8 naází druhého tranzistoru 15. V obvodu jeho kolektoru jsou získány v opačné polaritě a sloučeny s kladnými částmi průběhu napětí v emitoru prvního tranzistoru 14 na společném osmém odporu 16. Oba tranzistory působí také jako omezovací obvody.

Kondenzátor 3, druhá dioda 5, třetí odpor 9 a třetí dioda 6, čtvrtý odpor 10 působí jako RC člen, který fázově posouvá vstupní sinusový průběh napětí. Pomocí druhé diody 5 a třetí diody 6 je zajištěno na bázích tranzistorů 14, 15 překrytí nulových průchodů již oddělených usměrněných částí sinusových průběhů napětí. Oba tranzistory 14, 15 omezují usměrněné průběhy přivedené na jejich báze a vytvářejí stálou úroveň napětí. V případě vypnutí síťového napětí jsou oba tranzistory 14, 15 nevodivé a na výstupní svorce 18 je nulová úroveň napětí.

Vynalezené zapojení logického obvodu signalizujícího zapnutí a vypnutí síťového napětí umožňuje vzhledem k velké vstupní impedanci a citlivosti správnou funkci i když není provedeno přímé uzemnění výstupní svorky 19. V takovém případě postačuje střídavá vazba z nulového vodiče rozvodu síťového napětí přes parazitní kapacitu mezi kostrou elektronického zařízení a vinutím síťového transformátoru napájecího zdroje ostatních elektronických a logických obvodů zařízení.

Předmět vynálezu

Logický obvod signalizující zapnutí a vypnutí jednofázového síťového napětí, vyznačený tím, že vstupní svorka (1) pro jednu fázi síťového napětí je připojena přes první odpor (2) na jeden vývod kondenzátoru (3), na katodu první diody (4), na anodu čtvrté diody (7), přičemž druhý vývod kondenzátoru (3) je připojen na katodu druhé diody (5) a na anodu třetí diody (6), přičemž anoda první diody (4) je spojena přes druhý odpor (8) sází druhého tranzistoru (15) typu vodivosti PNP, s kolektorem prvního tranzistoru (14) typu vodivosti NPN a s jedním vývodem třetího odporu (9), jehož druhý vývod je spojen s anodou druhé diody (5), přičemž katoda čtvrté diody (7) je spojena přes pátý odpor (11) sází prvního tranzistoru (14) a s jedním vývodem čtvrtého odporu (10), druhým vývodem připojeného na katodu třetí diody (6), přičemž kolektor prvního tranzistoru (14) je spojen přes šestý odpor (13) s emitorem druhého tranzistoru (15), k němuž je připojen jeden vývod napájecího zdroje (17), jehož druhý vývod je spojen s jednou výstupní svorkou (19) a s uzemněným přívodem rozvodu síťového napětí a přes osmý odpor (16) s druhou výstupní svorkou (18) obvodu, k níž je připojen emitor prvního tranzistoru (14), kolektor druhého tranzistoru (15) a jeden vývod sedmého odporu (12), jehož druhý vývod je spojen sází prvního tranzistoru (14).

