

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2023 年 6 月 8 日 (08.06.2023)



(10) 国际公布号
WO 2023/097906 A1

- (51) 国际专利分类号:
H01L 27/22 (2006.01) **H01L 21/70** (2006.01)
- (21) 国际申请号: PCT/CN2022/077795
- (22) 国际申请日: 2022 年 2 月 25 日 (25.02.2022)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
202111446952.2 2021 年 11 月 30 日 (30.11.2021) CN
- (71) 申请人: 长鑫存储技术有限公司 (CHANGXIN MEMORY TECHNOLOGIES, INC.) [CN/CN]; 中国安徽省合肥市经济开发区空港工业园兴业大道 388 号, Anhui 230011 (CN)。北京超弦存储器研究院 (BEIJING SUPERSTRING ACADEMY OF

MEMORY TECHNOLOGY) [CN/CN]; 中国北京市大兴区北京经济技术开发区景园北街 52 幢 5 层 501-12, Beijing 100176 (CN)。

- (72) 发明人: 王晓光 (WANG, Xiaoguang); 中国安徽省合肥市经济开发区空港工业园兴业大道 388 号, Anhui 230011 (CN)。李辉辉 (LI, Huihui); 中国安徽省合肥市经济开发区空港工业园兴业大道 388 号, Anhui 230011 (CN)。张强 (ZHANG, Qiang); 中国安徽省合肥市经济开发区空港工业园兴业大道 388 号, Anhui 230011 (CN)。吴敏敏 (WU, Minmin); 中国安徽省合肥市经济开发区空港工业园兴业大道 388 号, Anhui 230011 (CN)。汪珊 (WANG, Shan); 中国安徽省合肥市经济开发区空港工业园兴业大道 388 号, Anhui 230011 (CN)。

(54) Title: SEMICONDUCTOR STRUCTURE AND SEMICONDUCTOR STRUCTURE MANUFACTURING METHOD

(54) 发明名称: 半导体结构及半导体结构的制作方法

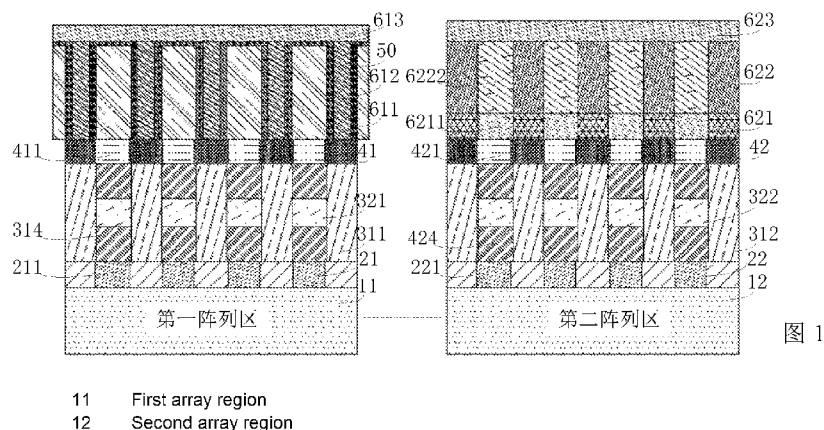


图 1

(57) Abstract: An embodiment of the present application relates to the technical field of semiconductor manufacturing, and relates in particular to a semiconductor structure and a semiconductor structure manufacturing method. The structure comprises a substrate, and the substrate comprises a first array region and a second array region. The first array region is provided with a first storage array consisting of a plurality of first storage structures, and the second array region is provided with a second storage array consisting of a plurality of second storage structures. Compared with the prior art in which different storage structures are stacked on a substrate, in the present embodiment, the first storage structures and the second storage structures are arranged side by side on the substrate, thereby simplifying processes and improving production efficiency.

(57) 摘要: 本申请实施例属于半导体制造技术领域, 具体涉及一种半导体结构及半导体结构的制作方法。包括衬底, 衬底包括第一阵列区和第二阵列区; 第一阵列区上设有多个第一存储结构构成的第一存储阵列; 第二阵列区上设有多个第二存储结构构成的第二存储阵列。相比于相关技术中, 将不同的存储结构在衬底上进行层叠设置, 本实施例中, 将第一存储结构和第二存储结构在衬底上进行并排设置, 有利于简化工艺制程, 提高生产效率。

(74) 代理人: 北京同立钧成知识产权代理有限公司 (LEADER PATENT & TRADEMARK FIRM); 中国北京市海淀区西直门北大街32号枫蓝国际A座8F-6, Beijing 100082 (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW。

(84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告 (条约第21条(3))。

半导体结构及半导体结构的制作方法

5

本申请要求于 2021 年 11 月 30 日提交中国专利局、申请号为 2021114469522、申请名称为“半导体结构及半导体结构的制作方法”的中国专利申请的优先权，其全部内容通过引用结合在本申请中。

10 技术领域

本申请实施例涉及半导体制造技术领域，尤其涉及一种半导体结构及半导体结构的制作方法。

背景技术

15 动态随机存储器 (DRAM, Dynamic Random Access Memory) 包括晶体管结构以及电容结构，晶体管结构中的晶体管与电容结构中的电容电连接，以通过晶体管读取电容内的数据、或者向电容内写入数据。磁性随机访问存储器 (MRAM, Magnetic Random Access Memory) 包括晶体管结构以及插在两条金属线之间的磁阻隧道结 (MTJ, Magnetic Tunnel Junction)，通过控制晶体管结构中的晶体管，改变磁阻隧道结的电阻值，进而读写数据。

20 相关技术中，为满足半导体存储器的不同使用需求，将磁性随机访问存储器中的存储单元与动态随机存储器中的存储单元集成在一起使用。然而，两种存储单元通常在垂直于衬底的方向上层叠设置，使得工艺制程繁琐，生产效率降低。

发明内容

25 根据一些实施例，本申请第一方面提供一种半导体结构，包括：衬底，所述衬底包括第一阵列区和第二阵列区；所述第一阵列区上设有多个第一存储结构构成的第一存储阵列；所述第二阵列区上设有多个第二存储结构构成的第二存储阵列。

30 在一些公开的实施例中，所述第一存储结构包括第一位线结构、第一晶体管结构和电容结构，所述第一位线结构位于所述第一晶体管下方，所述电容结构设置在对应的所述第一晶体管结构上；所述第二存储结构包括源极线结构、第二位线结构和第二晶体管结构，所述源极线结构位于所述第二晶体管结构下方，所述第二位线结构位于所述第二晶体管结构上方；所述第一位线结构和所述源极线结构同层设置。

35 在一些公开的实施例中，所述第一位线结构包括沿第一方向延伸且在第二方向上间隔设置的多个第一位线，所述第一晶体管结构包括设置在所述第一位线上的多个第一有源柱，所述第一有源柱的延伸方向与所述衬底表面垂直，所述第一有源柱在所述衬底上的投影与所述第一位线在所述衬底上的投影至少部分重合，所述第一方向与所述第二方向垂直；所述源极线结构包括沿第一方向延伸且在第二方向上间隔设置的多个源极线，所述第二晶体管结构包括设置在所述源极线上的多个第二有源柱，所述第

二有源柱的延伸方向与所述衬底表面垂直，所述第二有源柱在所述衬底上的投影与所述源极线在所述衬底上的投影至少部分重合；所述第一有源柱与所述第二有源柱同层设置。

5 在一些公开的实施例中，所述第一晶体管结构包括沿第二方向延伸且在第一方向上间隔设置的多条第一字线，所述第一字线环绕所述第一有源柱中间侧壁设置；所述第二晶体管结构包括沿第二方向延伸且在第一方向上间隔设置的多条第二字线，所述第二字线环绕所述第二有源柱中间侧壁设置；

所述第一字线与所述第二字线同层设置。

10 在一些公开的实施例中，所述第一存储结构还包括第一接触垫，所述第一接触垫设置在对应的所述第一有源柱上；所述第二存储结构还包括第二接触垫，所述第二接触垫设置在对应的所述第二有源柱上；所述第一接触垫与所述第二接触垫同层设置。

在一些公开的实施例中，所述电容结构包括下电极、上电极及电容介质层，所述电容介质层位于所述下电极和所述上电极之间，所述上电极与所述第二位线结构同层设置。

15 在一些公开的实施例中，所述第二存储结构包括接触结构、磁性存储结构，所述磁性存储结构设置在对应的所述第二接触垫上；所述磁性存储结构通过所述接触结构与所述第二位线实现电连接。

20 在一些公开的实施例中，所述磁性存储结构包括参考层、磁隧穿势垒层以及自由层，所述参考层设置在对应的所述第二接触垫上，所述磁隧穿势垒层位于所述参考层和所述自由层之间。

在一些公开的实施例中，所述第二位线结构包括沿第二方向延伸且在第一方向上间隔设置的多个第二位线。

根据一些实施例，本申请第二方面提供一种半导体结构的制作方法，包括：

25 提供衬底，所述衬底包括第一阵列区和第二阵列区；在所述第一阵列区上形成多个呈阵列排布的第一存储结构构成的第一存储阵列；在所述第二阵列区上形成多个呈阵列排布的第二存储结构构成的第二存储阵列；所述第一存储阵列和所述第二存储阵列同步形成。

30 在一些公开的实施例中，所述第一存储结构包括第一位线结构、第一晶体管结构和电容结构，所述第二存储结构包括源极线结构、第二位线结构和第二晶体管结构；在所述第一阵列区和所述第二阵列区上同步形成所述第一位线结构和所述源极线结构；所述第一位线结构位于所述第一晶体管下方，所述电容结构设置在对应的所述第一晶体管上；所述源极线结构位于所述第二晶体管结构下方，所述第二位线结构位于所述第二晶体管结构上方。

35 在一些公开的实施例中，所述第一晶体管结构包括多个第一有源柱，所述第二晶体管结构包括多个第二有源柱；同步形成所述第一有源柱与所述第二有源柱；所述第一有源柱的延伸方向与所述衬底表面垂直，所述第一有源柱在所述衬底上的投影与所述第一位线在所述衬底上的投影至少部分重合；所述第二有源柱的延伸方向与所述衬底表面垂直，所述第二有源柱在所述衬底上的投影与所述源极线在所述衬底上的投影至少部分重合。

在一些公开的实施例中，所述第一晶体管结构还包括多条第一字线，所述第二晶体管结构还包括多条第二字线；在所述第一位线结构和所述源极线结构上同步形成第一字线与第二字线；多条所述第一字线沿第二方向延伸且在第一方向上间隔设置，所述第一字线环绕所述第一有源柱中间侧壁设置；多条所述第二字线沿第二方向延伸且在第一方向上间隔设置，所述第二字线环绕所述第二有源柱中间侧壁设置。

在一些公开的实施例中，所述第一存储结构还包括设置在对应的所述第一有源柱上的第一接触垫，所述第二存储结构还包括设置在对应的所述第二有源柱上的第二接触垫；在所述第一有源柱和所述第二有源柱上同步形成所述第一接触垫和所述第二接触垫。

在一些公开的实施例中，在所述第一接触垫和所述第二接触垫上形成介质层，所述介质层上具有多个电容孔，所述电容孔在所述衬底的投影位于所述第一阵列区，且与所述第一接触垫在所述衬底的投影至少部分重叠；

在所述电容孔内形成多个部分电容结构；

去除部分所述介质层，以暴露所述第二接触垫；

在所述第二接触垫上依次形成多个磁性存储结构和接触结构。

在一些公开的实施例中，所述电容结构包括下电极、上电极及电容介质层，所述电容介质层位于所述下电极和所述上电极之间，所述第二位线结构包括位于所述接触结构上方的多个第二位线，多个第二位线沿第二方向延伸且在第一方向上间隔设置；在所述电容介质层和所述接触结构上同步形成所述上电极与所述第二位线。

本申请实施例提供一种半导体结构及半导体结构的制作方法。包括衬底，衬底包括第一阵列区和第二阵列区；第一阵列区上设有多个第一存储结构构成的第一存储阵列；第二阵列区上设有多个第二存储结构构成的第二存储阵列。相比于相关技术中，将不同的存储结构在衬底上进行层叠设置，本实施例中，将第一存储结构和第二存储结构在衬底上进行并排设置，有利于简化工艺制程，提高生产效率。

附图说明

为了更清楚地说明本申请实施例或现有技术中的技术方案，下面将对实施例或现有技术描述中所需要使用的附图作简单地介绍，显而易见地，下面描述中的附图是本申请的一些实施例，对于本领域普通技术人员来讲，在不付出创造性劳动的前提下，还可以根据这些附图获得其他的附图。

图1为本申请实施例提供的一种半导体结构的结构示意图；

图2为本申请实施例提供的一种衬底的俯视图；

图3为本申请实施例提供的一种半导体结构的制作方法的步骤流程图；

图4为本申请实施例提供的半导体结构的制作方法中同步形成第一位线结构和源极线结构的结构示意图；

图5为本申请实施例提供的半导体结构的制作方法中同步形成第一有源柱与第二有源柱的结构示意图；

图6为本申请实施例提供的半导体结构的制作方法中同步形成第一字线与第二字线的结构示意图；

图 7 为本申请实施例提供的半导体结构的制作方法中同步形成第一接触垫与第二接触垫的结构示意图；

图 8 为本申请实施例提供的半导体结构的制作方法中形成介质层的结构示意图；

图 9 为本申请实施例提供的半导体结构的制作方法中形成部分电容结构的结构示意图；

图 10 为本申请实施例提供的半导体结构的制作方法中去除部分介质层的结构示意图；

图 11 为本申请实施例提供的半导体结构的制作方法中形成磁性存储结构的结构示意图；

图 12 为本申请实施例提供的半导体结构的制作方法中形成接触结构的结构示意图；

图 13 为本申请实施例提供的半导体结构的制作方法中同步形成上电极与第二位线结构的结构示意图。

具体实施方式

为了使本申请实施例的上述目的、特征和优点能够更加明显易懂，下面将结合本申请实施例中的附图，对本申请实施例中的技术方案进行清楚、完整地描述。显然，所描述的实施例仅仅是本申请的一部分实施例，而不是全部的实施例。基于本申请中的实施例，本领域普通技术人员在没有作出创造性劳动的前提下所获得的所有其它实施例，均属于本申请保护的范围。

本申请实施例提供的半导体结构包括衬底，如图 1 和图 2 所示，衬底 10 的材料可以为硅(Si)、锗(Ge)、或硅锗(GeSi)、碳化硅(SiC)；也可以是绝缘体上硅(SOI)，绝缘体上锗(GOI)；或者还可以为其它的材料，例如砷化镓等 III-V 族化合物。衬底 10 上设置有外围区 13 和与外围区 13 邻接的阵列区，参照图 2，外围区 13 位于图示位置中的衬底 10 的左部，阵列区位于图示位置中衬底 10 的右部，且外围区 13 可以设置在阵列区的外围，当然，在一些其他的示例中，外围区 13 与阵列区的相对位置还可以根据实际的需要进行设置，外围区 13 例如可以用于形成与外围电路配合的配合结构，阵列区例如可以用于形成与存储单元配合的配合结构。其中，阵列区包括第一阵列区 11 和第二阵列区 12，继续参照图 2，第二阵列区 12 可以位于衬底 10 中阵列区的左部，第一阵列区 11 可以设置在第二阵列区 12 的外围。

第一阵列区 11 上设有多个第一存储结构构成的第一存储阵列，第二阵列区 12 上设有多个第二存储结构构成的第二存储阵列。本实施例中，第一存储阵列中第一存储结构的存储原理与第二存储阵列中第二存储结构的存储原理不同，第一存储结构例如可以具有动态随机存储器的存储单元，第二存储结构例如可以具有磁性随机访问存储器的存储单元。

值得说明的是，动态随机存储器是一种易失性存储器件，而磁性随机访问存储器是一种非易失性存储器件。通过在同一衬底 10 上分别设置具有易失性存储特性的第一存储结构和具有非易失性存储特性的第二存储结构，有利于进一步提高半导体结构的灵活存储性能与快速存取的性能。

本申请实施例提供一种半导体结构，包括衬底 10，衬底 10 包括第一阵列区 11 和第二阵列区 12；第一阵列区 11 上设有多个第一存储结构构成的第一存储阵列；第二阵列区 12 上设有多个第二存储结构构成的第二存储阵列。相比于相关技术中，将不同的存储结构在衬底 10 上进行层叠设置，本实施例中，将第一存储结构和第二存储结构在衬底 10 上进行并排设置，有利于简化工艺制程，减少连线复杂度，提高生产效率。

继续参照图 1，在第一阵列区 11，第一存储结构可以包括第一位线结构 21、第一晶体管结构和电容结构，第一位线结构 21 位于第一晶体管下方，电容结构设置在对应的第一晶体管结构上。在第二阵列区 12，第二存储结构可以包括源极线结构 22、第二位线结构 623 和第二晶体管结构，源极线结构 22 位于第二晶体管结构下方，第二位线结构 623 位于第二晶体管结构上方。

本实施例中，第一位线结构 21 和源极线结构 22 可以同层设置，第一位线结构 21 和源极线结构 22 在垂直于衬底 10 表面的方向上高度相同，且在平行于衬底 10 表面的截面内形状相同，以便第一位线结构 21 和源极线结构 22 可以同步形成，进而简化半导体结构的工艺制程。

参照图 1，图示位置中平行于衬底 10 的方向为第一方向，图示位置中平行于衬底 10 且垂直于第一方向的方向为第二方向。第一位线结构 21 包括沿第一方向延伸且在第二方向上间隔设置的多个第一位线，源极线结构 22 包括沿第一方向延伸且在第二方向上间隔设置的多个源极线。第一位线和源极线的材质可以相同，以便进一步提高第一位线和源极线的制作效率。第一位线和源极线的材质可以包括掺杂多晶硅、钛、氮化钛以及钨中的一种或者多种组合的导电材料。

如图 1 所示，相邻的第一位线之间可以具有第一隔离结构 211，相邻的源极线之间具有第二隔离结构 221，由于第一位线结构 21 中的第一位线和源极线结构 22 中的源极线可以同步形成，第一隔离结构 211 和第二隔离结构 221 也可以同步形成，且第一隔离结构 211 和第二隔离结构 221 可以具有相同的材质，从而进一步简化半导体结构的工艺制程。第一隔离结构 211 和第二隔离结构 221 的材质例如可以包括氮化硅、氮氧化硅以及氧化硅中的一种或者多种的组合。

本实施例中，第一晶体管结构包括设置在第一位线上的多个第一有源柱 311，第二晶体管结构包括设置在源极线上的多个第二有源柱 312，第一有源柱 311 与第二有源柱 312 在垂直于衬底 10 表面的方向上高度相同，且在平行于衬底 10 表面的截面内形状相同，第一有源柱 311 与第二有源柱 312 可以同层设置，以便第一有源柱 311 与第二有源柱 312 可以同步形成，进而简化半导体结构的工艺制程。

继续参照图 1，第一有源柱 311 的延伸方向与衬底 10 表面垂直，第一有源柱 311 在衬底 10 上的投影与第一位线在衬底 10 上的投影至少部分重合，以便第一晶体管结构能够通过第一有源柱 311 与第一位线电连接。第二有源柱 312 的延伸方向与衬底 10 表面垂直，第二有源柱 312 在衬底 10 上的投影与源极线在衬底 10 上的投影至少部分重合，以便第二晶体管结构能够通过第二有源柱 312 与源极线电连接。第一有源柱 311 和第二有源柱 312 的材质可以相同，第一有源柱 311 和第二有源柱 312 的材质可以包括硅(Si)、锗(Ge)、或硅锗(GeSi)、碳化硅(SiC)；也可以是碳化硅锗(SiGeC)，砷化镓(InAs)；或者还可以为其它的材料，例如砷化镓等 III-V 族化合物。第一有源柱 311

和第二有源柱 312 的结构相同，包括位于源区、漏区以及位于源区与漏区之间的沟道区，值得说明的是，本实施例中，源极线与第二有源柱 312 的源区连接，第一位线与第一有源柱 311 的源区连接。

本实施例中，第一晶体管结构还包括多条第一字线 321，第二晶体管结构还包括多条第二字线 322，第一字线 321 与第二字线 322 可以同层设置，第一字线 321 与第二字线 322 在垂直于衬底 10 表面的方向上高度相同，且在平行于衬底 10 表面的截面内形状相同，以便第一字线 321 与第二字线 322 可以同步形成，进而简化半导体结构的工艺制程。

参照图 1，多条第一字线 321 沿第二方向延伸且在第一方向上间隔设置，第一字线 321 环绕第一有源柱 311 中间侧壁设置，本实施例中，第一字线 321 环绕第一有源柱 311 中间的沟道区设置，并且第一字线 321 与第一有源柱 311 之间还可以设置有第一栅极介质层。多条第二字线 322 沿第二方向延伸且在第一方向上间隔设置的，第二字线 322 环绕第二有源柱 312 中间侧壁设置，本实施例中，第二字线 322 环绕第二有源柱 312 中间的沟道区设置，并且第二字线 322 与第二有源柱 312 之间还可以设置有第二栅极介质层。第二栅极介质层与第一栅极介质层的结构与材料相同，第二栅极介质层与第一栅极介质层也可以同步形成。第一有源柱 311 之间还具有用于隔离相邻第一有源柱 311 的第一绝缘结构 314，第二有源柱 312 之间还具有用于隔离相邻第二有源柱 312 的第二绝缘结构 324，第一绝缘结构 314 与第二绝缘结构 324 的结构与材料相同，可以包括氮化硅、氮氧化硅以及氧化硅中的一种或者多种的组合。第一绝缘结构 314 与第二绝缘结构 324 也可以同步形成。

值得说明的是，每条第一字线 321 均连接不同的第一有源柱 311，且相邻的第一字线 321 之间不相连，相同的，每条第二字线 322 均连接不同的第二有源柱 312，且相邻的第二字线 322 之间不相连。本领域技术人员可以通过调节第一字线 321 或者第二字线 322 的宽度（此处“宽度”是指第一字线 321 或者第二字线 322 在第一方向上的宽度），以使第一字线 321 或者第二字线 322 能尽可能多且平均地连接相邻的两个第一有源柱 311 或者第二有源柱 312。

值得说明的是，本实施例中的第一晶体管结构和第二晶体管结构为垂直的全环绕栅极晶体管（Gate-All-Around, GAA），该结构具有集成性高的特点，有利于提高单位面积内第一存储结构和第二存储结构的数量，以提高排布密度。

本实施例中，第一存储结构还可以包括多个第一接触垫 41，第二存储结构还可以包括多个第二接触垫 42，第一接触垫 41 与第二接触垫 42 可以同层设置，第一接触垫 41 与第二接触垫 42 在垂直于衬底 10 表面的方向上高度相同，且在平行于衬底 10 表面的截面内形状相同，以便第一接触垫 41 与第二接触垫 42 可以同步形成，进而简化半导体结构的工艺制程。

参照图 1，第一接触垫 41 设置在对应的第一有源柱 311 上，第二接触垫 42 设置在对应的第二有源柱 312 上。第一接触垫 41 与第二接触垫 42 的材质可以相同，第一接触垫 41 与第二接触垫 42 的材质可以包括钨(W)、氮化钨(WN)、硅化钨(WSi)、钛(Ti)、氮化钛(TiNx)中的一种或者多种的组合。相邻的第一接触垫 41 之间还设置有第一绝缘块 411，相邻的第二接触垫 42 之间还设置有第二绝缘块 421，第一绝缘块 411 与第二

绝缘块 421 的结构与材料相同，可以包括氮化硅、氮氧化硅以及氧化硅中的一种或者多种的组合。第一绝缘块 411 与第二绝缘块 421 也可以同步形成。

如图 1 所示，第一存储结构中，第一晶体管结构上设置有第一介质层 50 和电容结构。第一介质层 50 上设置有贯穿的电容孔 51，电容孔 51 在衬底 10 上的投影与第一接触垫 41 在衬底 10 上的投影至少部分重叠，部分电容结构设置在电容孔 51 内，以便与第一接触垫 41 连接。

电容结构可以包括下电极 611、上电极 613 及电容介质层 612，电容介质层 612 位于下电极 611 和上电极 613 之间。下电极 611 覆盖在电容孔 51 的孔壁，电容介质层 612 覆盖在下电极 611 表面，上电极 613 覆盖在电容介质层 612 上。当然，电容结构还可以包括相关技术中的其他结构，本申请实施例不进行具体限定。

如图 1 所示，第二存储结构中，第二晶体管上设置有接触结构 622、磁性存储结构 621 以及第二位线结构 623，磁性存储结构 621 设置在对应的第二接触垫 42 上；接触结构 622 设置在对应的磁性存储结构 621 上，继续参照图 1，接触结构 622 在衬底 10 上的投影与磁性存储结构 621 在衬底 10 上的投影至少部分重合，以便接触结构 622 与磁性存储结构 621 电连接。第二位线结构 623 设置在接触结构 622 上，磁性存储结构 621 通过接触结构 622 与第二位线结构 623 实现电连接。第二位线结构 623 包括沿第二方向延伸且在第一方向上间隔设置的多个第二位线。相邻的磁性存储结构 621 之间还设置有第一支撑结构 6211，相邻的接触结构 622 之间还设置有第二支撑结构 6222。

本实施例中，上电极 613 与第二位线结构 623 可以同层设置，上电极 613 与第二位线结构 623 可以同层设置，上电极 613 与第二位线结构 623 在垂直于衬底 10 表面的方向上高度相同，且在平行于衬底 10 表面的截面内形状相同，以便上电极 613 与第二位线结构 623 可以同步形成，进而简化半导体结构的工艺制程。

如图 1 所示，本实施例的磁性存储结构 621 为磁隧道结 (Magnetic Tunneling Junction, MTJ)，包括参考层、磁隧穿势垒层以及自由层，参考层设置在对应的第二接触垫 42 上，磁隧穿势垒层位于参考层和自由层之间，也即，本实施例中，磁性存储结构 621 由靠近衬底 10 的方向向远离衬底 10 的方向依次为参考层、磁隧穿势垒层以及自由层。值得说明的是，在另一种实施例的磁性存储结构 621 中，由靠近衬底 10 的方向向远离衬底 10 的方向依次为自由层、磁隧穿势垒层以及参考层。在一种具体的实现方式中，自由层和参考层的材质可以包括钴铁硼 (CoFeB)，磁隧穿势垒层的材质可以为氧化镁 (MgO)。

下面简要描述磁性存储结构 621 的原理：磁性存储结构 621 依靠量子隧穿效应使得电子通过磁隧穿势垒层，极化电子的隧穿概率和参考层与自由层的相对磁化方向有关。参考层的磁化方向保持不变，当参考层与自由层磁化方向相同时，极化电子的隧穿概率较高，此时，磁性存储结构 621 表现为低电阻状态；当参考层与自由层磁化方向相反时，极化电子的隧穿概率比较低，此时，磁性存储结构 621 表现为高电阻状态。利用磁性存储结构 621 的低电阻状态和高电阻状态来表示逻辑状态“1”和“0”，从而实现数据的存储。

本申请实施例还提供一种半导体结构的制作方法，用于制作上述实施例中的半导

体结构，请参照图 3，其步骤包括：

步骤 S101、提供衬底，衬底包括第一阵列区和第二阵列区。

如图 2 所示，衬底 10 上设置有外围区 13 和与外围区 13 邻接的阵列区，外围与位于图示位置中的衬底 10 的左部，阵列区位于图示位置中衬底 10 的右部，且外围区 13 可以设置在阵列区的外围。其中，阵列区包括第一阵列区 11 和第二阵列区 12，继续参照图 2，第一阵列区 11 位于衬底 10 中阵列区的左部，第二阵列区 12 设置在第一阵列区 11 的外围。

本实施例中，在提供衬底 10 以后，还包括：

步骤 S102、在第一阵列区上形成多个呈阵列排布的第一存储结构构成的第一存储阵列，在第二阵列区上形成多个呈阵列排布的第二存储结构构成的第二存储阵列；第一存储阵列和第二存储阵列同步形成。

值得说明的是，本申请实施例通过将第一存储结构中的膜层结构与第二存储结构中同一膜层的膜层结构同步形成，使得第一存储阵列和第二存储阵列同步形成。本实施例中，第一存储阵列中第一存储结构的存储原理与第二存储阵列中第二存储结构的存储原理不同，第一存储结构例如可以具有动态随机存储器的存储单元，第二存储结构例如可以具有磁性随机访问存储器的存储单元。

本实施例提供一种半导体结构的制作方法，包括：提供衬底 10，衬底 10 包括第一阵列区 11 和第二阵列区 12；在第一阵列区 11 上形成多个呈阵列排布的第一存储结构构成的第一存储阵列，在第二阵列区 12 上形成多个呈阵列排布的第二存储结构构成的第二存储阵列；第一存储阵列和第二存储阵列同步形成。相比于相关技术中，分布形成第一存储结构和第二存储结构，将第一存储结构和第二存储结构在衬底 10 上同步形成，有利于简化工艺制程，提高生产效率。

本实施例中，参照图 4、图 5 以及图 6，第一存储结构包括第一位线结构 21、第一晶体管结构和电容结构，第一位线结构 21 位于第一晶体管下方，电容结构设置在对应的第一晶体管上；第二存储结构包括源极线结构 22、第二位线结构 623 和第二晶体管结构，源极线结构 22 位于第二晶体管结构下方，第二位线结构 623 位于第二晶体管结构上方。第一存储阵列和第二存储阵列同步形成的步骤可以包括：在第一阵列区 11 和第二阵列区 12 上同步形成第一位线结构 21 和源极线结构 22。

在一种具体的实施方式中，可以通过沉积的工艺在衬底 10 的第一阵列区 11 和第二阵列区 12 上同时形成第一隔离结构 211 和第二隔离结构 221，第一隔离结构 211 和第二隔离结构 221 用于限定为第一位线结构 21 和源极线结构 22。然后再通过沉积的工艺在相邻的第一隔离结构 211 之间和相邻的第二隔离结构 221 之间同时形成第一位线结构 21 和源极线结构 22。图示位置中平行于衬底 10 的方向为第一方向，图示位置中平行于衬底 10 且垂直于第一方向的方向为第二方向。第一位线结构 21 包括沿第一方向延伸且在第二方向上间隔设置的多个第一位线，源极线结构 22 包括沿第一方向延伸且在第二方向上间隔设置的多个源极线。进一步的，为保证第一位线结构 21 和源极线结构 22 能够同时沉积形成，第一位线结构 21 和源极线结构 22 的材质相同。

本实施例中，第一晶体管结构还可以包括多个第一有源柱 311，第二晶体管结构还可以包括多个第二有源柱 312；第一有源柱 311 的延伸方向与衬底 10 表面垂直，第

一有源柱 311 在衬底 10 上的投影与第一位线在衬底 10 上的投影至少部分重合；第二有源柱 312 的延伸方向与衬底 10 表面垂直，第二有源柱 312 在衬底 10 上的投影与源极线在衬底 10 上的投影至少部分重合。

5 本实施例中，在第一阵列区 11 和第二阵列区 12 上同步形成第一位线结构 21 和源极线结构 22 以后，在第一位线结构 21 和源极线结构 22 上同步形成第一有源柱 311 与第二有源柱 312。

10 在一种具体的实施方式中，可以通过沉积的工艺在第一位线结构 21 和源极线结构 22 上同步形成第一初始有源柱和第二初始有源柱，为使第一初始有源柱与第二初始有源柱能够同步形成，第一初始有源柱和第二初始有源柱的材质相同。在形成第一初始有源柱和第二初始有源柱以后，可以通过三次离子注入技术同时形成第一有源柱 311 和第二有源柱 312。例如，首先，可以控制离子注入技术中离子注入能量和注入掺杂离子的类型，以在第一初始有源柱和第二初始有源柱的底部形成漏区，然后，再控制离子注入技术中离子注入能量和注入掺杂离子的类型，以在第一初始有源柱和第二初始有源柱的中部形成沟道区，最后，再控制离子注入技术中离子注入能量和注入掺杂离子的类型，以在第一初始有源柱和第二初始有源柱的顶部形成源区，其中，漏区的掺杂离子的类型可以与源区的掺杂离子的类型相同，比如，掺杂离子可以包括 N 型离子；沟道区的掺杂离子与漏区的掺杂离子的类型不同，比如，掺杂离子可以包括 P 型离子。

20 本实施例中，第一晶体管结构还包括多条第一字线 321，第二晶体管结构还包括多条第二字线 322；多条第一字线 321 沿第二方向延伸且在第一方向上间隔设置，第一字线 321 环绕第一有源柱 311 中间侧壁设置；多条第二字线 322 沿第二方向延伸且在第一方向上间隔设置，第二字线 322 环绕第二有源柱 312 中间侧壁设置。

25 本实施例中，在第一位线结构 21 和源极线结构 22 上同步形成第一有源柱 311 与第二有源柱 312 以后，在第一位线结构 21 和源极线结构 22 上同步形成第一字线 321 与第二字线 322。

30 在一种具体的实施方式中，相邻的第一有源柱 311 之间具体第一填充区 313，相邻的第二有源柱 312 之间具有第二填充区 323，在第一填充区 313 和第二填充区 323 同时填充第一绝缘材料和第二绝缘材料，直至第一绝缘材料和第二绝缘材料覆盖第一有源柱 311 和第二有源柱 312 的源区。在第一绝缘材料和第二绝缘材料上同时形成第一导电层和第二导电层，并使第一导电层和第二导电层覆盖第一有源柱 311 和第二有源柱 312 的沟道区。去除部分第一导电层和第二导电层以同时形成第一字线 321 和第二字线 322。在形成第一字线 321 和第二字线 322 以后，继续向第一填充区 313 和第二填充区 323 内填充第一绝缘材料和第二绝缘材料，以使第一填充区 313 内的第一绝缘材料形成第一绝缘结构 314，第二填充区 323 内的第二绝缘材料形成第二绝缘结构 324。值得说明的是，为使第一绝缘结构 314 和第二绝缘结构 324 同时形成，第一绝缘材料和第二绝缘材料的材质相同，为使第一字线 321 和第二字线 322 同时形成，第一导电层和第二导电层的材质相同。

本实施例，参照图 7，第一存储结构还包括设置在对应的第一有源柱 311 上的第一接触垫 41，第二存储结构还包括设置在对应的第二有源柱 312 上的第二接触垫 42。

本实施例中，在第一位线结构 21 和源极线结构 22 上同步形成第一字线 321 与第二字线 322 以后，还包括：在第一有源柱 311 和第二有源柱 312 上同步形成第一接触垫 41 和第二接触垫 42。

在一种具体的实施方式中，可以通过沉积的工艺在第一有源柱 311 和第二有源柱 312 上同时形成第一接触垫 41 和第二接触垫 42，进一步地，也可以通过沉积的工艺在相邻的第一接触垫 41 之间和相邻的第二接触垫 42 之间同时形成第一绝缘块 411 和第二绝缘块 421。进一步的，为保证第一接触垫 41 和第二接触垫 42 能够同时沉积形成，第一接触垫 41 和第二接触垫 42 的材质相同，为保证第一绝缘块 411 和第二绝缘块 421 能够同时沉积形成，第一绝缘块 411 和第二绝缘块 421 的材质相同。

本实施例中，参照图 8，在第一有源柱 311 和第二有源柱 312 上同步形成第一接触垫 41 和第二接触垫 42 以后，还包括：在第一接触垫 41 和第二接触垫 42 上形成介质层 50，介质层 50 上具有多个电容孔 51，电容孔 51 在衬底 10 的投影位于第一阵列区 11，且与第一接触垫 41 在衬底 10 的投影至少部分重叠。通过设置介质层 50 的电容孔 51，可以限定出电容结构，同时介质层 50 还能支撑电容结构，防止倒塌。介质层 50 遮蔽第二阵列区 12，还能够防止第二接触垫 42 上形成其他膜层结构。

本实施例中，参照图 9，在形成介质层 50 以后，还包括：在电容孔 51 内形成多个部分电容结构。电容结构可以包括下电极 611、上电极 613 及电容介质层 612，电容介质层 612 位于下电极 611 和上电极 613 之间。如图所示，部分电容结构包括下电极 611 和电容介质层 612，下电极 611 覆盖在电容孔 51 的孔壁，电容介质层 612 覆盖在下电极 611 表面且充满电容孔 51。当然，电容结构还可以包括相关技术中的其他结构，本申请实施例不进行具体限定。

本实施例中，参照图 10，在电容孔 51 内形成多个电容结构以后，还包括：去除部分介质层 50，以暴露第二接触垫 42，进而便于后续在第二接触垫 42 上形成其他膜层结构。

参照图 11 和图 12，在第二接触垫 42 上依次形成多个磁性存储结构 621 和接触结构 622。本实施例的磁性存储结构 621 为磁隧道结 (Magnetic Tunneling Junction, MTJ)，包括参考层、磁隧穿势垒层以及自由层，其具体结构以及工作原理在此不再赘述。接触结构 622 在衬底 10 上的投影与磁性存储结构 621 在衬底 10 上的投影至少部分重合，以便接触结构 622 与磁性存储结构 621 电连接。在一种具体的实现方式中，可以通过沉积的工艺形成磁性存储结构 621 和接触结构 622。参照图 13，相邻的磁性存储结构 621 之间还设置有第一支撑结构 6211，相邻的接触结构 622 之间还设置有第二支撑结构 6222。

本实施例中，参照图 13，在第二接触垫 42 上依次形成多个磁性存储结构 621 和接触结构 622 以后，还包括：在电容介质层 612 和接触结构 622 上同步形成上电极 613 与第二位线结构 623。

第二位线结构 623 包括位于接触结构 622 上方的多个第二位线，多个第二位线沿第二方向延伸且在第一方向上间隔设置；上电极 613 覆盖在电容介质层 612 上。进一步的，为保证上电极 613 与第二位线结构 623 能够同时沉积形成，上电极 613 与第二位线结构 623 的材质相同。

本领域技术人员可以清楚地了解到，为描述的方便和简洁，仅以上述各功能模块的划分进行举例说明，实际应用中，可以根据需要而将上述功能分配由不同的功能模块完成，即将装置的内部结构划分成不同的功能模块，以完成以上描述的全部或者部分功能。上述描述的装置的具体工作过程，可以参考前述方法实施例中的对应过程，在此不再赘述。

最后应说明的是：以上各实施例仅用以说明本申请的技术方案，而非对其限制；尽管参照前述各实施例对本申请进行了详细的说明，本领域的普通技术人员应当理解：其依然可以对前述各实施例所记载的技术方案进行修改，或者对其中部分或者全部技术特征进行等同替换；而这些修改或者替换，并不使相应技术方案的本质脱离本申请各实施例技术方案的范围。

权 利 要 求 书

1. 一种半导体结构，包括：衬底，所述衬底包括第一阵列区和第二阵列区；

所述第一阵列区上设有多个第一存储结构构成的第一存储阵列；所述第二阵列区上设有多个第二存储结构构成的第二存储阵列。

5 2. 根据权利要求 1 所述的半导体结构，其中，所述第一存储结构包括第一位线结构、第一晶体管结构和电容结构，所述第一位线结构位于所述第一晶体管下方，所述电容结构设置在对应的所述第一晶体管结构上；

10 所述第二存储结构包括源极线结构、第二位线结构和第二晶体管结构，所述源极线结构位于所述第二晶体管结构下方，所述第二位线结构位于所述第二晶体管结构上方；

所述第一位线结构和所述源极线结构同层设置。

15 3. 根据权利要求 2 所述的半导体结构，其中，所述第一位线结构包括沿第一方向延伸且在第二方向上间隔设置的多个第一位线，所述第一晶体管结构包括设置在所述第一位线上的多个第一有源柱，所述第一有源柱的延伸方向与所述衬底表面垂直，所述第一位有源柱在所述衬底上的投影与所述第一位线在所述衬底上的投影至少部分重合，所述第一方向与所述第二方向垂直；

20 所述源极线结构包括沿第一方向延伸且在第二方向上间隔设置的多个源极线，所述第二晶体管结构包括设置在所述源极线上的多个第二有源柱，所述第二有源柱的延伸方向与所述衬底表面垂直，所述第二有源柱在所述衬底上的投影与所述源极线在所述衬底上的投影至少部分重合；

所述第一有源柱与所述第二有源柱同层设置。

4. 根据权利要求 3 所述的半导体结构，其中，所述第一晶体管结构包括沿第二方向延伸且在第一方向上间隔设置的多条第一字线，所述第一字线环绕所述第一有源柱中间侧壁设置；

25 所述第二晶体管结构包括沿第二方向延伸且在第一方向上间隔设置的多条第二字线，所述第二字线环绕所述第二有源柱中间侧壁设置；

所述第一字线与所述第二字线同层设置。

5. 根据权利要求 4 所述的半导体结构，其中，所述第一存储结构还包括第一接触垫，所述第一接触垫设置在对应的所述第一有源柱上；

30 所述第二存储结构还包括第二接触垫，所述第二接触垫设置在对应的所述第二有源柱上；

所述第一接触垫与所述第二接触垫同层设置。

35 6. 根据权利要求 2 所述的半导体结构，其中，所述电容结构包括下电极、上电极及电容介质层，所述电容介质层位于所述下电极和所述上电极之间，所述上电极与所述第二位线结构同层设置。

7. 根据权利要求 5 所述的半导体结构，其中，所述第二存储结构包括接触结构、磁性存储结构，所述磁性存储结构设置在对应的所述第二接触垫上；所述磁性存储结构通过所述接触结构与所述第二位线实现电连接。

8. 根据权利要求 7 所述的半导体结构，其中，所述磁性存储结构包括参考层、磁

隧穿势垒层以及自由层，所述参考层设置在对应的所述第二接触垫上，所述磁隧穿势垒层位于所述参考层和所述自由层之间。

9. 根据权利要求 6 所述的半导体结构，其中，所述第二位线结构包括沿第二方向延伸且在第一方向上间隔设置的多个第二位线。

5 10. 一种半导体结构的制作方法，包括：

提供衬底，所述衬底包括第一阵列区和第二阵列区；

在所述第一阵列区上形成多个呈阵列排布的第一存储结构构成的第一存储阵列，在所述第二阵列区上形成多个呈阵列排布的第二存储结构构成的第二存储阵列；所述第一存储阵列和所述第二存储阵列同步形成。

10 11. 根据权利要求 10 所述的半导体结构的制作方法，其中，所述第一存储结构包括第一位线结构、第一晶体管结构和电容结构，所述第二存储结构包括源极线结构、第二位线结构和第二晶体管结构；

在所述第一阵列区和所述第二阵列区上同步形成所述第一位线结构和所述源极线结构；

15 所述第一位线结构位于所述第一晶体管下方，所述电容结构设置在对应的所述第一晶体管上；

所述源极线结构位于所述第二晶体管结构下方，所述第二位线结构位于所述第二晶体管结构上方。

20 12. 根据权利要求 11 所述的半导体结构的制作方法，其中，所述第一晶体管结构包括多个第一有源柱，所述第二晶体管结构包括多个第二有源柱；

同步形成所述第一有源柱与所述第二有源柱；

25 所述第一有源柱的延伸方向与所述衬底表面垂直，所述第一有源柱在所述衬底上的投影与所述第一位线在所述衬底上的投影至少部分重合；所述第二有源柱的延伸方向与所述衬底表面垂直，所述第二有源柱在所述衬底上的投影与所述源极线在所述衬底上的投影至少部分重合。

13. 根据权利要求 12 所述的半导体结构的制作方法，其中，所述第一晶体管结构还包括多条第一字线，所述第二晶体管结构还包括多条第二字线；

在所述第一位线结构和所述源极线结构上同步形成第一字线与第二字线；

30 多条所述第一字线沿第二方向延伸且在第一方向上间隔设置，所述第一字线环绕所述第一有源柱中间侧壁设置；多条所述第二字线沿第二方向延伸且在第一方向上间隔设置，所述第二字线环绕所述第二有源柱中间侧壁设置。

14. 根据权利要求 13 所述的半导体结构的制作方法，其中，所述第一存储结构还包括设置在对应的所述第一有源柱上的第一接触垫，所述第二存储结构还包括设置在对应的所述第二有源柱上的第二接触垫；

35 在所述第一有源柱和所述第二有源柱上同步形成所述第一接触垫和所述第二接触垫。

15. 根据权利要求 14 所述的半导体结构的制作方法，其中，在所述第一接触垫和所述第二接触垫上形成介质层，所述介质层上具有多个电容孔，所述电容孔在所述衬底的投影位于所述第一阵列区，且与所述第一接触垫在所述衬底的投影至少部分重叠；

在所述电容孔内形成多个部分电容结构；
去除部分所述介质层，以暴露所述第二接触垫；
在所述第二接触垫上依次形成多个磁性存储结构和接触结构。

16. 根据权利要求 15 所述的半导体结构的制作方法，其中，

- 5 所述电容结构包括下电极、上电极及电容介质层，所述电容介质层位于所述下电极和所述上电极之间，所述第二位线结构包括位于所述接触结构上方的多个第二位线，多个第二位线沿第二方向延伸且在第一方向上间隔设置；
在所述电容介质层和所述接触结构上同步形成所述上电极与所述第二位线结构。

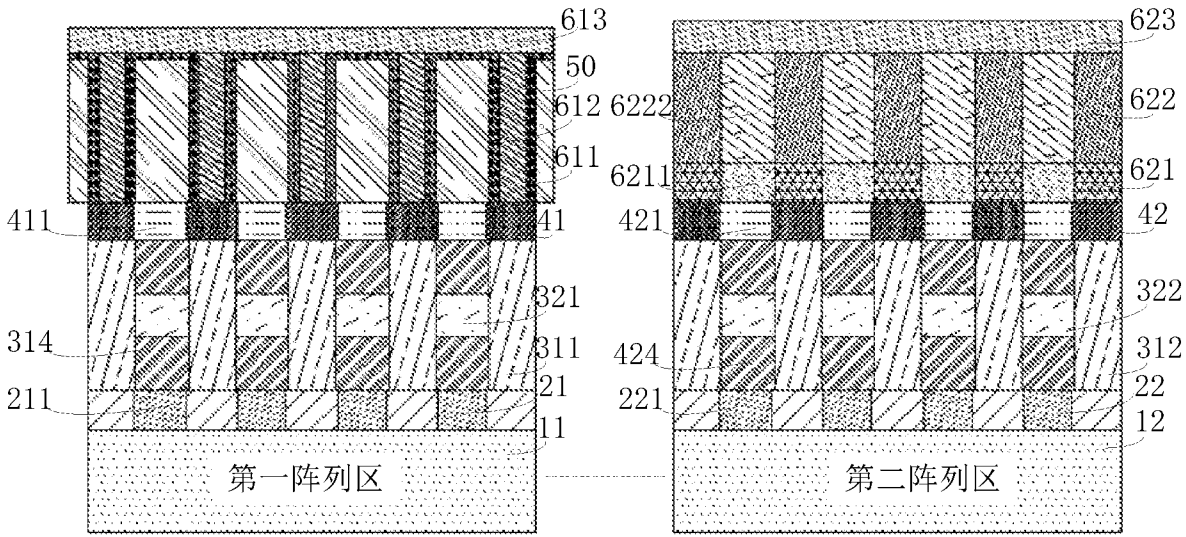


图 1

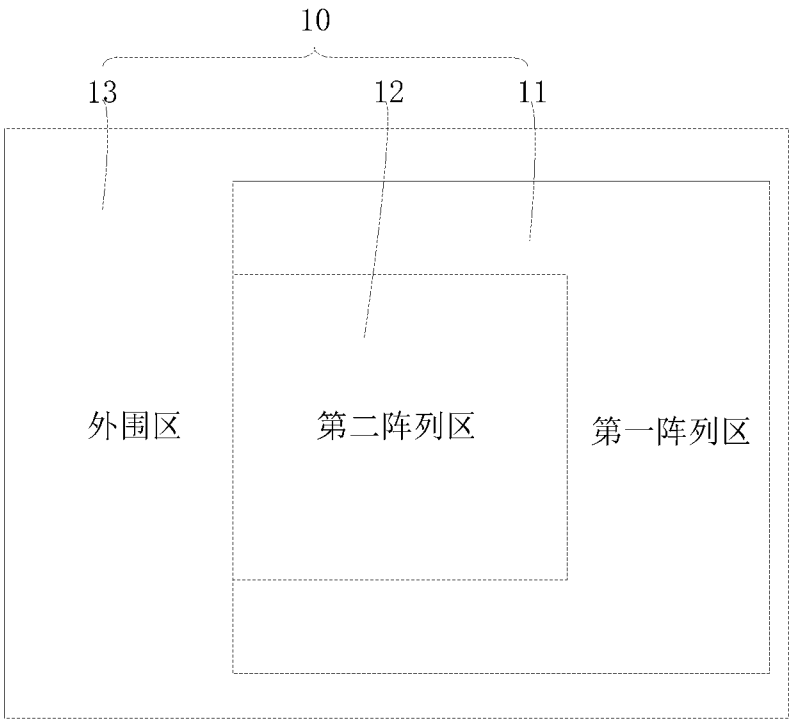


图 2

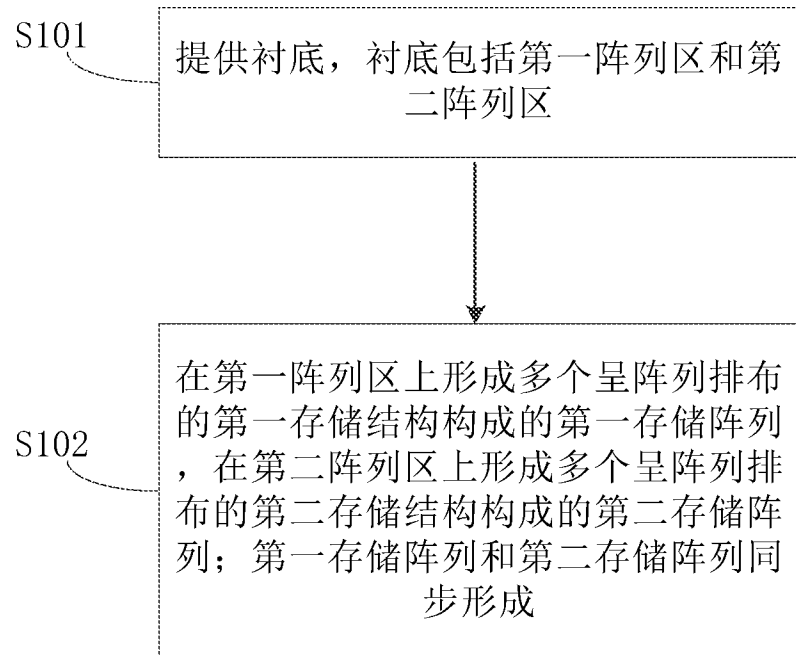


图 3

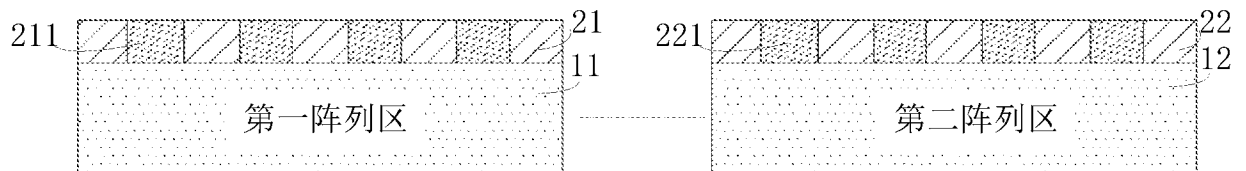


图 4

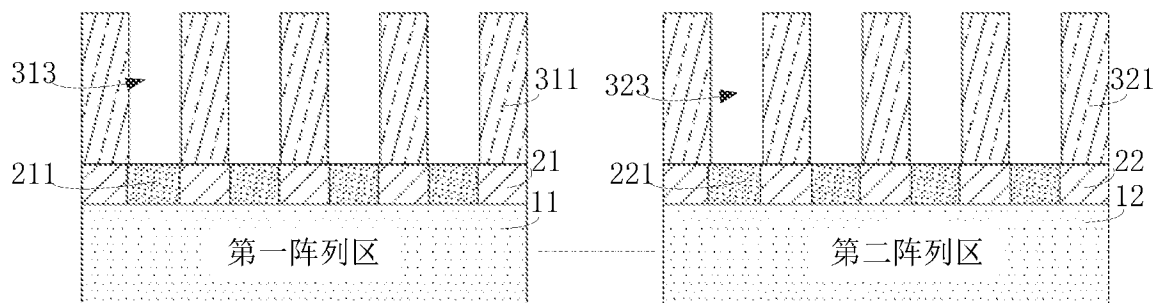


图 5

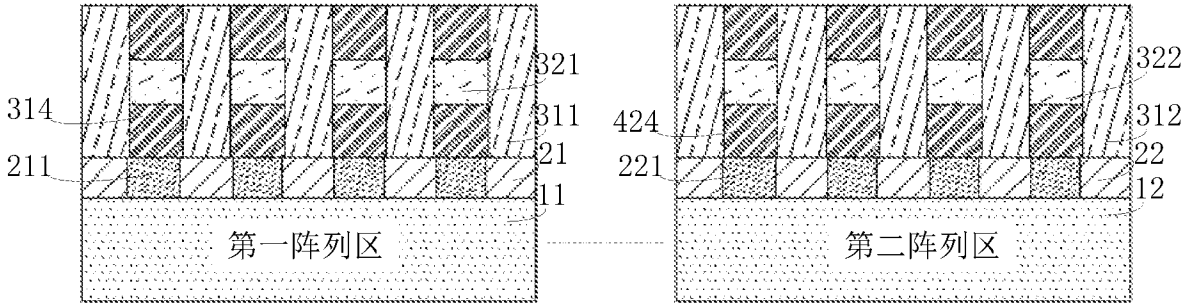


图 6

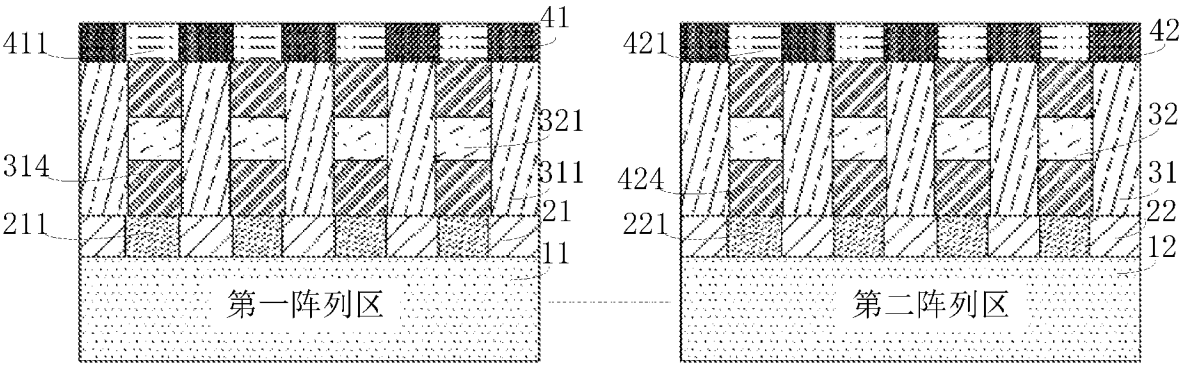


图 7

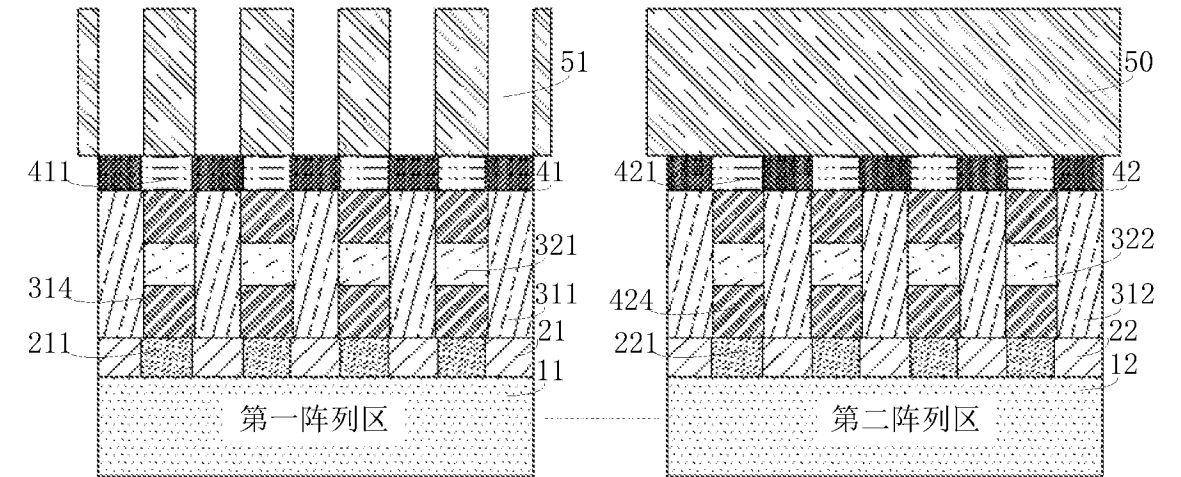


图 8

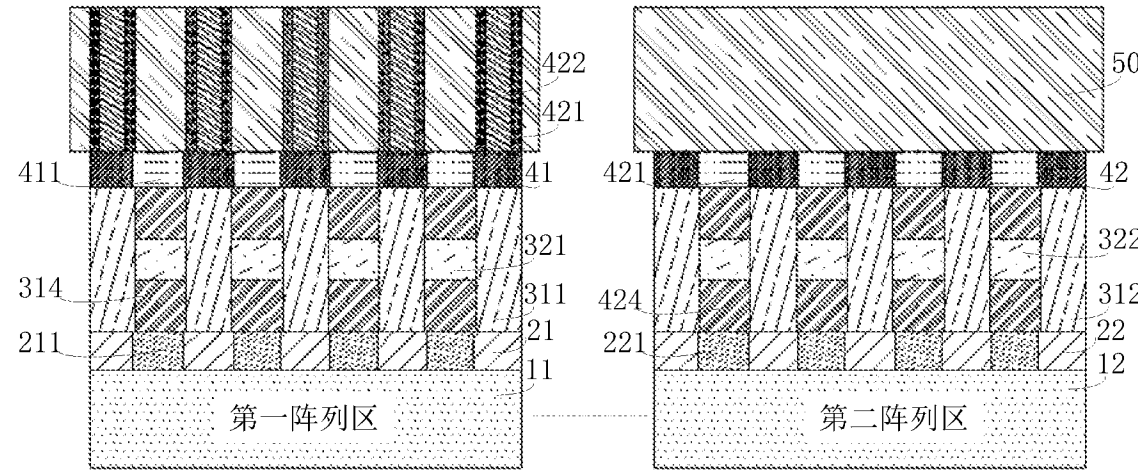


图 9

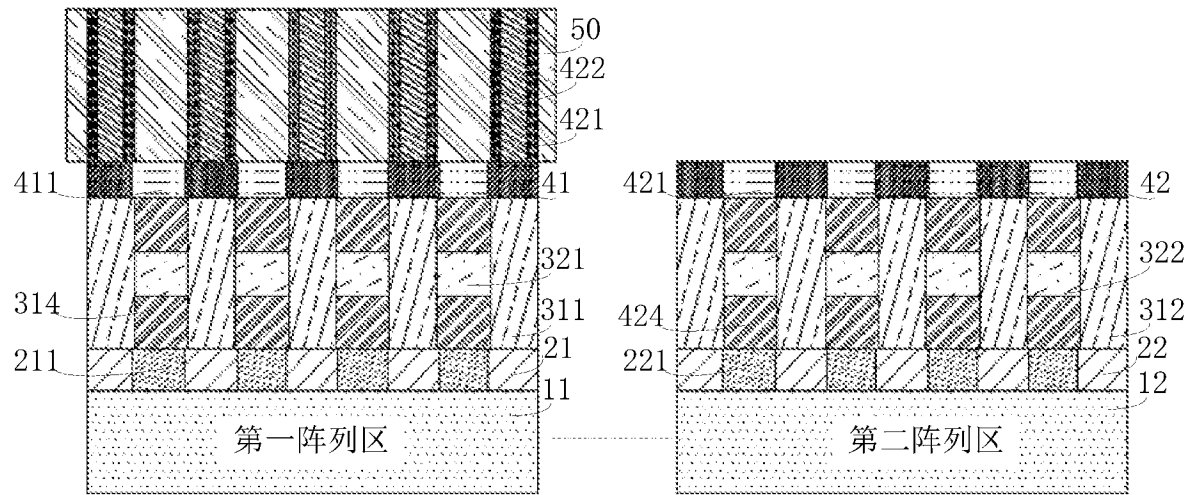


图 10

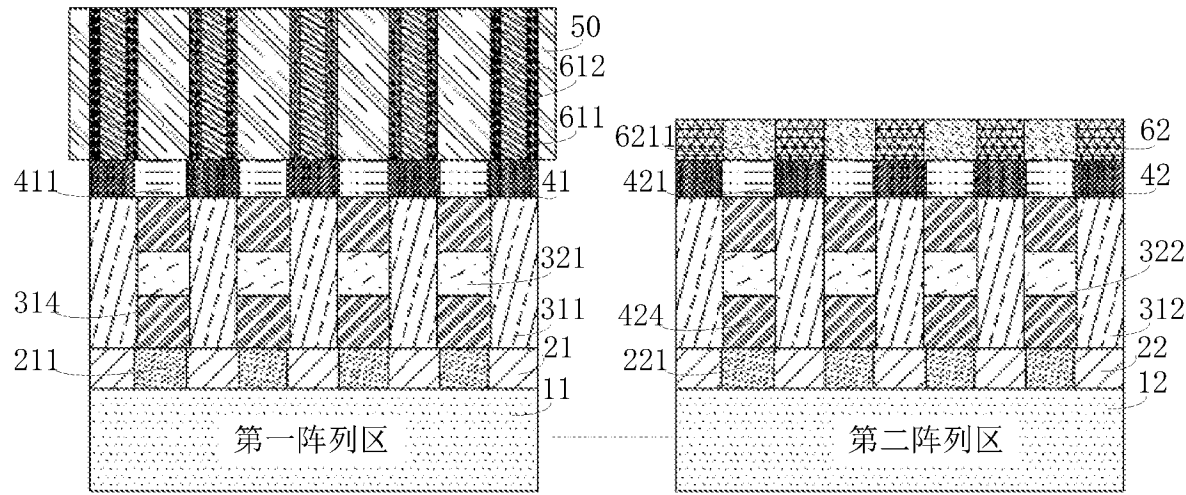


图 11

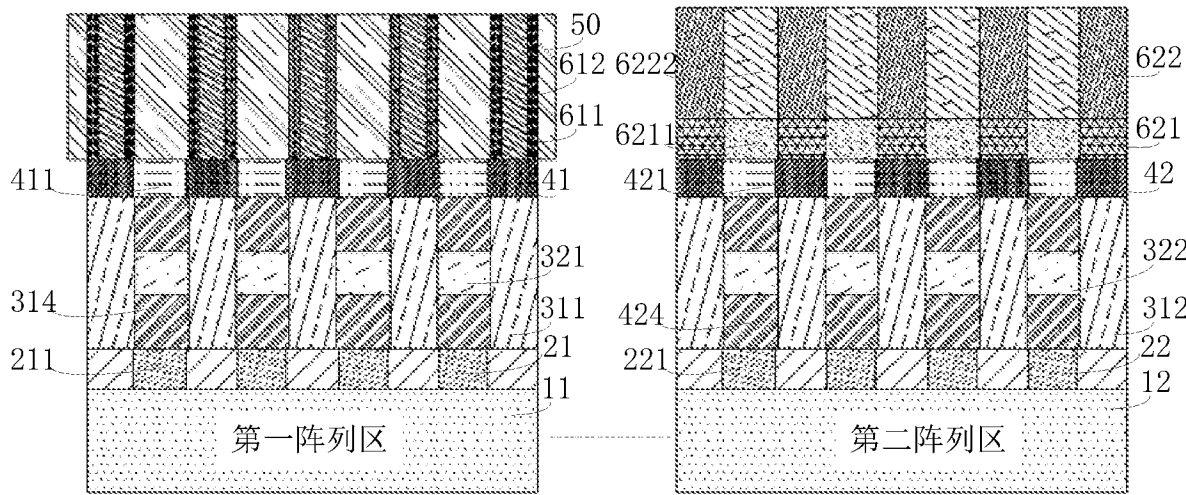


图 12

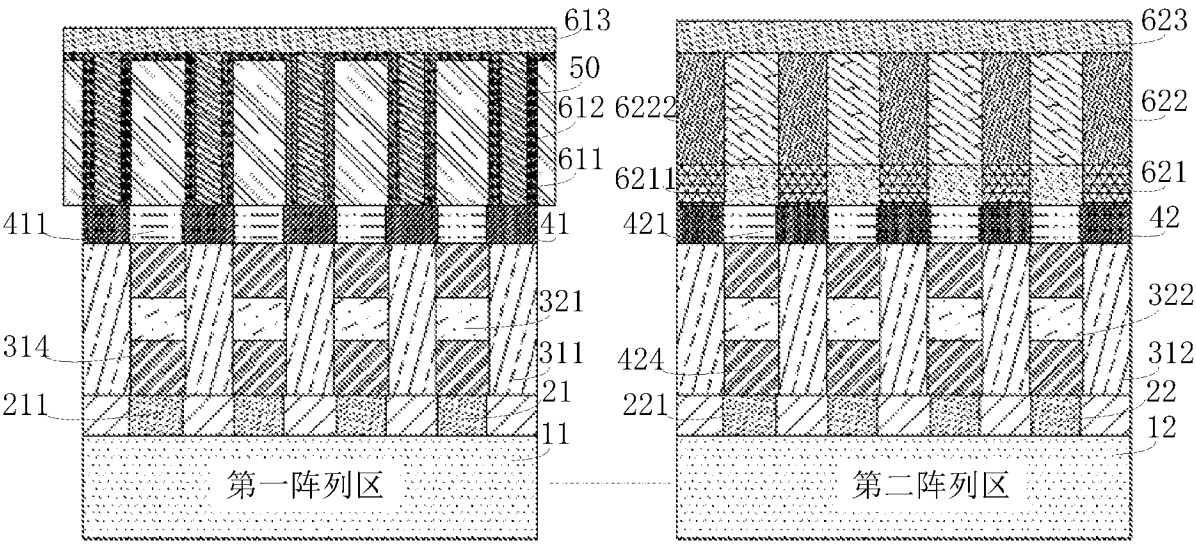


图 13

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2022/077795

A. CLASSIFICATION OF SUBJECT MATTER

H01L 27/22(2006.01)i; H01L 21/70(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNTXT; ENTXT; ENTXTC; DWPI; CNKI: 半导体, 衬底, 阵列, 存储, 并排, 晶体管, 电容, 位线, 源极, 同层, semiconductor, substrate, array, memory, side by side, transistor, capacitor, bit line, source electrode, the same layer

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 109285857 A (SAMSUNG ELECTRONICS CO., LTD.) 29 January 2019 (2019-01-29) description, paragraphs [0023]-[0090], and figures 1-12	1-16
X	CN 108133936 A (SAMSUNG ELECTRONICS CO., LTD.) 08 June 2018 (2018-06-08) description, paragraphs [0020]-[0139], and figures 1-14c	1-16
X	CN 109285831 A (SAMSUNG ELECTRONICS CO., LTD.) 29 January 2019 (2019-01-29) description, paragraphs [0018]-[0065], and figures 1-8	1-16
A	US 2018374899 A1 (SANDISK TECHNOLOGIES L.L.C.) 27 December 2018 (2018-12-27) entire document	1-16



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

03 August 2022

Date of mailing of the international search report

18 August 2022

Name and mailing address of the ISA/CN

China National Intellectual Property Administration (ISA/
CN)
No. 6, Xitucheng Road, Jimenqiao, Haidian District, Beijing
100088, China

Facsimile No. (86-10)62019451

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2022/077795

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	109285857	A	29 January 2019	JP	2019024082	A	14 February 2019
				US	2019325930	A1	24 October 2019
				DE	102018110980	A1	24 January 2019
				KR	20190010806	A	31 January 2019
				US	2019027200	A1	24 January 2019
				US	10395706	B2	27 August 2019
				US	10580469	B2	03 March 2020
				DE	102018110980	B4	16 September 2021
				KR	102368449	B1	02 March 2022
CN	108133936	A	08 June 2018	US	2018158526	A1	07 June 2018
				US	2019362791	A1	28 November 2019
				US	2020357466	A1	12 November 2020
				KR	20180062812	A	11 June 2018
				US	10468103	B2	05 November 2019
				CN	108133936	A	08 June 2018
				US	10777276	B2	15 September 2020
CN	109285831	A	29 January 2019	DE	102018111391	A1	24 January 2019
				US	2019027482	A1	24 January 2019
				KR	20190010807	A	31 January 2019
				JP	2019024083	A	14 February 2019
				US	10446560	B2	15 October 2019
				KR	102293120	B1	26 August 2021
				DE	102018111391	B4	02 September 2021
US	2018374899	A1	27 December 2018	US	10256272	B2	09 April 2019

国际检索报告

国际申请号

PCT/CN2022/077795

A. 主题的分类

H01L 27/22(2006.01)i; H01L 21/70(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

H01L

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CNTXT;ENTXT;ENTXTC;DWPI;CNKI: 半导体, 衬底, 阵列, 存储, 并排, 晶体管, 电容, 位线, 源极, 同层, semiconductor, substrate, array, memory, side by side, transistor, capacitor, bit line, source electrode, the same layer

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
X	CN 109285857 A (三星电子株式会社) 2019年1月29日 (2019 - 01 - 29) 说明书第[0023]段至[0090]段, 图1-12	1-16
X	CN 108133936 A (三星电子株式会社) 2018年6月8日 (2018 - 06 - 08) 说明书第[0020]段至[0139]段, 图1-14c	1-16
X	CN 109285831 A (三星电子株式会社) 2019年1月29日 (2019 - 01 - 29) 说明书[0018]段至[0065]段, 图1-8	1-16
A	US 2018374899 A1 (SANDISK TECHNOLOGIES LLC.) 2018年12月27日 (2018 - 12 - 27) 全文	1-16

☐ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2022年8月3日

国际检索报告邮寄日期

2022年8月18日

ISA/CN的名称和邮寄地址

中国国家知识产权局(ISA/CN)

中国北京市海淀区蓟门桥西土城路6号 100088

传真号 (86-10)62019451

受权官员

戴丽娟

电话号码 62411578

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2022/077795

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	109285857	A	2019年1月29日	JP	2019024082	A	2019年2月14日
				US	2019325930	A1	2019年10月24日
				DE	102018110980	A1	2019年1月24日
				KR	20190010806	A	2019年1月31日
				US	2019027200	A1	2019年1月24日
				US	10395706	B2	2019年8月27日
				US	10580469	B2	2020年3月3日
				DE	102018110980	B4	2021年9月16日
				KR	102368449	B1	2022年3月2日
CN	108133936	A	2018年6月8日	US	2018158526	A1	2018年6月7日
				US	2019362791	A1	2019年11月28日
				US	2020357466	A1	2020年11月12日
				KR	20180062812	A	2018年6月11日
				US	10468103	B2	2019年11月5日
				CN	108133936	A	2018年6月8日
				US	10777276	B2	2020年9月15日
CN	109285831	A	2019年1月29日	DE	102018111391	A1	2019年1月24日
				US	2019027482	A1	2019年1月24日
				KR	20190010807	A	2019年1月31日
				JP	2019024083	A	2019年2月14日
				US	10446560	B2	2019年10月15日
				KR	102293120	B1	2021年8月26日
				DE	102018111391	B4	2021年9月2日
US	2018374899	A1	2018年12月27日	US	10256272	B2	2019年4月9日