

(此處由本局於收
文時黏貼條碼)

公告本

852526

發明專利說明書

(本申請書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：96118991

※申請日期：96年05月28日

※IPC分類：

H01L21/302 (2006.01)
21/461 (2006.01)

一、發明名稱：

(中) 電漿處理系統之用於將遮罩底切及凹口減至最少的方法

(英) Methods for minimizing mask undercuts and notches for plasma processing system

二、申請人：(共 1 人)

1. 姓 名：(中) 泛林股份有限公司

(英) LAM RESEARCH CORPORATION

代表人：(中) 1. 傑弗瑞 布魯克斯

(英) 1. BROOKS, JEFFREY J.

地 址：(中) 美國加州·費蒙特·顧盛公園路四六五〇號

(英) 4650 Cushing Parkway, Fremont, CA 94538- 6470, USA

國籍：(中英) 美國 U.S.A.

三、發明人：(共 3 人)

1. 姓 名：(中) 坦馬拉克 潘霍梭波

(英) PANDHUMSOPORN, TAMARAK

國 籍：(中) 美國

(英) U.S.A.

2. 姓 名：(中) 奧佛德 高佛

(英) COFER, ALFERD

國 籍：(中) 美國

(英) U.S.A.

3. 姓 名：(中) 威廉 博世

(英) BOSCH, WILLIAM

國 籍：(中) 美國

(英) U.S.A.

四、聲明事項：

◎本案申請前已向下列國家（地區）申請專利 ☐ 主張國際優先權：

【格式請依：受理國家（地區）；申請日；申請案號數 順序註記】

1. 美國 ; 2006/05/30 ; 11/421,000 ☒ 有主張優先權

五、中文發明摘要

發明之名稱：電漿處理系統之用於將遮罩底切及凹口減至最少的方法

一種用於蝕刻基板之矽層的方法，該基板係配置於電漿處理腔中的底電極上。該方法包括執行主要蝕刻步驟直到至少百分之 70 的矽層被蝕刻為止。該方法更包括過蝕刻步驟，該過蝕刻步驟包括第一、第二及第三處理步驟。該第一處理步驟使用第一處理配方，該第二處理步驟使用第二處理配方，及該第三處理步驟使用第三處理配方。該第二處理配方使用施加至該底電極的第二底偏壓電壓準位，該第二底偏壓電壓準位係高於使用於該第一處理配方之該第一底偏壓電壓準位及使用於該第三處理配方之該第三底偏壓電壓準位。該第一、第二及第三處理步驟係交替複數次直到矽層被蝕穿。

六、英文發明摘要

發明之名稱：

METHODS FOR MINIMIZING MASK UNDERCUTS AND NOTCHES FOR PLASMA PROCESSING SYSTEM

A method for etching silicon layer of a substrate, which is deposited on a bottom electrode in a plasma processing chamber. The method includes performing a main etch step until at least 70 percent of silicon layer is etched. The method further includes an overetch step, which includes a first, second, and third process steps. The first process step employs a first process recipe, the second process step employs a second process recipe, and the third process step employs a third process recipe. The second process recipe employs a second bottom bias voltage level applied to the bottom electrode which is higher than the first bottom bias voltage level employs in the first process recipe and the third bottom bias voltage level employs in the third process recipe. The first, second, and third process steps are alternated a plurality of times until silicon layer is etched through.

七、指定代表圖：

- (一) 本案指定代表圖為：第(2)圖
- (二) 本代表圖之元件符號簡單說明：

無

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：無

九、發明說明

【發明所屬之技術領域】

電漿處理之發展提供了半導體工業的成長。利用電漿處理系統，基板可轉換成許多種裝置，如微機電系統(MEMS)裝置。基板可以一系列操作處理，其中材料係沉積在基板表面上並且從基板表面預定的範圍選擇性的移除(蝕刻)以形成溝槽、導通孔及其他在基板上之特徵。

【先前技術】

考慮例如其中具有絕緣層及矽層之矽基板係利用以氟為基之氣體如 SF_6 、 NF_3 及 / 或 CF_4 進行蝕刻的情況。該矽層可具有界定可用於蝕刻之區域的遮罩(如硬質或抗蝕遮罩)。溝槽可在縱向蝕刻至未以遮罩覆蓋之矽層區域期間形成。當矽層進行蝕刻時，橫向蝕刻可能非意欲而發生於溝槽側壁的兩側，造成一或多個遮罩底切之形成。如本文所論述，遮罩底切係指溝槽側壁、導通孔等在遮罩底下被底切時發生的狀況。

當達到絕緣層時，上述之蝕刻傾向減慢。熟悉習知技藝者明白以氟為基之氣體係為效用較小的絕緣層蝕刻劑，該絕緣層可為從有機及 / 或無機材料所形成的電介質。因此，當以氟為基之蝕刻劑達到絕緣層時，較深的橫向蝕刻可發生在絕緣層與矽層交叉處，造成凹口形成於底溝槽之側壁中。如本文所論述，凹口係指底切進入接近或位於絕緣層之矽層壁中。

爲了易於論述，圖1展示具有遮罩底切及凹口之矽基板的實例。基板100可包括矽底層102。絕緣層104係配置於矽層106之下，該矽層106可配置於遮罩層108之下。爲了蝕刻矽層106，可利用以氟爲基之氣體形成溝槽110。當矽層106進行蝕刻時，橫向蝕刻可發生於溝槽110之側壁112及114上，造成遮罩底切116及118。

另外，當蝕刻達到絕緣層104時，以氟爲基之氣體可造成溝槽110的側壁112及114有較深的橫向蝕刻，以產生凹進矽層106的凹口120及122。如上所述，被用以蝕刻矽之以氟爲基的氣體混合物係效用較小的絕緣層蝕刻劑，其可造成該以氟爲基之氣體蝕刻更多溝槽110的側壁112及114，使得凹口形成於矽層106中。

遮罩底切及凹口係非所欲的，因爲遮罩底切及凹口兩者可造成最終產品之不可靠或產能損失，如微機電系統(MEMS)裝置。一些製造業公司傾向藉由增加遮罩之尺寸以控制遮罩底切的影響。憑經驗決定遮罩底切之尺寸，製造業公司可藉由增加遮罩之尺寸而能夠彌補遮罩底切，導致更有品質的裝置。然而，較大的遮罩經常導致從基板形成較少的裝置，因此增加了成本。

其他的製造業公司傾向藉由使用低頻電漿系統以控制遮罩底切及凹口。雖然遮罩底切及凹口可發生於高及低頻電漿處理系統兩者，但熟悉習知技藝者明白到在高頻電漿系統中橫向蝕刻元件可能更難以控制，導致更多及/或更深的遮罩底切及凹口。在一些實例中，如果凹口底切太多

的矽層，可能危及其他的裝置特徵。在一實例中，凹口 124 及 126 連接在一起產生了蝕穿 128，其可導致有缺陷的裝置。因此，一些製造業公司犧牲了經由高頻電漿系統快速蝕刻的該等利益，以便藉由回復至低頻電漿系統而獲得橫向蝕刻元件之控制。

因為矽半導體工業係高度競爭的市場，製造業公司尋求更可實行的方法以解決遮罩底切及凹口的問題。

【發明內容】

於一實施例中，本發明係關於一種在電漿處理腔中用於蝕刻其上具有矽層之基板的方法。該電漿處理腔具有底電極並且在該蝕刻期間該基板係配置於該底電極上。該方法包含執行主要蝕刻步驟。該方法也包含當達到深入該矽層的預定蝕刻深度時，終止該主要蝕刻步驟。該預定蝕刻深度至少係該矽層的厚度的百分之 70。該方法更包含執行過蝕刻步驟。該過蝕刻步驟包括第一處理步驟、第二處理步驟及第三處理步驟。該第一處理步驟使用第一處理配方，該第二處理步驟使用第二處理配方，該第三處理步驟使用第三處理配方。該第一處理配方被組構以利用施加至該底電極的第一底偏壓電壓準位來執行。該第二處理配方被組構以利用高於該第一底偏壓電壓準位之施加至該底電極的第二底偏壓電壓準位來執行。該第三處理配方被組構以利用低於該第二底偏壓電壓準位之施加至該底電極的第三底偏壓電壓準位來執行。該第一處理步驟、該第二處理步

驟及該第三處理步驟係交替執行複數次。該方法也還包含在該矽層被蝕穿之後終止該過蝕刻步驟。

於另一實施例中，本發明係關於一種在電漿處理腔中用於蝕刻其上具有矽層之基板的方法。該電漿處理腔具有底電極並且在該蝕刻期間該基板係配置於該底電極上。該方法包含執行主要蝕刻步驟。該方法也包含當達到深入該矽層的預定蝕刻深度時，終止該主要蝕刻步驟。該預定蝕刻深度至少係該矽層的厚度的百分之70。該方法更包含執行過蝕刻步驟。該過蝕刻步驟包括第一處理步驟、第二處理步驟及第三處理步驟。該第一處理步驟使用第一處理配方，該第二處理步驟使用第二處理配方，該第三處理步驟使用第三處理配方。該第二處理配方被組構以較該第一處理配方及該第三處理配方從該矽層移除更多的矽材料。該第一處理步驟、該第二處理步驟及該第三處理步驟係交替執行複數次。該方法也還包含在該矽層被蝕穿之後終止該過蝕刻步驟。

本發明的這些及其他特徵將以下列本發明的詳細敘述及伴隨所附圖形而更詳盡的闡述。

【實施方式】

本發明現將參照如所附圖形說明的一些實施例詳細敘述。在下列敘述中，許多特定細節被提及，以便提供徹底了解本發明。然而，對於熟悉習知技藝者應明白本發明可不用一些或全部的這些特定細節而實施。在其他的實施例

中，習知的處理步驟及/或結構並沒有詳細敘述，而不使本發明受到不必要的混淆。

各種實施例敘述如下，包括其方法及技術。應記住本發明也可涵蓋包括電腦可讀媒體(用於執行本發明技術的實施例之電腦可讀指令被儲存其中)的製造物件。該電腦可讀媒體可包括例如半導體、磁性、光磁性、光學、或其他形式的電腦可讀媒體用於儲存電腦可讀指令。再者，本發明也可涵蓋用於實行本發明實施例之裝置。此類裝置可包括專屬的及/或可程式的電路，以執行有關本發明實施例之任務。此類裝置之實例包括一般通用的電腦及/或當合適的程式規劃時的專屬計算裝置，並且可包括適用於有關本發明實施例的各種任務的電腦/計算裝置及專屬/可程式電路之組合。

根據本發明的實施例，其係提供一種用於處理基板的方法，形成在電漿處理系統中的半導體裝置。本發明的實施例係關於關鍵尺寸控制處理(CDCP)，其中該蝕刻處理可被操作以實質地降低橫向蝕刻元件，而導致遮罩底切及凹口的減少。

在本文件中，各種實施可利用高頻電漿系統來論述。然而，本發明並不侷限於高頻電漿系統並且可用在其他的電漿系統中，包括低頻電漿系統。如本文所論述，高頻係指13.56兆赫或更高的底RF頻率。也如本文所論述，低頻係指低於13.56兆赫的底RF頻率，更佳地係接近50千赫至約900千赫。

也在本文件中，各種實施可利用溝槽作為可被蝕刻於基板之圖案類型的實例來論述。然而，本發明並不侷限於溝槽且可用以蝕刻其他的基板圖案，包括導通孔。

本發明之實施例包括兩個在蝕刻矽層中電漿處理步驟，主要蝕刻步驟以及過蝕刻步驟。在主要蝕刻步驟中，矽層可以相對快速的蝕刻速率被蝕刻。發生於矽層側壁的底切總量可藉由快速的速率蝕刻而顯著地減少。再者，更一致的蝕刻可由更快速的蝕刻速率所致。

該主要蝕刻步驟可包括一些中間次步驟。於一實施例中，主要蝕刻步驟可包括交替的第一沉積次步驟及第一蝕刻次步驟。在第一沉積次步驟中，可利用形成聚合物之氣體，藉此造成側壁及橫向表面鈍化。在第一蝕刻次步驟中，以氟為基之氣體可利用以蝕刻矽層。第一沉積及第一蝕刻次步驟可以第一蝕刻次步驟之移除速率大於第一沉積次步驟之鈍化速率來交替。

一旦達到臨界點時（例如，於實施例中，約剩下百分之10的矽層），蝕刻可從主要蝕刻步驟切換至過蝕刻步驟而以較慢的速率來執行。於實施例中，過蝕刻步驟可包括三個次步驟：第二沉積次步驟、第二蝕刻次步驟及第三沉積次步驟。

於第二沉積次步驟中，可使用形成聚合物之氣體混合物在第一底偏壓電壓準位下經一預定的時間週期沉積聚合物。然後可執行第二蝕刻次步驟，藉此造成矽層在第二較高底偏壓電壓準位下以預定的時間週期被蝕刻。於一實施

例中，用於第二蝕刻次步驟的氣體混合物可為任何的蝕刻劑，然而，以氟為基之氣體混合物係較佳的。一旦第二蝕刻次步驟結束時，可執行第三沉積次步驟。在第三沉積次步驟中，可使用以氧為基之氣體混合物氧化該矽且在第三底偏壓電壓準位下經一預定的時間週期於矽層上形成薄的 SiO_x 。此三個次步驟係以第二蝕刻次步驟的底偏壓電壓準位高於第二沉積次步驟的底偏壓電壓準位來交替。在習知技術中，第二蝕刻次步驟及第三沉積次步驟可被合併。然而，藉由分離蝕刻及氧化步驟可提供橫向蝕刻元件更好的控制。

參照下列圖示及討論可更了解本發明實施例之特徵及益處。圖2展示於一實施例中用於關鍵尺寸控制處理(CDCP)步驟之簡易流程圖的圖示。圖2係參照關於圖3、4、5、6、7、8A及8B而討論之。可利用CDCP蝕刻基板的矽層。基板可配置於電漿處理腔中的底電極之上。於第一步驟202，設置具有矽層的基板。該矽層可配置於絕緣層之上。於一實施例中，CDCP可包括兩個步驟處理：一主要蝕刻步驟及一過蝕刻步驟。

圖3展示於一實施例中在電漿處理系統中處理之前的矽基板實例的簡易圖示，該電漿處理系統係如美國加州弗里蒙特泛林公司生產的LAM 9400 DSiE™系統。矽基板300可包括矽底層302、絕緣層304、矽層306及遮罩308。於一實施例中，遮罩308可包括但不侷限於硬質遮罩及抗蝕遮罩。矽層306，例如多晶矽、磊晶矽及單晶矽可依據

裝置的需求而具有不同的厚度。在絕緣層304之上的矽層306中所形成的溝槽可被蝕刻以形成在矽基板302之上的裝置結構。絕緣層304可為由有機及/或無機材料所形成的介電質。也可使用絕緣層304防止基板底層302的非所欲之蝕刻。

回到參照圖2，於下一步驟204，矽層之蝕刻可開始於一主要蝕刻步驟。於一實施例中，主要蝕刻步驟204可包括蝕刻矽層306至約趨近絕緣層304的深度。主要蝕刻步驟204也可包括第一處理配方，於相當大部分的矽層306上執行實質的垂直蝕刻。因為矽材料的厚度通常已知，觸動CDCP過蝕刻步驟之臨界點可發生於憑經驗決定之深度。可發生在主要蝕刻步驟204中之蝕刻可被視為快速蝕刻，因為矽層306可以較過蝕刻步驟之聚集蝕刻速率快速的聚集速率被蝕刻，因此減少遮罩底切及凹口。當很大比例的矽層306以更快的速率被蝕刻時，具有更快且更一致的蝕刻處理結果。於一實施例中，測試結果顯示快速蝕刻速率可被施加於較佳約百分之70-95的矽層範圍，更佳約百分之80-92的範圍，而較佳約百分之90。

圖4展示於一實施例中在主要蝕刻步驟204期間的基板。主要蝕刻步驟204可包括任何數目的中間次步驟。於一實施例中，主要蝕刻步驟204係可為交替的第一沉積次步驟及第一蝕刻次步驟。於一實施例中，在第一沉積次步驟期間所使用的氣體混合物可不同於在第一蝕刻次步驟期間所使用的氣體混合物。於第一沉積次步驟中，可利用形成

聚合物之氣體，允許溝槽 408 之側壁 402 及 404 鈍化。於第一蝕刻次步驟中，可利用以氟為基之氣體。考慮其中例如矽層可被蝕刻之情況。於第一沉積次步驟中，部分的側壁 (402 及 404) 及水平表面 406 可利用形成聚合物之氣體 (如 C_4F_8) 被鈍化。於第一蝕刻次步驟期間，可發生矽層的垂直蝕刻。較佳地，可使用以氟為基之氣體 (如 SF_6) 作為蝕刻劑。這兩個次步驟可以第一蝕刻次步驟之移除速率大於第一沉積次步驟之鈍化速率來交替，直至達到臨界點為止 (於實施例中，例如，約剩下百分之 10 的矽層)。於一實施例中，可在主要蝕刻步驟期間利用一種以上的處理配方。在主要蝕刻步驟期間複數個處理配方之需求可依據欲製造之裝置的要求而定。

表 1：主要蝕刻步驟參數之實例

參數	第一沉積次步驟期間	第一蝕刻次步驟期間
頂電源	100W 至 5000W	100W 至 5000W
底偏壓	1V 至 2000V	1V 至 2000V
腔室壓力	5毫托至 200毫托	5毫托至 200毫托
氣體混合物	C_4F_8	SF_6

雖然參數範圍可依據裝置類型及可利用之電漿處理系統而變更，但是上述表 1 展示用於高頻電漿系統之第一沉積次步驟及第一蝕刻次步驟的一些參數之實例。於一實施例中，主要蝕刻步驟可包括一種以上的處理配方。於一實施例中，第一蝕刻次步驟可使用與第一沉積次步驟所使用的

處理配方可不同的處理配方。值得注意的是用於主要蝕刻步驟的處理配方可依據基板的類型及可利用之電漿處理系統而定。

於一實例中，用於第一蝕刻次步驟及/或第一沉積次步驟的處理配方之頂電源可介於約100W及約5000W之間，較佳的範圍可為約400W至約3000W。熟悉習知技藝者明白頂電源通常被用作電源來源以產生電漿。用於第一蝕刻次步驟及/或第一沉積次步驟的處理配方也可包括用於底偏壓電壓準位之範圍，可使用其操縱離子。施加至底電極之底偏壓電壓準位可選擇介於約1V與約2000V之間。於一些實施例中，於低頻電漿系統中的較佳範圍可加倍。至於電漿腔室壓力，用於第一蝕刻次步驟及/或第一沉積次步驟的處理配方可包括約5毫托至約200毫托之腔室壓力範圍。最佳地腔室壓力可為至少50毫托。再者，雖然可利用不同類型的氣體作為蝕刻劑，但是以氟為基之氣體混合物係較佳的。

一旦達到臨界點，可在CDCP的過蝕刻步驟期間施加不同的處理配方。回頭參照圖2，於下一步驟206，蝕刻矽層可利用過蝕刻步驟繼續。於一實施例中，可使用過蝕刻處理侷限可能發生的橫向蝕刻。於一實施例中，過蝕刻步驟206可包括三個次步驟：第二沉積次步驟208、第二蝕刻次步驟210及第三沉積次步驟212。

於下一次步驟208，第二沉積次步驟可包括在第一底偏壓電壓準位下利用形成聚合物之氣體混合物經一預定的

時間週期沉積聚合物。圖5展示於一實施例中具有所沉積之聚合物層的矽基板300。沒有第二沉積次步驟而繼續蝕刻矽層306接近或至絕緣層304可造成導致凹口502與504及遮罩底切506與508的橫向蝕刻。爲了侷限可發生的橫向蝕刻，故使用第二沉積次步驟。在第二沉積次步驟期間，可使用形成聚合物之氣體混合物(如 C_4F_8)以沉積聚合物於矽層306的上方及溝槽408之內。此次步驟可在繼續蝕刻之前使得矽層重建。矽層306可藉由沉積聚合物至溝槽408中而重建並且可在溝槽408中產生新的側壁。於一實例中，側壁510及512可位於從遮罩邊緣514及516向內一距離之處，導致非所欲之遮罩底切506及508。利用第二沉積次步驟，側壁510及512可被重建而形成新側壁520及522，新側壁可位於更靠近於遮罩邊緣514及516之處，因此，減少遮罩底切506及508之尺寸。另外，第二沉積次步驟也可導致水平表面524被重建。

在下一步驟210，第二蝕刻次步驟可包括在第二較高之底偏壓電壓準位下經一預定的時間週期蝕刻矽層。雖然可使用不同類型的氣體作爲蝕刻劑，但是以氟爲基之氣體(如 SF_6)可爲較其他氣體混合物(例如，以氯爲基之氣體)更優的蝕刻劑以蝕刻矽層。圖6展示於一實施例中在第二蝕刻次步驟之後的矽基板300。矽層306可被蝕刻以形成具有新側壁602及604的溝槽408。由於可能發生橫向蝕刻，故遮罩底切606及608可以位於靠近遮罩邊緣514及516之處的側壁602及604形成。於一實施例中，側壁602及604可位

於較側壁 510 及 512 更靠近遮罩邊緣 514 及 516 之處。於另一實施例中，側壁 602 及 604 可位於較側壁 520 及 522 更遠離遮罩邊緣 514 及 516 之處。橫向蝕刻也可造成凹口 610 及 612 的形成。於一實施例中，第二蝕刻次步驟可造成部分絕緣層 304 被蝕刻而形成一水平表面 614。

於下一次步驟 212，第三沉積次步驟可包括在較低第三底偏壓電壓準位下操作一預定的時間週期的氧化步驟。在第三沉積次步驟中，可使用以氧為基之氣體(如 O_2)鈍化矽側壁及重建矽層 306 的水平表面。圖 7 展示於一實施例中具有以氧為基之氣體混合物的矽基板 300。在第三沉積次步驟期間，可使用以氧為基之氣體混合物(如 O_2)氧化該矽及形成薄的 SiO_x 水平層 706。第三沉積次步驟可藉由形成 SiO_x 水平層 706 而重建至少部分的矽層 306，其可減少遮罩底切及凹口。矽層 306 可藉由沉積以氧為基之氣體混合物至溝槽 408 而重建，其可於溝槽 408 中產生新的側壁。於一實例中，側壁 602 及 604 可被重建以形成新側壁 702 及 704，新側壁可位於更靠近遮罩邊緣 514 及 516 之處，因此，減少遮罩底切 606 及 608 之尺寸。另外，第三沉積次步驟也可導致水平表面 614 被重建成新的 SiO_x 水平準位 706。

表 2：過蝕刻步驟參數之實例

參數	第二沉積 次步驟期間	第二蝕刻 次步驟期間	第三沉積 次步驟期間
頂電源	100W 至3000W	100W 至3000W	100W 至3000W
底偏壓	0V 至-300V	0V 至-300V	0V 至-300V
腔室壓力	1毫托至200毫托	1毫托至200毫托	1毫托至200毫托
氣體混合物	C ₄ F ₈	SF ₆	O ₂
高頻機器之 RF 射頻	13.56兆赫	13.56兆赫	13.56兆赫
低頻機器之 RF 射頻	50千赫-900千赫	50千赫-900千赫	50千赫-900千赫

雖然參數範圍可依據裝置之類型及可使用之電漿處理系統而變更，但是上述表 2 展示在高頻電漿系統中用於第二沉積次步驟、第二蝕刻次步驟及第三沉積次步驟的一些參數之實例。於一實施例中，過蝕刻步驟可包括一種以上的處理配方。於一實例中，第二沉積次步驟的處理配方可不同於第二蝕刻次步驟的處理配方及第三沉積次步驟的處理配方。與用於主要蝕刻步驟的處理配方類似，用於過蝕刻步驟的處理配方可依據基板的類型及可能希望之裝置而定。

用於過蝕刻步驟的處理配方可包括頂電源及腔室壓力，其可類似於主要蝕刻步驟。用於過蝕刻步驟的處理配方之頂電源也可為恆量。於一實施例中，頂電源的較佳範圍可依據蝕刻速率而變更。如果要求快速蝕刻速率，則頂電源的較佳範圍可為約 800W 至約 3000W。如果蝕刻係以較慢速率來執行，則頂電源的較佳範圍可為約 200W 至約 1000W。

然而，用於過蝕刻步驟的處理配方之底偏壓電壓及氣

體混合物可依據次步驟而變更。橫向蝕刻元件可藉由控制在過蝕刻步驟的每一次步驟之氣體混合物及/或可施加至底電極的底偏壓電壓準位來控制；因此，遮罩底切及/或凹口可在矽層處理期間被實質地減少或消除。

可在每個交替的過蝕刻次步驟期間利用不同的氣體混合物。不僅在介於過蝕刻次步驟之間的氣體混合物可不同，而且在每一交替週期的過蝕刻次步驟期間的氣體混合物也可依據被製造之裝置的需求而不同。於一實例中，在第一週期期間，可於氧化步驟期間所使用的氣體混合物可為 O₂；然而，在第二週期期間，可使用的氣體混合物可為 O₂或其他含有氧氣的氣體混合物。

橫向蝕刻元件可藉由控制在過蝕刻步驟的每一次步驟施加至底電極的底偏壓電壓準位來控制；因此，遮罩底切及/或凹口可在矽層處理期間被實質地減少或消除。用於過蝕刻步驟的處理配方可包括遠較主要蝕刻步驟更低的底偏壓電壓範圍。蝕刻速率可藉由降低底偏壓電壓準位而顯著降低，致使剩餘的矽層更受到控制及有精確之蝕刻。

表 3：過蝕刻步驟期間用於底偏壓準位的電壓範圍

參數	第二沉積 次步驟期間	第二蝕刻 次步驟期間	第三沉積 次步驟期間
較佳範圍	-30V 至-300V	0V 至-300V	0V 至-300V
更佳範圍	-30V 至-200V	-50V 至-250V	0V 至-250V

雖然用於底偏壓準位的電壓範圍可依據裝置之類型及可利用的電漿處理系統而變更，但是上述表 3 展示在第二

沉積次步驟、第二蝕刻次步驟及第三沉積次步驟期間的底偏壓電壓範圍的一些實例。用於第二沉積次步驟的較佳範圍可為約 -30V 至約 -300V，更佳範圍約 -30V 至約 -200V。在第二蝕刻次步驟期間的較佳底偏壓範圍可為約 0V 至約 -300V，更佳的底偏壓範圍約 -50V 至約 -250V。同樣地，用於第三沉積次步驟的較佳範圍可為約 0V 至約 -300V，更佳的範圍約 0V 至約 -250V。

表 4：用於底偏壓準位的時間範圍

參數	第二沉積 次步驟期間	第二蝕刻 次步驟期間	第三沉積 次步驟期間
較佳範圍	0.5秒至5秒	0.5秒至5秒	0.5秒至5秒
更佳範圍	0.5秒至4秒	0.5秒至4秒	0.5秒至4秒
指定時間	0.5秒	0.5秒	0.5秒
工作週期	0至90%	0至90%	0至90%

雖然用於底偏壓電壓準位的時間範圍可依據裝置之類型及可利用的電漿處理系統而變更，但是上述表 4 展示用於高頻電漿系統底偏壓電壓準位的時間範圍的一些實例。在第二沉積次步驟期間的時間範圍較佳地可介於約 0.5 秒與約 5 秒之間，更佳地介於約 0.5 秒與約 4 秒之間，而較佳地約 0.5 秒。用於第二蝕刻次步驟的時間範圍較佳地可介於約 0.5 秒與約 5 秒之間，更佳地介於約 0.5 秒與約 4 秒之間，而較佳地約 0.5 秒。在第三沉積次步驟中，時間範圍較佳地可介於約 0.5 秒與約 5 秒之間，更佳地介於約 0.5 秒與約 4 秒之間，而較佳地約 0.5 秒。

過蝕刻步驟可包括在每一週期期間交替不同的電源準位之 RF 底偏壓。用於每一次步驟的持續時間可依據工作週期而變更。考慮其中例如用於第二沉積次步驟的工作週期係百分之 25，用於第二蝕刻次步驟的工作週期係百分之 50，以及用於第三沉積次步驟的工作週期係百分之 25 的該情況。在此實例中，第二蝕刻次步驟的時間係兩倍長於第一或第三沉積次步驟。

當底偏壓電壓準位在較高與較低準位之間交替時，則底偏壓電壓準位可在每一週期期間變更。於一實例中，在第一週期期間，處理配方可要求在第二沉積步驟的底偏壓準位為 0V。在下一週期，該處理配方可要求在第二沉積步驟的底偏壓準位被增加至 2V。處理配方之複雜度可依據所製造之裝置需求及所利用的電漿處理系統的能力而定。

於下一步驟 214，該方法決定矽層是否被完全地蝕刻。如果矽層未被完全地蝕刻，該方法回到步驟 206 以繼續蝕刻矽層。剩餘的矽層厚度可藉由在第二沉積次步驟、第二蝕刻次步驟與第三沉積次步驟之間交替而被蝕刻，且遮罩底切及凹口被實質地減少或消除。該過蝕刻步驟之終止可利用例如發光端點法，或另外的端點法來決定。如果矽層被完全地蝕刻，該方法繼續至下一步驟 216 的後矽層蝕刻處理。圖 8A 及 8B 展示於各種實施例中在 CDCP 之後具有遮罩底切及凹口被顯著地減少(圖 8A 之溝槽 802)或實質地消除(圖 8B 之溝槽 804)的基板矽層。

如同從本發明之實施例所察知，CDCP 提供一有效的方法控制可能發生的橫向蝕刻，因此顯著地縮小在蝕刻矽層期間傾向發生之遮罩底切及凹口的尺寸。可從基板產生之良品裝置的數目可藉由減少遮罩底切及凹口而增進，導致較少的浪費及降低製造成本。以 CDCP 之製造公司可繼續利用高頻電漿處理系統的益處，而不用妥協於橫向蝕刻元件之控制。再者，因為 CDCP 並不需要改變硬體設備，所以製造公司可察知從降低生產有缺陷裝置的數目而獲得的顯著財務利益。

雖然本發明已由數個具體實施例為角度而敘述，但是有許多替代、變更及其相等物仍在落本發明的範圍之內。其也應注意有許多實施本發明方法及裝置之替代方式。因此意圖以下列所附申請專利範圍被解釋為包括所有該等替代、變更及其相等物而不會偏離本發明之精神與範圍。在下列所附申請專利範圍中，名詞「第一」、「第二」、「第三」、「第四」、「第五」及其他序列術語係以標記為目的而被使用，以改善理解清晰度，並未必暗指或定義依時間前後排列的序列或邏輯序列。

【圖式簡單說明】

本發明係以實例方式而不以侷限方式說明，在所附繪製圖形中類似的參考數字係指類似的元素，而其中：

圖 1 展示具有遮罩底切及凹口的矽基板的實例；

圖 2 展示，於一實施例中，繪出用於關鍵尺寸控制處

理 (CDCP) 之簡易流程圖：

圖 3 展示，於一實施例中，於電漿處理系統中處理之前的矽基板實例的簡圖；

圖 4 展示，於一實施例中，在主要蝕刻步驟期間的矽基板；

圖 5 展示，於一實施例中，具有形成聚合物之氣體混合物層的矽基板；

圖 6 展示，於一實施例中，在第二蝕刻次步驟之後的矽基板；

圖 7 展示，於一實施例中，具有以氧為基之氣體混合物層的矽基板；

圖 8A 展示，於一實施例中，在 CDCP 之後具有遮罩底切及凹口被顯著地減少的矽基板；

圖 8B 展示，於一實施例中，在 CDCP 之後具有遮罩底切及凹口被實質地消除的矽基板。

【主要元件符號說明】

100：基板

102：矽底層

104：絕緣層

106：矽層

108：遮罩層

110：溝槽

112：側壁

- 114 : 側 壁
- 116 : 遮 罩 底 切
- 118 : 遮 罩 底 切
- 120 : 凹 口
- 122 : 凹 口
- 124 : 凹 口
- 126 : 凹 口
- 128 : 蝕 穿
- 202 : 提 供 具 有 矽 層 之 基 板
- 204 : 以 主 要 蝕 刻 步 驟 蝕 刻 矽 層 其 可 包 括 交 替 第 一 沉
積 及 第 一 蝕 刻 次 步 驟
- 206 : 繼 續 以 過 蝕 刻 步 驟 蝕 刻 矽 層
- 208 : 次 步 驟 : 第 二 沉 積 步 驟 包 括 在 第 一 底 電 壓 準 位
操 作 之 聚 合 物 沉 積 步 驟
- 210 : 次 步 驟 : 第 二 蝕 刻 步 驟 包 括 在 第 二 底 電 壓 準 位
操 作
- 212 : 次 步 驟 : 第 三 沉 積 步 驟 包 括 在 第 三 底 電 壓 準 位
操 作 之 氧 化 步 驟
- 214 : 矽 層 是 否 被 完 全 地 蝕 刻 ?
- 216 : 後 矽 蝕 刻 處 理
- 300 : 矽 基 板
- 302 : 矽 底 層
- 304 : 絕 緣 層
- 306 : 矽 層

308 : 遮 罩
 402 : 側 壁
 404 : 側 壁
 406 : 水 平 表 面
 408 : 溝 槽
 502 : 凹 口
 504 : 凹 口
 506 : 遮 罩 底 切
 508 : 遮 罩 底 切
 510 : 側 壁
 512 : 側 壁
 514 : 遮 罩 邊 緣
 516 : 遮 罩 邊 緣
 520 : 新 側 壁
 522 : 新 側 壁
 524 : 水 平 表 面
 602 : 新 側 壁
 604 : 新 側 壁
 606 : 遮 罩 底 切
 608 : 遮 罩 底 切
 610 : 凹 口
 612 : 凹 口
 614 : 水 平 表 面
 702 : 新 側 壁

704 : 新側壁

706 : 水平層

802 : 溝槽

804 : 溝槽

十、申請專利範圍

1. 一種在電漿處理腔中用於蝕刻其上具有矽層之基板的方法，該電漿處理腔具有底電極，在該蝕刻期間該基板係配置於該底電極上，該方法包含：

執行主要蝕刻步驟；

當達到深入該矽層的預定蝕刻深度時，終止該主要蝕刻步驟，該預定蝕刻深度至少係該矽層的厚度的百分之70且至多係該矽層的該厚度的百分之95；

執行過蝕刻步驟，該過蝕刻步驟包括第一處理步驟、第二處理步驟及第三處理步驟，該第一處理步驟使用第一處理配方，該第二處理步驟使用第二處理配方，該第三處理步驟使用第三處理配方，該第一處理配方包含第一氣體混合物且被組構以利用施加至該底電極的第一底偏壓電壓準位來執行，該第二處理配方包含第二氣體混合物且被組構以利用高於該第一底偏壓電壓準位之施加至該底電極的第二底偏壓電壓準位來執行，該第三處理配方包含第三氣體混合物且被組構以利用低於該第二底偏壓電壓準位之施加至該底電極的第三底偏壓電壓準位來執行，其中該第一處理步驟、該第二處理步驟及該第三處理步驟係交替執行複數次，且其中該第一氣體混合物、該第二氣體混合物、及該第三氣體混合物係不同的；以及

在該矽層被蝕穿之後終止該過蝕刻步驟。

2. 如申請專利範圍第1項之方法，其中該第二處理配方被組構以較該第一處理步驟所使用的該第一處理配方及

該第三處理步驟所使用的該第三處理配方從該矽層移除更多的矽材料。

3.如申請專利範圍第1項之方法，其中該第一處理配方包括利用形成聚合物的氣體。

4.如申請專利範圍第1項之方法，其中該第二處理配方包括利用以氟為基之氣體。

5.如申請專利範圍第1項之方法，其中該第三處理配方包括利用以氧為基之氣體。

6.如申請專利範圍第3項之方法，其中該形成聚合物的氣體包括 C_4F_8 。

7.如申請專利範圍第4項之方法，其中該以氟為基之氣體包括 SF_6 。

8.如申請專利範圍第5項之方法，其中該以氧為基之氣體包括 O_2 。

9.如申請專利範圍第1項之方法，其中該主要蝕刻步驟包括該主要蝕刻步驟的第一處理步驟及該主要蝕刻步驟的第二處理步驟，該主要蝕刻步驟的該第一處理步驟使用該主要蝕刻步驟的第一處理配方，該主要蝕刻步驟的該第一處理配方被組構以較該主要蝕刻步驟的該第二處理步驟所使用之該主要蝕刻步驟的第二處理配方從該矽層移除更多的矽材料，該主要蝕刻步驟的該第一處理配方使用的氣體混合物係不同於在該主要蝕刻步驟的該第二處理步驟期間使用的氣體混合物。

10.如申請專利範圍第1項之方法，其中該預定蝕刻深

度至少係該矽層的該厚度的百分之 80。

11.如申請專利範圍第 1 項之方法，其中該預定蝕刻深度至少係該矽層的該厚度的百分之 90。

12.如申請專利範圍第 1 項之方法，其中該第一處理步驟的第一持續期間係實質上與該第二處理步驟的第二持續期間及該第三處理步驟的第三持續期間相同。

13.如申請專利範圍第 1 項之方法，其中該第一處理步驟的該第一持續期間係不同於該第二處理步驟的該第二持續期間或該第三處理步驟的該第三持續期間。

14.如申請專利範圍第 1 項之方法，其中該第一處理步驟、該第二處理步驟及該第三處理步驟持續大約 0.5 秒與大約 5 秒之間。

15.如申請專利範圍第 1 項之方法，其中該終止該過蝕刻步驟係利用發光端點法而決定。

16.一種在電漿處理腔中用於蝕刻其上具有矽層之基板的方法，該電漿處理腔具有底電極，在該蝕刻期間該基板係配置於該底電極上，該方法包含：

執行主要蝕刻步驟；

當達到深入該矽層的預定蝕刻深度時，終止該主要蝕刻步驟，該預定蝕刻深度至少係該矽層的厚度的百分之 70 且至多係該矽層的該厚度的百分之 95；

執行過蝕刻步驟，該過蝕刻步驟包括第一處理步驟、第二處理步驟及第三處理步驟，該第一處理步驟使用包含第一氣體混合物的第一處理配方，該第二處理步驟使用包

含第二氣體混合物的第二處理配方，該第三處理步驟使用包含第三氣體混合物的第三處理配方，該第二處理配方被組構以較該第一處理配方及該第三處理配方從該矽層移除更多的矽材料，其中該第一處理步驟、該第二處理步驟及該第三處理步驟係交替執行複數次，且其中該第一氣體混合物、該第二氣體混合物、及該第三氣體混合物係不同的；以及

在該矽層被蝕穿之後終止該過蝕刻步驟。

17.如申請專利範圍第16項之方法，其中該第一處理配方包括利用形成聚合物的氣體。

18.如申請專利範圍第16項之方法，其中該第二處理配方包括利用以氟為基之氣體。

19.如申請專利範圍第16項之方法，其中該第三處理配方包括利用以氧為基之氣體。

20.如申請專利範圍第17項之方法，其中形成該聚合物的氣體包括 C_4F_8 。

21.如申請專利範圍第18項之方法，其中該以氟為基之氣體包括 SF_6 。

22.如申請專利範圍第19項之方法，其中該以氧為基之氣體包括 O_2 。

23.如申請專利範圍第16項之方法，其中利用施加至該底電極的第一底偏壓電壓準位來執行該第一處理步驟，利用高於該第一底偏壓電壓準位之施加至該該底電極的第二底偏壓電壓準位來執行該第二處理步驟，及利用低於該

第二底偏壓電壓準位之施加至該該底電極的第三底偏壓電壓準位來執行該第三處理步驟。

24.如申請專利範圍第16項之方法，其中該主要蝕刻步驟包括該主要蝕刻步驟的第一處理步驟及該主要蝕刻步驟的第二處理步驟，該主要蝕刻步驟的該第一處理步驟使用該主要蝕刻步驟的第一處理配方，該主要蝕刻步驟的該第一處理配方被組構以較該主要蝕刻步驟的該第二處理步驟所使用的該主要蝕刻步驟的第二處理配方從該矽層移除更多的矽材料，該主要蝕刻步驟的該第一處理配方使用的氣體混合物係不同於在該主要蝕刻步驟的該第二處理步驟期間所使用的氣體混合物。

25.如申請專利範圍第16項之方法，其中該預定蝕刻深度至少係該矽層的該厚度的百分之80。

26.如申請專利範圍第16項之方法，其中該預定蝕刻深度至少係該矽層的該厚度的百分之90。

27.如申請專利範圍第16項之方法，其中該第一處理步驟的第一持續期間係實質上與該第二處理步驟的第二持續期間或該第三處理步驟的第三持續期間相同。

28.如申請專利範圍第16項之方法，其中該第一處理步驟的該第一持續期間係不同於該第二處理步驟的該第二持續期間和該第三處理步驟的該第三持續期間。

29.如申請專利範圍第16項之方法，其中該第一處理步驟、該第二處理步驟及該第三處理步驟持續大約0.5秒與大約5秒之間。

30.如申請專利範圍第 16 項之方法，其中該終止該過蝕刻步驟係利用發光端點法而決定。

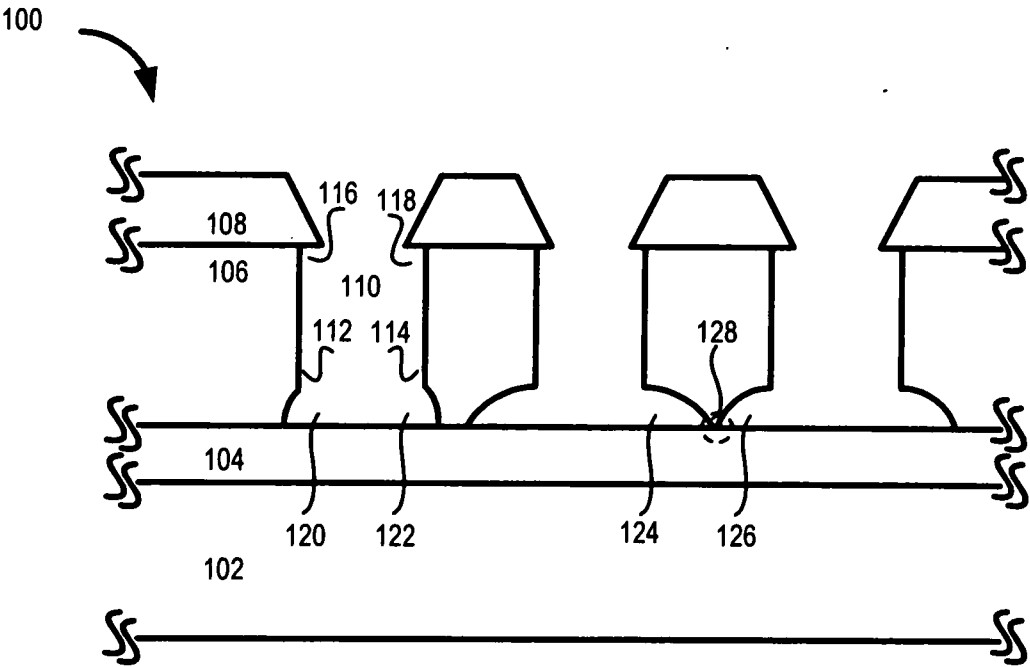


圖1
(習知技術)

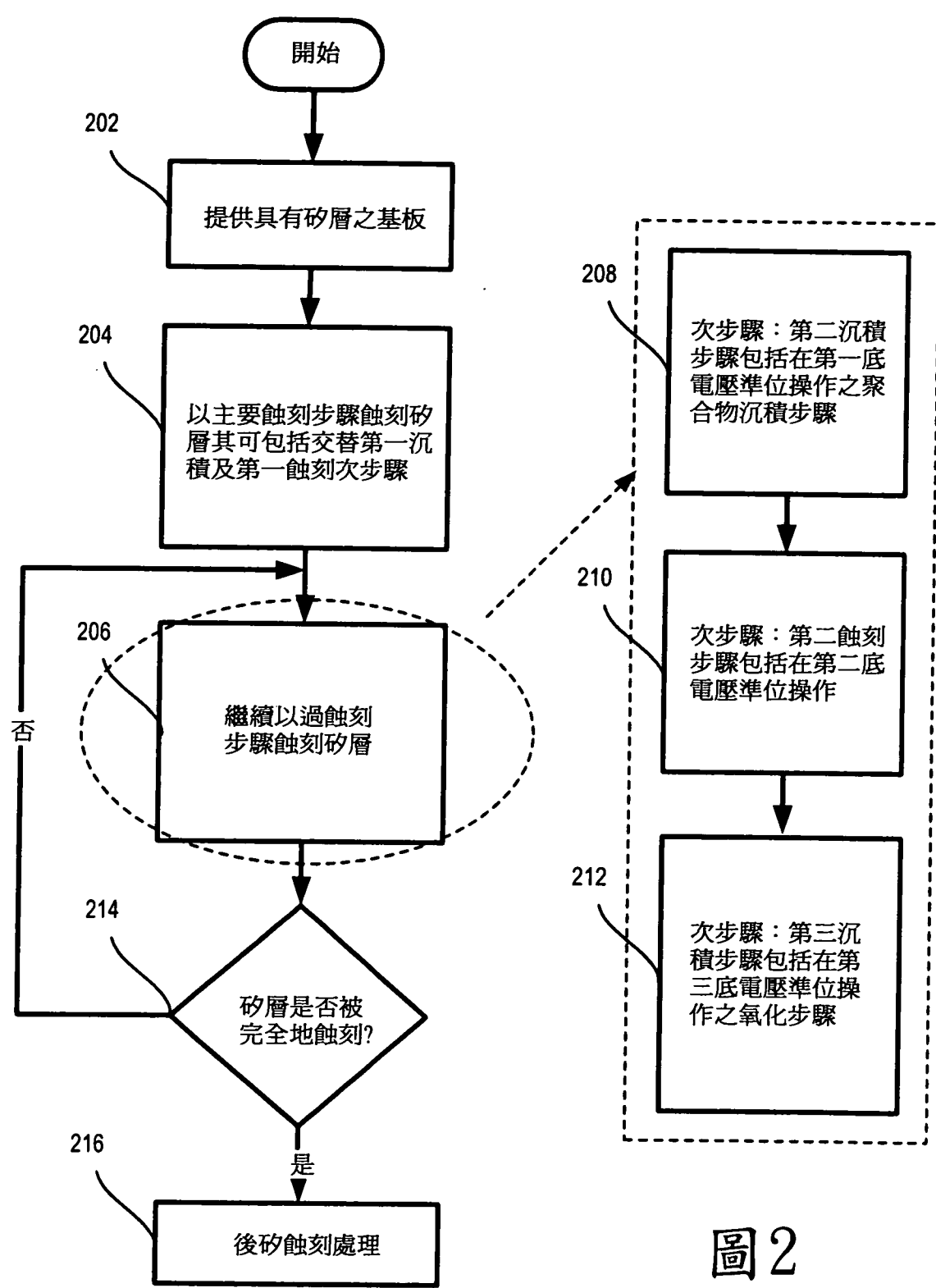


圖2

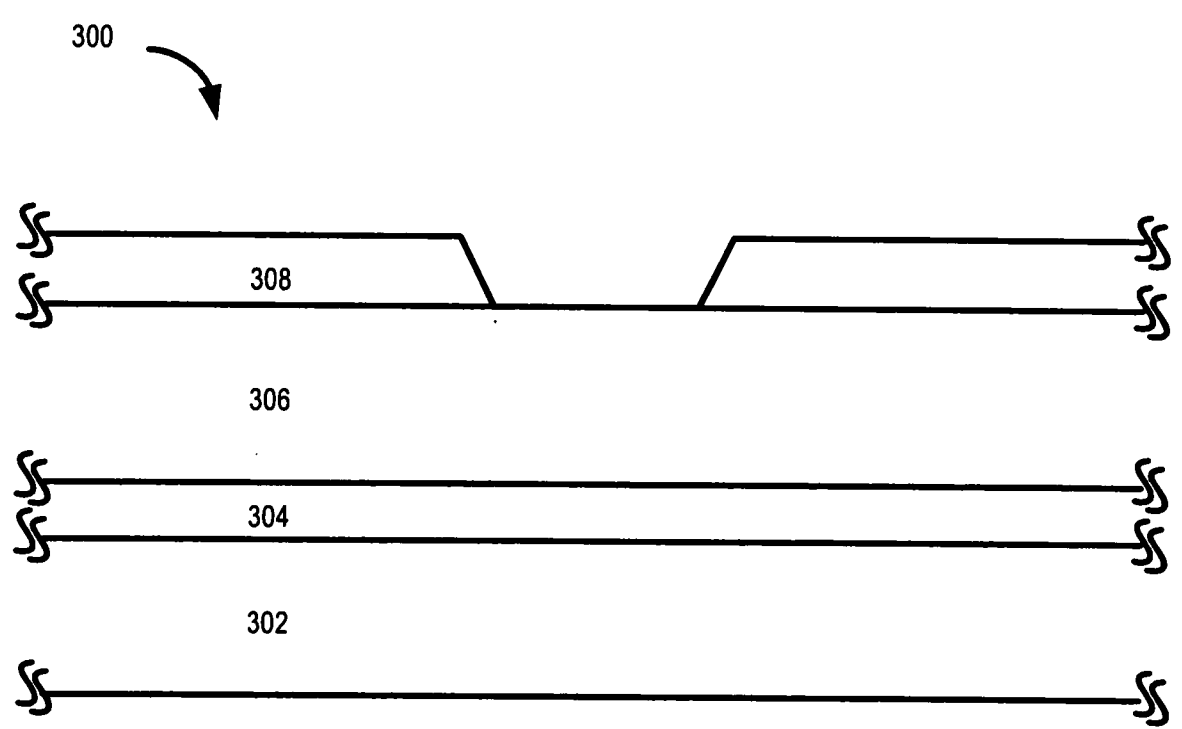


圖 3

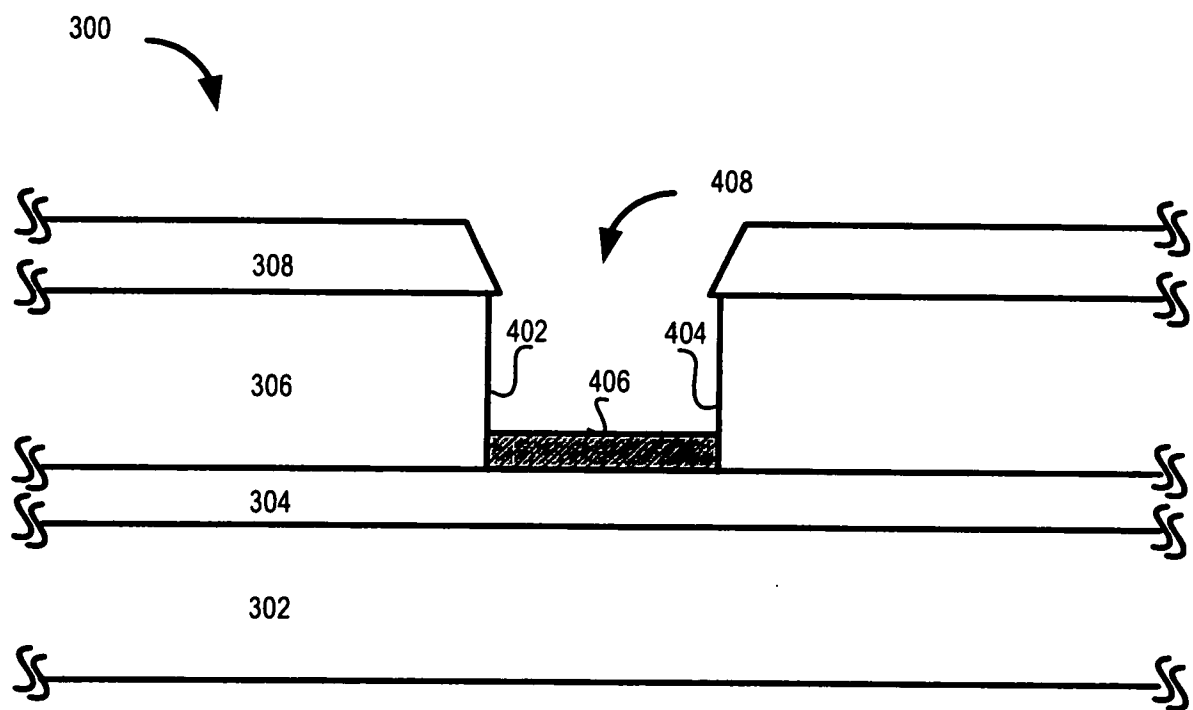


圖 4

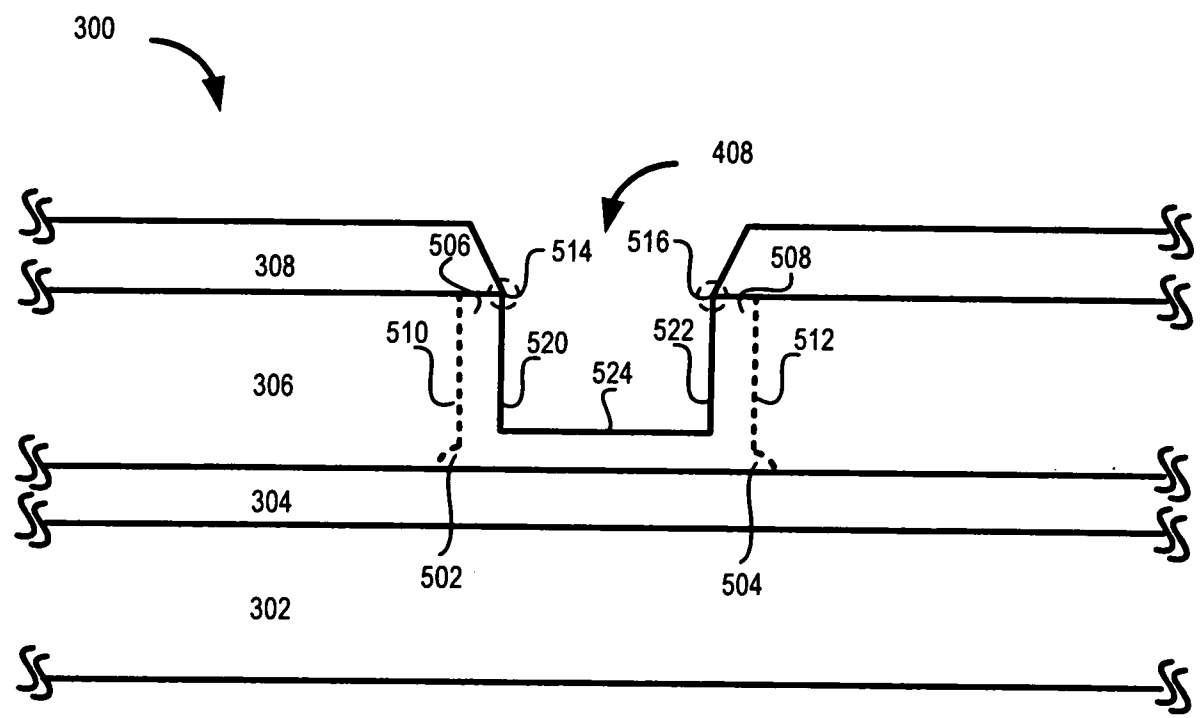


圖5

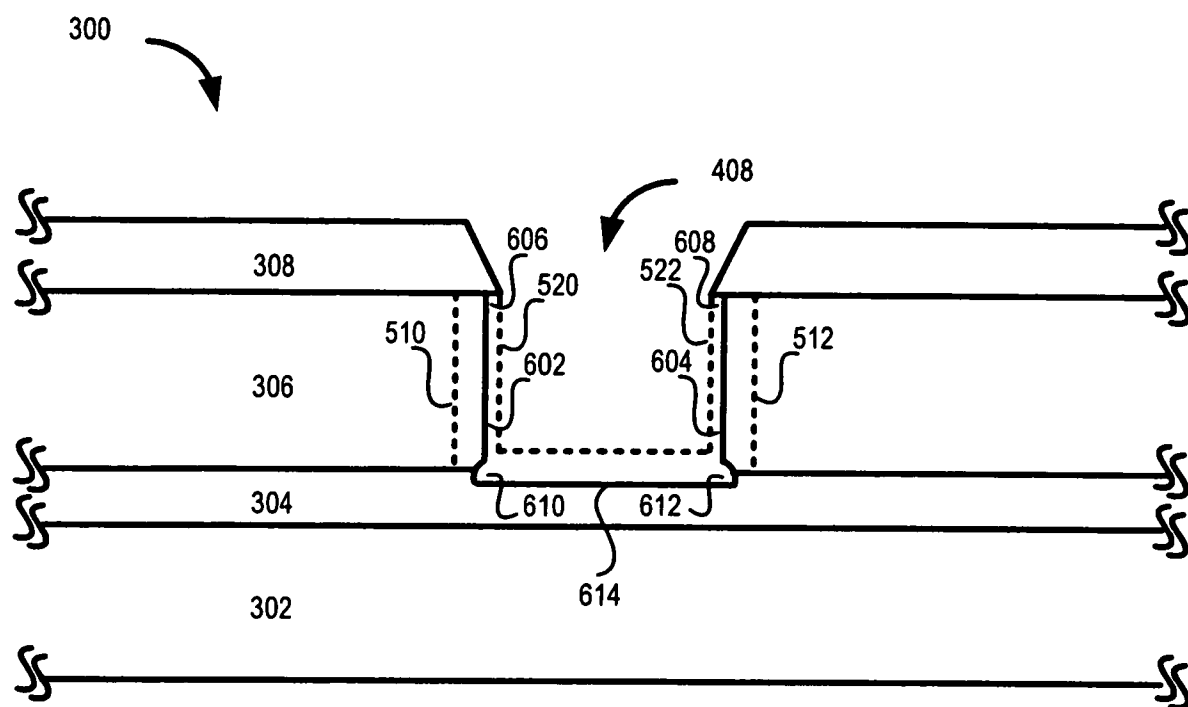


圖 6

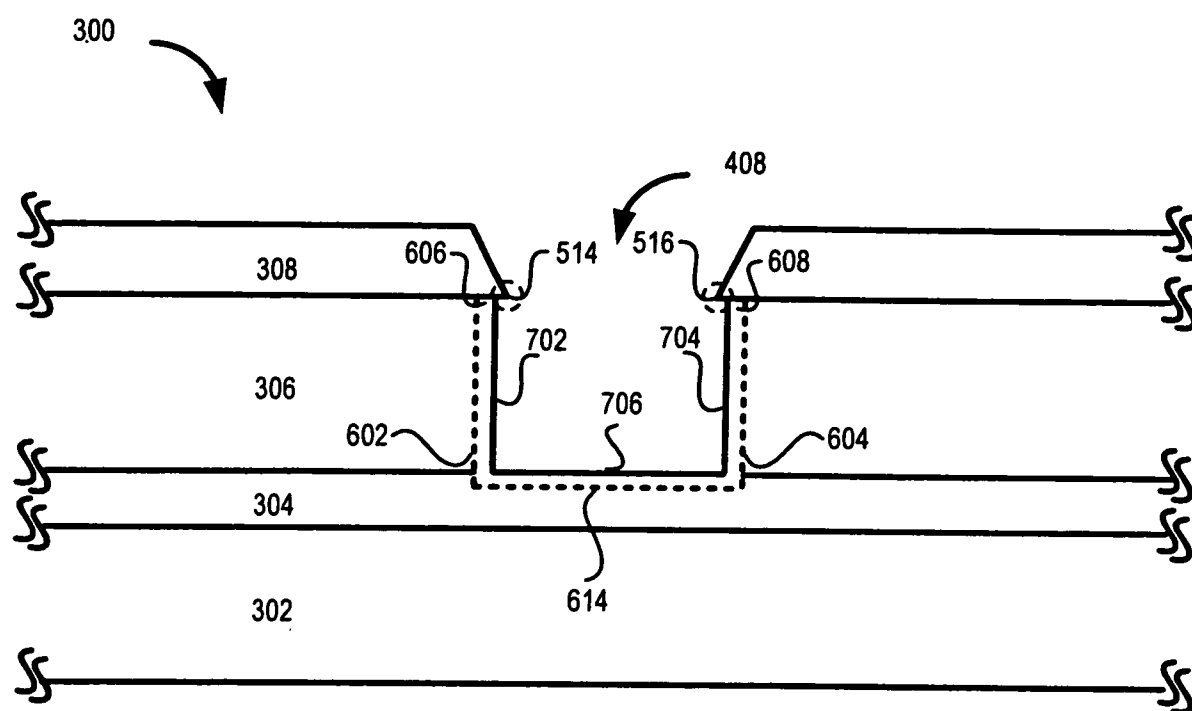


圖 7

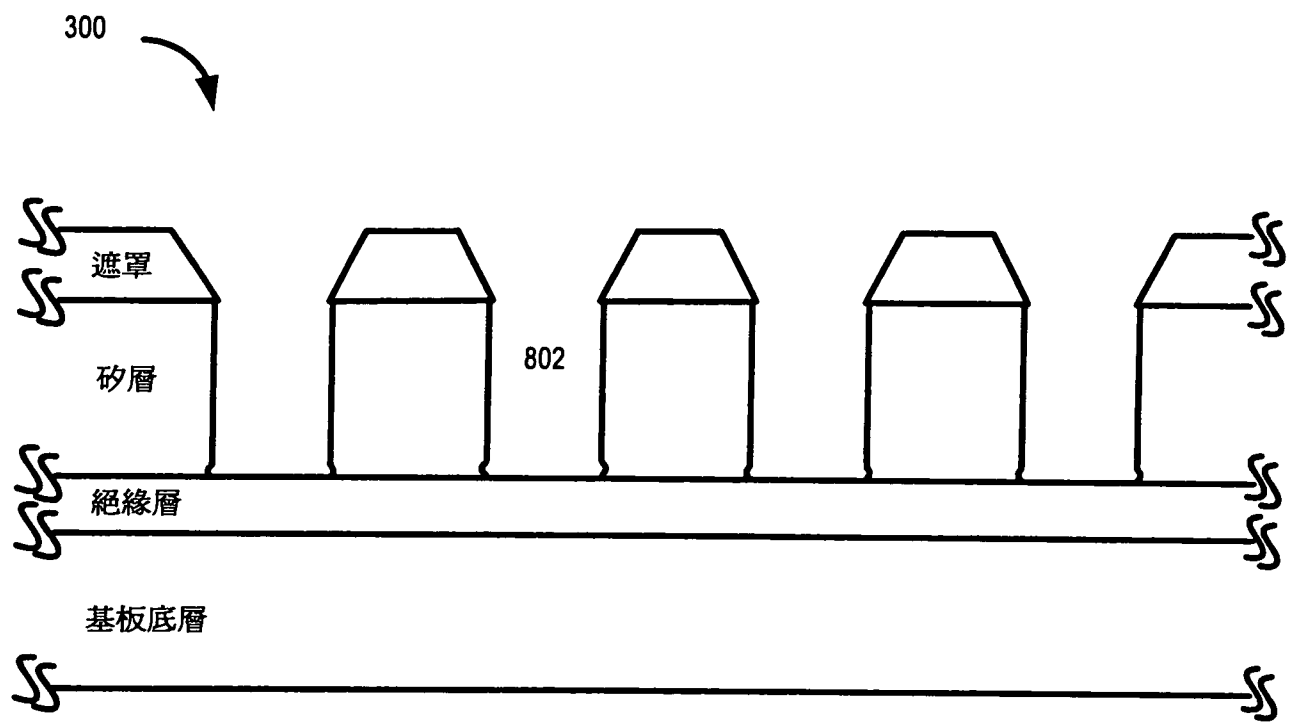


圖 8A

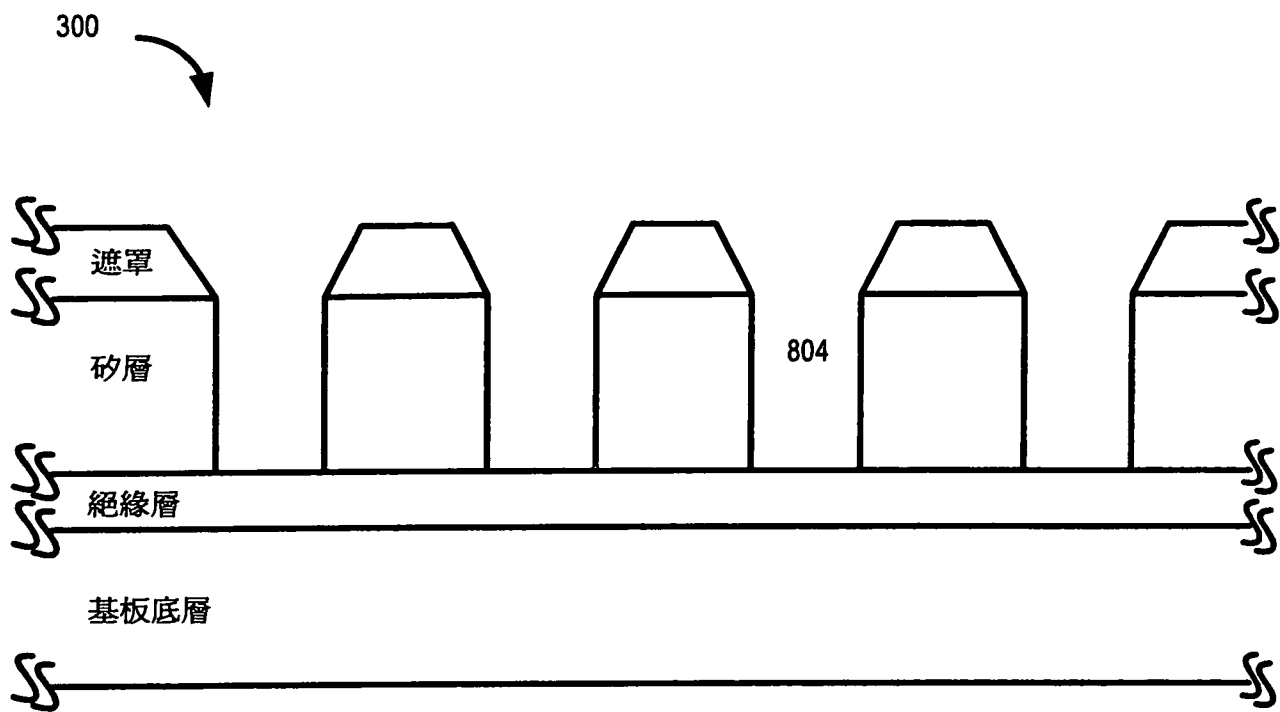


圖 8B