



(12)发明专利

(10)授权公告号 CN 106463447 B

(45)授权公告日 2018.06.29

(21)申请号 201580024484.6

(22)申请日 2015.04.27

(65)同一申请的已公布的文献号
申请公布号 CN 106463447 A

(43)申请公布日 2017.02.22

(30)优先权数据
14/276,763 2014.05.13 US

(85)PCT国际申请进入国家阶段日
2016.11.10

(86)PCT国际申请的申请数据
PCT/US2015/027806 2015.04.27

(87)PCT国际申请的公布数据
W02015/175197 EN 2015.11.19

(73)专利权人 高通股份有限公司
地址 美国加利福尼亚州

(72)发明人 H·W·乔玛 O·J·比奇厄
K·康 C-K·金

(74)专利代理机构 上海专利商标事务所有限公
司 31100

代理人 周敏

(51)Int.Cl.
H01L 21/683(2006.01)

(56)对比文件
US 2004/0056344 A1,2004.03.25,
EP 1519414 A1,2005.03.30,
US 2010/0139964 A1,2010.06.10,
CN 102405524 A,2012.04.04,
US 2011/0169164 A1,2011.07.14,
审查员 马良

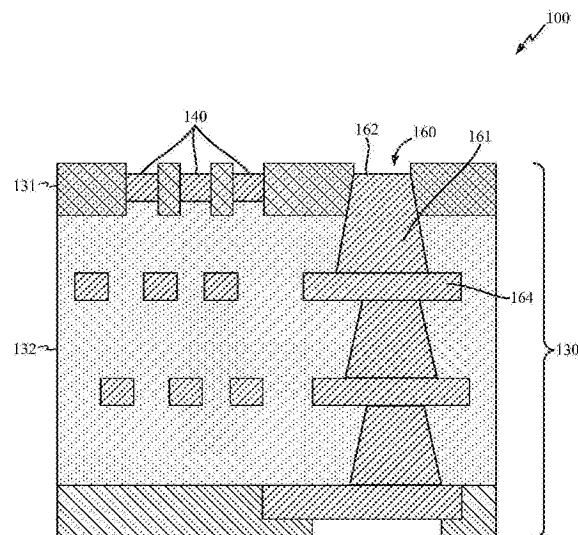
权利要求书2页 说明书6页 附图7页

(54)发明名称

基板和形成基板的方法

(57)摘要

提供了用于形成具有感光介电材料、嵌入式迹线、延伸穿过两个介电层的无焊盘吊斗通孔以及无核封装的半导体基板的方法和装置。在一个实施例中,一种方法用于形成具有铜层的核心;在铜层上层压感光介电层;在感光介电层中形成多个迹线图案;镀敷多个迹线图案以形成多个迹线;在感光介电层上形成绝缘介电层;形成穿过绝缘介电层和感光介电层的通孔;在绝缘介电层上形成附加布线图案;移除核心;以及施加焊料掩模。



1. 一种由工艺制备的基板,所述工艺包括:
直接在核心材料的铜层上层压感光介电层;
在所述感光介电层中形成多个迹线图案;
镀敷所述多个迹线图案以形成嵌入在所述感光介电层中的多个迹线;
在镀敷所述多个迹线图案之后在所述感光介电层上形成绝缘介电层,所述绝缘介电层覆盖所述多个迹线并且包括非感光介电层;
形成穿过所述绝缘介电层和所述感光介电层的通孔;
在所述绝缘介电层上形成附加布线图案;
移除所述核心材料;以及
施加焊料掩模。
2. 如权利要求1所述的基板,其特征在于,所述多个迹线中的每一个迹线具有 $5\mu\text{m}$ 的宽度以及所述多个迹线中的每一个迹线之间的 $5\mu\text{m}$ 的间隙。
3. 如权利要求1所述的基板,其特征在于,所述多个迹线中的每一个迹线具有 $2\mu\text{m}$ 的宽度以及所述多个迹线中的每一个迹线之间的 $2\mu\text{m}$ 的间隙。
4. 如权利要求1所述的基板,其特征在于,所述通孔是吊斗通孔。
5. 如权利要求1所述的基板,其特征在于,所述通孔是无焊盘吊斗通孔。
6. 如权利要求1所述的基板,其特征在于,所述感光介电层小于 $10\mu\text{m}$ 。
7. 如权利要求1所述的基板,其特征在于,所述感光介电层约为 $5\mu\text{m}$ 。
8. 如权利要求1所述的基板,其特征在于,所述绝缘介电层约为 $15\mu\text{m}$ 。
9. 如权利要求1所述的基板,其特征在于,所述通孔具有比底部部分更小的顶部部分。
10. 一种半导体结构,包括:
无核基板,所述无核基板包括感光介电层和所述感光介电层上的绝缘介电层;
多个迹线,其被嵌入在所述感光介电层中,其中所述绝缘介电层覆盖所述多个迹线并且包括与所述感光介电层不同的材料;
第一通孔,其延伸穿过所述绝缘介电层以及所述感光介电层;
接近于所述第一通孔的第二通孔,其延伸穿过所述绝缘介电层以及所述感光介电层;
以及
通孔迹线,其嵌入在所述绝缘介电层上的阻焊层压层中,所述通孔迹线被配置成连接所述第一通孔和所述第二通孔。
11. 如权利要求10所述的半导体结构,其特征在于,所述多个迹线中的每一个迹线具有 $5\mu\text{m}$ 的宽度以及所述多个迹线中的每一个迹线之间的 $5\mu\text{m}$ 的间隙。
12. 如权利要求10所述的半导体结构,其特征在于,所述多个迹线中的每一个迹线具有 $2\mu\text{m}$ 的宽度以及所述多个迹线中的每一个迹线之间的 $2\mu\text{m}$ 的间隙。
13. 如权利要求10所述的半导体结构,其特征在于,所述通孔是吊斗通孔。
14. 如权利要求10所述的半导体结构,其特征在于,所述通孔是无焊盘吊斗通孔。
15. 如权利要求10所述的半导体结构,其特征在于,所述感光介电层小于 $10\mu\text{m}$ 。
16. 如权利要求10所述的半导体结构,其特征在于,所述感光介电层约为 $5\mu\text{m}$ 。
17. 如权利要求10所述的半导体结构,其特征在于,所述绝缘介电层约为 $15\mu\text{m}$ 。
18. 如权利要求10所述的半导体结构,其特征在于,所述绝缘介电层是非感光介电层。

19. 一种半导体结构,包括:

无核基板,所述无核基板包括感光介电层和绝缘介电层;

多个迹线,其被嵌入在所述感光介电层中,其中所述绝缘介电层覆盖所述多个迹线并且包括与所述感光介电层不同的材料;

用于导电的第一装置,所述用于导电的第一装置延伸穿过所述绝缘介电层以及所述感光介电层;

接近于所述用于导电的第一装置的用于导电的第二装置,其延伸穿过所述绝缘介电层以及所述感光介电层;以及

通孔迹线,其嵌入在所述绝缘介电层上的阻焊层压层中,所述通孔迹线被配置成连接所述用于导电的第一装置和所述用于导电的第二装置。

20. 如权利要求19所述的半导体结构,其特征在于,所述多个迹线中的每一个迹线具有 $5\mu\text{m}$ 的宽度以及所述多个迹线中的每一个迹线之间的 $5\mu\text{m}$ 的间隙。

21. 如权利要求19所述的半导体结构,其特征在于,所述多个迹线中的每一个迹线具有 $2\mu\text{m}$ 的宽度以及所述多个迹线中的每一个迹线之间的 $2\mu\text{m}$ 的间隙。

基板和形成基板的方法

[0001] 公开领域

[0002] 本公开一般涉及半导体,且尤其但不排他地涉及用于形成半导体封装基板的方法。

[0003] 背景

[0004] 常规地,作为一个选择,半导体封装通过在中心玻璃增强型核心材料上逐层堆积来形成,以实现精细布线并充当硅与母板之间的空间变换器。然而,该办法可能无法提供充分的布线密度,尤其在两个管芯之间需要管芯拆分和非常精细的布线的情形中。替换地,半导体封装可通过其中嵌入第一层的无核工艺来形成,这将提供更精细的布线,因为其消除了对晶种层移除(在补偿上作出改进)的需要。通过有机基板形成的这两种方法一般尝试与使用“类制造(fab-like)”工艺(使用晶种层喷溅、薄液体抗蚀剂以及形成薄铜布线层)的硅中介体和有机中介体竞争。这提供了非常精细的布线,但是成本和铜的厚度以及相应的电阻率是主要缺点。相应地,业界长期以来存在对在常规方法之上有所改善的方法的需要,包括改善的方法和由此所提供的装置。

[0005] 作为这些教义的特性的发明性特征、连同进一步的目标和优点从详细描述和附图中被更好地理解。每一附图仅出于解说和描述目的来提供,且并不限定本教导。

[0006] 概述

[0007] 以下给出了与本文所公开的装置和方法相关联的一个或多个方面和/或实施例相关的简化概述。如此,以下概述既不应被视为与所有构想的方面和/或实施例相关的详尽纵览,以下概述也不应被认为标识与所有构想的方面和/或实施例相关的关键性或决定性要素或描绘与任何特定方面和/或实施例相关联的范围。相应地,以下概述仅具有在以下给出的详细描述之前以简化形式呈现与关于本文所公开的装置和方法的一个或多个方面和/或实施例相关的某些概念的目的。

[0008] 本公开的一些示例性实施例涉及用于形成具有第一和第二介电层的无核基板结构的系统、装置和方法,该无核基板结构具有第一介电层中的非常精细的嵌入式迹线以及在第一和第二介电层两者之间延伸的无着陆/捕获焊盘的通孔。

[0009] 在本公开的一些实施例中,该系统、装置和方法包括形成核心;在核心的顶部层压感光(光致成像)介电层;在感光介电层中形成多个迹线图案;镀敷多个迹线图案以形成多个迹线;在感光介电层上形成绝缘介电层;形成穿过绝缘介电层和感光介电层的通孔;在绝缘介电层上形成附加布线图案;移除核心;以及添加焊料掩模。

[0010] 在本公开的一些实施例中,该系统、装置和方法包括一种具有无核基板的半导体结构,该无核基板具有永久感光介电层和绝缘介电层、嵌入在永久感光介电层中的多个迹线、以及延伸穿过绝缘介电层和永久光致成像介电层的用于导电的装置。

[0011] 基于附图和详细描述,与本文公开的装置和方法相关联的其它目标和优点对本领域的技术人员而言将是明了的。

[0012] 附图简述

[0013] 给出了附图以描述本教义的示例,并且附图并不作为限定。给出附图以助益本公

开的实施例的描述,并且提供这些附图仅仅是为了例示实施例而非对其进行限制。

[0014] 对本公开的各方面及其许多伴随优点的更完整领会将因其在参考结合附图考虑的以下详细描述时变得更好理解而易于获得,附图仅出于解说目的被给出而不对本公开构成任何限定,并且其中:

[0015] 图1A描绘了根据本公开的实施例的示例性基板的俯视图。

[0016] 图1B和1C描绘了图1A的示例性基板沿所示的切割线的侧视图。

[0017] 图2A描绘了根据本公开的实施例的示出临时核心的层压和镀敷的示例性方法和装置。

[0018] 图2B描绘了根据本公开的实施例的示出吊斗通孔(skip via)的形成和半加成镀敷工艺的示例性方法和装置。

[0019] 图3A描绘了根据本公开的实施例的示出SR层压、曝光和显影的示例性方法和装置。

[0020] 图3B描绘了根据本公开的实施例的示出分离临时核心与铜蚀刻的示例性方法和装置。

[0021] 根据惯例,附图中所描绘的特征可能并非按比例绘制。相应地,出于清晰起见,所描绘的特征的尺寸可能被任意放大或缩小。根据惯例,为了清楚起见,某些附图被简化。因此,附图可能未绘制特定装置或方法的所有组件。此外,类似附图标记贯穿说明书和附图标示类似特征。

[0022] 详细描述

[0023] 提供了用于形成具有感光(光致成像)电介质、无焊盘吊斗通孔以及嵌入式迹线的无核基板的系统、装置和方法。本文公开的示例性方法有利地解决了业界长期以来的需求,以及其它先前未标识出的需求,并且缓解了常规方法的不足。例如,由本文所公开的实施例提供的优点是在常规器件上在成本节省、更容易制造、更低的高度轮廓、具有更小轮廓的凸块焊盘中的通孔方面的改进。

[0024] 在以下描述和相关附图中公开了各方面以示出与本公开的示例性实施例相关的具体示例。替换实施例在相关领域的技术人员阅读本公开之后将是显而易见的,且可被构造并实施,而不背离本文公开的范围或精神。另外,众所周知的元素将不被详细描述或可将被省去以便不模糊本文公开的各方面和实施例的相关细节。

[0025] 措辞“示例性”在本文中用于表示“用作示例、实例或解说”。本文中描述为“示例性”的任何实施例不必被解释为优于或胜过其他实施例。同样,术语“实施例”并不要求所有实施例都包括所讨论的特征、优点、或工作模式。术语“在一个示例中”、“示例”、“在一个特征中”和/或“特征”在本说明书中的使用并非必然引述相同特征和/或示例。此外,特定特征和/或结构可与一个或多个其它特征和/或结构组合。并且,由此描述的装置的至少一部分可被配置成执行由此描述的方法的至少一部分。

[0026] 本文中所使用的术语仅出于描述特定实施例的目的,而并不旨在限定本发明的实施例。如本文所使用的,单数形式的“一”、“某”和“该”旨在也包括复数形式,除非上下文另有明确指示。还将理解,术语“包括”、“具有”、“包含”和/或“含有”在本文中使用指明所陈述的特征、整数、步骤、操作、元素、和/或组件的存在,但并不排除一个或多个其他特征、整数、步骤、操作、元素、组件和/或其群组的存在或添加。

[0027] 应该注意,术语“连接”、“耦合”或其任何变体意指在元件之间的直接或间接的任何连接或耦合,且可涵盖两个元件之间中间元件的存在,这两个元件经由该中间元件被“连接”或“耦合”在一起。元件之间的耦合和/或连接可为物理的、逻辑的、或其组合。如本文所采用的,元件可例如通过使用一条或多条导线、电缆、和/或印刷电气连接以及通过使用电磁能量被“连接”或“耦合”在一起。电磁能量可具有在射频区域、微波区域和/或光学(可见和不可见两者)区域中的波长。这些是若干非限定和非穷尽性示例。

[0028] 应该理解,术语“信号”可包括任何信号,诸如数据信号、音频信号、视频信号、多媒体信号、模拟信号、和/或数字信号。信息和信号能使用各种各样的不同技艺和技术中的任一种来表示。例如,本说明书中描述的数据、指令、过程步骤、命令、信息、信号、位、和/或码元可由电压、电流、电磁波、磁场和/或磁粒子、光场和/或光粒子、和其任何组合来表示。

[0029] 本文中诸如“第一”、“第二”等之类的指定对元素的任何引述并不限定那些元素的数量和/或次序。确切而言,这些指定用作区别两个或更多个元素和/或元素实例的便捷方法。因此,对第一元素和第二元素的引述并不意味着仅能采用两个元素,或者第一元素必须必然地位于第二元素之前。同样,除非另外声明,否则元素集合可包括一个或多个元素。另外,在说明书或权利要求中使用的“A、B、或C中的至少一者”形式的术语可被解读为“A或B或C或这些元素的任何组合”。

[0030] 在本说明书中,使用某些术语来描述某些特征。术语“移动设备”可描述但不限于移动电话、移动通信设备、寻呼机、个人数字助理、个人信息管理器、移动手持式计算机、膝上型计算机、无线设备、无线调制解调器、和/或通常由个人携带和/或具有通信能力(例如,无线、蜂窝、红外、短程无线电等)的其他类型的便携式电子设备。并且,术语“用户装备”(UE)、“移动终端”、“移动设备”和“无线设备”可以是可互换的。

[0031] 图1A描绘了半导体封装的示例性实施例,该半导体封装包括具有无焊盘通孔和具有嵌入式迹线的光致成像介电层的无核基板。如图1所示,半导体封装100可包括基板130的顶部上的两个有效管芯110和120。基板130可包括多个嵌入式迹线140、由通孔连接的迹线150以及无焊盘吊斗通孔160和170。通孔迹线150可连接两个有效管芯110和120。通孔迹线连接可通过将通孔迹线150通过无焊盘吊斗通孔160和170与有效管芯110和120耦合来作出。

[0032] 图1B描绘了图1A中所示的示例性实施例沿所指示的切割线的横截面视图。如图1B所示,半导体封装100可包括具有第一介电层131、第二介电层132、无焊盘吊斗通孔160以及嵌入在第一介电层131中的多个迹线140的基板130。尽管所示的实施例包括多个通孔和第二介电层区域,但这是可任选的。第一介电层131可以是可作为液体或干膜被施加的感光材料。第二介电层132可以是与层131不同的成分(诸如基于硅石的环氧树脂材料)。无焊盘吊斗通孔160可包括主体161、底部部分162、顶部部分163、以及覆盖焊盘164。底部部分162可形成不具有着陆焊盘或捕获焊盘。顶部部分163可形成有覆盖焊盘164。

[0033] 如图1B所示,嵌入式迹线140可由导电材料(诸如铜)形成以促成信号路由。该迹线可在介电层131中用非常精细的图案化来形成。该非常精细的图案化可允许小于 $5\mu\text{m}/5\mu\text{m}$ (诸如 $2\mu\text{m}/2\mu\text{m}$)的较低的线和间隔的迹线尺寸。介电层131可以是比介电层132更小的尺寸。例如,介电层131可约为 $5\text{--}10\mu\text{m}$ 厚,而介电层132可约为 $15\mu\text{m}$ 厚。无焊盘吊斗通孔160可具有比底部部分163更小的顶部部分162。例如,顶部部分162直径为 $35\mu\text{m}$ 并且底部部分163直径

为40 μm 。通孔160缺少捕获或着陆焊盘可允许较高布线密度的介电层131以用于附加布线或迹线。

[0034] 图1C描绘了图1A中所示的示例性实施例沿所指示的切割线的横截面视图。如图1C所示,半导体封装100可包括第一管芯110;第二管芯120;具有第一介电层131和第二介电层132的基板130;无焊盘吊斗通孔160和170;以及通孔迹线150。通孔迹线或布线150可连接通孔160和170,其进而可提供管芯110和120之间的连接。

[0035] 图2A描绘了用于形成无核基板的方法的示例性实施例。在图2A中,临时核心200可具有第一铜层202以及第二铜层204。虽然示出了两个铜层,但是应当理解,核心200可仅包括一层且诸层可由不同材料(诸如导电金属)构成。

[0036] 接着,第一介电层210被施加到第一铜层202且第二介电层212被施加到第二铜层204。第一和第二介电层210和212可以是感光液体或干光致成像膜。第一和第二介电层210和212可以被分层或固化到约5–10 μm 的厚度并且可包括迹线图案214。尽管示出了两层210和212,但是应当理解,可以仅使用一层。迹线图案214可以是非常精细的并且具有小于5/5 μm (诸如2/2 μm)的线间隔尺寸。层210和212可被暴露于光(诸如UV光)并被显影以移除迹线图案214中的诸部分。

[0037] 在迹线图案214中的材料被移除之后,核心200可经受在迹线图案214的空隙中镀敷铜的铜镀敷工艺。如可在图2A中可见,镀敷工艺可仅在迹线图案214的空隙的一部分中镀敷铜。这可允许所得到的铜迹线216具有比感光层的厚度更小的尺寸。如上如所提及的,镀敷材料可以是除了铜以外的其他材料。感光层210和212可在镀敷工艺之后留下来并且可以不必从核心200剥离。通过避免剥离工艺,铜迹线更容易遵循图案迹线,因为不应当作出对迹线尺寸(迹线宽度)的附加补偿来计及铜晶种层蚀刻或铜粗燥化步骤。这减少了对剥离和蚀刻工艺期间迹线提升的关注。

[0038] 接着,第三介电层220被施加到第一介电层210且第四介电层222被施加到第二介电层212。第三和第四介电层220和222可以是与第一和第二介电层210和212不同的成分。层220和222的成分可以是非感光材料(诸如基于硅石的环氧树脂材料)。第三和第四层220和222可被分层或构建到比第一和第二层210和212的厚度大的厚度。例如,第一和第二层210和212可约为5–10 μm 而第三和第四层220和222可约为15 μm 。

[0039] 图2B描绘了用于形成无核基板的方法的示例性实施例。如图2B中所示,在施加第三和第四介电层220和222之后,可形成第一通孔230和第二通孔232。第一和第二通孔230和232可通过化学或机械工艺(诸如激光钻孔或消融)来形成。第一和第二通孔230和232可分别延伸穿过介电层210和220两者以及介电层212和222两者。第一和第二通孔可从第三和第四层220和222的外边缘或外侧延伸到第一和第二铜层202和204。这可允许通孔230和232被形成而不具有着陆或捕获焊盘,其将节约水平空间以用于更精细或附加的布线和迹线。接着,应用包括铜镀敷工艺的半加成工艺(SAP)以形成具有覆盖焊盘241的第一无焊盘吊斗通孔240和具有覆盖焊盘243的第二无焊盘通孔242以及底部迹线244。

[0040] 图3A和3B描绘了用于形成无核基板的方法的示例性实施例。在图3A中,继续图2B中所解说过程。如图3A中所示,可通过在第三和第四介电层220和222的顶部上添加附加介电层来形成附加通孔。这些附加介电层可随后经历图2B中所描绘的过程以形成附加通孔和通孔迹线。附加通孔可通过使通孔从所添加的介电层的外表面延伸到先前形成的通孔的

覆盖焊盘的化学或机械工艺来形成。如图3A中所描绘的,如果不期望附加介电层和相关联通孔,则结构可经受层压、曝光和显影覆盖通孔迹线244和覆盖焊盘241和243的诸部分的SR层245和246的SR工艺。如图3B所示,临时核心200以及铜层202和204被移除。核心200可通过机械工艺分离且铜层202和204可在分离之后被蚀刻。

[0041] 在本发明的另一实施例中,半导体结构可包括:具有永久感光介电层和绝缘介电层的无核基板;嵌入在永久感光介电层中的多个迹线;以及延伸穿过绝缘介电层和永久光致成像介电层的用于导电的装置。用于导电的装置提供了在半导体结构中的诸层之间传导电信号(提供电连接)的路径或路线,其穿过一个或多个毗邻层的平面。用于导电的装置可以是在一层中提供开口以用于在诸层之间传导电信号的通孔(垂直互联通路)。用于导电的装置可包括半导体结构的不同层上的相应位置中的两个焊盘,该半导体结构的不同层由穿过该结构的孔洞连接。可以通过电镀、使用导电材料对孔洞进行内衬、使用导电材料填充孔洞、或使用管或铆钉来使该孔洞导电。用于导电的装置可以是吊斗通孔、微通孔、穿孔洞通孔、穿硅通孔、盲通孔或埋通孔。用于导电的装置可包括填充孔洞的筒或导电管、筒与不连通金属层之间的反焊盘或通焊孔洞,并且可任选地包括将筒的每一端连接到组件、平面或迹线的焊盘。

[0042] 应理解,尽管以上描述提及了铜,但替代材料可被用于代替铜。替代材料可包括抵抗蚀刻的机械结构或能被涂覆以抵抗蚀刻的结构。

[0043] 本文所描述的方法的实施例可在许多应用和集成电路中使用。例如,所描述的实施例可在两个管芯之间的双管芯(管芯划分)高密度布线中使用以确保适当的通信。所描述的实施例可在无需使用硅或有机中介体的情况下使用,这可降低制造成本。所描述的实施例可被用于高密度布线应用中的处理器、存储器或功率管理设备。进一步的应用对于本领域普通技术人员应该是显而易见的。

[0044] 本申请中已描述或解说描绘的任何内容都不旨在指定任何组件、步骤、特征、对象、益处、优点、或等同物奉献给公众,无论这些组件、步骤、特征、对象、益处、优点或等同物是否记载在权利要求中。

[0045] 尽管已经结合器件描述了一些方面,但毋庸置疑,这些方面也构成了相应方法的描述,并且因此设备的框或组件还应被理解为相应的方法步骤或方法步骤的特征。与之类似地,结合或作为方法步骤描述的方面也构成相应器件的相应块或细节或特征的描述。方法步骤中的一些或全部可由硬件装置(或使用硬件装置)来执行,诸如举例而言,微处理器、可编程计算机或电子电路。在一些示例性实施例中,多个最重要的方法步骤中的一些或全部可由此种装置来执行。

[0046] 以上描述的示例性实施例仅构成本公开的原理的解说。毋庸置疑,本文所描述的布局和细节的修改和变动将对于本领域其他技术人员将变得明了。因此,本公开旨在仅由所附专利权利要求的保护范围来限定,而非由在本文的示例性实施例的描述和解释的基础上所提出的具体细节来限定。

[0047] 在以上详细描述中,可以看到不同特征在示例性实施例中被编组在一起。这种公开方式并不应被理解为反映所要求保护的示例性实施例需要比相应权利要求中所明确提及的特征更多的特征的意图。确切而言,该情形是使得发明性的内容可驻留在少于所公开的个体示例性实施例的所有特征的特征中。因此,以下权利要求由此应该被认为是被纳入

到该描述中,其中每项权利要求自身可为单独的示例性实施例。尽管每项权利要求自身可为单独示例性实施例,但应注意,尽管权利要求书中的从属权利要求可引用具有一个或多个权利要求的具体组合,但其他示例性实施例也可涵盖或包括所述从属权利要求与具有任何其他从属权利要求的主题内容的组合或任何特征与其他从属和独立权利要求的组合。此类组合在本文提出,除非显示表达了并不以某一具体组合为目标。并且,还旨在使权利要求的特征可被包括在任何其他独立权利要求中,即使所述权利要求不直接从属于该独立权利要求。

[0048] 应且还应注意,本描述或权利要求中公开的方法可由包括用于执行该方法的相应步骤或动作的装置的设备来实现。

[0049] 此外,在一些示例性实施例中,个体步骤/动作可被细分为多个子步骤或包含多个子步骤。此类子步骤可被包含在个体步骤的公开中并且可以是个体步骤的公开的一部分。

[0050] 相应地,本公开的一实施例可包括实施用于位置估计的方法的计算机可读介质。相应地,本公开不限于所解说的示例且任何用于执行文本所描述的功能性的手段均被包括在本公开的实施例中。

[0051] 尽管上述公开示出了本发明的解说性实施例,但是应当注意到,在其中可作出各种更换和改动而不会脱离如所附权利要求定义的本发明的范围。根据本文中所描述的本发明实施例的方法权利要求的功能、步骤和/或动作不必按任何特定次序来执行。此外,尽管本发明的要素可能是以单数来描述或主张权利的,但是复数也是已料想了,除非显式地声明了限定于单数。

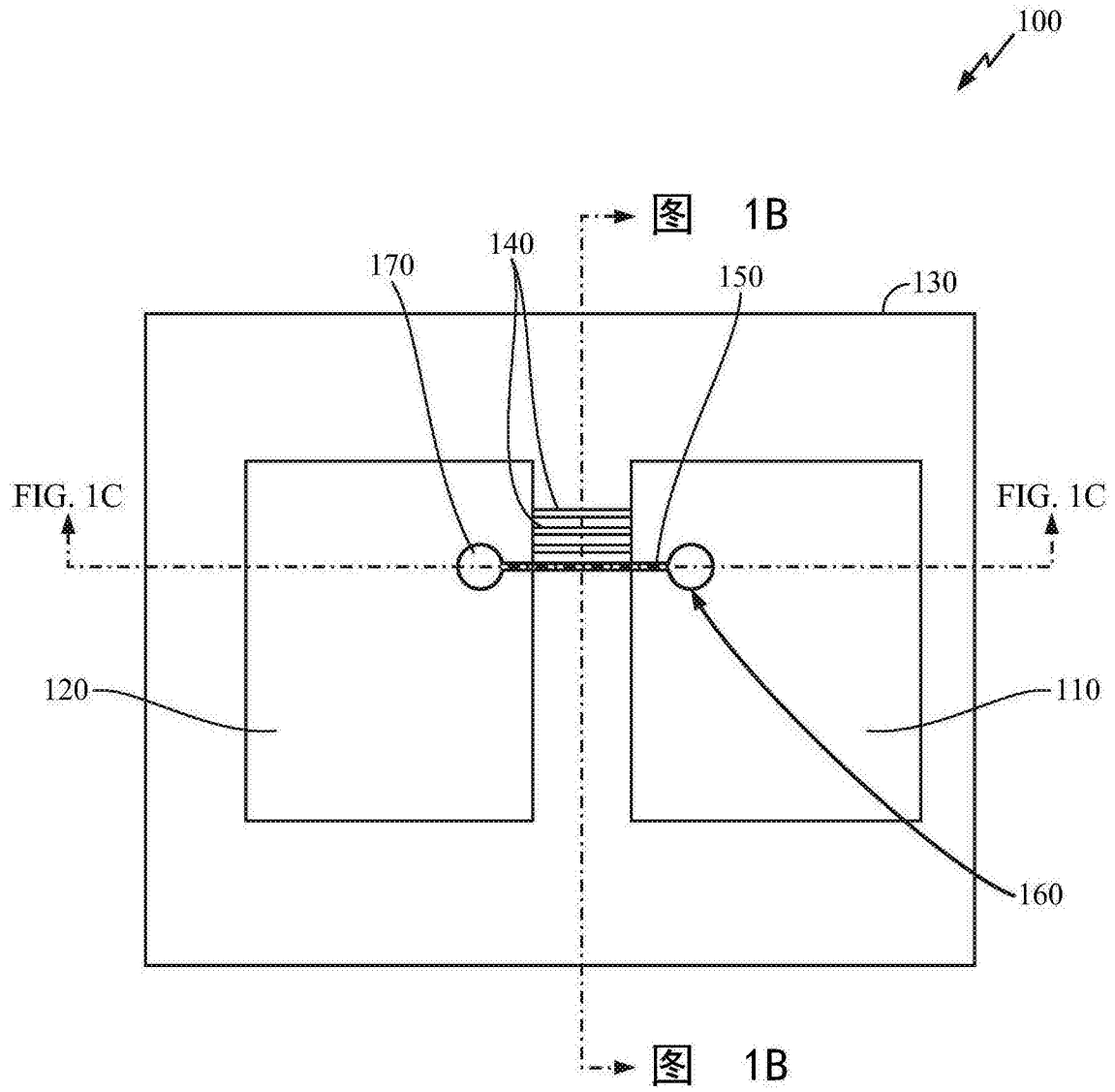


图1A

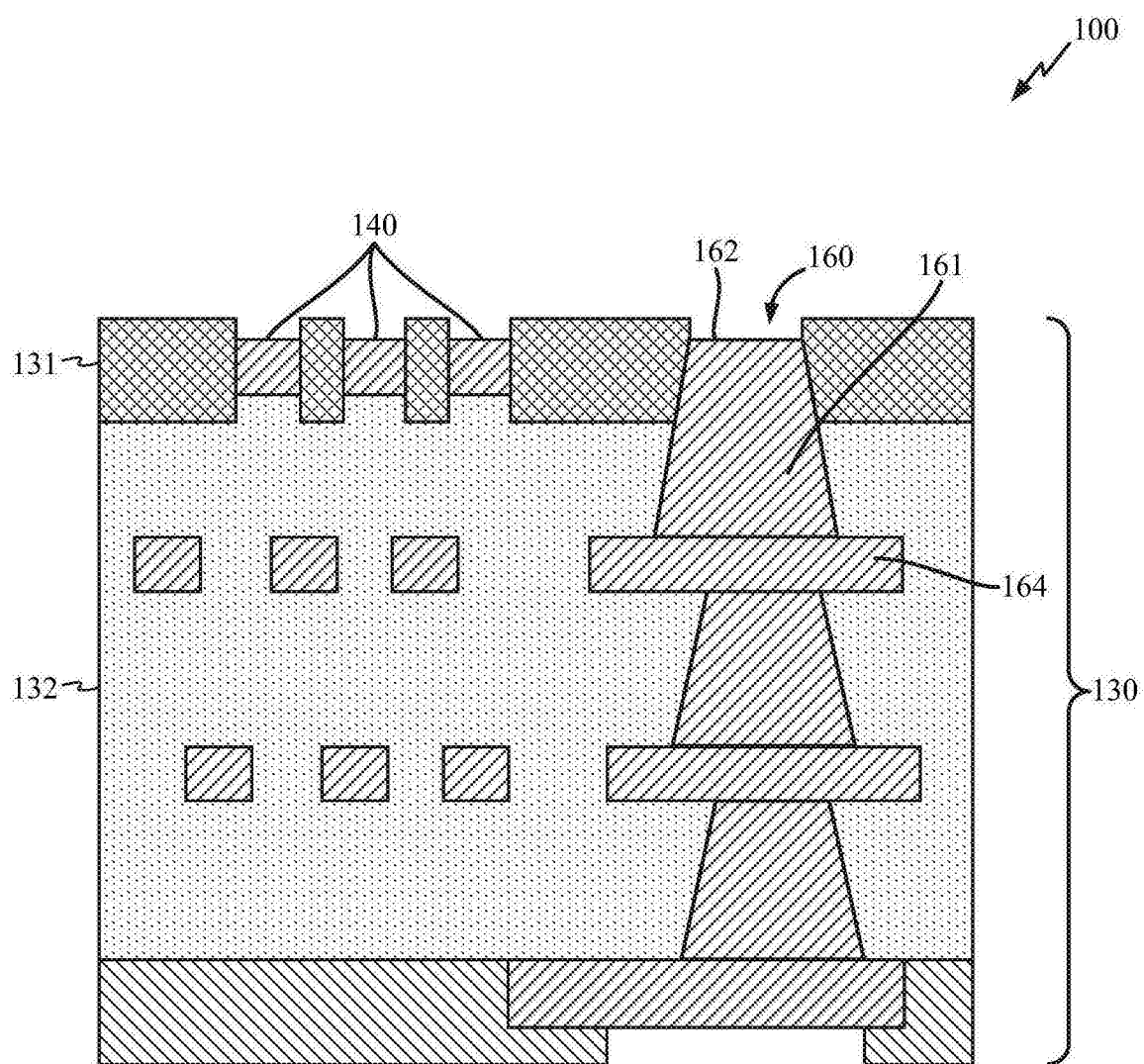


图 1B

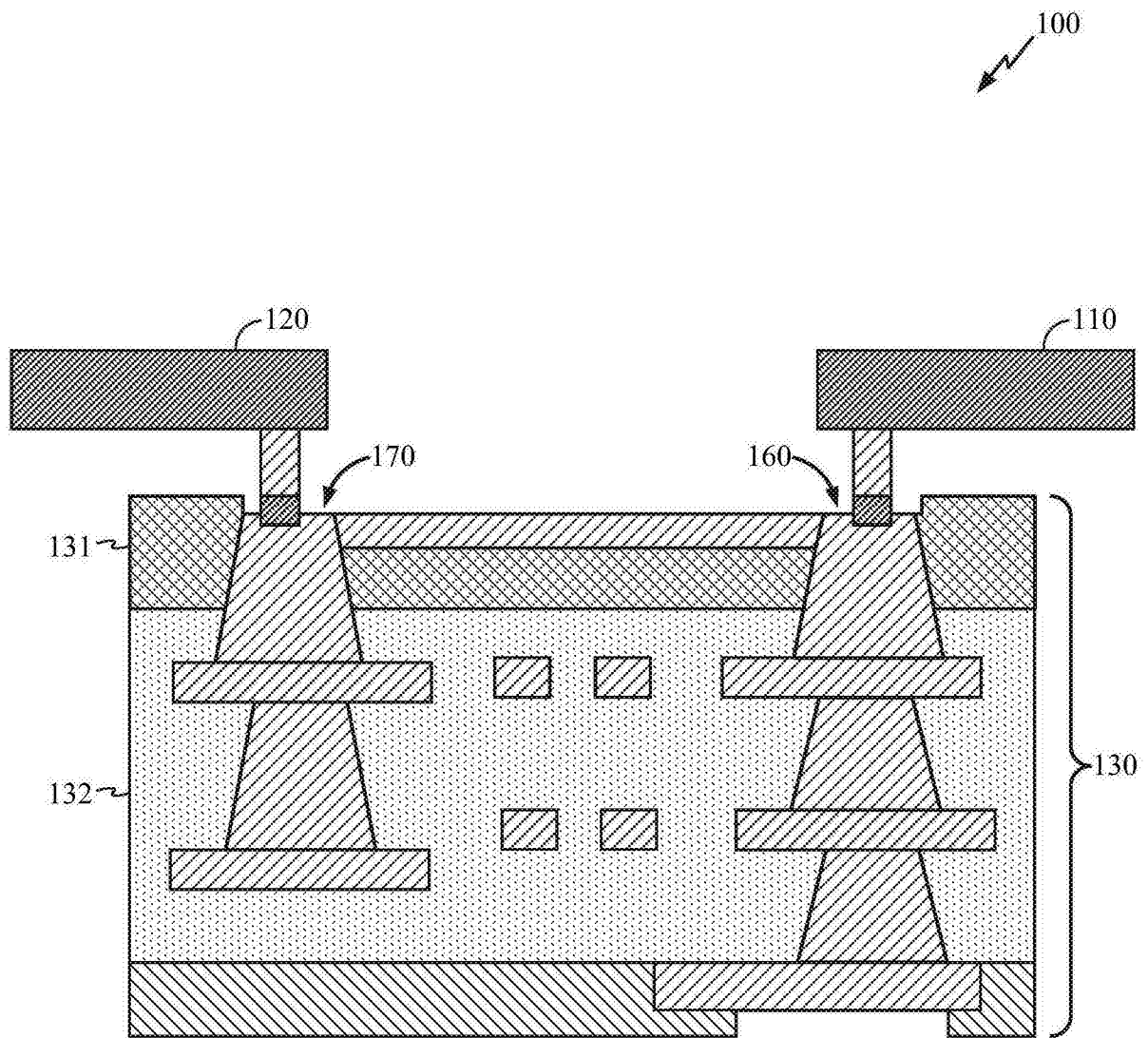


图1C

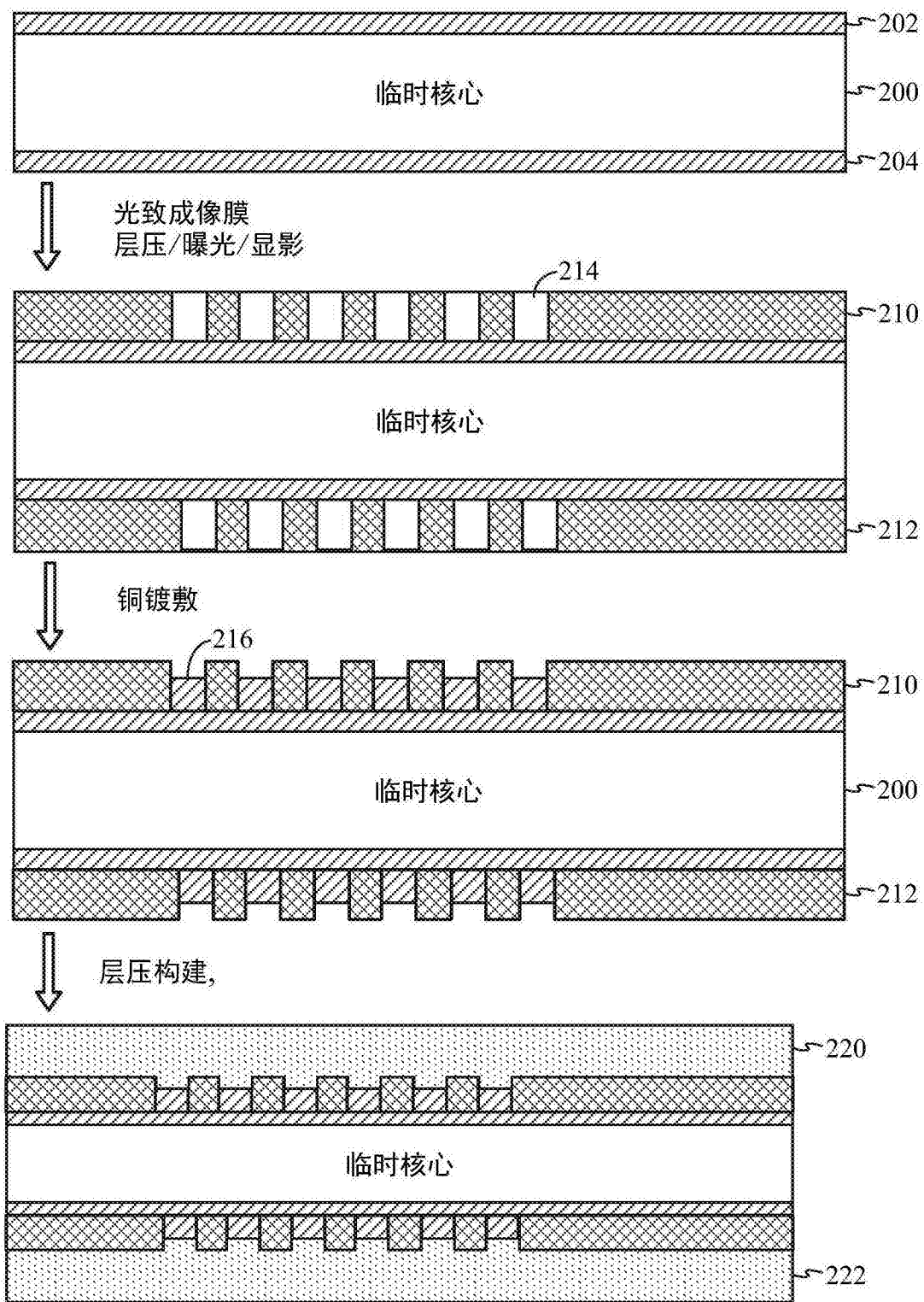


图2A

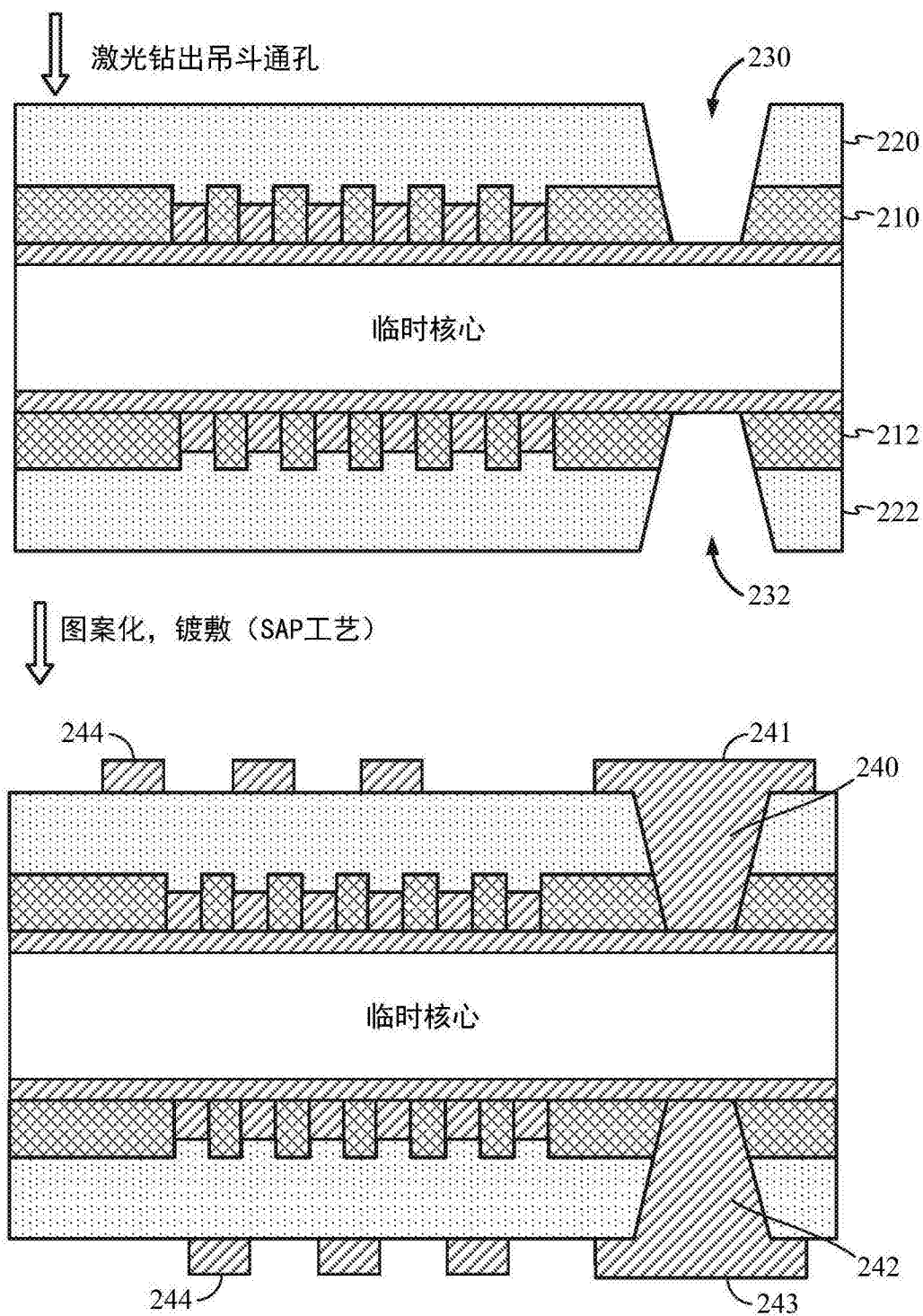
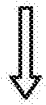
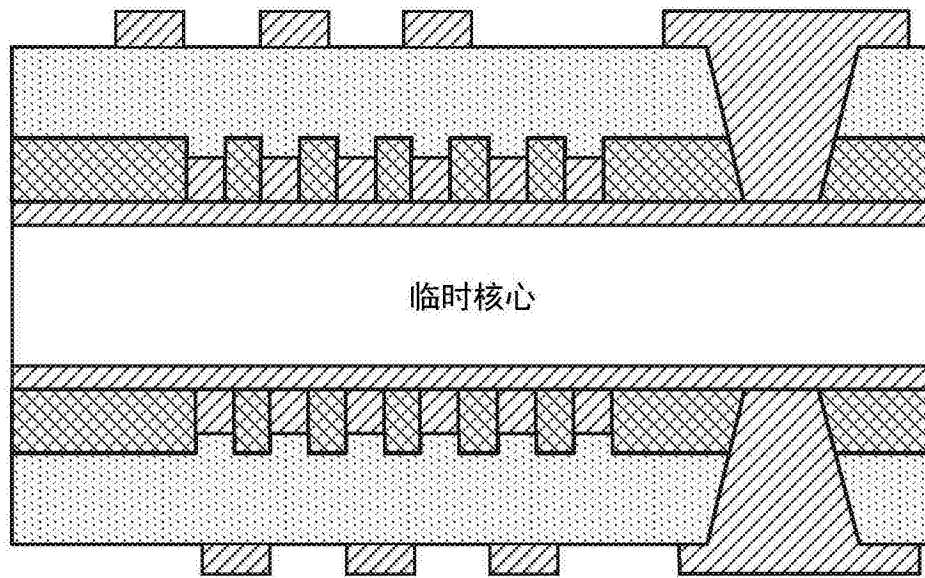


图2B



重复（对更多层）
SR层压、曝光显影

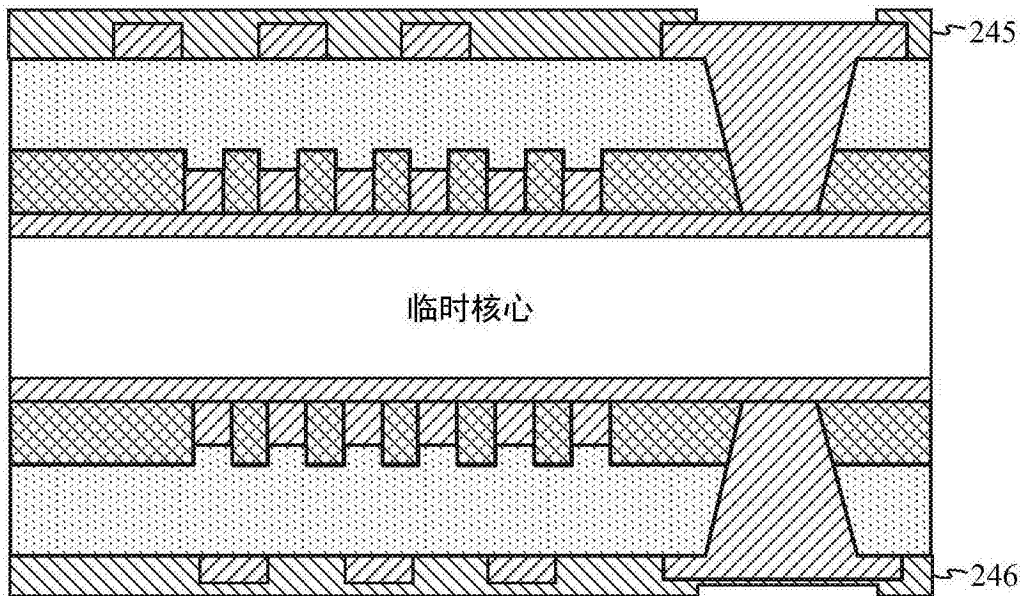


图3A

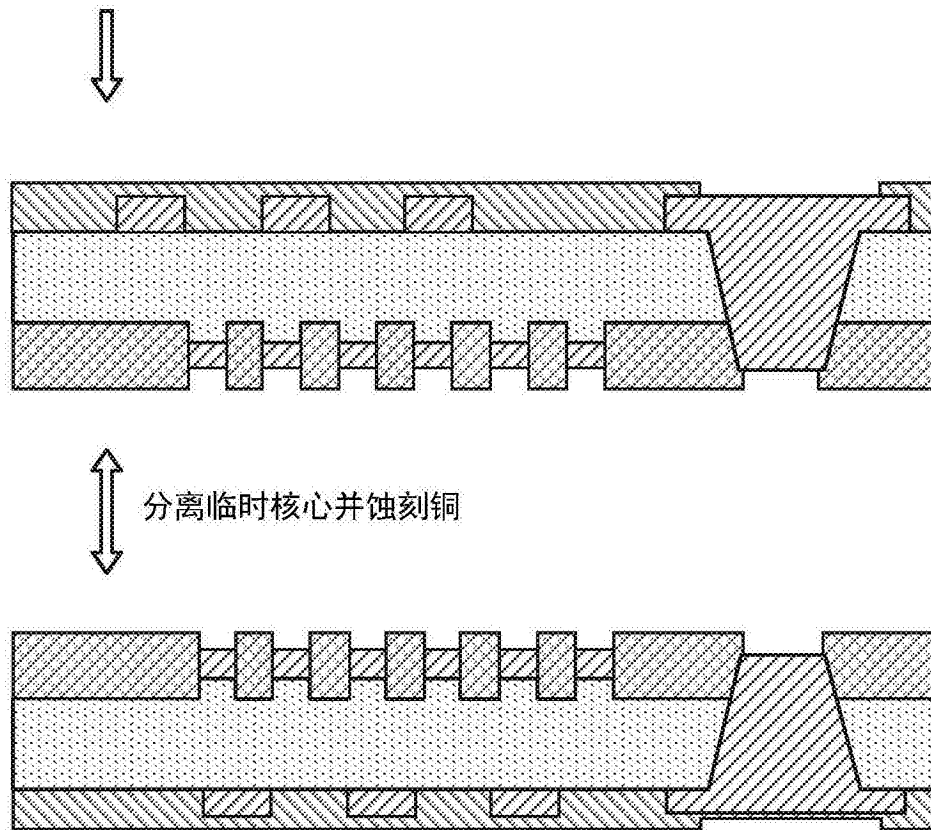


图3B