

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2016 年 12 月 1 日(01.12.2016)



(10) 国際公開番号
WO 2016/189415 A1

- (51) 国際特許分類:
H01L 21/8238 (2006.01) *H01L 27/092* (2006.01)
H01L 27/08 (2006.01) *H01L 29/786* (2006.01)
- (21) 国際出願番号: PCT/IB2016/052813
- (22) 国際出願日: 2016 年 5 月 16 日(16.05.2016)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2015-106411 2015 年 5 月 26 日(26.05.2015) JP
- (71) 出願人: 株式会社半導体エネルギー研究所
(SEMICONDUCTOR ENERGY LABORATORY CO.,
LTD.) [JP/JP]; 〒2430036 神奈川県厚木市長谷 3 9
8 Kanagawa (JP).
- (72) 発明者: 宮入秀和(MIYAIRI, Hidekazu); 〒2430036
神奈川県厚木市長谷 3 9 8 株式会社半導体エネ
ルギー研究所内 Kanagawa (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,
BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN,

CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES,
FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN,
IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR,
LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX,
MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH,
PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK,
SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国 (表示のない限り、全ての種類の広域保
護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW,
MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユー
ラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨー
ロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE,
ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC,
MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR),
OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM,
ML, MR, NE, SN, TD, TG).

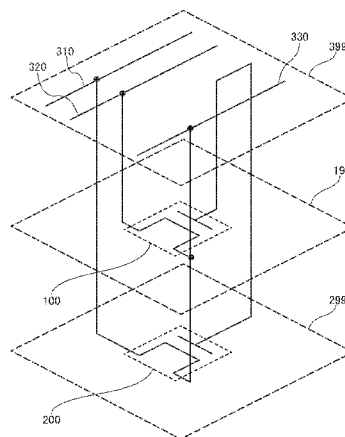
添付公開書類:

- 国際調査報告 (条約第 21 条(3))
- 請求の範囲の補正の期限前の公開であり、補正
を受理した際には再公開される。(規則 48.2(h))

(54) Title: SEMICONDUCTOR DEVICE AND ELECTRONIC DEVICE

(54) 発明の名称: 半導体装置、および電子機器

[図1]



(57) **Abstract:** Provided is a semiconductor device that occupies a small surface area. Also provided is a semiconductor device that can be produced with high productivity. A p-channel transistor is formed, and an n-channel transistor is formed on the p-channel transistor using an oxide semiconductor, thereby constituting an integrated circuit. The semiconductor device comprises a first wiring, second wiring, third wiring and fourth wiring; the p-channel transistor has a first conductor, a second conductor and a third conductor; and the n-channel transistor has a third conductor, a fourth conductor and a fifth conductor. The third conductor is positioned above the first conductor, the first wiring is positioned above the third conductor, the second wiring is positioned above the second conductor, the fourth wiring is positioned above the fourth conductor, and the third wiring is positioned above the fifth conductor.

(57) 要約: 占有面積の小さい半導体装置を提供する。または、生産性の高い半導体装置を提供する。

[続葉有]



WO 2016/189415 A1



pチャネル型のトランジスタと、pチャネル型のトランジスタ上に酸化物半導体を用いたnチャネル型トランジスタと、を形成し、集積回路を構成する。また、第1の配線、第2の配線、第3の配線、および第4の配線を有し、pチャネル型のトランジスタは、第1の導電体と、第2の導電体と、第3の導電体とを有し、nチャネル型のトランジスタは、第3の導電体と、第4の導電体と、第5の導電体とを有する。また、第1の導電体上に、第3の導電体が配置され、かつ第3の導電体上に、第1の配線が配置されており、第2の導電体上に、第2の配線が配置されており、第4の導電体上に、第4の配線が配置されており、第5の導電体上に、第3の配線が配置されている。

明細書

発明の名称

半導体装置、および電子機器

技術分野

[0001]

本発明は、物、方法、または、製造方法に関する。または、本発明は、プロセス、マシン、マニュファクチャ、または、組成物（コンポジション・オブ・マター）に関する。本発明の一態様は、半導体装置、発光装置、表示装置、電子機器、照明装置、及びそれらの作製方法に関する。特に、本発明の一態様は、有機エレクトロルミネッセンス（Electroluminescence、以下ELとも記す）現象を利用した発光装置とその作製方法に関する。特に、本発明の一態様は、電源回路に搭載されるパワーデバイス、メモリやCPUなどのLSI、サイリスタ、コンバータ、およびイメージセンサなどを含む半導体集積回路を部品として搭載した電子機器に関する。

[0002]

なお、本発明の一態様は、上記の技術分野に限定されない。

[0003]

なお、本明細書中において半導体装置とは、半導体特性を利用することで機能しうる装置全般を指す。電気光学装置、半導体回路および電子機器は半導体装置を有する場合がある。

背景技術

[0004]

近年、半導体装置の開発が進められ、LSIやCPUやメモリが主に用いられている。CPUは、半導体ウェハから切り離された半導体集積回路（少なくともトランジスタ及びメモリ）を有し、接続端子である電極が形成された半導体素子の集合体である。

[0005]

LSIやCPUやメモリなどの半導体回路（ICチップ）は、回路基板、例えばプリント配線板に実装され、様々な電子機器の部品の一つとして用いられる。

[0006]

また、絶縁表面を有する基板上に形成された半導体薄膜を用いてトランジスタを構成する技術が注目されている。該トランジスタは集積回路（IC）や画像表示装置（単に表示装置とも表記する）のような電子デバイスに広く応用されている。トランジスタに適用可能な半導体薄膜としてシリコン系半導体材料が広く知られているが、その他の材料として酸化物半導体が注目されている。

[0007]

また、酸化物半導体を用いたトランジスタは、非導通状態において極めてリーク電流が小さいことが知られている。例えば、酸化物半導体を用いたトランジスタの極めて低いリーク電流が小さいという特性を応用した低消費電力のCPUなどが開示されている（特許文献1参照。）。

[先行技術文献]

[特許文献]

[0008]

[特許文献 1] 特開 2012-257187 号公報

発明の概要

発明が解決しようとする課題

[0009]

生産性の高い半導体装置を提供することを課題の一とする。または、歩留まりの高い半導体装置を提供することを課題の一とする。または、占有面積の小さい半導体装置を提供することを課題の一とする。

[0010]

または、集積度の高い半導体装置を提供することを課題の一とする。または、動作速度の速い半導体装置を提供することを課題の一とする。または、消費電力の小さい半導体装置を提供することを課題の一とする。

[0011]

または、新規な半導体装置を提供することを課題の一とする。または、該半導体装置を有するモジュールを提供することを課題の一とする。または、該半導体装置、または該モジュールを有する電子機器を提供することを課題の一とする。

[0012]

なお、これらの課題の記載は、他の課題の存在を妨げるものではない。なお、本発明の一態様は、これらの課題の全てを解決する必要はないものとする。なお、これら以外の課題は、明細書、図面、請求項などの記載から、自ずと明らかとなるものであり、明細書、図面、請求項などの記載から、これら以外の課題を抽出することが可能である。

課題を解決するための手段

[0013]

本発明の一態様は、第 1 のトランジスタと、第 2 のトランジスタと、第 1 の配線と、第 2 の配線と、第 3 の配線と、第 1 の導電体と、第 2 の導電体と、第 3 の導電体と、第 4 の導電体と、第 5 の導電体と、第 6 の導電体と、を有し、第 1 のトランジスタは、第 1 の端子、第 2 の端子、および第 1 のゲート端子を有し、第 2 のトランジスタは、第 3 の端子、第 4 の端子、および第 2 のゲート端子を有し、第 1 の端子は、第 1 の導電体、第 3 の端子、および第 4 の導電体を介して、第 1 の配線と電氣的に接続し、第 2 の端子は、第 2 の導電体、および第 5 の導電体を介して、第 2 の配線と電氣的に接続し、第 1 のゲート端子は、第 3 の導電体、第 6 の導電体、および第 3 の配線を介して、第 2 のゲート端子と電氣的に接続し、第 1 の導電体は、第 1 の端子上に配置され、第 3 の端子は、第 1 の導電体上に配置され、第 4 の導電体は、第 3 の端子を貫通し、第 1 の導電体上に配置され、第 1 の配線は、第 4 の導電体上に配置され、第 2 の導電体は、第 2 の端子上に配置され、第 5 の導電体は、第 2 の導電体上に配置され、第 2 の配線は、第 5 の導電体上に配置され、第 3 の導電体は、第 1 のゲート配線上に配置され、第 6 の導電体は、第 3 の導電体上に配置され、第 3 の配線は、第 6 の導電体上に配置されている。

[0014]

本発明の一態様は、第 1 のトランジスタと、第 2 のトランジスタと、第 1 の配線と、第 2 の配線と、第 3 の配線と、第 1 の導電体と、第 2 の導電体と、第 3 の導電体と、第 4 の導電体と、第 5 の導電体と、第 6 の導電体と、第 1 の構造体と、第 2 の構造体と、を有し、第 1 のトランジスタは、第 1 の端

子、第2の端子、および第1のゲート端子を有し、第2のトランジスタは、第3の端子、第4の端子、および第2のゲート端子を有し、第1の端子は、第1の導電体、第3の端子、および第4の導電体を介して、第1の配線と電気的に接続し、第2の端子は、第2の導電体、および第5の導電体を介して、第2の配線と電気的に接続し、第1のゲート端子は、第3の導電体、第6の導電体、および第3の配線を介して、第2のゲート端子と電気的に接続し、第1の導電体は、第1の端子上に配置され、第3の端子は、第1の導電体上に配置され、第4の導電体は、第3の端子を貫通し、第1の導電体上に配置され、第1の配線は、第4の導電体上に配置され、第2の導電体は、第2の端子上に配置され、第5の導電体は、第1の構造体を貫通し、第2の導電体上に配置され、第2の配線は、第5の導電体および第1の構造体上に配置され、第3の導電体は、第1のゲート配線上に配置され、第6の導電体は、第2の構造体を貫通し、第3の導電体上に配置され、第3の配線は、第6の導電体および第2の構造体上に配置されている。

[0015]

本発明の一態様は、第1のトランジスタと、第2のトランジスタと、第1の配線と、第2の配線と、第3の配線と、第1の導電体と、第2の導電体と、第3の導電体と、第4の導電体と、第5の導電体と、第6の導電体と、第1の構造体と、第2の構造体と、を有し、第1のトランジスタは、第1の端子、第2の端子、および第1のゲート端子を有し、第2のトランジスタは、第3の端子、第4の端子、および第2のゲート端子を有し、第1の端子は、第1の導電体、第3の端子、および第4の導電体を介して、第1の配線と電気的に接続し、第2の端子は、第2の導電体、および第5の導電体を介して、第2の配線と電気的に接続し、第1のゲート端子は、第3の導電体、第6の導電体、および第3の配線を介して、第2のゲート端子と電気的に接続し、第1の導電体は、第1の端子上に配置され、第4の導電体は、第3の端子を貫通し、第1の導電体上に配置され、第1の配線は、第4の導電体の側面と接し、第2の導電体は、第2の端子上に配置され、第5の導電体は、第1の構造体を貫通し、第2の導電体上に配置され、第2の配線は、第5の導電体の側面と接し、第2の配線は、第1の構造体上に配置され、第3の導電体は、第1のゲート配線上に配置され、第6の導電体は、第2の構造体を貫通し、第3の導電体上に配置され、第3の配線は、第6の導電体の側面と接し、第2の配線は、第2の構造体上に配置されている。

[0016]

上記構成において、第1の構造体は、第1の酸化物と、第6の導電体を有し、第2の構造体は、第2の酸化物と、第7の導電体を有している。

[0017]

上記構成において、第2のトランジスタは、酸化物半導体を有している。

[0018]

上記記載の半導体装置を有する電子機器。

発明の効果

[0019]

生産性の高い半導体装置を提供することができる。または、歩留まりの高い半導体装置を提供することができる。または、占有面積の小さい半導体装置を提供することができる。

[0020]

または、集積度の高い半導体装置を提供することができる。または、動作速度の速い半導体装置を提

供することができる。または、消費電力の小さい半導体装置を提供することができる。

[0021]

または、新規な半導体装置を提供することができる。または、該半導体装置を有するモジュールを提供することができる。または、該半導体装置、または該モジュールを有する電子機器を提供することができる。

[0022]

なお、これらの効果の記載は、他の効果の存在を妨げるものではない。なお、本発明の一態様は、これらの効果の全てを有する必要はない。なお、これら以外の効果は、明細書、図面、請求項などの記載から、自ずと明らかとなるものであり、明細書、図面、請求項などの記載から、これら以外の効果を抽出することが可能である。

図面の簡単な説明

[0023]

- [図1] 半導体装置の一形態を説明する回路図。
- [図2] 半導体装置の一形態を説明する斜視図。
- [図3] 半導体装置の一形態を説明する断面図。
- [図4] 半導体装置の一形態を説明する断面図。
- [図5] 半導体装置の一形態を説明する断面図。
- [図6] 半導体装置の一形態を説明する断面図。
- [図7] 半導体装置の一形態を説明する断面図。
- [図8] 半導体装置の一形態を説明する断面図。
- [図9] 半導体装置の作製方法の一形態を説明する断面図。
- [図10] 半導体装置の作製方法の一形態を説明する断面図。
- [図11] 半導体装置の作製方法の一形態を説明する断面図。
- [図12] 半導体装置の作製方法の一形態を説明する断面図。
- [図13] 半導体装置の作製方法の一形態を説明する断面図。
- [図14] 半導体装置の作製方法の一形態を説明する断面図。
- [図15] 半導体装置の作製方法の一形態を説明する断面図。
- [図16] 半導体装置の作製方法の一形態を説明する断面図。
- [図17] 半導体装置の作製方法の一形態を説明する断面図。
- [図18] 半導体装置の作製方法の一形態を説明する断面図。
- [図19] 半導体装置の作製方法の一形態を説明する断面図。
- [図20] 半導体装置の作製方法の一形態を説明する断面図。
- [図21] 半導体装置の作製方法の一形態を説明する断面図。
- [図22] 半導体装置の作製方法の一形態を説明する断面図。
- [図23] 半導体装置の作製方法の一形態を説明する断面図。
- [図24] 半導体装置の作製方法の一形態を説明する断面図。
- [図25] 半導体装置の作製方法の一形態を説明する断面図。
- [図26] 半導体装置の作製方法の一形態を説明する断面図。
- [図27] 半導体装置の作製方法の一形態を説明する断面図。

[図 28] 半導体装置の作製方法の一形態を説明する断面図。

[図 29] 半導体装置の作製方法の一形態を説明する断面図。

[図 30] 半導体装置の作製方法の一形態を説明する断面図。

[図 31] 半導体装置の作製方法の一形態を説明する断面図。

[図 32] 本発明の一態様に係る酸化物半導体の原子数比を説明する図。

[図 33] CAAC-OS および単結晶酸化物半導体の XRD による構造解析を説明する図、ならびに CAAC-OS の制限視野電子回折パターンを示す図。

[図 34] CAAC-OS の断面 TEM 像、ならびに平面 TEM 像およびその画像解析像。

[図 35] nc-OS の電子回折パターンを示す図、および nc-OS の断面 TEM 像。

[図 36] a-like OS の断面 TEM 像。

[図 37] In-Ga-Zn 酸化物の電子照射による結晶部の変化を示す図。

[図 38] 本発明の一態様に係る半導体装置を示すブロック図。

[図 39] 本発明の一態様に係る半導体装置を示す回路図。

[図 40] 本発明の一態様に係る電子機器を示す斜視図。

発明を実施するための形態

[0024]

以下では、本発明の実施の形態について図面を用いて詳細に説明する。ただし、本発明は以下の説明に限定されず、本発明の趣旨およびその範囲から逸脱することなくその形態および詳細を様々に変更し得ることは、当業者であれば容易に理解される。従って、本発明は、以下に示す実施の形態の記載内容に限定して解釈されるものではない。また、以下に説明する実施の形態および実施例において、同一部分または同様の機能を有する部分には、同一の符号または同一のハッチパターンを異なる図面間で共通して用い、その繰り返しの説明は省略する。

[0025]

なお、本明細書で説明する各図において、各構成の大きさ、膜の厚さ、または領域は、明瞭化のために誇張されている場合がある。よって、必ずしもそのスケールに限定されない。

[0026]

また、本明細書にて用いる第 1、第 2、第 3 などの用語は、構成要素の混同を避けるために付したものであり、数的に限定するものではない。そのため、例えば、「第 1 の」を「第 2 の」または「第 3 の」などと適宜置き換えて説明することができる。

[0027]

「ソース」や「ドレイン」の機能は、回路動作において電流の方向が変化する場合などには入れ替わることがある。このため、本明細書においては、「ソース」や「ドレイン」の用語は、入れ替えて用いることができるものとする。

[0028]

また、「平行」とは、二つの直線が -10° 以上 10° 以下の角度で配置されている状態をいう。従って、 -5° 以上 5° 以下の場合も含まれる。また、「略平行」とは、二つの直線が -30° 以上 30° 以下の角度で配置されている状態をいう。また、「垂直」とは、二つの直線が 80° 以上 100° 以下の角度で配置されている状態をいう。従って、 85° 以上 95° 以下の場合も含まれる。また、「略垂直」とは、二つの直線が 60° 以上 120° 以下の角度で配置されている状態をいう。

[0029]

また、本明細書において、結晶が三方晶または菱面体晶である場合、六方晶系として表す。

[0030]

また、電圧とは2点間における電位差のことをいい、電位とはある一点における静電場の中にある単位電荷が持つ静電エネルギー（電氣的な位置エネルギー）のことをいう。ただし、一般的に、ある一点における電位と基準となる電位（例えば接地電位）との電位差のことを、単に電位もしくは電圧と呼び、電位と電圧が同義語として用いられることが多い。このため、本明細書では特に指定する場合を除き、電位を電圧と読み替えてもよいし、電圧を電位と読み替えてもよいこととする。

[0031]

また、酸化物半導体膜を有するトランジスタはnチャネル型トランジスタであるため、本明細書において、ゲート電圧が0Vの場合、ドレイン電流が流れていないとみなすことができるトランジスタを、ノーマリーオフ特性を有するトランジスタと定義する。また、ゲート電圧が0Vの場合、ドレイン電流が流れているとみなすことができるトランジスタを、ノーマリーオン特性を有するトランジスタと定義する。

[0032]

なお、チャネル長とは、例えば、トランジスタの上面図において、酸化物半導体膜（またはトランジスタがオン状態のときに酸化物半導体膜の中で電流の流れる部分）とゲート電極とが重なる領域、またはチャネルが形成される領域における、ソース（ソース領域またはソース電極）とドレイン（ドレイン領域またはドレイン電極）との間の距離をいう。なお、一つのトランジスタにおいて、チャネル長が全ての領域で同じ値をとるとは限らない。即ち、一つのトランジスタのチャネル長は、一つの値に定まらない場合がある。そのため、本明細書では、チャネル長は、チャネルの形成される領域における、いずれか一の値、最大値、最小値または平均値とする。

[0033]

チャネル幅とは、例えば、酸化物半導体膜（またはトランジスタがオン状態のときに酸化物半導体膜の中で電流の流れる部分）とゲート電極とが重なる領域、またはチャネルが形成される領域における、ソースとドレインとが向かい合っている部分の長さをいう。なお、一つのトランジスタにおいて、チャネル幅がすべての領域で同じ値をとるとは限らない。即ち、一つのトランジスタのチャネル幅は、一つの値に定まらない場合がある。そのため、本明細書では、チャネル幅は、チャネルの形成される領域における、いずれか一の値、最大値、最小値または平均値とする。

[0034]

なお、トランジスタの構造によっては、実際にチャネルの形成される領域におけるチャネル幅（以下、実効的なチャネル幅とよぶ。）と、トランジスタの上面図において示されるチャネル幅（以下、見かけ上のチャネル幅とよぶ。）と、が異なる場合がある。例えば、立体的な構造を有するトランジスタでは、実効的なチャネル幅が、トランジスタの上面図において示される見かけ上のチャネル幅よりも大きくなり、その影響が無視できなくなる場合がある。例えば、微細かつ立体的な構造を有するトランジスタでは、酸化物半導体膜の側面に形成されるチャネル領域の割合が大きくなる場合がある。その場合は、上面図において示される見かけ上のチャネル幅よりも、実際にチャネルの形成される実効的なチャネル幅の方が大きくなる。

[0035]

ところで、立体的な構造を有するトランジスタにおいては、実効的なチャネル幅の、実測による見積もりが困難となる場合がある。例えば、設計値から実効的なチャネル幅を見積もるためには、酸化物半導体膜の形状が既知という仮定が必要である。したがって、酸化物半導体膜の形状が正確にわからない場合には、実効的なチャネル幅を正確に測定することは困難である。

[0036]

そこで、本明細書では、トランジスタの上面図において、酸化物半導体膜とゲート電極とが重なる領域における、ソースとドレインとが向かい合っている部分の長さである見かけ上のチャネル幅を、「囲い込みチャネル幅 (SCW: Surrounded Channel Width)」とよぶ場合がある。また、本明細書では、単にチャネル幅と記載した場合には、囲い込みチャネル幅または見かけ上のチャネル幅を指す場合がある。または、本明細書では、単にチャネル幅と記載した場合には、実効的なチャネル幅を指す場合がある。なお、チャネル長、チャネル幅、実効的なチャネル幅、見かけ上のチャネル幅、囲い込みチャネル幅などは、断面TEM像などを取得して、その画像を解析することなどによって、値を決定することができる。

[0037]

なお、トランジスタの電界効果移動度や、チャネル幅当たりの電流値などを計算して求める場合、囲い込みチャネル幅を用いて計算する場合がある。その場合には、実効的なチャネル幅を用いて計算する場合とは異なる値をとる場合がある。

[0038]

(実施の形態1)

本実施の形態では、半導体装置の構造および作製方法について説明する。

[0039]

<CMOSインバータ>

図1に示す回路図は、pチャネル型のトランジスタ200とnチャネル型のトランジスタ100を直列に接続し、かつそれぞれのゲートを接続した、いわゆるCMOSインバータの構成を示している。

[0040]

CMOSインバータは、図中点線で示す階層299、階層199、階層399の積層構造を有する。階層299にはpチャネル型のトランジスタ200が設けられ、階層199にはnチャネル型のトランジスタ100が設けられ、階層399は配線310、配線320、および配線330が設けられている。

[0041]

<半導体装置の構造1>

図3は、図1に対応する半導体装置の断面図である。図2に示す半導体装置は、階層299と、階層199と、階層399とを有する。図3に示す半導体装置は、階層299に設けられたトランジスタ200と、階層199に設けられたトランジスタ100と、階層399に設けられた配線310、配線320、および配線330を有する。また、トランジスタ100は、トランジスタ200の上方に配置する。

[0042]

また、階層と階層の間には、配線を含む積層構造を有していてもよい。例えば、図3に示すように、階層299と階層199の間には、絶縁体281、および絶縁体282と、導電体312、配線34

0、導電体332、および導電体352、を有する積層構造が設けられている。また、階層199と階層399の間には、絶縁体181、および絶縁体182を有する積層構造が設けられている。

[0043]

図2は、図3の階層399、階層299、階層199、階層399と階層199の間の積層構造、および階層199と階層299の間の積層構造のそれぞれの上面図の重なりを表した斜視図である。なお、図3(A)は、図2において面X1-X2-X3-X4の断面図を示す。また、図3(B)は、図2において面Y1-Y2-Y3-Y4の断面図を示す。

[0044]

トランジスタ200と、トランジスタ100との構成の一部は、導電体により接続される。ここで、導電体333、導電体332、導電体331、および配線330は一点破線B1-B2上に重畳して配置する。そのため、配線330が、絶縁体182、絶縁体181、絶縁体180、絶縁体120、絶縁体112、絶縁体111、絶縁体110、およびトランジスタ100の構成要素である酸化物130a、酸化物130b、および導電体140bを貫通して形成する。

[0045]

また、導電体353、導電体352、導電体351、および配線350は一点破線C1-C2上に重畳して配置する。さらに、導電体313、導電体312、導電体311、および配線310は、それぞれの一部が、一点破線A1-A2上で重畳するように配置する。つまり、一点破線A1-A2、一点破線B1-B2、および一点破線C1-C2を外縁とする領域（空間）において、トランジスタ200、およびトランジスタ100のそれぞれ一部または全部が重なる配置とすることが可能である。

[0046]

nチャネル型トランジスタをpチャネル型トランジスタの上方に作ることで半導体装置の集積度を高くすることができる。さらに、nチャネル型トランジスタをpチャネル型トランジスタの上方に作ることで配線引き回し距離を短くすることができ、寄生容量の低減、抵抗の低減により高速動作が実現できる。

[0047]

さらに、pチャネル型のトランジスタと、nチャネル型のトランジスタが異なる層に形成されている。このため、トランジスタの電気特性が向上するように、トランジスタの導電型にあわせて、ゲート導電体、ゲート絶縁膜の材料として、それぞれ異なる材料を選択することが可能である。

[0048]

《階層299》

図3に示すように、階層299は、トランジスタ200と、領域210と、導電体313と、導電体333と、導電体353と、絶縁体280と、を有する。なお、トランジスタ200は、領域210などによって隣接するトランジスタと分離される。領域210は、絶縁性を有する領域である。また、トランジスタ200は、導電体313、導電体333、または導電体353を介し、トランジスタ100、配線310、または配線330と電氣的に接続する。

[0049]

また、階層299に設けられたトランジスタ200は、半導体基板201を用いたトランジスタである。トランジスタ200は、半導体基板201中の領域240aと、半導体基板201中の領域240bと、絶縁体250、絶縁体255、および絶縁体280と、導電体260と、を有する。

[0050]

トランジスタ200において、領域240aおよび領域240bは、ソース領域およびドレイン領域としての機能を有する。また、絶縁体250は、ゲート絶縁体としての機能を有する。また、導電体260は、ゲート電極としての機能を有する。したがって、導電体260に印加する電位によって、チャンネル形成領域の抵抗を制御することができる。即ち、導電体260に印加する電位によって、領域240aと領域240bとの間の導通・非導通を制御することができる。

[0051]

半導体基板201としては、例えば、シリコン、ゲルマニウムなどの単体半導体基板、または炭化シリコン、シリコンゲルマニウム、ヒ化ガリウム、リン化インジウム、酸化亜鉛、酸化ガリウムなどの半導体基板などを用いればよい。好ましくは、半導体基板201として単結晶シリコン基板を用いる。

[0052]

半導体基板201は、n型の導電性を付与する不純物を有する半導体基板を用いる。ただし、半導体基板201として、p型の導電性を付与する不純物を有する半導体基板を用いても構わない。その場合、トランジスタ200となる領域には、n型の導電性を付与する不純物を有するウェルを配置すればよい。または、半導体基板201がi型であっても構わない。

[0053]

半導体基板201の上面は、(110)面を有することが好ましい。こうすることで、トランジスタ200のオン特性を向上させることができる。

[0054]

領域240aおよび領域240bは、p型の導電性を付与する不純物を有する領域である。このようにして、トランジスタ200はpチャンネル型トランジスタを構成する。なお、トランジスタ200はpチャンネル型トランジスタであれば、どのような構造を用いてもよい。

[0055]

また、図3に示すように、階層299上に、絶縁体281および絶縁体282が設けられている。絶縁体281および絶縁体282は、導電体313と導電体311に達する導電体312が埋め込まれている。また、導電体165に達する配線340が埋め込まれている。また、導電体333と導電体331に達する導電体332が埋め込まれている。さらに、導電体353と導電体351に達する導電体352が埋め込まれている。

[0056]

絶縁体281、および絶縁体282としては、例えば、ホウ素、炭素、窒素、酸素、フッ素、マグネシウム、アルミニウム、シリコン、リン、塩素、アルゴン、ガリウム、ゲルマニウム、イットリウム、ジルコニウム、ランタン、ネオジム、ハフニウムまたはタンタルを含む絶縁体を、単層で、または積層で用いればよい。

[0057]

また、絶縁体281、および絶縁体282の一以上は、水素などの不純物および酸素をブロックする機能を有する絶縁体を有することが好ましい。トランジスタ100の近傍に、水素などの不純物および酸素をブロックする機能を有する絶縁体を配置することによって、トランジスタ100の電気特性を安定にすることができる。

[0058]

水素などの不純物および酸素をブロックする機能を有する絶縁体としては、例えば、ホウ素、炭素、窒素、酸素、フッ素、マグネシウム、アルミニウム、シリコン、リン、塩素、アルゴン、ガリウム、ゲルマニウム、イットリウム、ジルコニウム、ランタン、ネオジム、ハフニウムまたはタンタルを含む絶縁体を、単層で、または積層で用いればよい。

[0059]

導電体312、配線340、および導電体332としては、例えば、ホウ素、窒素、酸素、フッ素、シリコン、リン、アルミニウム、チタン、クロム、マンガン、コバルト、ニッケル、銅、亜鉛、ガリウム、イットリウム、ジルコニウム、モリブデン、ルテニウム、銀、インジウム、スズ、タンタルおよびタングステンを一種以上含む導電体を、単層で、または積層で用いればよい。例えば、合金や化合物であってもよく、アルミニウムを含む導電体、銅およびチタンを含む導電体、銅およびマンガンを含む導電体、インジウム、スズおよび酸素を含む導電体、チタンおよび窒素を含む導電体などを用いてもよい。

[0060]

《階層199》

図3に示すように、絶縁体282上に、階層199が設けられている。階層199は、トランジスタ100と、導電体311と、および導電体331とを有する。なお、トランジスタ100は、導電体331、導電体351を介し、トランジスタ200と電氣的に接続する。

[0061]

階層199に設けられたトランジスタ100は、導電体165が埋め込まれた絶縁体110と、ゲート電極として機能する導電体165と、ゲート絶縁体として機能する絶縁体111、絶縁体112、および絶縁体120と、チャンネルが形成される領域を有する酸化物130と、ソースまたはドレインの一方として機能する導電体140aと、ソースまたはドレインの他方として機能する導電体140bと、ゲート電極として機能する導電体160と、ゲート絶縁体として機能する絶縁体150と、絶縁体180と、を有する。

[0062]

なお、導電体165は、例えば、配線340を介して、導電体165に一定の電位を印加することで、トランジスタ100のしきい値電圧などの電気特性を制御する。または、例えば、導電体165を、導電体351等と電氣的に接続させることで、導電体165とトランジスタ100のゲート電極としての機能を有する導電体160とを電氣的に接続しても構わない。こうすることで、トランジスタ100のオン電流を大きくすることができる。また、パンチスルー現象を抑制することができるため、トランジスタ100の飽和領域における電気特性を安定にすることができる。その場合、配線340は必ずしも形成しなくてもよい。

[0063]

また、絶縁体111、絶縁体112、絶縁体120には、トランジスタ100のソースまたはドレインの一方である導電体140bを通して、導電体331に達する配線330と、導電体311に達する配線310と、導電体351に達する配線350と、が貫通している。なお、例えば、絶縁体111において、導電体331に達する開口部に配線330が埋め込まれている状態、つまり、配線330の底面と、絶縁体111の底面とで、基板からの高さが等しい状態においても、貫通しているとす。また、導電体321に達する開口部、導電体311に達する開口部、および導電体351に達す

る開口部に、おいても同様とする。

[0064]

絶縁体111、絶縁体112、絶縁体120は、酸化シリコン膜や酸化窒化シリコン膜などの、酸素を含む絶縁体であることが好ましい。なお、絶縁体120として過剰酸素を含む（化学量論的組成よりも過剰に酸素を含む）絶縁体を用いることが好ましい。このような過剰酸素を含む絶縁体を酸化物130に接して設けることにより、酸化物130中の酸素欠損を補償することができる。

[0065]

また、酸化物130は、酸化物130aと、酸化物130a上の酸化物130bと、酸化物130b上の酸化物130cと、を有する。

[0066]

なお、酸化物130を構成する酸化物は、エネルギーギャップが3.0 eV以上と大きく、酸化物を適切な条件で加工し、そのキャリア密度を十分に低減して得られた酸化物膜が適用されたトランジスタにおいては、オフ状態でのソースとドレイン間のリーク電流（オフ電流）を、従来のシリコンを用いたトランジスタと比較して極めて低いものとすることができる。

[0067]

また、適用可能な酸化物としては、少なくともインジウム（In）あるいは亜鉛（Zn）を含むことが好ましい。特にInとZnを含むことが好ましい。また、該酸化物を用いたトランジスタの電気特性のばらつきを減らすためのスタビライザとして、それらに加えてガリウム（Ga）、スズ（Sn）、ハフニウム（Hf）、ジルコニウム（Zr）、チタン（Ti）、スカンジウム（Sc）、イットリウム（Y）、ランタノイド（例えば、セリウム（Ce）、ネオジム（Nd）、ガドリニウム（Gd））から選ばれた一種、または複数種が含まれていることが好ましい。

[0068]

ここで、酸化物130が、インジウム、元素M及び亜鉛を有する場合を考える。ここで、元素Mは、好ましくは、アルミニウム、ガリウム、イットリウムまたはスズなどとする。そのほかの元素Mに適用可能な元素としては、ホウ素、シリコン、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、マグネシウムなどがある。ただし、元素Mとして、前述の元素を複数組み合わせても構わない場合がある。酸化物130が有するインジウム、元素M及び亜鉛の原子数の比、 $x : y : z$ の好ましい範囲について、図32（A）および図32（B）を用いて説明する。

[0069]

図32（A）および図32（B）は、酸化物130が有するインジウム、元素M及び亜鉛の原子数の比の範囲について示している。ここで図32（A）および図32（B）では、元素MがGaの例を示している。なお、酸素の原子数比については図32（A）および図32（B）には記載しない。

[0070]

例えば、インジウム、元素M及び亜鉛を有する酸化物では、 $\text{InMO}_3(\text{ZnO})_m$ （ m は自然数）で表されるホモロガス相（ホモロガスシリーズ）が存在することが知られている。ここで、例として元素MがGaである場合を考える。図32に太い直線で示した領域は、例えば In_2O_3 、 Ga_2O_3 、及び ZnO の粉末を混合し、1350℃で焼成した場合に、単一相の固溶域をとり得ることが知られている組成である。また、図32に四角のシンボルで示す座標は、スピネル型の結晶構造が混在しや

すいことが知られている組成である。

[0071]

例えば、スピネル型の結晶構造を有する化合物として、 $ZnGa_2O_4$ などの ZnM_2O_4 で表される化合物が知られている。また、図32(A)および図32(B)に示すように $ZnGa_2O_4$ の近傍の組成、つまり x 、 y 及び z が $(x:y:z) = (0:2:1)$ に近い値を有する場合には、スピネル型の結晶構造が形成、あるいは混在しやすい。

[0072]

ここで、酸化物130はCAAC-OS(c-axis-aligned crystalline oxide semiconductor)膜であることが好ましい。また、CAAC-OS膜は、特にスピネル型の結晶構造が含まれないことが好ましい。また、キャリア移動度を高めるためにはInの含有率を高めることが好ましい。インジウム、元素M及び亜鉛を有する酸化物130では主として重金属のs軌道がキャリア伝導に寄与しており、インジウムの含有率を多くすることにより、より多くのs軌道が重なるため、インジウムの含有率が多い酸化物はインジウムの含有率が少ない酸化物と比較して移動度が高くなる。そのため、酸化物130にインジウムの含有量が多い酸化物を用いることで、キャリア移動度を高めることができる。

[0073]

よって、酸化物130の有するインジウム、元素M及び亜鉛の原子数の比、 $x:y:z$ は、例えば図32(B)に示す領域11の範囲であることが好ましい。ここで、領域11は、第1の座標K($x:y:z=8:14:7$)と、第2の座標L($x:y:z=2:5:7$)と、第3の座標M($x:y:z=51:149:300$)と、第4の座標N($x:y:z=46:288:833$)と、第5の座標O($x:y:z=0:2:11$)と、第6の座標P($x:y:z=0:0:1$)と、第7の座標Q($x:y:z=1:0:0$)とを、順番に線分で結んだ範囲内の原子数の比を有する領域である。なお、領域11には、直線上の座標も含む。

[0074]

$x:y:z$ を図32(B)に示す領域11とすることにより、ナノビーム解析においてスピネル型の結晶構造が観測される割合をなくすることができる、または極めて低くすることができる。よって、優れたCAAC-OS膜を得ることができる。また、CAAC構造とスピネル型の結晶構造の境界におけるキャリア散乱等を減少させることができるため、酸化物130をトランジスタに用いた場合に、高い電界効果移動度のトランジスタを実現することができる。また、信頼性の高いトランジスタを実現することができる。

[0075]

また、酸化物130中における不純物の影響について説明する。なお、トランジスタの電気特性を安定にするためには、酸化物130中の不純物濃度を低減し、低キャリア密度化および高純度化することが有効である。なお、酸化物130のキャリア密度は、 $8 \times 10^{11}/\text{cm}^3$ 未満、好ましくは $1 \times 10^{11}/\text{cm}^3$ 未満、さらに好ましくは $1 \times 10^{10}/\text{cm}^3$ 未満であり、 $1 \times 10^{-9}/\text{cm}^3$ 以上のキャリア密度の酸化物とすることが好ましい。また、酸化物130中の不純物濃度を低減するためには、近接する膜中の不純物濃度も低減することが好ましい。

[0076]

また、酸化物130中に窒素が含まれると、キャリア密度を増大させてしまう場合がある。酸化物1

30の窒素濃度は、SIMSにおいて、 $5 \times 10^{19} \text{ atoms/cm}^3$ 未満、好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 以下、より好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 以下、さらに好ましくは $5 \times 10^{17} \text{ atoms/cm}^3$ 以下とする。

[0077]

また、酸化物130中に水素が含まれると、キャリア密度を増大させてしまう場合がある。さらに、酸化物130において、不純物として含まれる水素は、酸化物表面に移動すると、表面近くの酸素と結合し、水分子となって脱離することがある。その際、水分子として脱離したOの位置に酸素欠損V_oが形成される。そのため、酸化物130の水素濃度は十分に低減されていることが望ましい。したがって、酸化物130は、TDS分析(Thermal Desorption Spectrometry: 昇温脱離ガス分光法)の水分子数換算にて、100°C以上700°C以下または100°C以上500°C以下の表面温度の範囲で、 $1.0 \times 10^{21} \text{ 個/cm}^3$ (1.0 個/nm^3)以下、好ましくは $1.0 \times 10^{20} \text{ 個/cm}^3$ (0.1 個/nm^3)以下の水分子として観測できるものとする。

[0078]

ここで、TDS分析を用いた水の放出量の測定方法について、以下に説明する。

[0079]

測定試料をTDS分析したときの気体の全放出量は、放出ガスのイオン強度の積分値に比例する。そして標準試料との比較により、気体の全放出量を計算することができる。

[0080]

例えば、標準試料である所定の密度の水素を含むシリコン基板のTDS分析結果、および測定試料のTDS分析結果から、測定試料の酸素分子の放出量($N_{\text{H}_2\text{O}}$)は、下に示す式で求めることができる。ここでは、TDS分析で得られる質量電荷比18で検出されるガスの全てが水分子由来と仮定する。 CH_4 の質量電荷比は18であるが、存在する可能性が低いものとしてここでは考慮しない。また、水素の同位体である質量数2および質量数3の水素分子を含む水分子と、酸素原子の同位体である質量数17の酸素原子および質量数18の酸素原子を含む水分子とについても、自然界における存在比率が極微量であるため考慮しない。

[0081]

[数1]

$$N_{\text{H}_2\text{O}} = \frac{N_{\text{H}_2}}{S_{\text{H}_2}} \times S_{\text{H}_2\text{O}} \times \alpha$$

[0082]

N_{H_2} は、標準試料から脱離した水素分子を密度で換算した値である。 S_{H_2} は、標準試料をTDS分析したときのイオン強度の積分値である。ここで、標準試料の基準値を、 $N_{\text{H}_2}/S_{\text{H}_2}$ とする。 $S_{\text{H}_2\text{O}}$ は、測定試料をTDS分析したときのイオン強度の積分値である。 α は、TDS分析におけるイオン強度に影響する係数である。上記式の詳細に関しては、特開平6-275697公報を参照する。なお、上記酸素の放出量は、電子科学株式会社製の昇温脱離分析装置EMD-WA1000S/Wを用い、標準試料として一定量の水素原子を含むシリコン基板を用いて測定した。

[0083]

なお、 $N_{\text{H}_2\text{O}}$ は水分子の放出量である。水素原子に換算したときの放出量は、水分子の放出量の2倍となる。

[0084]

なお、酸化物中の不純物としての水素は、水素原子、水素イオン、水素分子、ヒドロキシ基、水酸化物イオンなどの状態となっており、水分子として存在することは難しい。

[0085]

水素濃度が十分に低減された結晶を有する酸化物をトランジスタのチャネル形成領域に用いることで、安定した電気特性を付与することができる。つまり、電気特性の変動を抑制すると共に、信頼性を向上させることができる。また、消費電力が低減された半導体装置を提供することができる。

[0086]

また、図2に示す半導体装置において、酸化物130と導電体160の間に、絶縁体150の他にバリア膜を設けてもよい。もしくは、酸化物130cにバリア性があるものを用いてよい。

[0087]

なお、バリア膜としては、酸素や水素に対してバリア性のある絶縁膜を用いることが望ましい。このような絶縁体としては、例えば、酸化アルミニウム、酸化窒化アルミニウム、酸化ガリウム、酸化窒化ガリウム、酸化イットリウム、酸化窒化イットリウム、酸化ハフニウム、酸化窒化ハフニウム、窒化シリコンなどを用いることができる。このような材料を用いて形成した場合、バリア膜は酸化物130からの酸素の放出や絶縁体120から酸化物130以外への酸素の拡散を抑え、また、外部からの水素等の不純物の侵入を防ぐ層として機能する。

[0088]

過剰酸素を含む絶縁膜を酸化物130に接して設け、さらにバリア膜で包み込むことで、酸化物を化学量論比組成とほぼ一致するような状態、または化学量論的組成より酸素が多い過飽和の状態とすることができる。また、酸化物130への水素等の不純物の侵入を防ぐことができる。

[0089]

また、導電体140aおよび導電体140bは、モリブデン、チタン、タンタル、タングステン、アルミニウム、銅、クロム、ネオジム、スカンジウムから選ばれた元素を含む金属膜、または上述した元素を成分とする金属窒化物膜(窒化チタン膜、窒化モリブデン膜、窒化タングステン膜)等である。又は、インジウム錫酸化物、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム亜鉛酸化物、酸化ケイ素を添加したインジウム錫酸化物などの導電性材料を適用することもできる。また、上記導電性材料と、上記金属材料の積層構造とすることもできる。

[0090]

また、導電体160、導電体165は、モリブデン、チタン、タンタル、タングステン、アルミニウム、銅、クロム、ネオジム、スカンジウムから選ばれた元素を含む金属膜、または上述した元素を成分とする金属窒化物膜(窒化チタン膜、窒化モリブデン膜、窒化タングステン膜)等を用いるとよい。又は、インジウム錫酸化物、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム亜鉛酸化物、酸化ケイ素を添加したインジウム錫酸化物などの導電性材料を適用することもできる。また、上記導電性材料と、上記金属材料の積層構造とすることもできる。

[0091]

なお、導電体165を形成するさいに、導電体311、導電体331、および導電体351を同時に

形成するとよい。従って、導電体 3 1 1、導電体 3 3 1、および導電体 3 5 1 は導電体 1 6 0 および導電体 1 6 5 と同様の材料を用いることができる。

[0092]

また、絶縁体 1 8 0 には、トランジスタ 1 0 0 のソースまたはドレインの一方である導電体 1 4 0 b を通って、導電体 3 3 1 に達する配線 3 3 0 と、トランジスタ 1 0 0 のソースまたはドレインの他方である導電体 1 0 4 a に達する配線 3 2 0 と、導電体 3 5 1 に達する配線 3 5 0 と、が貫通している。また、絶縁体 1 8 0 には、トランジスタ 1 0 0 のゲート電極である導電体 1 6 0、ゲート絶縁体である絶縁体 1 5 0、酸化物 1 3 0 が埋め込まれている。

[0093]

なお、絶縁体 1 2 0 として過剰酸素を含む（化学量論的組成よりも過剰に酸素を含む）絶縁体を用いることが好ましい。このような過剰酸素を含む絶縁体を酸化物 1 3 0 に接して設けることにより、酸化物 1 3 0 中の酸素欠損を補償することができる。

[0094]

また、図 3 に示すように、階層 1 9 9 上に、絶縁体 1 8 1、および絶縁体 1 8 2 が設けられている。また、絶縁体 1 8 1、および絶縁体 1 8 2 には、配線 3 1 0、配線 3 2 0、および配線 3 3 0 が貫通している。

[0095]

絶縁体 1 8 1、および絶縁体 1 8 2 としては、例えば、ホウ素、炭素、窒素、酸素、フッ素、マグネシウム、アルミニウム、シリコン、リン、塩素、アルゴン、ガリウム、ゲルマニウム、イットリウム、ジルコニウム、ランタン、ネオジム、ハフニウムまたはタンタルを含む絶縁体を、単層で、または積層で用いればよい。

[0096]

また、絶縁体 1 8 1、および絶縁体 1 8 2 の一以上は、水素などの不純物および酸素をブロックする機能を有する絶縁体を有することが好ましい。トランジスタ 1 0 0 の近傍に、水素などの不純物および酸素をブロックする機能を有する絶縁体を配置することによって、トランジスタ 1 0 0 の電気特性を安定にすることができる。

[0097]

水素などの不純物および酸素をブロックする機能を有する絶縁体としては、例えば、ホウ素、炭素、窒素、酸素、フッ素、マグネシウム、アルミニウム、シリコン、リン、塩素、アルゴン、ガリウム、ゲルマニウム、イットリウム、ジルコニウム、ランタン、ネオジム、ハフニウムまたはタンタルを含む絶縁体を、単層で、または積層で用いればよい。

[0098]

《階層 3 9 9》

図 3 に示すように、絶縁体 1 8 2 上に、階層 3 9 9 が設けられている。階層 3 9 9 は、配線 3 1 0、配線 3 2 0、および配線 3 3 0 と、配線 3 1 0、配線 3 2 0、および配線 3 3 0 が埋め込まれた絶縁体 3 6 0 を有する。

[0099]

また、絶縁体 3 6 0 は、導電体 3 1 1 に達する配線 3 1 0 と、導電体 1 4 0 a に達する配線 3 2 0 と、導電体 3 3 1 に達する配線 3 3 0 と、導電体 3 5 1 に達する配線 3 5 0 とが貫通している。

[0100]

絶縁体360としては、例えば、ホウ素、炭素、窒素、酸素、フッ素、マグネシウム、アルミニウム、シリコン、リン、塩素、アルゴン、ガリウム、ゲルマニウム、イットリウム、ジルコニウム、ランタン、ネオジム、ハフニウムまたはタンタルを含む絶縁体を、単層で、または積層で用いればよい。

[0101]

配線310、配線320、および配線330としては、例えば、ホウ素、窒素、酸素、フッ素、シリコン、リン、アルミニウム、チタン、クロム、マンガン、コバルト、ニッケル、銅、亜鉛、ガリウム、イットリウム、ジルコニウム、モリブデン、ルテニウム、銀、インジウム、スズ、タンタルおよびタングステンを一種以上含む導電体を、単層で、または積層で用いればよい。例えば、合金や化合物であってもよく、アルミニウムを含む導電体、銅およびチタンを含む導電体、銅およびマンガンを含む導電体、インジウム、スズおよび酸素を含む導電体、チタンおよび窒素を含む導電体などを用いてもよい。

[0102]

<半導体装置の構造2>

なお、図4に示す半導体装置は、図1、図2、図3に示した半導体装置のトランジスタ200の構造のみが異なる半導体装置である。よって、図4に示す半導体装置については、図1、図2、図3に示した半導体装置の記載を参酌する。具体的には、図4に示す半導体装置は、トランジスタ200がFin型である場合を示している。トランジスタ200をFin型とすることにより、実効上のチャネル幅が増大することによりトランジスタ200のオン特性を向上させることができる。また、ゲート導電体の電界の寄与を高くすることができるため、トランジスタ200のオフ特性を向上させることができる。

[0103]

本実施の形態により、nチャネル型Siトランジスタを、複雑なドーピング工程がない酸化物半導体トランジスタに置き換える事で、少ないマスク枚数でCMOSインバータを作製することができる。従って、生産性、歩留まりを高くすることができる。また、nチャネル型トランジスタをpチャネル型トランジスタの上方に作ることで半導体装置の集積度を高くすることができる。さらに、nチャネル型トランジスタをpチャネル型トランジスタの上方に作ることで配線引き回し距離を短くすることができ、寄生容量の低減、抵抗の低減により高速動作が実現できる。

[0104]

さらに、pチャネル型のトランジスタと、nチャネル型のトランジスタが異なる層に形成されている。このため、トランジスタの電気特性が向上するように、トランジスタの導電型にあわせて、ゲート導電体、ゲート絶縁膜の材料として、それぞれ異なる材料を選択することが可能である。

[0105]

(実施の形態2)

本実施の形態では、トランジスタ100の変形例について、図5を用いて説明する。なお、実施の形態1に示す構造と同符号を付記した構成要素は、実施の形態1に示す半導体装置を参酌することができる。特に、階層299、階層299と階層199の間の積層構造は実施の形態1と同様の構造であるため、実施の形態1に示す半導体装置を参酌することができる。

[0106]

＜半導体装置の構造３＞

図５は、実施の形態１とは異なる半導体装置の断面図を示す。図５に示す半導体装置は、階層２９９と、階層１９９と、階層３９９とを有する。なお、図５に示す半導体装置は、実施の形態１に示す半導体装置とは、階層２９９および階層３９９の構成が異なる。図５に示す半導体装置は、階層２９９に設けられたトランジスタ２００と、階層１９９に設けられたトランジスタ１００、構造体１０１、および構造体１０２と、階層３９９に設けられた配線３１０、配線３２０、および配線３３０を有する。また、トランジスタ１００は、トランジスタ２００の上方に配置する。また、階層と階層の間には、配線を含む積層構造を有していてもよい。

[０１０７]

トランジスタ２００と、トランジスタ１００との構成の一部は、導電体により接続される。ここで、導電体３３３、導電体３３２、導電体３３１、導電体３３６、および配線３３０は一点破線Ｂ１－Ｂ２上に重畳して配置する。そのため、導電体３３６が、絶縁体１８２、絶縁体１８１、絶縁体１８０、絶縁体１２０、絶縁体１１２、絶縁体１１１、絶縁体１１０、およびトランジスタ１００の構成要素である酸化物１３０ａ、酸化物１３０ｂ、および導電体１４０ｂを貫通して形成する。

[０１０８]

また、導電体３５３、導電体３５２、導電体３５１、構造体１０２、および配線３５０は一点破線Ｃ１－Ｃ２上に重畳して配置する。さらに、導電体３１３、導電体３１２、導電体３１１、構造体１０１および配線３１０は、それぞれの一部が、一点破線Ａ１－Ａ２上で重畳するように配置する。つまり、一点破線Ａ１－Ａ２、一点破線Ｂ１－Ｂ２、および一点破線Ｃ１－Ｃ２を外縁とする領域（空間）において、トランジスタ２００、およびトランジスタ１００のそれぞれ一部または全部が重なる配置とすることが可能である。

[０１０９]

nチャネル型トランジスタをpチャネル型トランジスタの上方に作ることで半導体装置の集積度を高くすることができる。さらに、nチャネル型トランジスタをpチャネル型トランジスタの上方に作ることで配線引き回し距離を短くすることができ、寄生容量の低減、抵抗の低減により高速動作が実現できる。

[０１１０]

さらに、pチャネル型のトランジスタと、nチャネル型のトランジスタが異なる層に形成されている。このため、トランジスタの電気特性が向上するように、トランジスタの導電型にあわせて、ゲート導電体、ゲート絶縁膜の材料として、それぞれ異なる材料を選択することが可能である。

[０１１１]

＜階層１９９＞

図５に示すように、絶縁体２８２上に、階層１９９が設けられている。階層１９９は、トランジスタ１００と、導電体３１１、および導電体３３１と、構造体１０１、および構造体１０２と、を有する。なお、トランジスタ１００は、構造体１０１、および導電体３３１を介し、トランジスタ２００と電氣的に接続する。また、トランジスタ１００は、構造体１０２、および導電体３５１を介し、トランジスタ２００と電氣的に接続する。

[０１１２]

階層１９９に設けられたトランジスタ１００は、導電体１６５が埋め込まれた絶縁体１１０と、ゲー

ト電極として機能する導電体 165 と、ゲート絶縁体として機能する絶縁体 111、絶縁体 112、および絶縁体 120 と、チャネルが形成される領域を有する酸化物 130 と、ソースまたはドレインの一方として機能する導電体 140a と、ソースまたはドレインの他方として機能する導電体 140b と、ゲート電極として機能する導電体 160 と、ゲート絶縁体として機能する絶縁体 150 と、絶縁体 180 と、を有する。

[0113]

なお、導電体 165 は、例えば、配線 340 を介して、導電体 165 に一定の電位を印加することで、トランジスタ 100 のしきい値電圧などの電気特性を制御する。または、例えば、導電体 165 を、導電体 351 等と電氣的に接続させることで、導電体 165 とトランジスタ 100 のゲート電極としての機能を有する導電体 160 とを電氣的に接続しても構わない。こうすることで、トランジスタ 100 のオン電流を大きくすることができる。また、パンチスルー現象を抑制することができるため、トランジスタ 100 の飽和領域における電気特性を安定にすることができる。その場合、配線 340 は必ずしも形成しなくてもよい。

[0114]

階層 199 に設けられた構造体 101 は、酸化物 131a、酸化物 131b、導電体 141 の積層構造を有する。また、構造体 101 には、導電体 311 に達する導電体 316 が貫通している。

[0115]

また、階層 199 に設けられた構造体 102 は、酸化物 132a、酸化物 132b、導電体 142 の積層構造を有する。また、構造体 101 には、導電体 311 に達する導電体 356 が貫通している。

[0116]

また、絶縁体 111、絶縁体 112、絶縁体 120 には、トランジスタ 100 のソースまたはドレインの一方である導電体 140b を通って、導電体 331 に達する導電体 336 と、導電体 351 に達する導電体 356 と、導電体 311 に達する導電体 316 とが貫通している。

[0117]

また、絶縁体 180 には、トランジスタ 100 のソースまたはドレインの一方である導電体 140b を通って、導電体 331 に達する導電体 336 と、トランジスタ 100 のソースまたはドレインの他方である導電体 104a に達する配線 320 と、導電体 351 に達する導電体 356 と、が貫通している。また、絶縁体 180 には、トランジスタ 100 のゲート電極である導電体 160、ゲート絶縁体である絶縁体 150、酸化物 130 が埋め込まれている。

[0118]

また、導電体 336 は、絶縁体 180、トランジスタ 100 のソースまたはドレインの一方である導電体 140b、酸化物 130、絶縁体 120、絶縁体 112、および絶縁体 111 を貫通し、配線 330 と導電体 331 とを、接続している。本構成において、導電体 336 は、トランジスタ 100 のソースまたはドレインの一方である導電体 140b と、側面だけでなく、上面とも接する。従って、導電体 336 と導電体 140b との接触面積を十分に確保し、導電体 140b に安定した電圧を印加できるため、電気特性の高い半導体装置を提供することができる。

[0119]

また、本構成は、導電体 336 の上面の面積が、導電体 336 と配線 330 と接する面積よりも大きいため、後に形成する配線 330 との位置合わせも容易となる。従って、生産性の高い半導体装置を

提供することができる。または、歩留まりの高い半導体装置を提供することができる。

[0120]

また、導電体316は、および導電体356は、構造体101、および構造体102を貫通し、配線310、および配線350とそれぞれ接続している。従って、導電体316の上面、および導電体356の上面が、導電体316と配線310との接する面、導電体356と配線350とが接する面よりも、大きくできるため、後に形成する配線310、および配線350との位置合わせも容易である。従って、生産性の高い半導体装置を提供することができる。または、歩留まりの高い半導体装置を提供することができる。

[0121]

また、図5に示すように、階層199上に、開口部を有する絶縁体181、および絶縁体182が設けられている。また、開口部にはそれぞれ配線310、配線320、および配線330の一部が埋め込まれている。

[0122]

《階層399》

図5に示すように、絶縁体182上に、階層399が設けられている。階層399は、配線310、配線320、および配線330と、配線310、配線320、および配線330が埋め込まれた絶縁体360を有する。

[0123]

また、絶縁体360は、導電体311に達する配線310と、導電体140aに達する配線320と、導電体331に達する配線330と、導電体351に達する配線350とが貫通している。

[0124]

＜半導体装置の構造4＞

なお、図6に示す半導体装置は、図5に示した半導体装置のトランジスタ200の構造のみが異なる半導体装置である。よって、図6に示す半導体装置については、図5に示した半導体装置の記載を参酌する。具体的には、図6に示す半導体装置は、トランジスタ200がFin型である場合を示している。トランジスタ200をFin型とすることにより、実効上のチャネル幅が増大することによりトランジスタ200のオン特性を向上させることができる。また、ゲート導電体の電界の寄与を高くすることができるため、トランジスタ200のオフ特性を向上させることができる。

[0125]

nチャネル型トランジスタをpチャネル型トランジスタの上方に作ることで半導体装置の集積度を高くすることができる。さらに、nチャネル型トランジスタをpチャネル型トランジスタの上方に作ることで配線引き回し距離を短くすることができ、寄生容量の低減、抵抗の低減により高速動作が実現できる。

[0126]

さらに、pチャネル型のトランジスタと、nチャネル型のトランジスタが異なる層に形成されている。このため、トランジスタの電気特性が向上するように、トランジスタの導電型にあわせて、ゲート導電体、ゲート絶縁膜の材料として、それぞれ異なる材料を選択することが可能である。

[0127]

(実施の形態 3)

本実施の形態では、トランジスタ 100 の変形例について、図 7 を用いて説明する。なお、実施の形態 1 に示す構造と同符号を付記した構成要素は、実施の形態 1 に示す半導体装置を参照することができる。特に、階層 299、階層 299 と階層 199 の間の積層構造は実施の形態 1 と同様の構造であるため、実施の形態 1 に示す半導体装置を参照することができる。

[0128]

<半導体装置の構造 5>

図 7 は、実施の形態 1 とは異なる半導体装置の断面図である。図 7 に示す半導体装置は、階層 299 と、階層 199 と、階層 399 とを有する。図 7 に示す半導体装置は、実施の形態 1 とは半導体装置とは、階層 299 および階層 399 の構成が異なる。図 7 に示す半導体装置は、階層 299 に設けられたトランジスタ 200 と、階層 199 に設けられたトランジスタ 100、構造体 101、および構造体 102 と、階層 399 に設けられた配線 310、配線 320、および配線 330 を有する。また、トランジスタ 100 は、トランジスタ 200 の上方に配置する。

[0129]

また、階層と階層の間には、配線を含む積層構造を有していてもよい。例えば、図 7 に示すように、階層 299 と階層 199 の間には、絶縁体 281、および絶縁体 282 と、導電体 312、配線 340、および導電体 332、を有する積層構造が設けられている。また、階層 199 と階層 399 の間には、絶縁体 181 が設けられている。

[0130]

トランジスタ 200 と、トランジスタ 100 との構成の一部は、導電体により接続される。ここで、導電体 333、導電体 332、導電体 331、導電体 336、および配線 330 は一点破線 B1-B2 上に重畳して配置する。そのため、導電体 336 が、絶縁体 181、絶縁体 180、絶縁体 120、絶縁体 112、絶縁体 111、絶縁体 110、およびトランジスタ 100 の構成要素である酸化物 130a、酸化物 130b、および導電体 140b を貫通して形成する。

[0131]

また、導電体 353、導電体 352、導電体 351、構造体 102、および配線 350 は一点破線 C1-C2 上に重畳して配置する。さらに、導電体 313、導電体 312、導電体 311、構造体 101 および配線 310 は、それぞれの一部が、一点破線 A1-A2 上で重畳するように配置する。つまり、一点破線 A1-A2、一点破線 B1-B2、および一点破線 C1-C2 を外縁とする領域（空間）において、トランジスタ 200、およびトランジスタ 100 のそれぞれ一部または全部が重なる配置とすることが可能である。

[0132]

n チャネル型トランジスタを p チャネル型トランジスタの上方に作ることで半導体装置の集積度を高くすることができる。さらに、n チャネル型トランジスタを p チャネル型トランジスタの上方に作ることで配線引き回し距離を短くすることができ、寄生容量の低減、抵抗の低減により高速動作が実現できる。

[0133]

さらに、p チャネル型のトランジスタと、n チャネル型のトランジスタが異なる層に形成されている。このため、トランジスタの電気特性が向上するように、トランジスタの導電型にあわせて、ゲート導

電体、ゲート絶縁膜の材料として、それぞれ異なる材料を選択することが可能である。

[0134]

《階層199》

図7に示すように、絶縁体282上に、階層199が設けられている。階層199は、トランジスタ100と、導電体311、および導電体331と、構造体101、および構造体102と、を有する。なお、トランジスタ100は、構造体101、および導電体331を介し、トランジスタ200と電氣的に接続する。また、トランジスタ100は、構造体102、および導電体351を介し、トランジスタ200と電氣的に接続する。

[0135]

階層199に設けられたトランジスタ100は、導電体165が埋め込まれた絶縁体110と、ゲート電極として機能する導電体165と、ゲート絶縁体として機能する絶縁体111、絶縁体112、および絶縁体120と、チャネルが形成される領域を有する酸化物130と、ソースまたはドレインの一方として機能する導電体140aと、ソースまたはドレインの他方として機能する導電体140bと、ゲート電極として機能する導電体160と、ゲート絶縁体として機能する絶縁体150と、絶縁体180と、を有する。

[0136]

なお、導電体165は、例えば、配線340を介して、導電体165に一定の電位を印加することで、トランジスタ100のしきい値電圧などの電気特性を制御する。または、例えば、導電体165を、導電体351等と電氣的に接続させることで、導電体165とトランジスタ100のゲート電極としての機能を有する導電体160とを電氣的に接続しても構わない。こうすることで、トランジスタ100のオン電流を大きくすることができる。また、パンチスルー現象を抑制することができるため、トランジスタ100の飽和領域における電気特性を安定にすることができる。その場合、配線340は必ずしも形成しなくてもよい。

[0137]

階層199に設けられた構造体101は、酸化物131a、酸化物131b、導電体141の積層構造を有する。また、構造体101には、導電体311に達する導電体316が貫通している。

[0138]

また、階層199に設けられた構造体102は、酸化物132a、酸化物132b、導電体142の積層構造を有する。また、構造体101には、導電体311に達する導電体156が貫通している。

[0139]

また、絶縁体111、絶縁体112、絶縁体120には、トランジスタ100のソースまたはドレインの一方である導電体140bを通して、導電体331に達する導電体336と、導電体311に達する導電体316と、導電体351に達する導電体356とが貫通している。

[0140]

また、絶縁体180には、トランジスタ100のソースまたはドレインの一方である導電体140bを通して、導電体331に達する導電体336と、トランジスタ100のソースまたはドレインの他方である導電体104aに達する配線320と、導電体351に達する導電体356と、が貫通している。また、絶縁体180には、トランジスタ100のゲート電極である導電体160、ゲート絶縁体である絶縁体150、酸化物130が埋め込まれている。

[0141]

また、導電体336は、絶縁体180、トランジスタ100のソースまたはドレインの一方である導電体140b、酸化物130、絶縁体120、絶縁体112、および絶縁体111を貫通し、配線330と導電体331とを、接続している。本構成において、配線330は、導電体140aの上面とも接するため、導電体104aと配線330との接触面積を十分に確保できる従って、導電体140bに安定した電圧を印加できるため、電気特性の高い半導体装置を提供することができる。

[0142]

また、図7に示すように、階層199上に、開口部を有する絶縁体181が設けられている。また、開口部にはそれぞれ配線310、配線320、および配線330の一部が埋め込まれている。

[0143]

《階層399》

図7に示すように、絶縁体181上に、階層399が設けられている。階層399は、配線310、配線320、および配線330と、配線310、配線320、および配線330が埋め込まれた絶縁体360を有する。

[0144]

また、絶縁体360は、導電体311に達する配線310と、導電体140aに達する配線320と、導電体331に達する配線330と、導電体351に達する配線350とが貫通している。

[0145]

<半導体装置の構造6>

なお、図8に示す半導体装置は、図7に示した半導体装置のトランジスタ200の構造のみが異なる半導体装置である。よって、図8に示す半導体装置については、図7に示した半導体装置の記載を参酌する。具体的には、図8に示す半導体装置は、トランジスタ200がFin型である場合を示している。トランジスタ200をFin型とすることにより、実効上のチャネル幅が増大することによりトランジスタ200のオン特性を向上させることができる。また、ゲート導電体の電界の寄与を高くすることができるため、トランジスタ200のオフ特性を向上させることができる。

[0146]

本実施の形態により、nチャネル型Siトランジスタを、複雑なドーピング工程がない酸化物半導体トランジスタに置き換える事で、少ないマスク枚数でCMOSインバータを作製することができる。従って、生産性、歩留まりを高くすることができる。また、nチャネル型トランジスタをpチャネル型トランジスタの上方に作ることで半導体装置の集積度を高くすることができる。さらに、nチャネル型トランジスタをpチャネル型トランジスタの上方に作ることで配線引き回し距離を短くすることができ、寄生容量の低減、抵抗の低減により高速動作が実現できる。

[0147]

さらに、pチャネル型のトランジスタと、nチャネル型のトランジスタが異なる層に形成されている。このため、トランジスタの電気特性が向上するように、トランジスタの導電型にあわせて、ゲート導電体、ゲート絶縁膜の材料として、それぞれ異なる材料を選択することが可能である。

[0148]

(実施の形態4)

本実施の形態では、本発明の一態様の半導体装置の作製方法について、図9乃至図18を用いて説明

する。なお、実施の形態 1 に示す構造と同符号を付記した構成要素は、実施の形態 1 に示す半導体装置を参照することができる。

[0149]

図 3 に示す半導体装置の作製方法について、図 9 乃至図 18 を用いて説明する。ここでは階層 299 よりも上方の階層の作製方法について説明する。

[0150]

まず、Pチャネル型のトランジスタ 200 上に絶縁体 280 を成膜する。なお、本実施の形態において、絶縁体 280 は単層構造としたが、2 層以上の積層構造としてもよい。

[0151]

絶縁体 280 は、スパッタリング法、化学気相堆積 (CVD: Chemical Vapor Deposition) 法 (熱 CVD 法、有機金属 CVD (MOCVD: Metal Organic Chemical Vapor Deposition) 法、プラズマ励起 CVD (PECVD: Plasma Enhanced Chemical Vapor Deposition) 法を含む)、分子エピタキシー (MBE: Molecular Beam Epitaxy) 法、原子層堆積 (ALD: Atomic Layer Deposition) 法またはパルスレーザ堆積 (PLD: Pulsed Laser Deposition) 法などを用いて形成することができる。特に、当該絶縁体を CVD 法、好ましくは ALD 法等によって成膜すると、被覆性を向上させることができるため好ましい。また、プラズマによるダメージを減らすには、熱 CVD 法、MOCVD 法または ALD 法が好ましい。また、TEOS (Tetra-Ethyl-Ortho-Silicate) 若しくはシラン等と、酸素若しくは亜酸化窒素等とを反応させて形成した段差被覆性のよい酸化シリコン膜を用いることもできる。

[0152]

続いて、絶縁体 280 上にマスク 291 を形成する (図 9 (A) 参照)。マスク 291 は、例えばレジストを用いてリソグラフィ法により作製してもよい。また、無機膜または金属膜からなるハードマスクを形成してもよい。

[0153]

次に、マスク 291 を用いて絶縁体 280 の一部をエッチングし、開口部を形成する (図 9 (B) 参照)。次に、マスク 291 を除去し、その後、該開口部内および絶縁体 280 上に導電体 301 および導電体 302 を成膜する (図 9 (C) 参照)。

[0154]

次に、導電体 301 および導電体 302 を、平坦化処理 (図中矢印) により、部分的に除去し、絶縁体 280 を露出することで、導電体 311、導電体 331、および導電体 351 を形成する (図 9 (D) 参照)。導電体 301 および導電体 302 の除去には、例えば化学的機械研磨 (Chemical Mechanical Polishing: CMP) 法などの研磨法を用いることが好ましい。あるいは、ドライエッチングを用いてもよい。例えば、エッチバックなどの手法を用いればよい。CMP 法などの研磨法を用いる場合には、導電体 301 および導電体 302 の研磨速度は、試料の面内で分布を有する場合がある。この場合に、研磨速度が速い箇所においては、絶縁体 280 の露出時間が長くなる場合がある。従って、導電体 301 および導電体 302 の研磨速度と比較して絶縁体 280 の研磨速度は遅いことが好ましい。絶縁体 280 の研磨速度が遅いことにより、導電体 301 および導

電体 302 の研磨工程において、絶縁体 280 は、研磨のストッパー膜としての役割を果たすことができる。また、絶縁体 280 の表面の平坦性を高めることができる。

[0155]

ここで、CMP 法とは、被加工物の表面を化学的・機械的な複合作用により、平坦化する手法である。一般的に研磨ステージの上に研磨布を貼り付け、被加工物と研磨布との間にスラリー（研磨剤）を供給しながら研磨ステージと被加工物とを各々回転または揺動させて、スラリーと被加工物表面との間での化学反応と、研磨布と被加工物との機械的研磨の作用により、被加工物の表面を研磨する方法である。

[0156]

CMP 法において、研磨布としては、例えば発砲ポリウレタン、不織布、スウェード等を用いることができる。また、砥粒としては、例えばシリカ（酸化シリコン）や、酸化セリウム、酸化マンガ、酸化アルミニウム等を用いることができる。また、シリカとして例えばフュームドシリカや、コロイダルシリカを用いることができる。

[0157]

CMP 法に用いるスラリーは、被加工物の除去しやすさや、スラリー溶液の安定性の観点で、pH の調整を行う場合がある。例えば、酸性のスラリーを用いる場合には、ストッパー膜となる絶縁体 280 は酸に対する耐性が高いことが好ましい。また、アルカリ性スラリーを用いる場合には、絶縁体 280 はアルカリに対する耐性が高いことが好ましい。

[0158]

また、スラリーに酸化剤として、例えば過酸化水素などを用いてもよい。

[0159]

ここで一例として、導電体 301 および導電体 302 の少なくともどちらか一方が、タングステンを有し、絶縁体 280 が酸化シリコンを有する場合について説明する。スラリーとしては、例えば砥粒にフュームドシリカや、コロイダルシリカを用いることが好ましい。また、例えば酸性のスラリーを用いることが好ましく、例えば酸化剤として過酸化水素水を用いることが好ましい。

[0160]

次に、絶縁体 280、導電体 311、導電体 331、および導電体 351 上に絶縁体 281 を成膜し、配線 340、導電体 312、導電体 332、および導電体 352 を形成する（図 10（A）参照）。なお、絶縁体 281 の作製方法は、絶縁体 280 を参照することができる。また、配線 340、導電体 312、導電体 332、および導電体 352 の作製方法は、導電体 311、導電体 331、および導電体 351 を参照することができる。

[0161]

次に、絶縁体 281、配線 340、導電体 312、導電体 332、および導電体 352 上に絶縁体 282、絶縁体 110 を成膜する。続いて、絶縁体 110 上にマスク 191 を形成する（図 10（B）参照）。

[0162]

次に、絶縁体 282、および絶縁体 110 および絶縁体 120 に開口部を形成する（図 10（C）参照）。その後、マスク 191 を除去した後、マスク 192 を形成する（図 11（A））。マスク 192 を用いて、絶縁体 110 の開口部を広げる（図 11（B））。続いて、導電体 303 および導電体 30

4を成膜する(図11(C))。次に、該導電体の表面を平坦化するように除去し、導電体165、導電体313、導電体333、導電体353を形成する(図12(A)参照。)。ここで一例として、導電体303、導電体304等としてタングステンを有する層を用い、絶縁体110として酸化シリコンを有する層を用いることにより、CMP法を用いて導電体303、導電体304を除去する際に、絶縁体110のエッチング速度を小さく抑えることができる場合がある。よって、絶縁体110の表面の平坦性を向上できる場合がある。また、導電体313の高さのばらつきを小さくすることができる場合がある。

[0163]

次に、絶縁体120上にトランジスタ100を形成する。まず、絶縁体111、絶縁体112、および絶縁体120を成膜する。なお、絶縁体120は、過剰酸素を含む絶縁体であることが好ましい。過剰酸素を含む絶縁体を形成する方法としては、CVD法やスパッタリング法における成膜条件を適宜設定して膜中に酸素を多く含ませた酸化シリコン膜や酸化窒化シリコン膜を形成することができる。また、酸化シリコン膜や酸化窒化シリコン膜を形成した後、イオン注入法やイオンドーピング法やプラズマ処理によって酸素を添加してもよい。

[0164]

続いて、酸化物130Aおよび酸化物130Bを成膜する。また、本実施例において、酸化物130A、および酸化物130Bの2層構造としたが、単一層であってもよい。また、n層(nは3以上)からなる積層構造によって形成されていてもよい。

[0165]

例えば、不純物を低減した第1の半導体上に、第2の半導体を形成することで、第2の半導体は、第1の半導体よりもさらに不純物が少なく形成され、かつ、下層からの不純物の拡散を防止ことができる。また、後の工程で、酸化物半導体上にさらに積層を行う場合、第2の半導体上に第3の半導体を薄く形成しておくことで、酸化物半導体の上層から、第2の半導体への不純物拡散も抑制することができる。不純物が低減された第2の半導体をチャネル領域となるようにトランジスタを形成することで、信頼性の高い半導体装置を提供することができる。

[0166]

また、酸化物半導体の厚さは、例えば1nm以上500nm以下、好ましくは1nm以上、300nm以下とするとよい。

[0167]

酸化物130A、および酸化物130Bを成膜後、熱処理を行うことが好ましい。熱処理は、250°C以上650°C以下、好ましくは300°C以上500°C以下の温度で、不活性ガス雰囲気、酸化性ガスを10ppm以上含む雰囲気、又は減圧雰囲気で行えばよい。また、熱処理は、不活性ガス雰囲気で行った後に、脱離した酸素を補うために酸化性ガスを10ppm以上含む雰囲気で行ってもよい。ここでの加熱処理によって、酸化物130A、および酸化物130Bから水素や水などの不純物を除去することができる。また、この加熱処理により絶縁体120から酸化物130A、および酸化物130Bに酸素を供給することができる。この際、絶縁体120が過剰酸素を含んでいると酸化物半導体に効率よく酸素を供給することができるので好適である。

[0168]

続いて、酸化物130B上に導電体140Aを形成する。なお、ここでは単層構造を示しているが、

導電体 140A は、単層構造としてもよいし、2層以上の積層構造としてもよい。

[0169]

導電体 140A には、モリブデン、チタン、タンタル、タングステン、アルミニウム、銅、クロム、ネオジム、スカンジウムから選ばれた元素を含む金属膜、または上述した元素を成分とする金属窒化物膜（窒化チタン膜、窒化モリブデン膜、窒化タングステン膜）等を用いることができる。また、導電体 140A としてリン等の不純物元素をドーピングした多結晶シリコンに代表される半導体、ニッケルシリサイドなどのシリサイド膜を用いてもよい。又は、インジウム錫酸化物、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム亜鉛酸化物、酸化シリコン膜を添加したインジウム錫酸化物などの導電性材料を適用することもできる。また、上記導電性材料と、上記金属材料の積層構造とすることもできる。例えば、チタン膜 5 nm と窒化チタン膜 10 nm、タングステン膜 100 nm の積層とすることができる。

[0170]

導電体 140A は、スパッタリング法、蒸着法、CVD 法（熱 CVD 法、MOCVD 法、PECVD 法等を含む）などにより成膜することができる。また、プラズマによるダメージを減らすには、熱 CVD 法、MOCVD 法または ALD 法が好ましい。

[0171]

続いて、マスク 193 を形成し、導電体 140A を加工し、導電体 140B を形成する。その後、導電体 140B をハードマスクとして用いて酸化物 130A および酸化物 130B を加工し、酸化物 130a、および酸化物 130b を形成する（図 13（A）、図 13（B））。加工には例えばドライエッチング等を用いればよい。

[0172]

次に、絶縁体 180 を成膜し、マスク 194 を形成する（図 14（A））。続いて、絶縁体 180 に開口部を形成する。加工には例えばドライエッチング等を用いればよい。なお、絶縁体 180A は、過剰酸素を含む絶縁体であることが好ましい。過剰酸素を含む絶縁体を形成する方法としては、CVD 法やスパッタリング法における成膜条件を適宜設定して膜中に酸素を多く含ませた酸化シリコン膜や酸化窒化シリコン膜を形成することができる。また、酸化シリコン膜や酸化窒化シリコン膜を形成した後、イオン注入法やイオンドーピング法やプラズマ処理によって酸素を添加してもよい。

[0173]

続いて、絶縁体 180 をマスクとして、導電体 140 の一部を除去することで導電体 140a、および導電体 140b を形成すると同時に、開口部を形成する（図 14（B））。

[0174]

次に、酸化物 130C、絶縁体 150A、および導電体 160A を成膜する（図 15（A））。

[0175]

酸化物 130C は、酸化物 130A、および酸化物 130B と同様に形成することができる。なお、トランジスタのオン電流を高くするためには、酸化物 130C の厚さは小さいほど好ましい。例えば、20 nm 未満、好ましくは 10 nm 以下、さらに好ましくは 5 nm 以下の領域を有する酸化物 130C とすればよい。一方、酸化物 130C は、チャネルの形成される酸化物 130b へ、隣接する絶縁体を構成する酸素以外の元素（水素、シリコンなど）が入り込まないようにブロックする機能を有する。

そのため、酸化物130Cは、ある程度の厚さを有することが好ましい。例えば、0.3nm以上、好ましくは1nm以上、さらに好ましくは2nm以上の厚さの領域を有する酸化物130Cとすればよい。また、酸化物130Cは、絶縁体110、または絶縁体110と酸化物130Bとの間に介在する絶縁体などから放出される酸素の外方拡散を抑制するために、酸素をブロックする性質を有すると好ましい。

[0176]

また、絶縁体150Aの膜厚は、例えば1nm以上20nm以下とし、スパッタリング法、MBE法、CVD法、パルスレーザ堆積法、ALD法等を適宜用いることができる。また、絶縁体150Aは、スパッタリングターゲット表面に対し、概略垂直に複数の基板表面がセットされた状態で成膜を行うスパッタ装置を用いて成膜してもよい。また、MOCVD法を用いてもよい。例えば、MOCVD法を用いて成膜した酸化ガリウム膜を、絶縁体150Aとして用いることができる。

[0177]

絶縁体150Aの材料としては、酸化シリコン膜、酸化ガリウム膜、酸化ガリウム亜鉛膜、酸化亜鉛膜、酸化アルミニウム膜、窒化シリコン膜、酸化窒化シリコン膜、酸化窒化アルミニウム膜、または窒化酸化シリコン膜を用いて形成することができる。絶縁体150Aは、酸化物130Bと接する部分において酸素を含むことが好ましい。特に、絶縁体150Aは、膜中（バルク中）に少なくとも化学量論的組成を超える量の酸素（過剰酸素）が存在することが好ましく、本実施の形態では、絶縁体150AとしてCVD法で形成する酸化窒化シリコン膜を用いる。過剰酸素を含む酸化窒化シリコン膜を絶縁体150Aとして用いると、酸化物130Bに酸素を供給することができ、特性を良好にすることができる。さらに、絶縁体150Aは、後の工程で絶縁体150に加工されることから、作製するトランジスタのサイズなどを考慮して形成することが好ましい。

[0178]

さらに、絶縁体150Aの材料として酸化ハフニウム、酸化イットリウム、ハフニウムシリケート(HfSi_xO_y ($x > 0$, $y > 0$))、窒素が添加されたハフニウムシリケート($\text{HfSi}_x\text{O}_y\text{N}_z$ ($x > 0$, $y > 0$, $z > 0$))、ハフニウムアルミネート(HfAl_xO_y ($x > 0$, $y > 0$))、酸化ランタンなどのhigh-k材料を用いることもできる。なお、絶縁体150Aは、単層構造としてもよいし、積層構造としてもよい。

[0179]

また、導電体160Aは、スパッタリング法、蒸着法、CVD法などを用いて形成する。なお、導電体160Aは、モリブデン、チタン、タンタル、タングステン、アルミニウム、銅、クロム、ネオジム、スカンジウムから選ばれた元素を含む金属膜、または上述した元素を成分とする金属窒化物膜（窒化チタン膜、窒化モリブデン膜、窒化タングステン膜）等を用いることができる。また、導電体160Aとしてリン等の不純物元素をドーピングした多結晶シリコンに代表される半導体、ニッケルシリサイドなどのシリサイドを用いてもよい。又は、インジウム錫酸化物、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム亜鉛酸化物、シリコン酸化物を添加したインジウム錫酸化物などの導電性材料を適用することもできる。また、上記導電性材料と、上記金属材料の積層構造とすることもできる。例えば、チタン膜5nmと窒化チタン膜10nm、タングステン膜100nmの積層とすることができる。

[0180]

続いて、CMP処理などにより、絶縁体180が露出するまで、導電体160A、絶縁体150A、酸化物130Cの一部を除去し、酸化物130c、絶縁体150、導電体160を形成する(図15(B))。この際、絶縁体180をストッパー層として使用することもでき、絶縁体180の厚さが減少する場合がある。

[0181]

なお、CMP処理は、1回のみ行ってもよいし、複数回行ってもよい。複数回に分けてCMP処理を行う場合は、高い研磨レート的一次研磨を行った後、低い研磨レートの仕上げ研磨を行うのが好ましい。このように研磨レートの異なる研磨を組み合わせることによって、研磨表面の平坦性をさらに向上させることができる。

[0182]

次に、トランジスタ100上に絶縁体181、絶縁体182、絶縁体360を成膜する。絶縁体181、絶縁体182、絶縁体360の作製方法は、絶縁体280を参照することができる。

[0183]

次に、絶縁体360上にマスク195を形成する(図16(A))。その後、絶縁体360、絶縁体182、絶縁体181、絶縁体180、絶縁体120、絶縁体112および絶縁体111に開口部を設ける(図16(B))。続いて、マスク195を除去した後、マスク196を形成する(図17(A))。マスク196を用いて、絶縁体360に開口部を設ける(図17(B))。

[0184]

次に、導電体307および導電体308を成膜する(図18(A))。導電体307および導電体308の作製方法は、導電体301および導電体302を参照することができる。

[0185]

次に、該導電体の表面を平坦化するように除去し、配線310、配線320、配線330、配線350を形成する(図18(B)参照)。ここで一例として、導電体307、および導電体308としてタングステンを有する層を用い、絶縁体360として酸化シリコンを有する層を用いることにより、CMP法を用い導電体307、および導電体308を除去する際に、絶縁体360のエッチング速度を小さく抑えることができる場合がある。よって、絶縁体360の表面の平坦性を向上できる場合がある。また、配線310等の高さのばらつきを小さくすることができる場合がある。

[0186]

本実施の形態により、nチャネル型Siトランジスタを、複雑なドーピング工程がない酸化物半導体トランジスタに置き換える事で、少ないマスク枚数でCMOSインバータを作製することができる。従って、生産性、歩留まりを高くすることができる。また、nチャネル型トランジスタをpチャネル型トランジスタの上方に作ることで半導体装置の集積度を高くすることができる。さらに、nチャネル型トランジスタをpチャネル型トランジスタの上方に作ることで配線引き回し距離を短くすることができ、寄生容量の低減、抵抗の低減により高速動作が実現できる。

[0187]

以上より、微細な構造であっても、安定した電気特性を有し、動作速度の高いトランジスタを提供することができる。また、該トランジスタを用いることで、トランジスタ間のばらつきが小さく、集積度の高い半導体装置を提供することができる。

[0188]

以上、本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせ用いることができる。

[0189]

(実施の形態5)

本実施の形態では、本発明の一態様の半導体装置の作製方法について、図19乃至図25を用いて説明する。なお、実施の形態1に示す構造と同符号を付記した構成要素は、実施の形態1に示す半導体装置を参酌することができる。

[0190]

図5に示す半導体装置の作製方法について、図19乃至図25を用いて説明する。ここでは階層199以上の階層の作製方法について説明する。

[0191]

まず、導電体140Aを成膜する工程まで、実施の形態4を参照することができる。その後、マスク193を形成する(図19(A))。続いて、マスク193を用いて、導電体140Aを加工し、導電体141、導電体142、および導電体140Bを形成する。その後、導電体141、導電体142、および導電体140Bをハードマスクとして用いて酸化物130Aおよび酸化物130Bを加工し、酸化物130a、酸化物131a、および酸化物132a、および酸化物130b、酸化物131b、および酸化物132bを形成する(図19(B))。加工には例えばドライエッチング等を用いればよい。

[0192]

次に、絶縁体180を成膜し、マスク194を形成する(図20(A))。続いて、絶縁体180に開口部を形成する。加工には例えばドライエッチング等を用いればよい。

[0193]

続いて、絶縁体180をマスクとして、導電体140の一部を除去することで導電体140a、および導電体140bを形成すると同時に、開口部を形成する(図20(B))。

[0194]

次に、酸化物130C、絶縁体150A、および導電体160Aを成膜する(図21(A))。続いて、CMP処理などにより、絶縁体180が露出するまで、導電体160A、絶縁体150A、酸化物130Cの一部を除去し、酸化物130c、絶縁体150、導電体160を形成する(図21(B))。この際、絶縁体180をストッパー層として使用することもでき、絶縁体180の厚さが減少する場合がある。

[0195]

次に、マスク195を形成する(図22(A))。続いて、絶縁体180、導電体141、導電体142、酸化物131a、酸化物132a、酸化物131b、および酸化物132bに開口部を形成し、導電体313、導電体333、導電体353を露出する(図22(B))。加工には例えばドライエッチング等を用いればよい。

[0196]

その後、マスク195を除去した後、マスク196を形成する(図23(A))。マスク196を用いて、絶縁体180の開口部を広げる(図23(B))。続いて、導電体307および導電体308を成

膜する（図 24（A））。次に、該導電体の表面を平坦化するように除去し、導電体 316、導電体 336、および導電体 356 を形成する（図 24（B）参照。）。

[0197]

次に、トランジスタ 100 上に絶縁体 181、絶縁体 182、絶縁体 360 を成膜した後、マスク 197 を形成する（図 25（A））。絶縁体 181、絶縁体 182、絶縁体 360 の作製方法は、絶縁体 280 を参照することができる。

[0198]

次に、マスク 197 を用いて、絶縁体 360、絶縁体 182、および絶縁体 181 に開口部を設ける。続いて、マスク 197 を除去した後、別途マスクを形成し、該マスクを用いて、絶縁体 360 に開口部を設ける。次に、導電体を成膜し、該導電体の表面を平坦化するように除去することで、配線 310、配線 320、配線 330、配線 350 を形成する（図 25（B）参照。）。

[0199]

本実施の形態により、nチャネル型 Si トランジスタを、複雑なドーピング工程がない酸化物半導体トランジスタに置き換える事で、少ないマスク枚数で CMOS インバータを作製することができる。従って、生産性、歩留まりを高くすることができる。また、nチャネル型トランジスタを pチャネル型トランジスタの上方に作ることで半導体装置の集積度を高くすることができる。さらに、nチャネル型トランジスタを pチャネル型トランジスタの上方に作ることで配線引き回し距離を短くすることができ、寄生容量の低減、抵抗の低減により高速動作が実現できる。

[0200]

以上より、微細な構造であっても、安定した電気特性を有し、動作速度の高いトランジスタを提供することができる。また、該トランジスタを用いることで、トランジスタ間のばらつきが小さく、集積度の高い半導体装置を提供することができる。

[0201]

以上、本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせ用いることができる。

[0202]

（実施の形態 6）

本実施の形態では、本発明の一態様の半導体装置の作製方法について、図 26 乃至図 31 を用いて説明する。なお、実施の形態 1 に示す構造と同符号を付記した構成要素は、実施の形態 1 に示す半導体装置を参照することができる。

[0203]

図 5 に示す半導体装置の作製方法について、図 26 乃至図 31 を用いて説明する。ここでは階層 199 以上の階層の作製方法について説明する。

[0204]

まず、導電体 140A を成膜する工程まで、実施の形態 4 を参照することができる。その後、マスク 193 を形成する（図 26（A））。続いて、マスク 193 を用いて、導電体 140A を加工し、導電体 141、導電体 142、および導電体 140B を形成する。その後、導電体 141、導電体 142、および導電体 140B をハードマスクとして用いて酸化物 130A および酸化物 130B を加工し、酸化物 130a、酸化物 131a、および酸化物 132a、および酸化物 130b、酸化物 131b、

および酸化物 132b を形成する (図 26 (B))。加工には例えばドライエッチング等を用いればよい。

[0205]

次に、絶縁体 180 を成膜し、マスク 194 を形成する (図 27 (A))。続いて、絶縁体 180 に開口部を形成する。加工には例えばドライエッチング等を用いればよい。

[0206]

続いて、絶縁体 180 をマスクとして、導電体 140、および導電体 142 の一部を除去することで導電体 140a、および導電体 140b を形成すると同時に、開口部を形成する (図 27 (B))。

[0207]

次に、酸化物 130c、絶縁体 150A、および導電体 160A を成膜する (図 28 (A))。続いて、CMP 処理などにより、絶縁体 180 が露出するまで、導電体 160A、絶縁体 150A、酸化物 130c の一部を除去し、酸化物 130c、絶縁体 150、導電体 160 を形成する (図 28 (B))。この際、絶縁体 180 をストッパー層として使用することもでき、絶縁体 180 の厚さが減少する場合がある。

[0208]

次に、マスク 195 を形成する (図 29 (A))。続いて、絶縁体 180、導電体 141、導電体 142、酸化物 131a、酸化物 132a、酸化物 131b、および酸化物 132b に開口部を形成し、導電体 313、導電体 333、導電体 353 を露出する (図 29 (B))。加工には例えばドライエッチング等を用いればよい。

[0209]

続いて、次に、導電体 316、導電体 336、および導電体 356 となる導電体を成膜し、該導電体の表面を平坦化するように除去することで、導電体 316、導電体 336、および導電体 356 を形成する (図 30 (A) 参照)。

[0210]

次に、トランジスタ 100 上に絶縁体 181、絶縁体 360 を成膜した後、マスク 196 を形成する (図 30 (B))。絶縁体 181、絶縁体 360 の作製方法は、絶縁体 280 を参照することができる。

[0211]

次に、マスク 196 を用いて、絶縁体 360、絶縁体 181、および絶縁体 180 に開口部を設ける。ここで絶縁体 360、絶縁体 181、および絶縁体 180 に開口部を形成する際に、ドライエッチングやウェットエッチング等を用いることができる。また、同時に、絶縁体 150 の一部を除去してもよい。さらに、エッチング後に洗浄などを用いて、酸化物 130c の一部を除去してもよい。

[0212]

なお、開口部の形成の際に、絶縁体 180 のエッチング速度と比較して導電体 316、導電体 336、および導電体 356 のエッチング速度が遅い場合には、図 31 (A) に示すように、導電体 316、導電体 336、および導電体 356 は、開口部内に凸部を形成する。

[0213]

次に、マスク 196 を除去した後、配線 310、配線 320、および配線 350 となる導電体を成膜し、該導電体の表面を平坦化するように除去し、配線 310、配線 320、および配線 350 を形成

する（図3 1（B）参照。）。

[0214]

本実施の形態により、マスク枚数を増やすことなく、コンタクト特性の良い半導体装置を作成することができる。従って、生産性の高い半導体装置を提供することができる。

[0215]

また、nチャネル型Siトランジスタを、複雑なドーピング工程がない酸化物半導体トランジスタに置き換える事で、少ないマスク枚数でCMOSインバータを作製することができる。従って、生産性、歩留まりを高くすることができる。また、nチャネル型トランジスタをpチャネル型トランジスタの上方に作ることで半導体装置の集積度を高くすることができる。さらに、nチャネル型トランジスタをpチャネル型トランジスタの上方に作ることで配線引き回し距離を短くすることができ、寄生容量の低減、抵抗の低減により高速動作が実現できる。

[0216]

以上より、微細な構造であっても、安定した電気特性を有し、動作速度の高いトランジスタを提供することができる。また、該トランジスタを用いることで、トランジスタ間のばらつきが小さく、集積度の高い半導体装置を提供することができる。

[0217]

以上、本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせ用いることができる。

[0218]

（実施の形態7）

<酸化物半導体の構造>

以下では、酸化物半導体の構造について説明する。

[0219]

酸化物半導体は、単結晶酸化物半導体と、それ以外の非単結晶酸化物半導体と、に分けられる。非単結晶酸化物半導体としては、CAAC-OS（c-axis-aligned crystalline oxide semiconductor）、多結晶酸化物半導体、nc-OS（nanocrystalline oxide semiconductor）、擬似非晶質酸化物半導体（a-like OS: amorphous-like oxide semiconductor）および非晶質酸化物半導体などがある。

[0220]

また別の観点では、酸化物半導体は、非晶質酸化物半導体と、それ以外の結晶性酸化物半導体と、に分けられる。結晶性酸化物半導体としては、単結晶酸化物半導体、CAAC-OS、多結晶酸化物半導体およびnc-OSなどがある。

[0221]

非晶質構造は、一般に、等方的であって不均質構造を持たない、準安定状態で原子の配置が固定化していない、結合角度が柔軟である、短距離秩序は有するが長距離秩序を有さない、などといわれている。

[0222]

即ち、安定な酸化物半導体を完全な非晶質（completely amorphous）酸化物半

導体とは呼べない。また、等方的でない（例えば、微小な領域において周期構造を有する）酸化物半導体を、完全な非晶質酸化物半導体とは呼べない。一方、*a-like OS*は、等方的でないが、鬆（ボイドともいう。）を有する不安定な構造である。不安定であるという点では、*a-like OS*は、物性的に非晶質酸化物半導体に近い。

[0223]

<CAAC-OS>

まずは、CAAC-OSについて説明する。

[0224]

CAAC-OSは、*c*軸配向した複数の結晶部（ペレットともいう。）を有する酸化物半導体の一種である。

[0225]

CAAC-OSをX線回折（XRD: X-Ray Diffraction）によって解析した場合について説明する。例えば、空間群 $R-3m$ に分類される $InGaZnO_4$ の結晶を有するCAAC-OSに対し、*out-of-plane*法による構造解析を行うと、図33（A）に示すように回折角（ 2θ ）が 31° 近傍にピークが現れる。このピークは、 $InGaZnO_4$ の結晶の（009）面に帰属されることから、CAAC-OSでは、結晶が*c*軸配向性を有し、*c*軸がCAAC-OSの膜を形成する面（被形成面ともいう。）、または上面に略垂直な方向を向いていることが確認できる。なお、 2θ が 31° 近傍のピークの他に、 2θ が 36° 近傍にもピークが現れる場合がある。 2θ が 36° 近傍のピークは、空間群 $Fd-3m$ に分類される結晶構造に起因する。そのため、CAAC-OSは、該ピークを示さないことが好ましい。

[0226]

一方、CAAC-OSに対し、被形成面に平行な方向からX線を入射させる*in-plane*法による構造解析を行うと、 2θ が 56° 近傍にピークが現れる。このピークは、 $InGaZnO_4$ の結晶の（110）面に帰属される。そして、 2θ を 56° 近傍に固定し、試料面の法線ベクトルを軸（ ϕ 軸）として試料を回転させながら分析（ ϕ スキャン）を行っても、図33（B）に示すように明瞭なピークは現れない。一方、単結晶 $InGaZnO_4$ に対し、 2θ を 56° 近傍に固定して ϕ スキャンした場合、図33（C）に示すように（110）面と等価な結晶面に帰属されるピークが6本観察される。したがって、XRDを用いた構造解析から、CAAC-OSは、*a*軸および*b*軸の配向が不規則であることが確認できる。

[0227]

次に、電子回折によって解析したCAAC-OSについて説明する。例えば、 $InGaZnO_4$ の結晶を有するCAAC-OSに対し、CAAC-OSの被形成面に平行にプローブ径が 300 nm の電子線を入射させると、図33（D）に示すような回折パターン（制限視野電子回折パターンともいう。）が現れる場合がある。この回折パターンには、 $InGaZnO_4$ の結晶の（009）面に起因するスポットが含まれる。したがって、電子回折によっても、CAAC-OSに含まれるペレットが*c*軸配向性を有し、*c*軸が被形成面または上面に略垂直な方向を向いていることがわかる。一方、同じ試料に対し、試料面に垂直にプローブ径が 300 nm の電子線を入射させたときの回折パターンを図33（E）に示す。図33（E）より、リング状の回折パターンが確認される。したがって、プローブ径が 300 nm の電子線を用いた電子回折によっても、CAAC-OSに含まれるペレットの*a*軸およ

びb軸は配向性を有さないことがわかる。なお、図33(E)における第1リングは、 InGaZnO_4 の結晶の(010)面および(100)面などに起因すると考えられる。また、図33(E)における第2リングは(110)面などに起因すると考えられる。

[0228]

また、透過型電子顕微鏡(TEM: Transmission Electron Microscope)によって、CAAC-OSの明視野像と回折パターンとの複合解析像(高分解能TEM像ともいう。)を観察すると、複数のペレットを確認することができる。一方、高分解能TEM像であってもペレット同士の境界、即ち結晶粒界(グレインバウンダリーともいう。)を明確に確認することができない場合がある。そのため、CAAC-OSは、結晶粒界に起因する電子移動度の低下が起こりにくいといえる。

[0229]

図34(A)に、試料面と略平行な方向から観察したCAAC-OSの断面の高分解能TEM像を示す。高分解能TEM像の観察には、球面収差補正(Spherical Aberration Corrector)機能を用いた。球面収差補正機能を用いた高分解能TEM像を、特にCs補正高分解能TEM像と呼ぶ。Cs補正高分解能TEM像は、例えば、日本電子株式会社製原子分解能分析電子顕微鏡JEM-ARM200Fなどによって観察することができる。

[0230]

図34(A)より、金属原子が層状に配列している領域であるペレットを確認することができる。ペレット一つの大きさは1nm以上のものや、3nm以上のものがあることがわかる。したがって、ペレットを、ナノ結晶(nc: nanocrystal)と呼ぶこともできる。また、CAAC-OSを、CANC(C-Axis Aligned nanocrystals)を有する酸化物半導体と呼ぶこともできる。ペレットは、CAAC-OSの膜を被形成面または上面の凹凸を反映しており、CAAC-OSの被形成面または上面と平行となる。

[0231]

また、図34(B)および図34(C)に、試料面と略垂直な方向から観察したCAAC-OSの平面のCs補正高分解能TEM像を示す。図34(D)および図34(E)は、それぞれ図34(B)および図34(C)を画像処理した像である。以下では、画像処理の方法について説明する。まず、図34(B)を高速フーリエ変換(FFT: Fast Fourier Transform)処理することでFFT像を取得する。次に、取得したFFT像において原点を基準に、 2.8 nm^{-1} から 5.0 nm^{-1} の間の範囲を残すマスク処理する。次に、マスク処理したFFT像を、逆高速フーリエ変換(IFFT: Inverse Fast Fourier Transform)処理することで画像処理した像を取得する。こうして取得した像をFFTフィルタリング像と呼ぶ。FFTフィルタリング像は、Cs補正高分解能TEM像から周期成分を抜き出した像であり、格子配列を示している。

[0232]

図34(D)では、格子配列の乱れた箇所を破線で示している。破線で囲まれた領域が、一つのペレットである。そして、破線で示した箇所がペレットとペレットとの連結部である。破線は、六角形状であるため、ペレットが六角形状であることがわかる。なお、ペレットの形状は、正六角形状とは限らず、非正六角形状である場合が多い。

[0233]

図34(E)では、格子配列の揃った領域と、別の格子配列の揃った領域と、の間で格子配列の向きが変化している箇所を点線で示し、格子配列の向きの変化を破線で示している。点線近傍においても、明確な結晶粒界を確認することはできない。点線近傍の格子点を中心に周囲の格子点を繋ぐと、歪んだ六角形が形成できる。即ち、格子配列を歪ませることによって結晶粒界の形成を抑制していることがわかる。これは、CAAC-OSが、a-b面方向において原子配列が稠密でないことや、金属元素が置換することで原子間の結合距離が変化することなどによって、歪みを許容することができるためと考えられる。

[0234]

以上に示すように、CAAC-OSは、c軸配向性を有し、かつa-b面方向において複数のペレット（ナノ結晶）が連結し、歪みを有した結晶構造となっている。よって、CAAC-OSを、CAAcrystal(c-axis-aligned a-b-plane-anchored crystal)と称することもできる。

[0235]

CAAC-OSは結晶性の高い酸化物半導体である。酸化物半導体の結晶性は不純物の混入や欠陥の生成などによって低下する場合があるため、CAAC-OSは不純物や欠陥（酸素欠損など）の少ない酸化物半導体ともいえる。

[0236]

なお、不純物は、酸化物半導体の主成分以外の元素で、水素、炭素、シリコン、遷移金属元素などがある。例えば、シリコンなどの、酸化物半導体を構成する金属元素よりも酸素との結合力の強い元素は、酸化物半導体から酸素を奪うことで酸化物半導体の原子配列を乱し、結晶性を低下させる要因となる。また、鉄やニッケルなどの重金属、アルゴン、二酸化炭素などは、原子半径（または分子半径）が大きいので、酸化物半導体の原子配列を乱し、結晶性を低下させる要因となる。

[0237]

酸化物半導体が不純物や欠陥を有する場合、光や熱などによって特性が変動する場合がある。例えば、酸化物半導体に含まれる不純物は、キャリアトラップとなる場合や、キャリア発生源となる場合がある。例えば、酸化物半導体中の酸素欠損は、キャリアトラップとなる場合や、水素を捕獲することによってキャリア発生源となる場合がある。

[0238]

不純物および酸素欠損の少ないCAAC-OSは、キャリア密度の低い酸化物半導体である。具体的には、 8×10^{11} 個/cm³未満、好ましくは 1×10^{11} /cm³未満、さらに好ましくは 1×10^{10} 個/cm³未満であり、 1×10^{-9} 個/cm³以上のキャリア密度の酸化物半導体とすることができる。そのような酸化物半導体を、高純度真性または実質的に高純度真性な酸化物半導体と呼ぶ。CAAC-OSは、不純物濃度が低く、欠陥準位密度が低い。即ち、安定な特性を有する酸化物半導体であるといえる。

[0239]

<nc-OS>

次に、nc-OSについて説明する。

[0240]

nc-OSをXRDによって解析した場合について説明する。例えば、nc-OSに対し、out-of-plane法による構造解析を行うと、配向性を示すピークが現れない。即ち、nc-OSの結晶は配向性を有さない。

[0241]

また、例えば、InGaZnO₄の結晶を有するnc-OSを薄片化し、厚さが34nmの領域に対し、被形成面に平行にプローブ径が50nmの電子線を入射させると、図35(A)に示すようなリング状の回折パターン（ナノビーム電子回折パターン）が観測される。また、同じ試料にプローブ径が1nmの電子線を入射させたときの回折パターン（ナノビーム電子回折パターン）を図35(B)に示す。図35(B)より、リング状の領域内に複数のスポットが観測される。したがって、nc-OSは、プローブ径が50nmの電子線を入射させることでは秩序性が確認されないが、プローブ径が1nmの電子線を入射させることでは秩序性が確認される。

[0242]

また、厚さが10nm未満の領域に対し、プローブ径が1nmの電子線を入射させると、図35(C)に示すように、スポットが略正六角状に配置された電子回折パターンを観測される場合がある。したがって、厚さが10nm未満の範囲において、nc-OSが秩序性の高い領域、即ち結晶を有することがわかる。なお、結晶が様々な方向を向いているため、規則的な電子回折パターンが観測されない領域もある。

[0243]

図35(D)に、被形成面と略平行な方向から観察したnc-OSの断面のCs補正高分解能TEM像を示す。nc-OSは、高分解能TEM像において、補助線で示す箇所などのように結晶部を確認することのできる領域と、明確な結晶部を確認することのできない領域と、を有する。nc-OSに含まれる結晶部は、1nm以上10nm以下の大きさであり、特に1nm以上3nm以下の大きさであることが多い。なお、結晶部の大きさが10nmより大きく100nm以下である酸化物半導体を微結晶酸化物半導体(micro crystalline oxide semiconductor)と呼ぶことがある。nc-OSは、例えば、高分解能TEM像では、結晶粒界を明確に確認できない場合がある。なお、ナノ結晶は、CAAC-OSにおけるペレットと起源を同じくする可能性がある。そのため、以下ではnc-OSの結晶部をペレットと呼ぶ場合がある。

[0244]

このように、nc-OSは、微小な領域（例えば、1nm以上10nm以下の領域、特に1nm以上3nm以下の領域）において原子配列に周期性を有する。また、nc-OSは、異なるペレット間で結晶方位に規則性が見られない。そのため、膜全体で配向性が見られない。したがって、nc-OSは、分析方法によっては、a-like OSや非晶質酸化物半導体と区別が付かない場合がある。

[0245]

なお、ペレット（ナノ結晶）間で結晶方位が規則性を有さないことから、nc-OSを、RANC(Random Aligned nanocrystals)を有する酸化物半導体、またはNANC(Non-Aligned nanocrystals)を有する酸化物半導体と呼ぶこともできる。

[0246]

nc-OSは、非晶質酸化物半導体よりも規則性の高い酸化物半導体である。そのため、nc-OSは、a-like OSや非晶質酸化物半導体よりも欠陥準位密度が低くなる。ただし、nc-OS

は、異なるペレット間で結晶方位に規則性が見られない。そのため、nc-OSは、CAAC-OSと比べて欠陥準位密度が高くなる。

[0247]

<a-like OS>

a-like OSは、nc-OSと非晶質酸化物半導体との間の構造を有する酸化物半導体である。

[0248]

図36に、a-like OSの高分解能断面TEM像を示す。ここで、図36(A)は電子照射開始時におけるa-like OSの高分解能断面TEM像である。図36(B)は $4.3 \times 10^8 \text{ e}^-/\text{nm}^2$ の電子(e^-)照射後におけるa-like OSの高分解能断面TEM像である。図36(A)および図36(B)より、a-like OSは電子照射開始時から、縦方向に延伸する縞状の明領域が観察されることがわかる。また、明領域は、電子照射後に形状が変化することがわかる。なお、明領域は、鬆または低密度領域と推測される。

[0249]

鬆を有するため、a-like OSは、不安定な構造である。以下では、a-like OSが、CAAC-OSおよびnc-OSと比べて不安定な構造であることを示すため、電子照射による構造の変化を示す。

[0250]

試料として、a-like OS、nc-OSおよびCAAC-OSを準備する。いずれの試料もIn-Ga-Zn酸化物である。

[0251]

まず、各試料の高分解能断面TEM像を取得する。高分解能断面TEM像により、各試料は、いずれも結晶部を有する。

[0252]

なお、InGaZnO₄の結晶の単位格子は、In-O層を3層有し、またGa-Zn-O層を6層有する、計9層がc軸方向に層状に重なった構造を有することが知られている。これらの近接する層同士の間隔は、(009)面の格子面間隔(d値ともいう。)と同程度であり、結晶構造解析からその値は0.29 nmと求められている。したがって、以下では、格子縞の間隔が0.28 nm以上0.30 nm以下である箇所を、InGaZnO₄の結晶部と見なした。なお、格子縞は、InGaZnO₄の結晶のa-b面に対応する。

[0253]

図37は、各試料の結晶部(22箇所から30箇所)の平均の大きさを調査した例である。なお、上述した格子縞の長さを結晶部の大きさとしている。図37より、a-like OSは、TEM像の取得などに係る電子の累積照射量に応じて結晶部が大きくなっていくことがわかる。図37より、TEMによる観察初期においては1.2 nm程度の大きさだった結晶部(初期核ともいう。)が、電子(e^-)の累積照射量が $4.2 \times 10^8 \text{ e}^-/\text{nm}^2$ においては1.9 nm程度の大きさまで成長していることがわかる。一方、nc-OSおよびCAAC-OSは、電子照射開始時から電子の累積照射量が $4.2 \times 10^8 \text{ e}^-/\text{nm}^2$ までの範囲で、結晶部の大きさに変化が見られないことがわかる。図37より、電子の累積照射量によらず、nc-OSおよびCAAC-OSの結晶部の大きさは、それぞれ1.3 nm程度および1.8 nm程度であることがわかる。なお、電子線照射およびTEMの観

察は、日立透過電子顕微鏡H-9000NARを用いた。電子線照射条件は、加速電圧を300kV、電流密度を $6.7 \times 10^5 \text{ e}^- / (\text{nm}^2 \cdot \text{s})$ 、照射領域の直径を230nmとした。

[0254]

このように、a-like OSは、電子照射によって結晶部の成長が見られる場合がある。一方、nc-OSおよびCAAC-OSは、電子照射による結晶部の成長がほとんど見られない。即ち、a-like OSは、nc-OSおよびCAAC-OSと比べて、不安定な構造であることがわかる。

[0255]

また、鬆を有するため、a-like OSは、nc-OSおよびCAAC-OSと比べて密度の低い構造である。具体的には、a-like OSの密度は、同じ組成の単結晶の密度の78.6%以上92.3%未満である。また、nc-OSの密度およびCAAC-OSの密度は、同じ組成の単結晶の密度の92.3%以上100%未満である。単結晶の密度の78%未満である酸化物半導体は、成膜すること自体が困難である。

[0256]

例えば、 $\text{In}:\text{Ga}:\text{Zn}=1:1:1$ [原子数比] を満たす酸化物半導体において、菱面体晶構造を有する単結晶 InGaZnO_4 の密度は 6.357 g/cm^3 である。よって、例えば、 $\text{In}:\text{Ga}:\text{Zn}=1:1:1$ [原子数比] を満たす酸化物半導体において、a-like OSの密度は 5.0 g/cm^3 以上 5.9 g/cm^3 未満である。また、例えば、 $\text{In}:\text{Ga}:\text{Zn}=1:1:1$ [原子数比] を満たす酸化物半導体において、nc-OSの密度およびCAAC-OSの密度は 5.9 g/cm^3 以上 6.3 g/cm^3 未満である。

[0257]

なお、同じ組成の単結晶が存在しない場合、任意の割合で組成の異なる単結晶を組み合わせることにより、所望の組成における単結晶に相当する密度を見積もることができる。所望の組成の単結晶に相当する密度は、組成の異なる単結晶を組み合わせる割合に対して、加重平均を用いて見積もればよい。ただし、密度は、可能な限り少ない種類の単結晶を組み合わせで見積もることが好ましい。

[0258]

以上のように、酸化物半導体は、様々な構造をとり、それぞれが様々な特性を有する。なお、酸化物半導体は、例えば、非晶質酸化物半導体、a-like OS、nc-OS、CAAC-OSのうち、二種以上を有する積層膜であってもよい。

[0259]

(実施の形態8)

本実施の形態においては、本発明の一態様に係るトランジスタや上述した記憶装置などの半導体装置を含むCPUの一例について説明する。

[0260]

<CPUの構成>

図38は、上述したトランジスタを一部に用いたCPUの一例の構成を示すブロック図である。

[0261]

図38に示すCPUは、基板1190上に、ALU1191 (ALU: Arithmetic Logic Unit、演算回路)、ALUコントローラ1192、インストラクションデコーダ1193、インタラプトコントローラ1194、タイミングコントローラ1195、レジスタ1196、レ

レジスタコントローラ 1197、バスインターフェース 1198、書き換え可能な ROM 1199、および ROM インターフェース 1189 を有している。基板 1190 は、半導体基板、SOI 基板、ガラス基板などを用いる。ROM 1199 および ROM インターフェース 1189 は、別チップに設けてもよい。もちろん、図 38 に示す CPU は、その構成を簡略化して示した一例にすぎず、実際の CPU はその用途によって多種多様な構成を有している。例えば、図 38 に示す CPU または演算回路を含む構成を一つのコアとし、当該コアを複数含み、それぞれのコアが並列で動作するような構成としてもよい。また、CPU が内部演算回路やデータバスで扱えるビット数は、例えば 8 ビット、16 ビット、32 ビット、64 ビットなどとすることができる。

[0262]

バスインターフェース 1198 を介して CPU に入力された命令は、インストラクションデコーダ 1193 に入力され、デコードされた後、ALU コントローラ 1192、インタラプトコントローラ 1194、レジスタコントローラ 1197、タイミングコントローラ 1195 に入力される。

[0263]

ALU コントローラ 1192、インタラプトコントローラ 1194、レジスタコントローラ 1197、タイミングコントローラ 1195 は、デコードされた命令に基づき、各種制御を行なう。具体的に ALU コントローラ 1192 は、ALU 1191 の動作を制御するための信号を生成する。また、インタラプトコントローラ 1194 は、CPU のプログラム実行中に、外部の入出力装置や、周辺回路からの割り込み要求を、その優先度やマスク状態から判断し、処理する。レジスタコントローラ 1197 は、レジスタ 1196 のアドレスを生成し、CPU の状態に応じてレジスタ 1196 の読み出しや書き込みを行なう。

[0264]

また、タイミングコントローラ 1195 は、ALU 1191、ALU コントローラ 1192、インストラクションデコーダ 1193、インタラプトコントローラ 1194、およびレジスタコントローラ 1197 の動作のタイミングを制御する信号を生成する。例えばタイミングコントローラ 1195 は、基準クロック信号を元に、内部クロック信号を生成する内部クロック生成部を備えており、内部クロック信号を上記各種回路に供給する。

[0265]

図 38 に示す CPU では、レジスタ 1196 に、メモリセルが設けられている。レジスタ 1196 のメモリセルとして、上述したトランジスタや記憶装置などを用いることができる。

[0266]

図 38 に示す CPU において、レジスタコントローラ 1197 は、ALU 1191 からの指示に従い、レジスタ 1196 における保持動作の選択を行う。即ち、レジスタ 1196 が有するメモリセルにおいて、フリップフロップによるデータの保持を行うか、容量素子によるデータの保持を行うかを、選択する。フリップフロップによるデータの保持が選択されている場合、レジスタ 1196 内のメモリセルへの、電源電圧の供給が行われる。容量素子におけるデータの保持が選択されている場合、容量素子へのデータの書き換えが行われ、レジスタ 1196 内のメモリセルへの電源電圧の供給を停止することができる。

[0267]

図 39 は、レジスタ 1196 として用いることのできる記憶素子 1200 の回路図の一例である。記

憶素子 1200 は、電源遮断で記憶データが揮発する回路 1201 と、電源遮断で記憶データが揮発しない回路 1202 と、スイッチ 1203 と、スイッチ 1204 と、論理素子 1206 と、容量素子 1207 と、選択機能を有する回路 1220 と、を有する。回路 1202 は、容量素子 1208 と、トランジスタ 1209 と、トランジスタ 1210 と、を有する。なお、記憶素子 1200 は、必要に応じて、ダイオード、抵抗素子、インダクタなどのその他の素子をさらに有していてもよい。

[0268]

ここで、回路 1202 には、上述した記憶装置を用いることができる。記憶素子 1200 への電源電圧の供給が停止した際、回路 1202 のトランジスタ 1209 のゲートには GND (0V)、またはトランジスタ 1209 がオフする電位が入力され続ける構成とする。例えば、トランジスタ 1209 のゲートが抵抗等の負荷を介して接地される構成とする。

[0269]

スイッチ 1203 は、一導電型 (例えば、n チャネル型) のトランジスタ 1213 を用いて構成され、スイッチ 1204 は、一導電型とは逆の導電型 (例えば、p チャネル型) のトランジスタ 1214 を用いて構成した例を示す。ここで、スイッチ 1203 の第 1 の端子はトランジスタ 1213 のソースとドレインの一方に対応し、スイッチ 1203 の第 2 の端子はトランジスタ 1213 のソースとドレインの他方に対応し、スイッチ 1203 はトランジスタ 1213 のゲートに入力される制御信号 RD によって、第 1 の端子と第 2 の端子の間の導通または非導通 (つまり、トランジスタ 1213 の導通状態または非導通状態) が選択される。スイッチ 1204 の第 1 の端子はトランジスタ 1214 のソースとドレインの一方に対応し、スイッチ 1204 の第 2 の端子はトランジスタ 1214 のソースとドレインの他方に対応し、スイッチ 1204 はトランジスタ 1214 のゲートに入力される制御信号 RD によって、第 1 の端子と第 2 の端子の間の導通または非導通 (つまり、トランジスタ 1214 の導通状態または非導通状態) が選択される。

[0270]

トランジスタ 1209 のソースとドレインの一方は、容量素子 1208 の一対の電極のうち的一方、およびトランジスタ 1210 のゲートと電氣的に接続される。ここで、接続部分をノード M2 とする。トランジスタ 1210 のソースとドレインの一方は、低電源電位を供給することのできる配線 (例えば GND 線) に電氣的に接続され、他方は、スイッチ 1203 の第 1 の端子 (トランジスタ 1213 のソースとドレインの一方) と電氣的に接続される。スイッチ 1203 の第 2 の端子 (トランジスタ 1213 のソースとドレインの他方) はスイッチ 1204 の第 1 の端子 (トランジスタ 1214 のソースとドレインの一方) と電氣的に接続される。スイッチ 1204 の第 2 の端子 (トランジスタ 1214 のソースとドレインの他方) は電源電位 VDD を供給することのできる配線と電氣的に接続される。スイッチ 1203 の第 2 の端子 (トランジスタ 1213 のソースとドレインの他方) と、スイッチ 1204 の第 1 の端子 (トランジスタ 1214 のソースとドレインの一方) と、論理素子 1206 の入力端子と、容量素子 1207 の一対の電極のうち的一方と、は電氣的に接続される。ここで、接続部分をノード M1 とする。容量素子 1207 の一対の電極のうち他方は、一定の電位が入力される構成とすることができる。例えば、低電源電位 (GND 等) または高電源電位 (VDD 等) が入力される構成とすることができる。容量素子 1207 の一対の電極のうち他方は、低電源電位を供給することのできる配線 (例えば GND 線) と電氣的に接続される。容量素子 1208 の一対の電極のうち他方は、一定の電位が入力される構成とすることができる。例えば、低電源電位 (GND 等)

または高電源電位（VDD等）が入力される構成とすることができる。容量素子1208の一对の電極のうちの他方は、低電源電位を供給することのできる配線（例えばGND線）と電氣的に接続される。

[0271]

なお、容量素子1207および容量素子1208は、トランジスタや配線の寄生容量等を積極的に利用することによって省略することも可能である。

[0272]

トランジスタ1209のゲートには、制御信号WEが入力される。スイッチ1203およびスイッチ1204は、制御信号WEとは異なる制御信号RDによって第1の端子と第2の端子の間の導通状態または非導通状態を選択され、一方のスイッチの第1の端子と第2の端子の間が導通状態のとき他方のスイッチの第1の端子と第2の端子の間は非導通状態となる。

[0273]

トランジスタ1209のソースとドレインの他方には、回路1201に保持されたデータに対応する信号が入力される。図39では、回路1201から出力された信号が、トランジスタ1209のソースとドレインの他方に入力される例を示した。スイッチ1203の第2の端子（トランジスタ1213のソースとドレインの他方）から出力される信号は、論理素子1206によってその論理値が反転された反転信号となり、回路1220を介して回路1201に入力される。

[0274]

なお、図39では、スイッチ1203の第2の端子（トランジスタ1213のソースとドレインの他方）から出力される信号は、論理素子1206および回路1220を介して回路1201に入力する例を示したがこれに限定されない。スイッチ1203の第2の端子（トランジスタ1213のソースとドレインの他方）から出力される信号が、論理値を反転させられることなく、回路1201に入力されてもよい。例えば、回路1201内に、入力端子から入力された信号の論理値が反転した信号が保持されるノードが存在する場合に、スイッチ1203の第2の端子（トランジスタ1213のソースとドレインの他方）から出力される信号を当該ノードに入力することができる。

[0275]

また、図39において、記憶素子1200に用いられるトランジスタのうち、トランジスタ1209以外のトランジスタは、酸化物半導体以外の半導体でなる膜または基板1190にチャネルが形成されるトランジスタとすることができる。例えば、シリコン膜またはシリコン基板にチャネルが形成されるトランジスタとすることができる。また、記憶素子1200に用いられるトランジスタ全てを、チャネルが酸化物半導体で形成されるトランジスタとすることもできる。または、記憶素子1200は、トランジスタ1209以外にも、チャネルが酸化物半導体で形成されるトランジスタを含んでもよく、残りのトランジスタは酸化物半導体以外の半導体でなる層または基板1190にチャネルが形成されるトランジスタとすることもできる。

[0276]

図39における回路1201には、例えばフリップフロップ回路を用いることができる。また、論理素子1206としては、例えばインバータやクロックドインバータ等を用いることができる。

[0277]

本発明の一態様に係る半導体装置では、記憶素子1200に電源電圧が供給されない間は、回路12

01に記憶されていたデータを、回路1202に設けられた容量素子1208によって保持することができる。

[0278]

また、酸化物半導体にチャネルが形成されるトランジスタはオフ電流が極めて小さい。例えば、酸化物半導体にチャネルが形成されるトランジスタのオフ電流は、結晶性を有するシリコンにチャネルが形成されるトランジスタのオフ電流に比べて著しく低い。そのため、当該トランジスタをトランジスタ1209として用いることによって、記憶素子1200に電源電圧が供給されない間も容量素子1208に保持された信号は長期間にわたり保たれる。こうして、記憶素子1200は電源電圧の供給が停止した間も記憶内容（データ）を保持することが可能である。

[0279]

また、スイッチ1203およびスイッチ1204を設けることによって、プリチャージ動作を行うことを特徴とする記憶素子であるため、電源電圧供給再開後に、回路1201が元のデータを保持しなおすまでの時間を短くすることができる。

[0280]

また、回路1202において、容量素子1208によって保持された信号はトランジスタ1210のゲートに入力される。そのため、記憶素子1200への電源電圧の供給が再開された後、容量素子1208によって保持された信号を、トランジスタ1210の状態（導通状態、または非導通状態）に変換して、回路1202から読み出すことができる。それ故、容量素子1208に保持された信号に対応する電位が多少変動していても、元の信号を正確に読み出すことが可能である。

[0281]

このような記憶素子1200を、プロセッサが有するレジスタやキャッシュメモリなどの記憶装置に用いることで、電源電圧の供給停止による記憶装置内のデータの消失を防ぐことができる。また、電源電圧の供給を再開した後、短時間で電源供給停止前の状態に復帰することができる。よって、プロセッサ全体、もしくはプロセッサを構成する一つ、または複数の論理回路において、短い時間でも電源停止を行うことができるため、消費電力を抑えることができる。

[0282]

記憶素子1200をCPUに用いる例として説明したが、記憶素子1200は、DSP (Digital Signal Processor)、カスタムLSI等のLSI、RF (Radio Frequency) デバイスにも応用可能である。また、FPGA (Field Programmable Gate Array) やCPLD (Complex PLD) などのプログラマブル論理回路 (PLD: Programmable Logic Device) 等のLSI、RF (Radio Frequency) デバイスにも応用可能である。

[0283]

本実施の形態に示す構成は、他の実施の形態に示す構成と適宜組み合わせる用いることができる。

[0284]

(実施の形態9)

本実施の形態においては、本発明の一態様に係るトランジスタなどを利用した電子機器について説明する。

[0285]

<電子機器>

本発明の一態様に係る半導体装置は、表示機器、パーソナルコンピュータ、記録媒体を備えた画像再生装置（代表的にはDVD: Digital Versatile Disc等の記録媒体を再生し、その画像を表示しうるディスプレイを有する装置）に用いることができる。その他に、本発明の一態様に係る半導体装置を用いることができる電子機器として、携帯電話、携帯型を含むゲーム機、携帯データ端末、電子書籍端末、ビデオカメラ、デジタルスチルカメラ等のカメラ、ゴーグル型ディスプレイ（ヘッドマウントディスプレイ）、ナビゲーションシステム、音響再生装置（カーオーディオ、デジタルオーディオプレイヤー等）、複写機、ファクシミリ、プリンタ、プリンタ複合機、現金自動預け入れ払い機（ATM）、自動販売機などが挙げられる。これら電子機器の具体例を図40に示す。

[0286]

図40（A）は携帯型ゲーム機であり、筐体901、筐体902、表示部903、表示部904、マイクロフォン905、スピーカー906、操作キー907、スタイラス908等を有する。なお、図40（A）に示した携帯型ゲーム機は、2つの表示部903と表示部904とを有しているが、携帯型ゲーム機が有する表示部の数は、これに限定されない。

[0287]

図40（B）は携帯データ端末であり、第1筐体911、第2筐体912、第1表示部913、第2表示部914、接続部915、操作キー916等を有する。第1表示部913は第1筐体911に設けられており、第2表示部914は第2筐体912に設けられている。そして、第1筐体911と第2筐体912とは、接続部915により接続されており、第1筐体911と第2筐体912の間の角度は、接続部915により変更が可能である。第1表示部913における映像を、接続部915における第1筐体911と第2筐体912との間の角度にしたがって、切り替える構成としてもよい。また、第1表示部913および第2表示部914の少なくとも一方に、位置入力装置としての機能が付加された表示装置を用いるようにしてもよい。なお、位置入力装置としての機能は、表示装置にタッチパネルを設けることで付加することができる。または、位置入力装置としての機能は、フォトセンサとも呼ばれる光電変換素子を表示装置の画素部に設けることでも、付加することができる。

[0288]

図40（C）はノート型パーソナルコンピュータであり、筐体921、表示部922、キーボード923、ポインティングデバイス924等を有する。

[0289]

図40（D）は電気冷凍冷蔵庫であり、筐体931、冷蔵室用扉932、冷凍室用扉933等を有する。

[0290]

図40（E）はビデオカメラであり、第1筐体941、第2筐体942、表示部943、操作キー944、レンズ945、接続部946等を有する。操作キー944およびレンズ945は第1筐体941に設けられており、表示部943は第2筐体942に設けられている。そして、第1筐体941と第2筐体942とは、接続部946により接続されており、第1筐体941と第2筐体942の間の角度は、接続部946により変更が可能である。表示部943における映像を、接続部946における第1筐体941と第2筐体942との間の角度にしたがって切り替える構成としてもよい。

[0291]

図４０（Ｆ）は乗用車であり、車体９５１、車輪９５２、ダッシュボード９５３、ライト９５４等を有する。

[０２９２]

本実施の形態に示す構成は、他の実施の形態に示す構成と適宜組み合わせて用いることができる。

[０２９３]

なお、以上の実施の形態において、本発明の一態様について述べた。ただし、本発明の一態様は、これらに限定されない。つまり、本実施の形態などでは、様々な発明の態様が記載されているため、本発明の一態様は、特定の態様に限定されない。例えば、本発明の一態様として、トランジスタのチャネル形成領域、ソース領域、ドレイン領域などが、酸化物半導体を有する場合の例を示したが、本発明の一態様は、これに限定されない。場合によっては、または、状況に応じて、本発明の一態様における様々なトランジスタ、トランジスタのチャネル形成領域、または、トランジスタのソース領域、ドレイン領域などは、様々な半導体を有していてもよい。場合によっては、または、状況に応じて、本発明の一態様における様々なトランジスタ、トランジスタのチャネル形成領域、または、トランジスタのソース領域、ドレイン領域などは、例えば、シリコン、ゲルマニウム、シリコンゲルマニウム、炭化シリコン、ガリウムヒ素、アルミニウムガリウムヒ素、インジウムリン、窒化ガリウム、または、有機半導体などの少なくとも一つを有していてもよい。または例えば、場合によっては、または、状況に応じて、本発明の一態様における様々なトランジスタ、トランジスタのチャネル形成領域、または、トランジスタのソース領域、ドレイン領域などは、酸化物半導体を有していなくてもよい。

[符号の説明]

[０２９４]

- １ 構造
- ２ 構造
- ３ 構造
- ４ 構造
- ５ 構造
- ６ 構造
- ９ 計
- １１ 領域
- １００ トランジスタ
- １０１ 構造体
- １０２ 構造体
- １０４a 導電体
- １１０ 絶縁体
- １１１ 絶縁体
- １１２ 絶縁体
- １２０ 絶縁体
- １３０ 酸化物
- １３０a 酸化物
- １３０A 酸化物

1 3 0 b	酸化物
1 3 0 B	酸化物
1 3 0 c	酸化物
1 3 0 C	酸化物
1 3 1 a	酸化物
1 3 1 b	酸化物
1 3 2 a	酸化物
1 3 2 b	酸化物
1 4 0	導電体
1 4 0 a	導電体
1 4 0 A	導電体
1 4 0 b	導電体
1 4 0 B	導電体
1 4 1	導電体
1 4 2	導電体
1 5 0	絶縁体
1 5 0 A	絶縁体
1 5 6	導電体
1 6 0	導電体
1 6 0 A	導電体
1 6 5	導電体
1 8 0	絶縁体
1 8 0 A	絶縁体
1 8 1	絶縁体
1 8 2	絶縁体
1 9 1	マスク
1 9 2	マスク
1 9 3	マスク
1 9 4	マスク
1 9 5	マスク
1 9 6	マスク
1 9 7	マスク
1 9 9	階層
2 0 0	トランジスタ
2 0 1	半導体基板
2 1 0	領域
2 4 0 a	領域
2 4 0 b	領域
2 5 0	絶縁体

2 5 5	絶縁体
2 6 0	導電体
2 8 0	絶縁体
2 8 1	絶縁体
2 8 2	絶縁体
2 9 1	マスク
2 9 9	階層
3 0 1	導電体
3 0 2	導電体
3 0 3	導電体
3 0 4	導電体
3 0 7	導電体
3 0 8	導電体
3 1 0	配線
3 1 1	導電体
3 1 2	導電体
3 1 3	導電体
3 1 6	導電体
3 2 0	配線
3 2 1	導電体
3 3 0	配線
3 3 1	導電体
3 3 2	導電体
3 3 3	導電体
3 3 6	導電体
3 4 0	配線
3 5 0	配線
3 5 1	導電体
3 5 2	導電体
3 5 3	導電体
3 5 6	導電体
3 6 0	絶縁体
3 9 9	階層
9 0 1	筐体
9 0 2	筐体
9 0 3	表示部
9 0 4	表示部
9 0 5	マイクロフォン
9 0 6	スピーカー

907	操作キー
908	スタイラス
911	筐体
912	筐体
913	表示部
914	表示部
915	接続部
916	操作キー
921	筐体
922	表示部
923	キーボード
924	ポインティングデバイス
931	筐体
932	冷蔵室用扉
933	冷凍室用扉
941	筐体
942	筐体
943	表示部
944	操作キー
945	レンズ
946	接続部
951	車体
952	車輪
953	ダッシュボード
954	ライト
1189	ROMインターフェース
1190	基板
1191	ALU
1192	ALUコントローラ
1193	インストラクションデコーダ
1194	インタラプトコントローラ
1195	タイミングコントローラ
1196	レジスタ
1197	レジスタコントローラ
1198	バスインターフェース
1199	ROM
1200	記憶素子
1201	回路
1202	回路

1 2 0 3	スイッチ
1 2 0 4	スイッチ
1 2 0 6	論理素子
1 2 0 7	容量素子
1 2 0 8	容量素子
1 2 0 9	トランジスタ
1 2 1 0	トランジスタ
1 2 1 3	トランジスタ
1 2 1 4	トランジスタ
1 2 2 0	回路

請求の範囲

〔請求項 1〕

第 1 のトランジスタと、第 2 のトランジスタと、第 1 の配線と、第 2 の配線と、第 3 の配線と、第 1 の導電体と、第 2 の導電体と、第 3 の導電体と、第 4 の導電体と、第 5 の導電体と、第 6 の導電体と、を有し、

前記第 1 のトランジスタは、第 1 の端子、第 2 の端子、および第 1 のゲート端子を有し、

前記第 2 のトランジスタは、第 3 の端子、第 4 の端子、および第 2 のゲート端子を有し、

前記第 1 の端子は、前記第 1 の導電体、前記第 3 の端子、および前記第 4 の導電体を介して、前記第 1 の配線と電氣的に接続し、

前記第 2 の端子は、前記第 2 の導電体、および前記第 5 の導電体を介して、前記第 2 の配線と電氣的に接続し、

前記第 1 のゲート端子は、前記第 3 の導電体、前記第 6 の導電体、および前記第 3 の配線を介して、前記第 2 のゲート端子と電氣的に接続し、

前記第 1 の導電体は、前記第 1 の端子上に配置され、

前記第 3 の端子は、前記第 1 の導電体上に配置され、

前記第 4 の導電体は、前記第 3 の端子を貫通し、前記第 1 の導電体上に配置され、

前記第 1 の配線は、前記第 4 の導電体上に配置され、

前記第 2 の導電体は、前記第 2 の端子上に配置され、

前記第 5 の導電体は、前記第 2 の導電体上に配置され、

前記第 2 の配線は、前記第 5 の導電体上に配置され、

前記第 3 の導電体は、前記第 1 のゲート配線上に配置され、

前記第 6 の導電体は、前記第 3 の導電体上に配置され、

前記第 3 の配線は、前記第 6 の導電体上に配置されていることを特徴とする半導体装置。

〔請求項 2〕

第 1 のトランジスタと、第 2 のトランジスタと、第 1 の配線と、第 2 の配線と、第 3 の配線と、第 1 の導電体と、第 2 の導電体と、第 3 の導電体と、第 4 の導電体と、第 5 の導電体と、第 6 の導電体と、第 1 の構造体と、第 2 の構造体と、を有し、

前記第 1 のトランジスタは、第 1 の端子、第 2 の端子、および第 1 のゲート端子を有し、

前記第 2 のトランジスタは、第 3 の端子、第 4 の端子、および第 2 のゲート端子を有し、

前記第 1 の端子は、前記第 1 の導電体、前記第 3 の端子、および前記第 4 の導電体を介して、前記第 1 の配線と電氣的に接続し、

前記第 2 の端子は、前記第 2 の導電体、および前記第 5 の導電体を介して、前記第 2 の配線と電氣的に接続し、

前記第 1 のゲート端子は、前記第 3 の導電体、前記第 6 の導電体、および前記第 3 の配線を介して、前記第 2 のゲート端子と電氣的に接続し、

前記第 1 の導電体は、前記第 1 の端子上に配置され、

前記第 3 の端子は、前記第 1 の導電体上に配置され、

前記第 4 の導電体は、前記第 3 の端子を貫通し、前記第 1 の導電体上に配置され、

前記第 1 の配線は、前記第 4 の導電体上に配置され、

前記第 2 の導電体は、前記第 2 の端子上に配置され、
前記第 5 の導電体は、前記第 1 の構造体を貫通し、前記第 2 の導電体上に配置され、
前記第 2 の配線は、前記第 5 の導電体および前記第 1 の構造体上に配置され、
前記第 3 の導電体は、前記第 1 のゲート配線に配置され、
前記第 6 の導電体は、前記第 2 の構造体を貫通し、前記第 3 の導電体上に配置され、
前記第 3 の配線は、前記第 6 の導電体および前記第 2 の構造体上に配置されていることを特徴とする半導体装置。

[請求項 3]

第 1 のトランジスタと、第 2 のトランジスタと、第 1 の配線と、第 2 の配線と、第 3 の配線と、第 1 の導電体と、第 2 の導電体と、第 3 の導電体と、第 4 の導電体と、第 5 の導電体と、第 6 の導電体と、第 1 の構造体と、第 2 の構造体と、を有し、
前記第 1 のトランジスタは、第 1 の端子、第 2 の端子、および第 1 のゲート端子を有し、
前記第 2 のトランジスタは、第 3 の端子、第 4 の端子、および第 2 のゲート端子を有し、
前記第 1 の端子は、前記第 1 の導電体、前記第 3 の端子、および前記第 4 の導電体を介して、前記第 1 の配線と電気的に接続し、
前記第 2 の端子は、前記第 2 の導電体、および前記第 5 の導電体を介して、前記第 2 の配線と電気的に接続し、
前記第 1 のゲート端子は、前記第 3 の導電体、前記第 6 の導電体、および前記第 3 の配線を介して、前記第 2 のゲート端子と電気的に接続し、
前記第 1 の導電体は、前記第 1 の端子上に配置され、
前記第 4 の導電体は、前記第 3 の端子を貫通し、前記第 1 の導電体上に配置され、
前記第 1 の配線は、前記第 4 の導電体の側面と接し、
前記第 2 の導電体は、前記第 2 の端子上に配置され、
前記第 5 の導電体は、前記第 1 の構造体を貫通し、前記第 2 の導電体上に配置され、
前記第 2 の配線は、前記第 5 の導電体の側面と接し、
前記第 2 の配線は、前記第 1 の構造体上に配置され、
前記第 3 の導電体は、前記第 1 のゲート配線に配置され、
前記第 6 の導電体は、前記第 2 の構造体を貫通し、前記第 3 の導電体上に配置され、
前記第 3 の配線は、前記第 6 の導電体の側面と接し、
前記第 2 の配線は、前記第 2 の構造体上に配置されていることを特徴とする半導体装置。

[請求項 4]

請求項 2 または請求項 3 において、
前記第 1 の構造体は、第 1 の酸化物と、第 6 の導電体を有し、
前記第 2 の構造体は、第 2 の酸化物と、第 7 の導電体を有していることを特徴とする半導体装置。

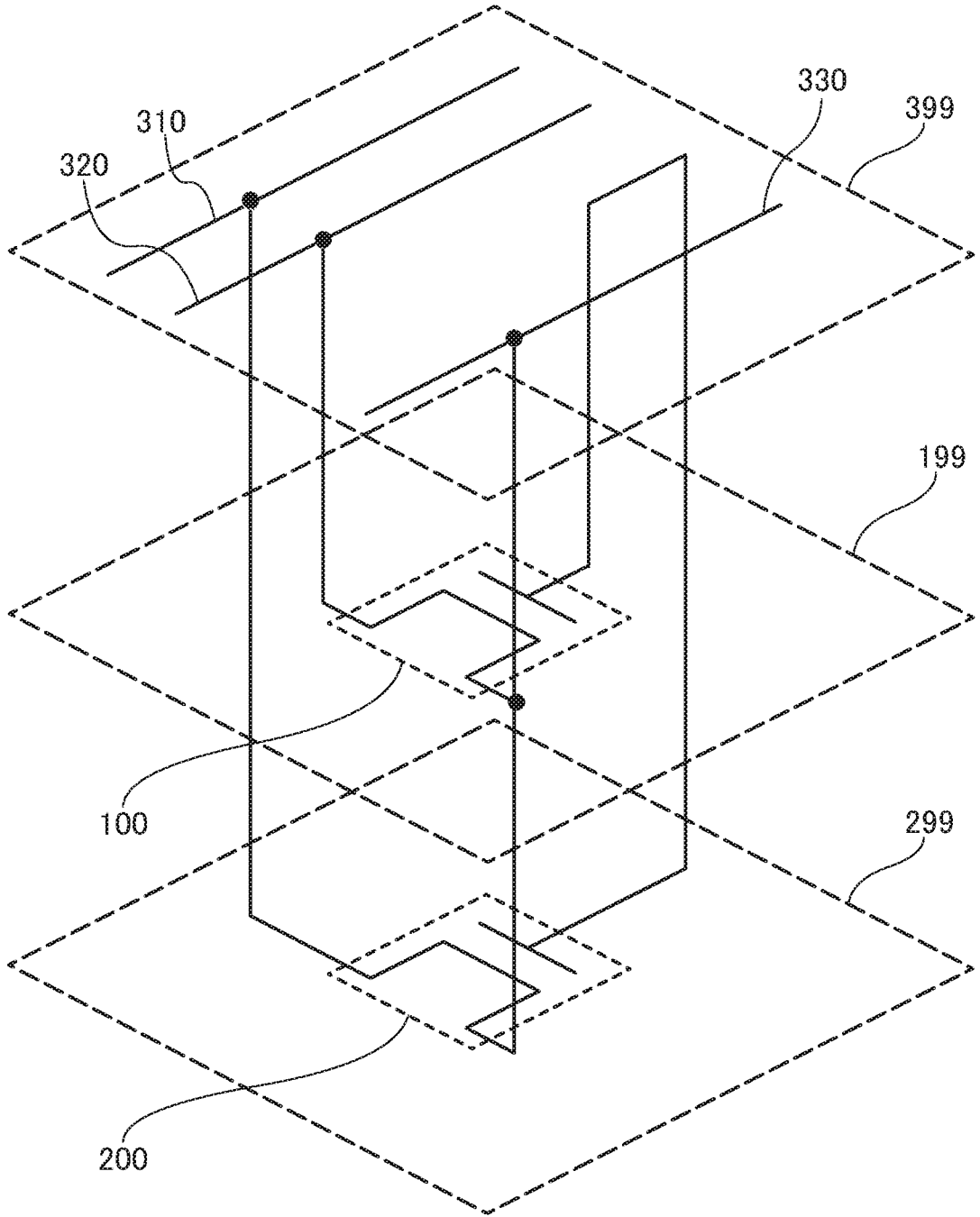
[請求項 5]

請求項 1 乃至請求項 3 のいずれかーにおいて、
前記第 2 のトランジスタは、酸化物半導体を有していることを特徴とする半導体装置。

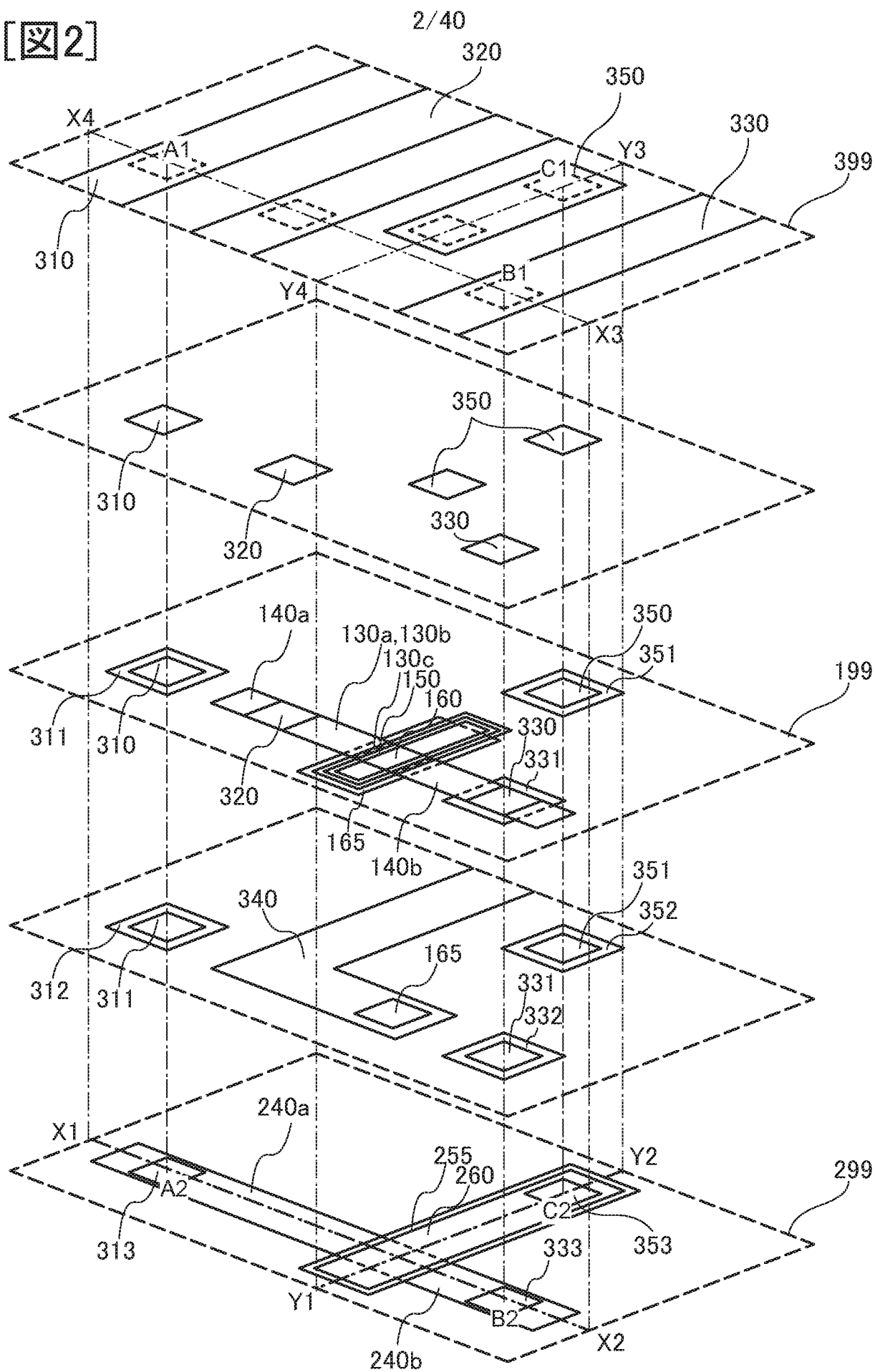
[請求項 6]

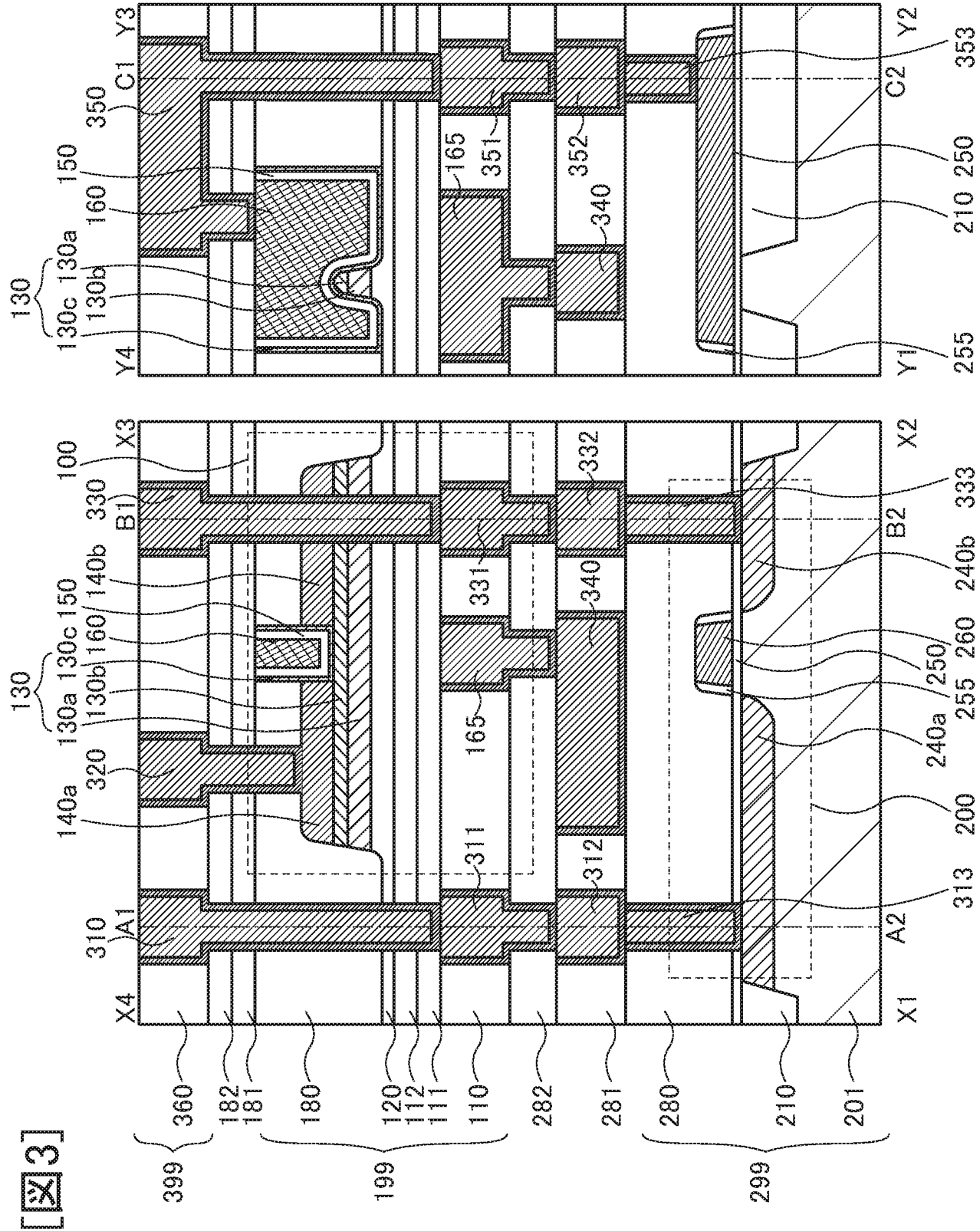
請求項 1 乃至請求項 3 のいずれかーに記載の半導体装置を有する電子機器。

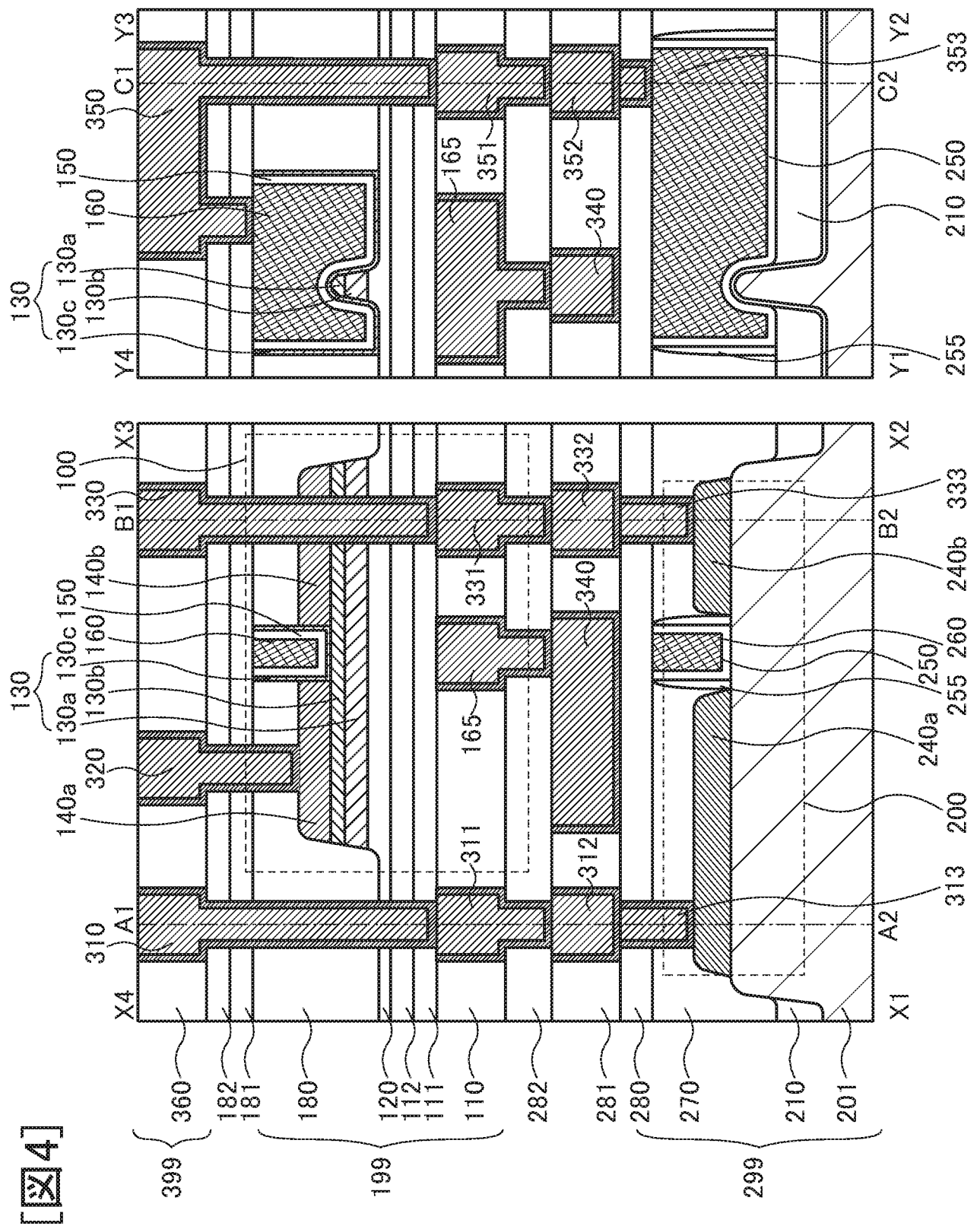
[图1]

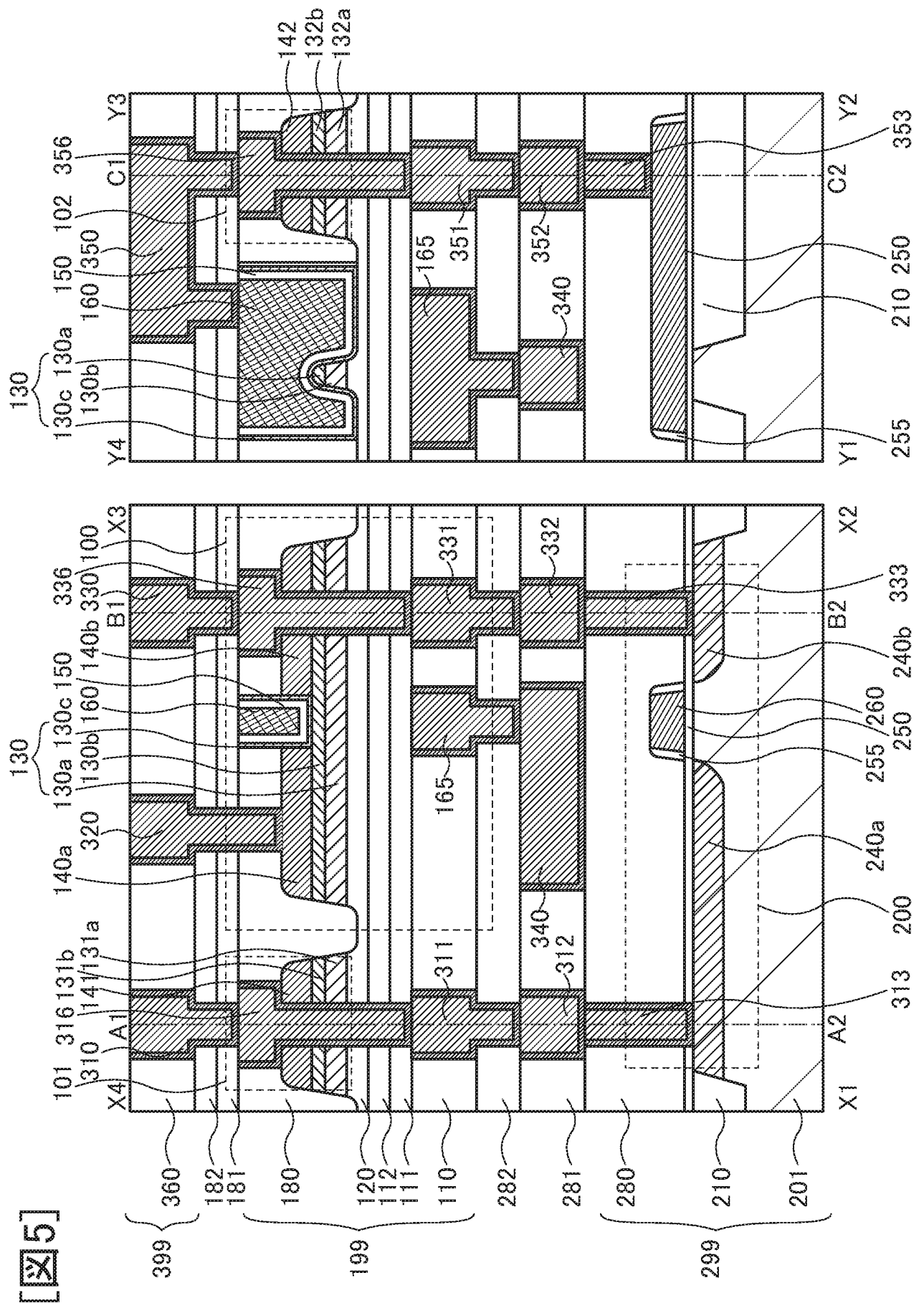


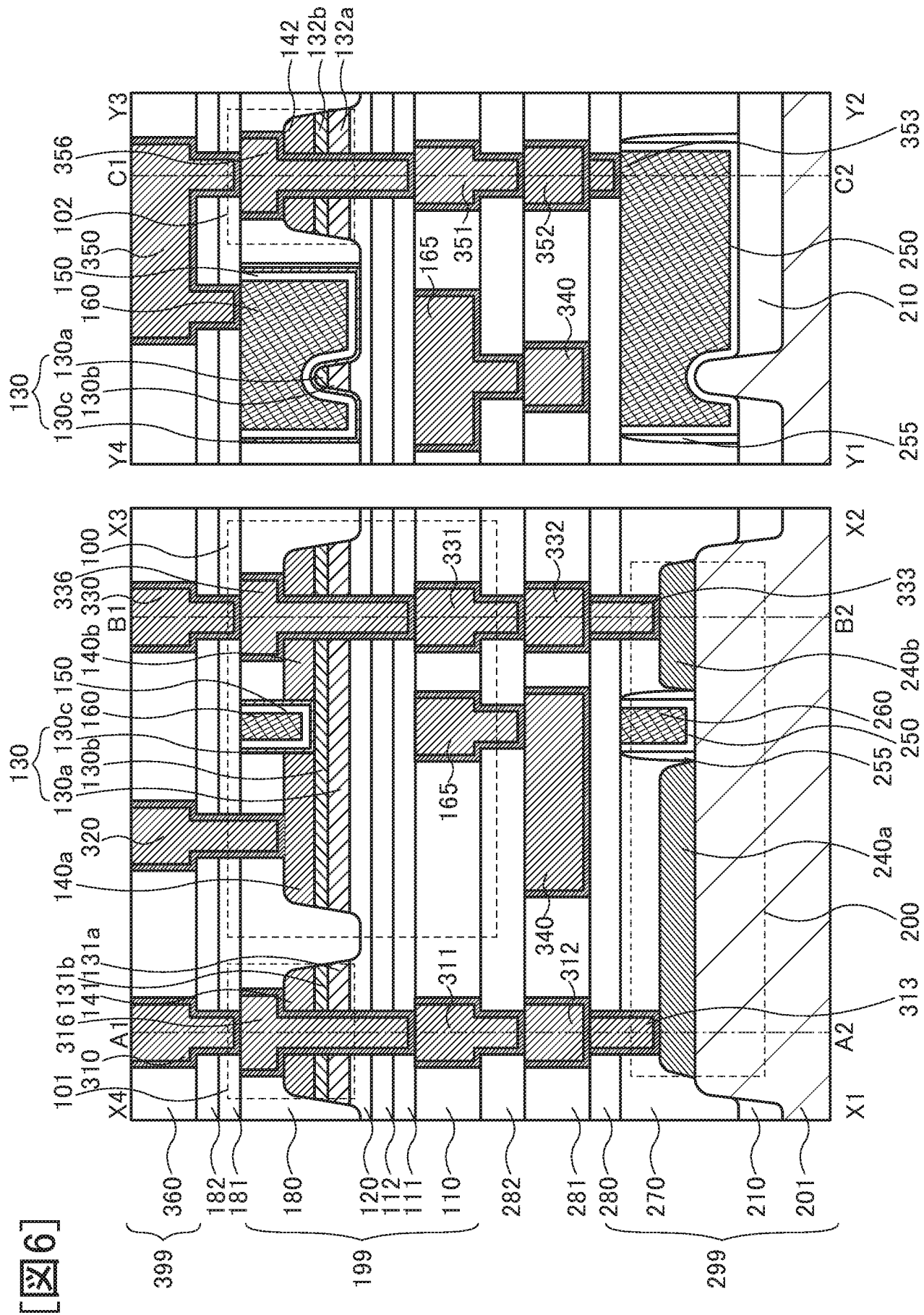
[図2]

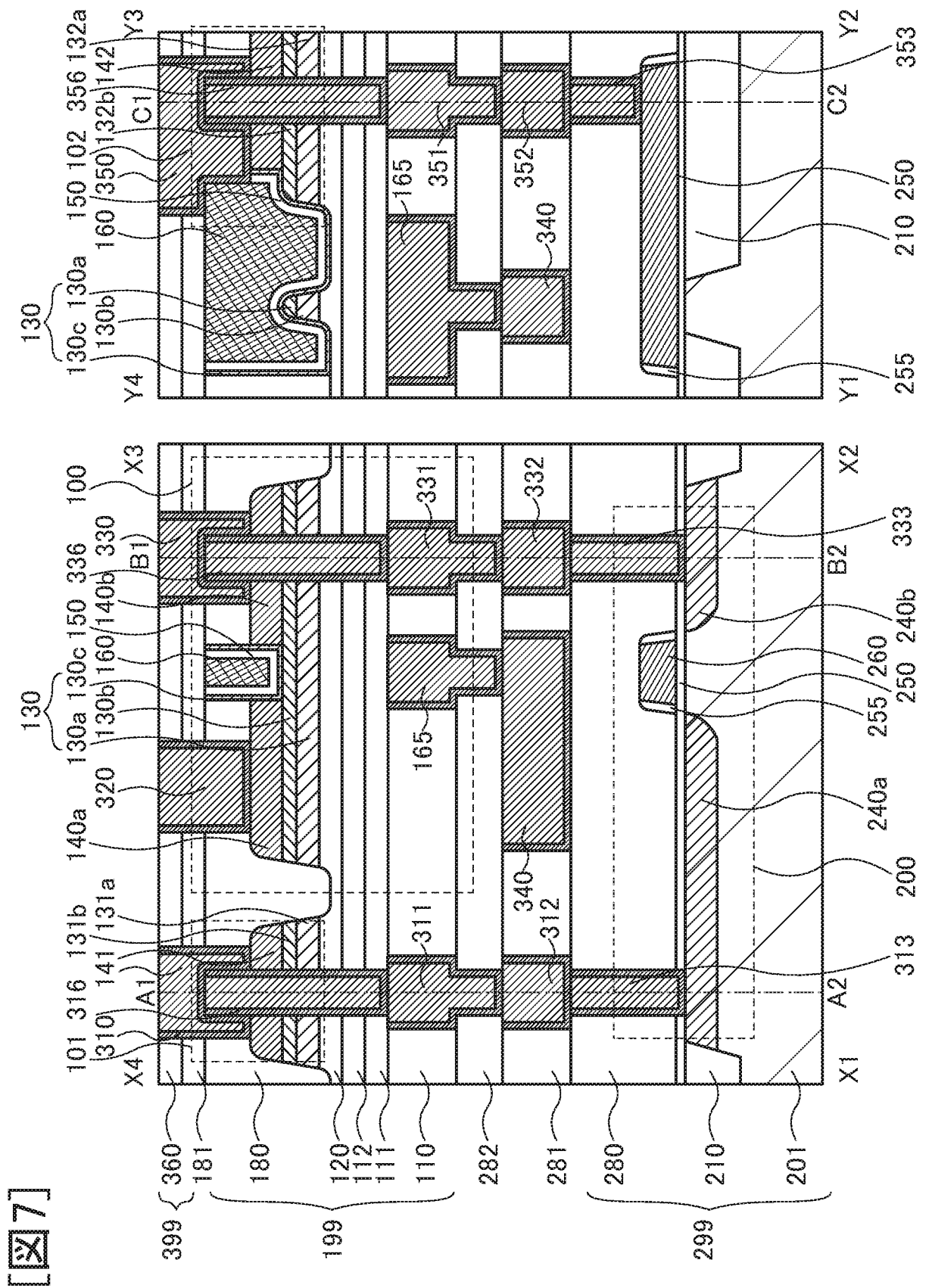


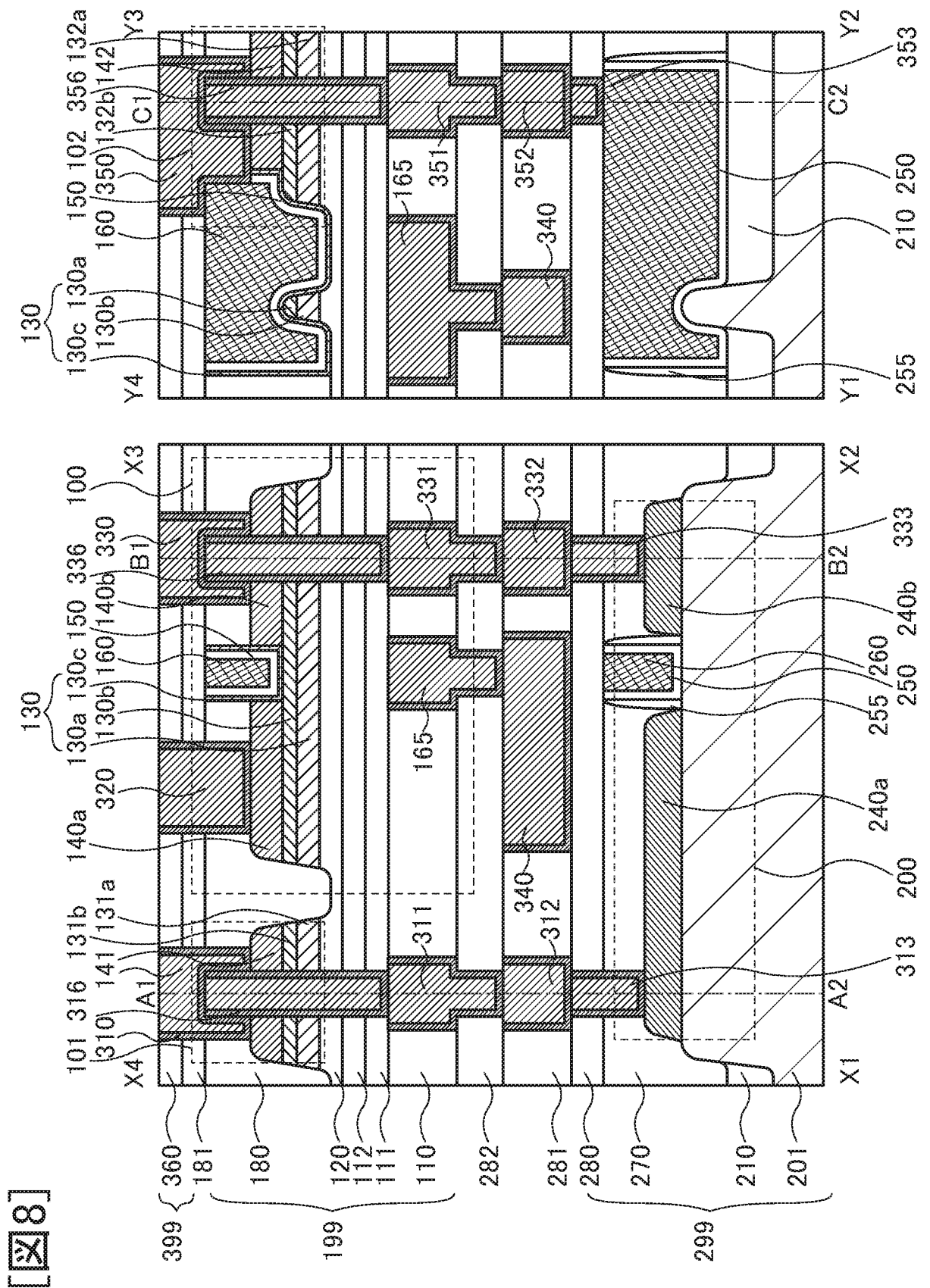








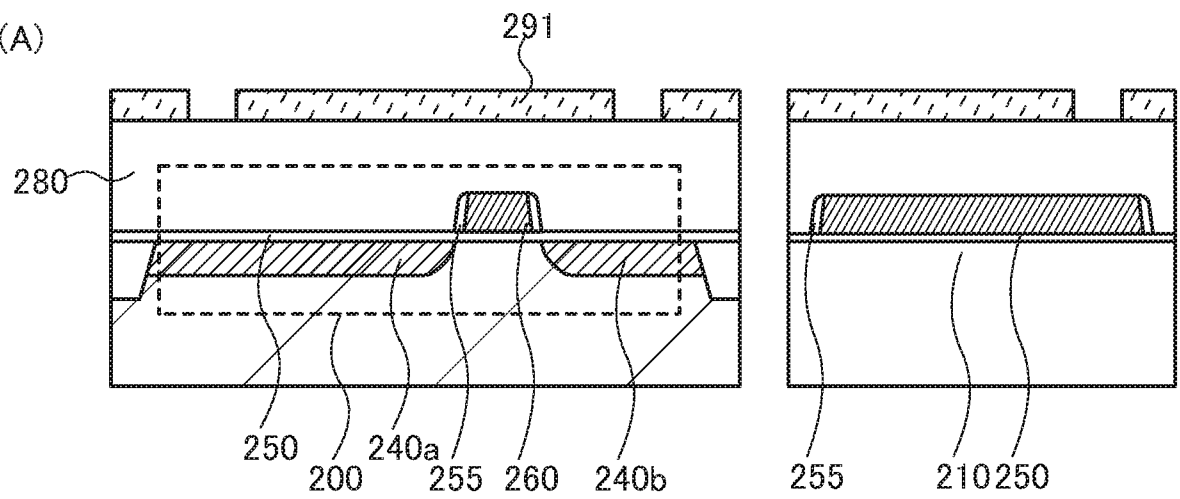




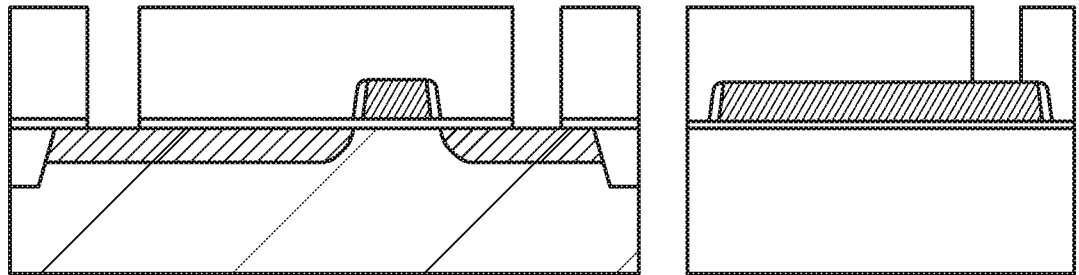
[図9]

9/40

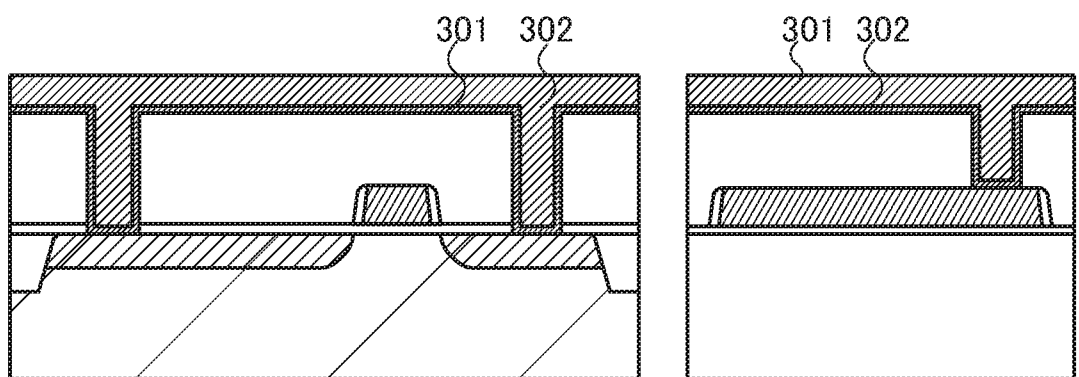
(A)



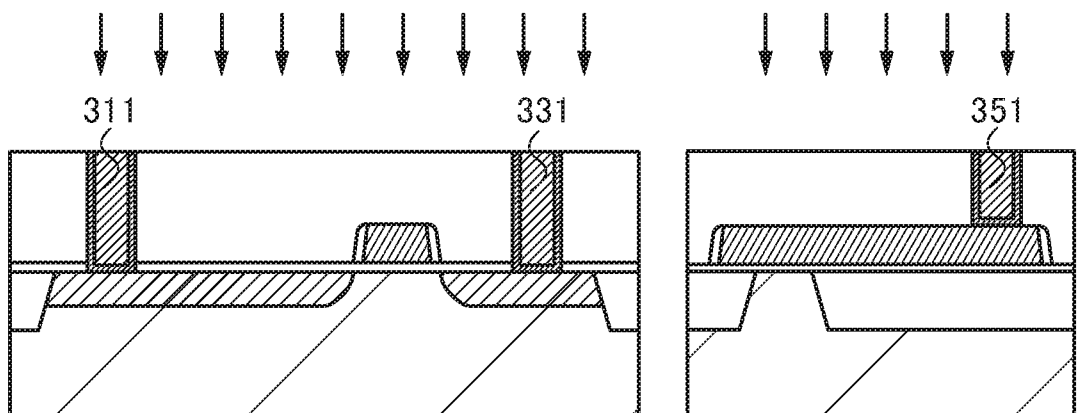
(B)



(C)



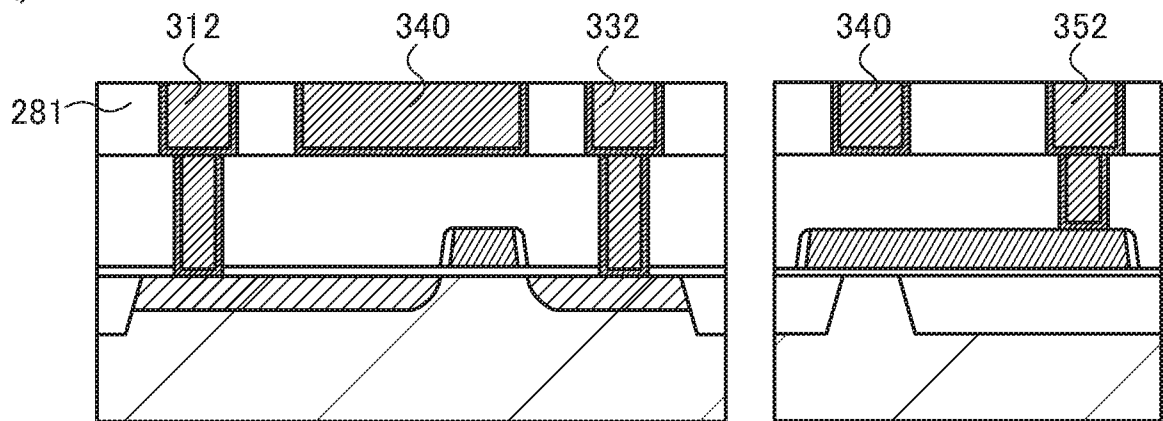
(D)



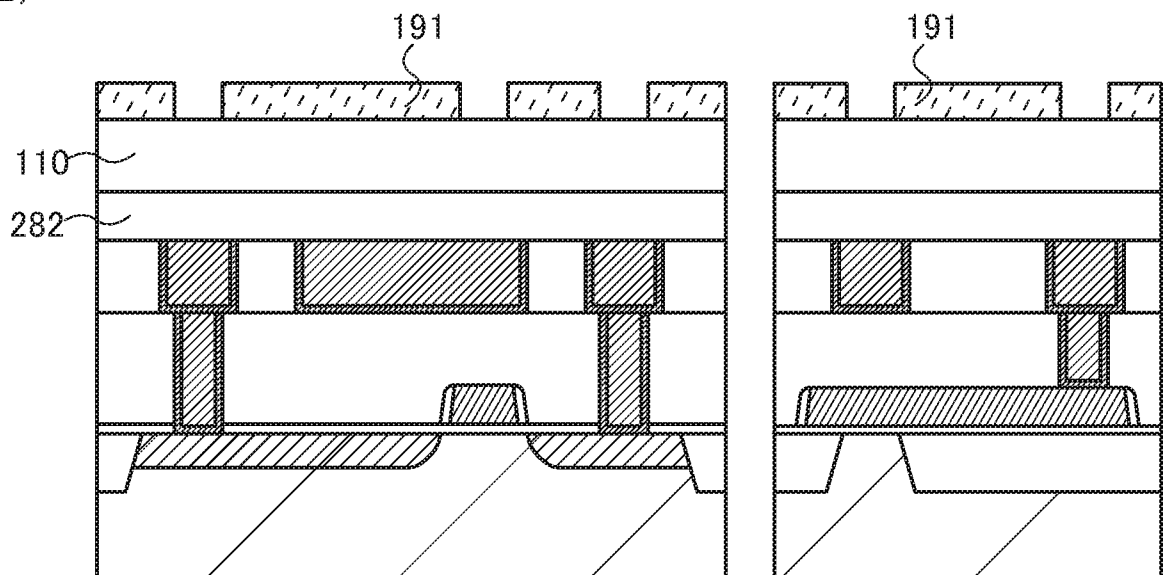
10/40

[図10]

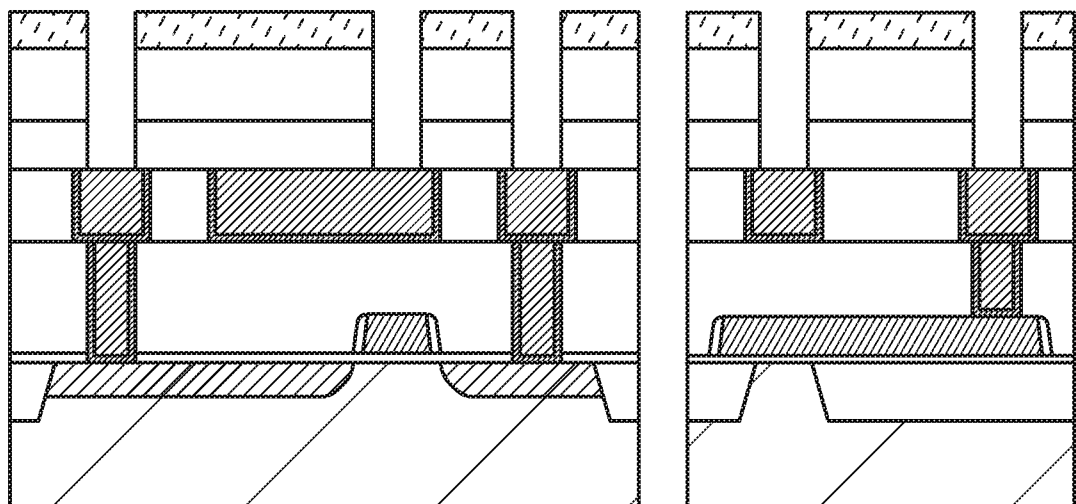
(A)



(B)



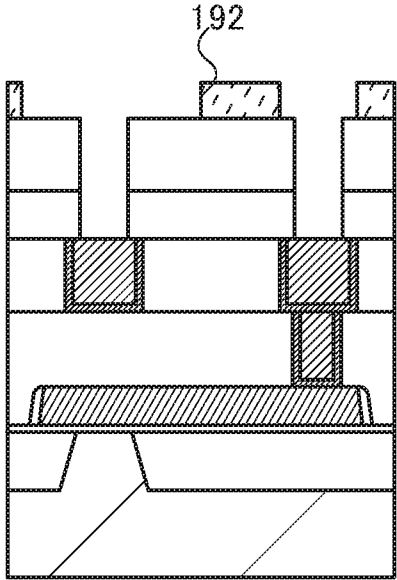
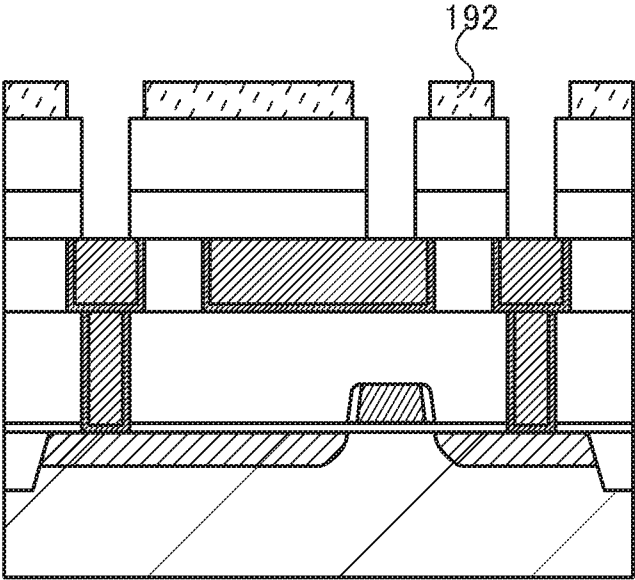
(C)



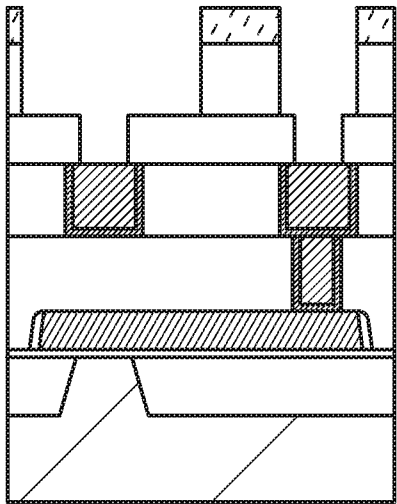
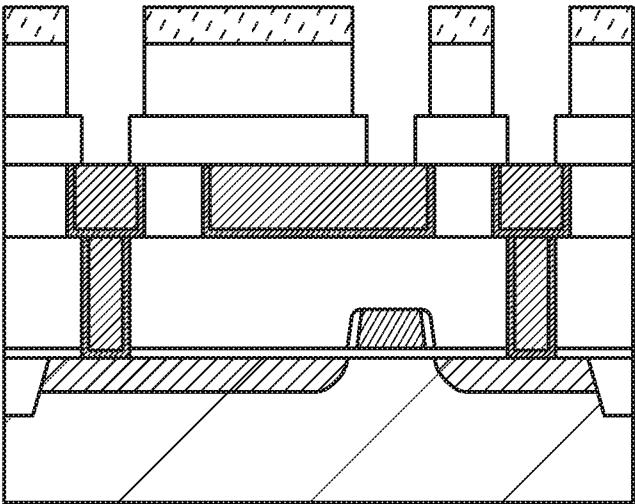
[図 11]

11/40

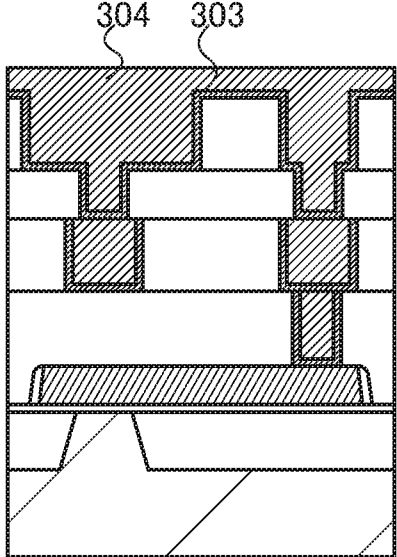
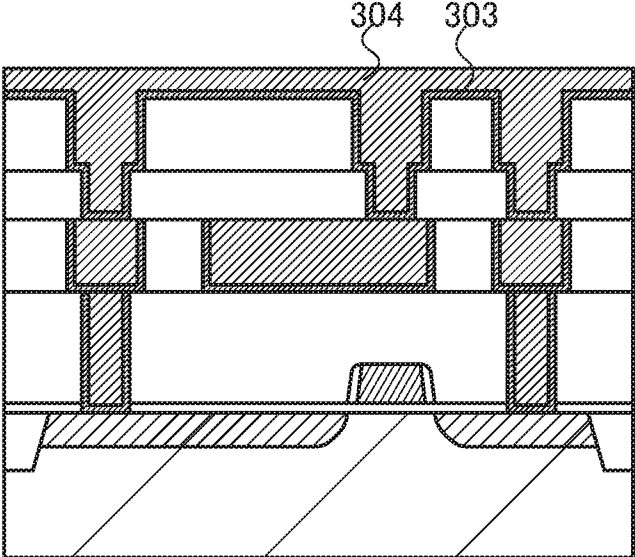
(A)



(B)

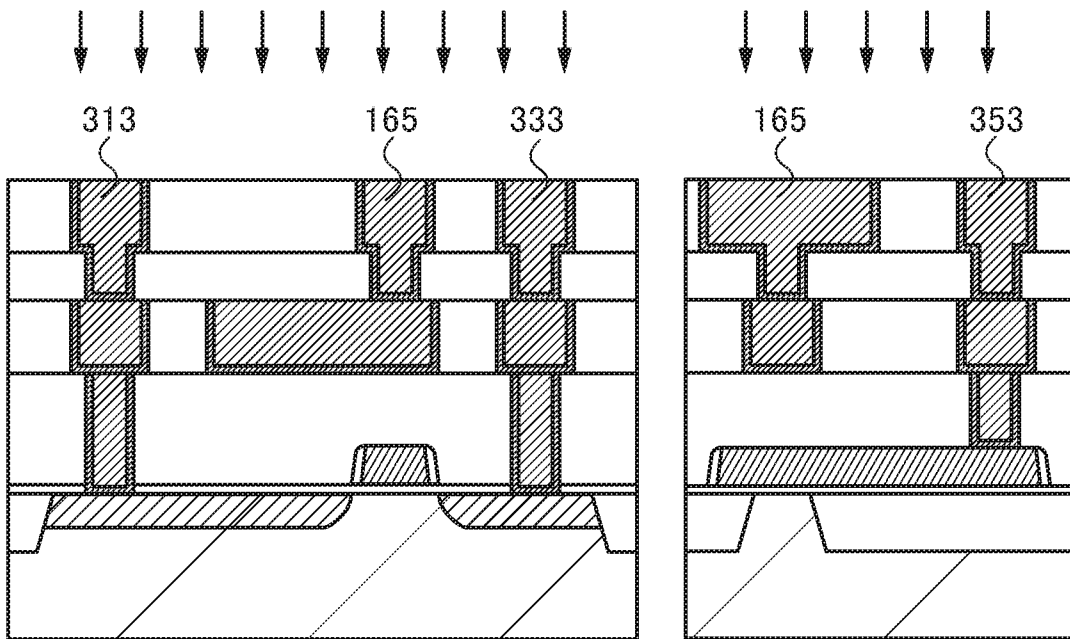


(C)

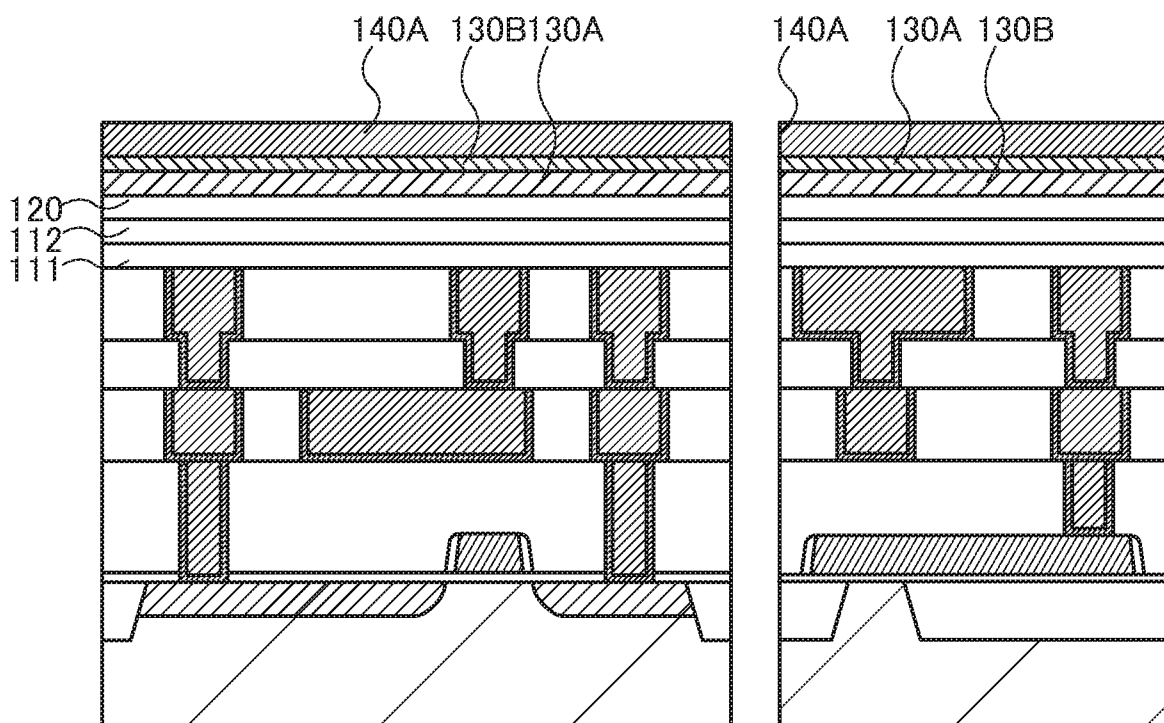


[図12]

(A)

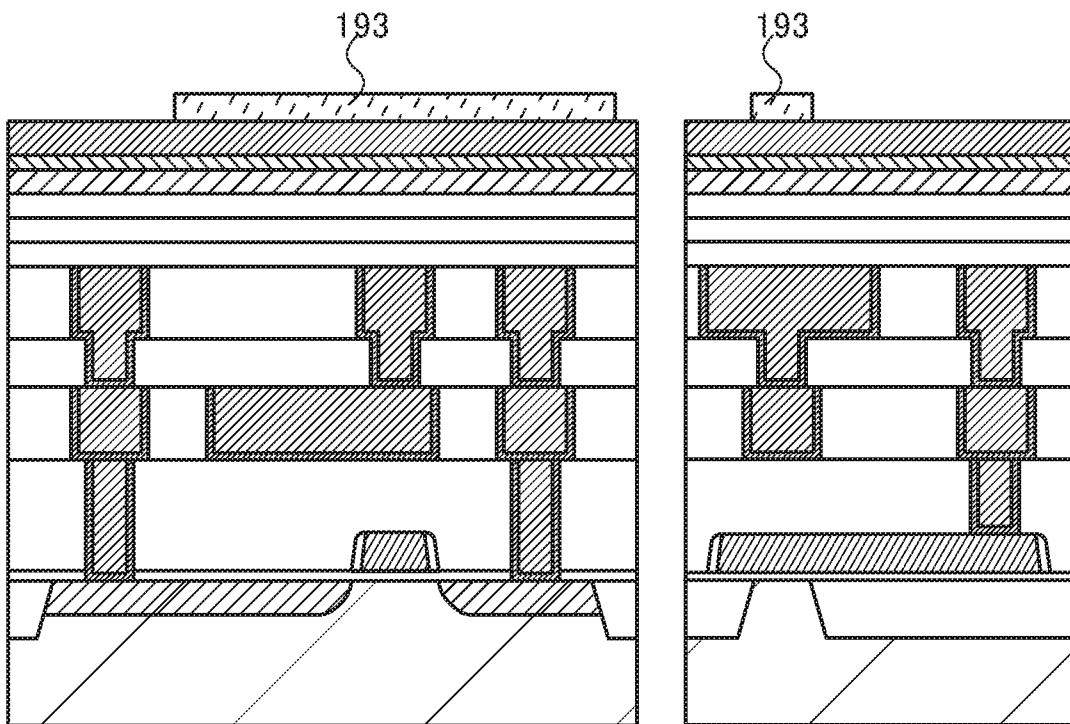


(B)

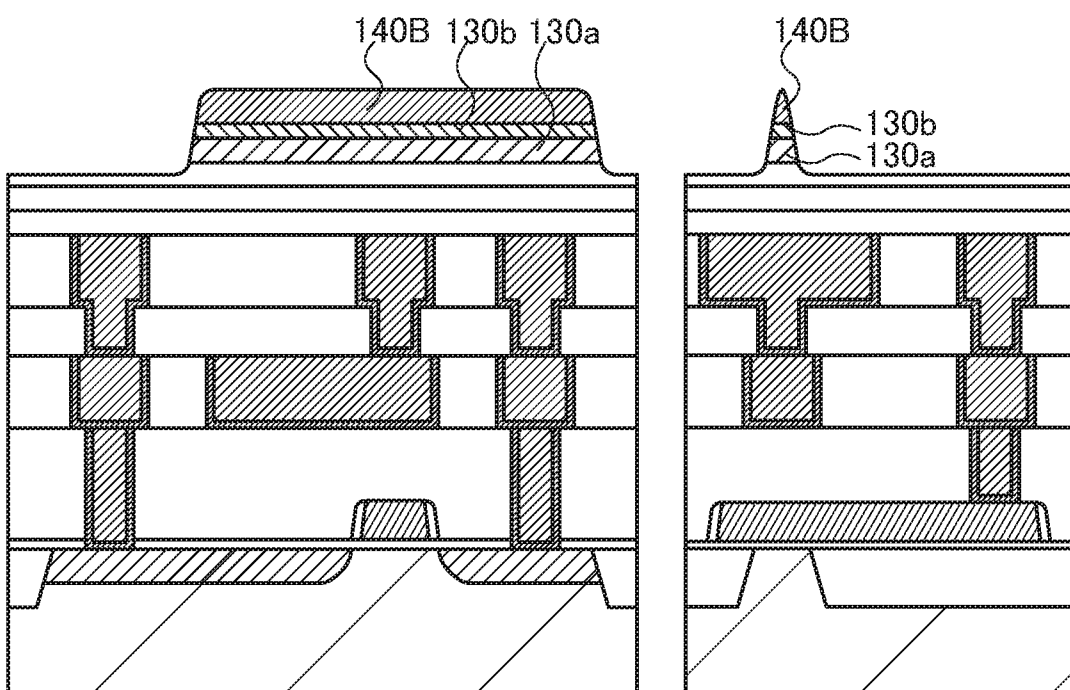


[図] 13

(A)

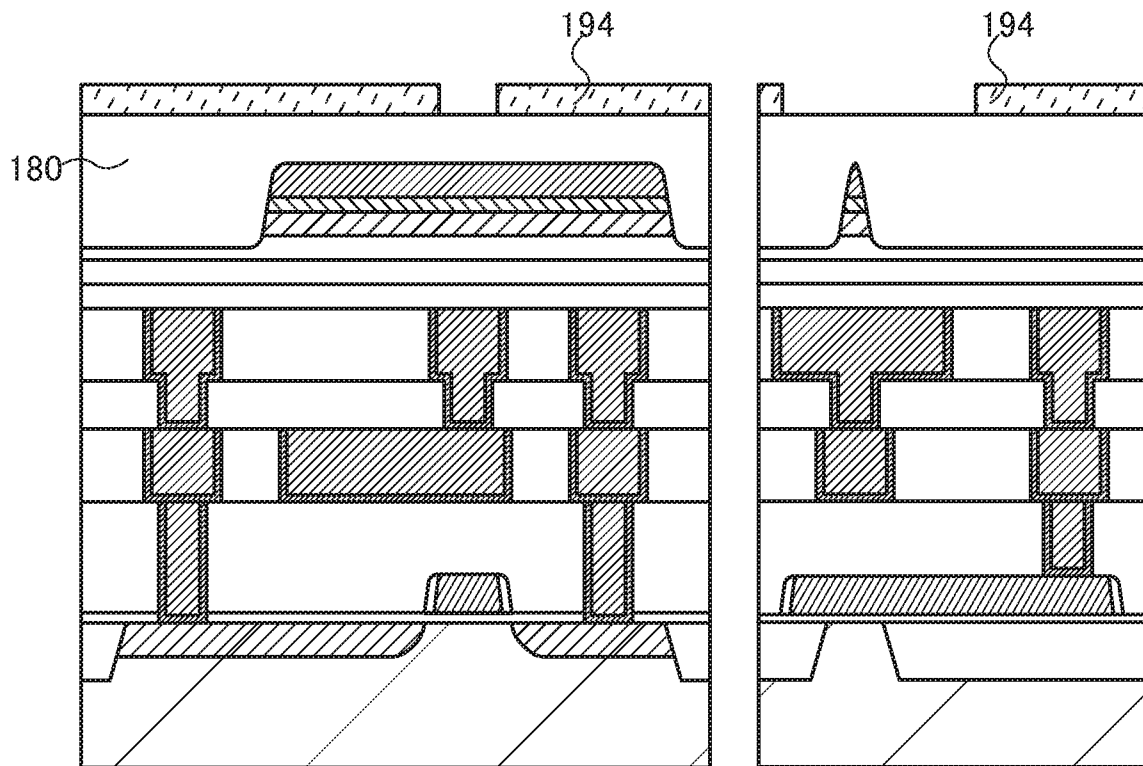


(B)

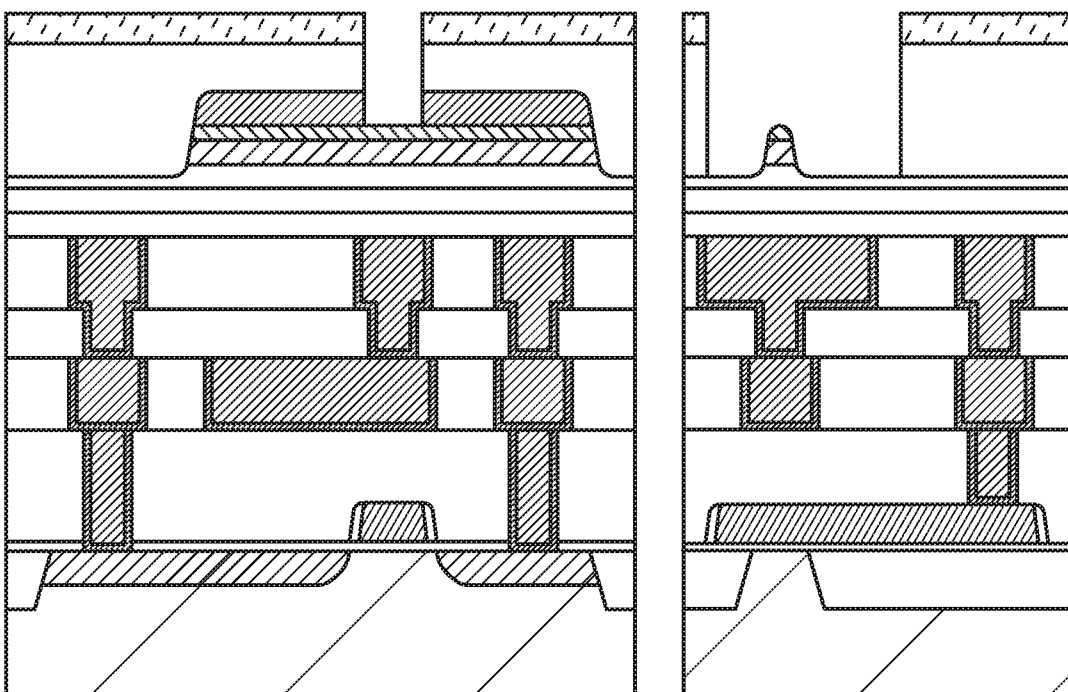


[図 14]

(A)

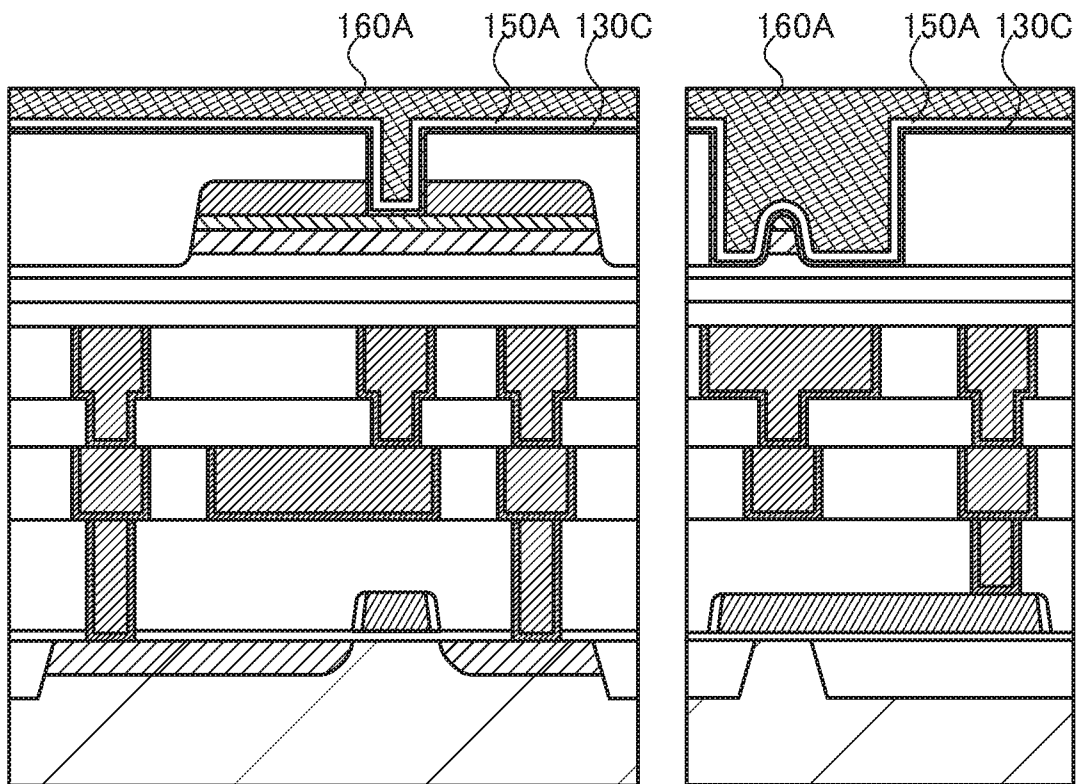


(B)

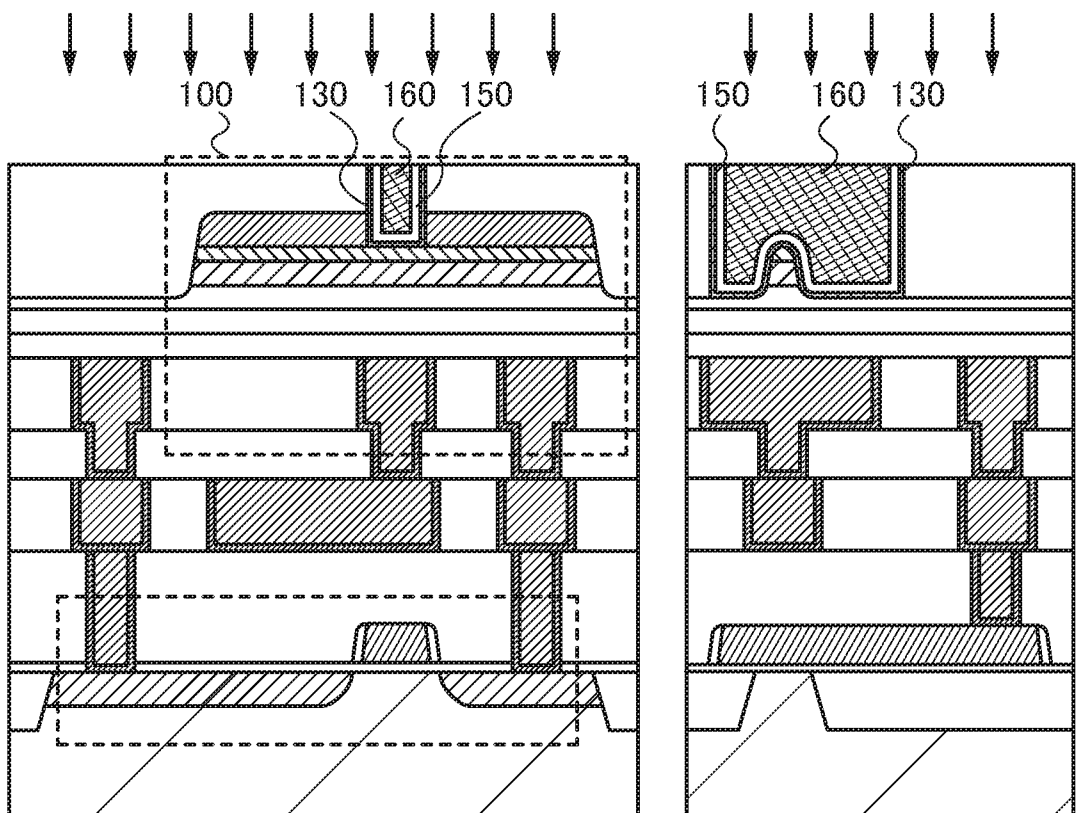


[図15]

(A)

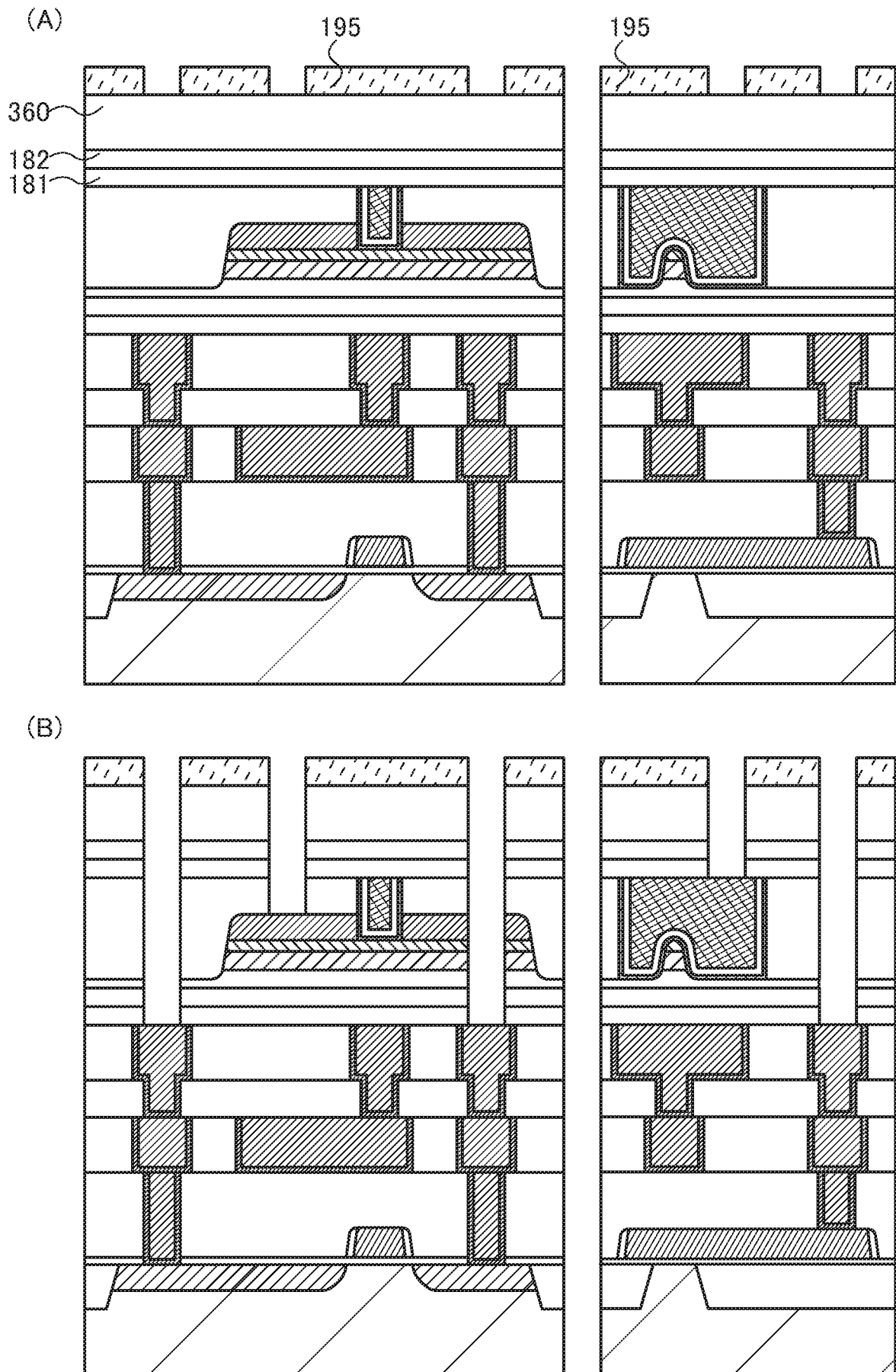


(B)



[図16]

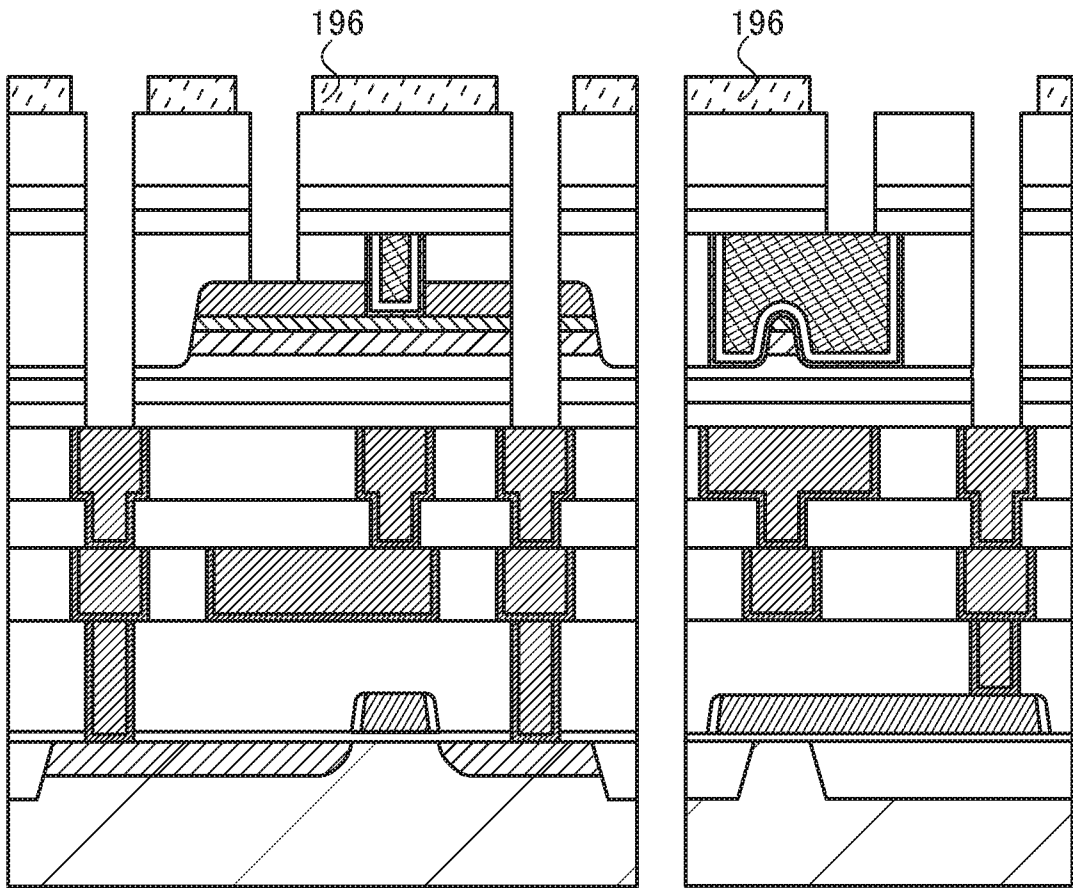
16/40



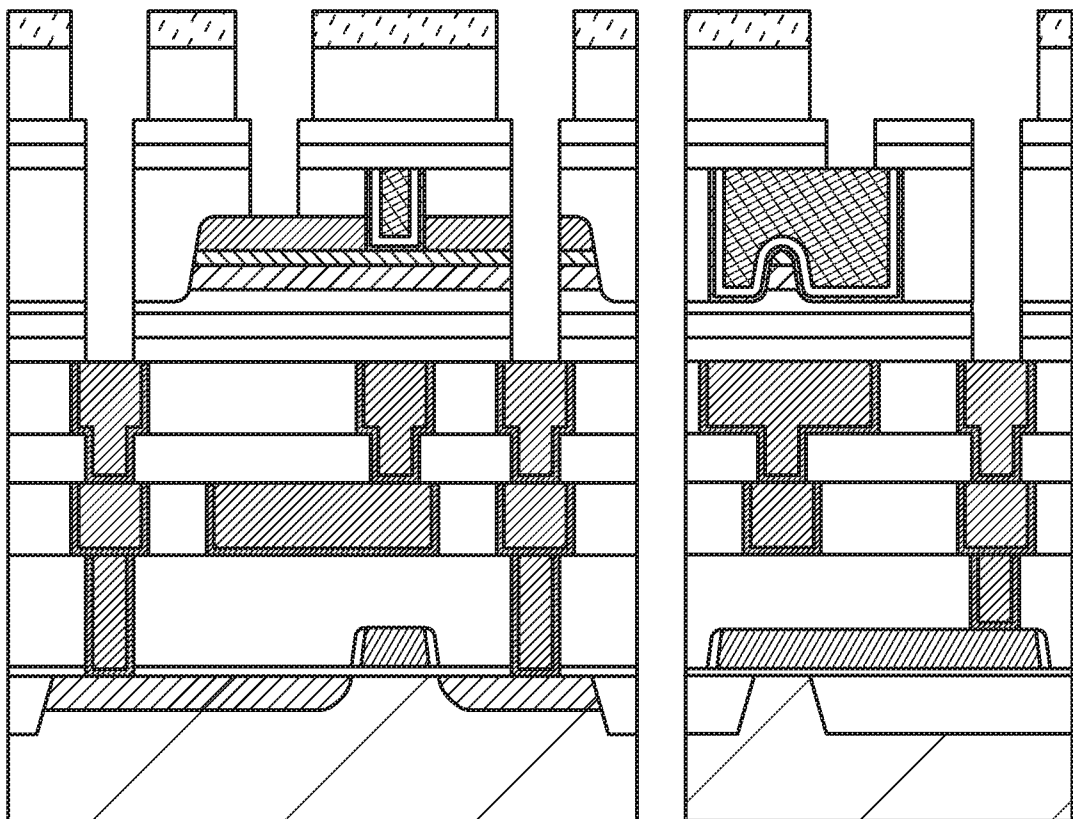
[図 17]

17/40

(A)



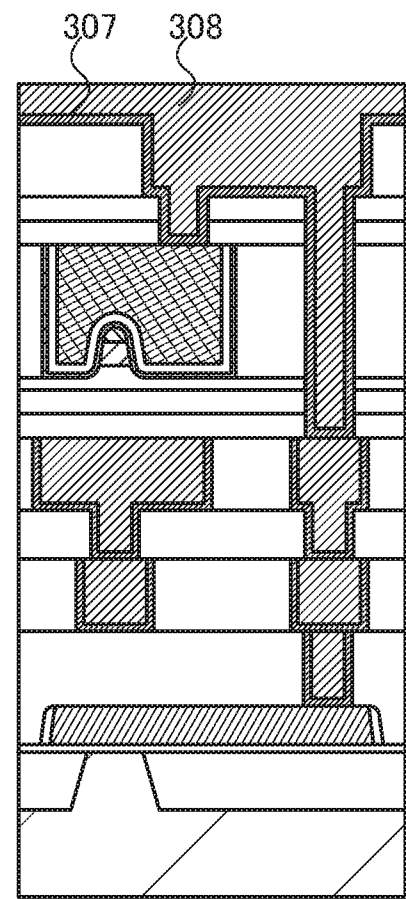
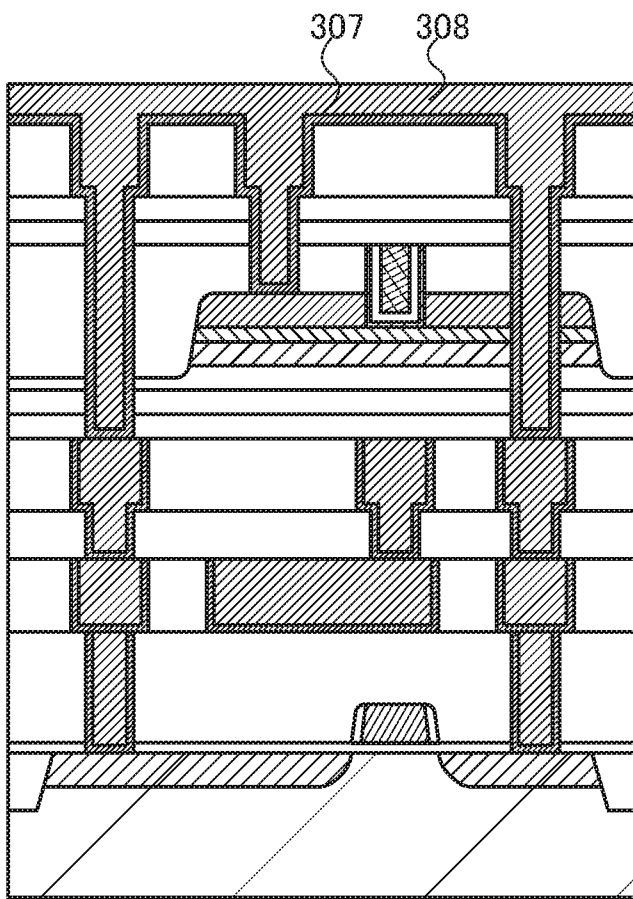
(B)



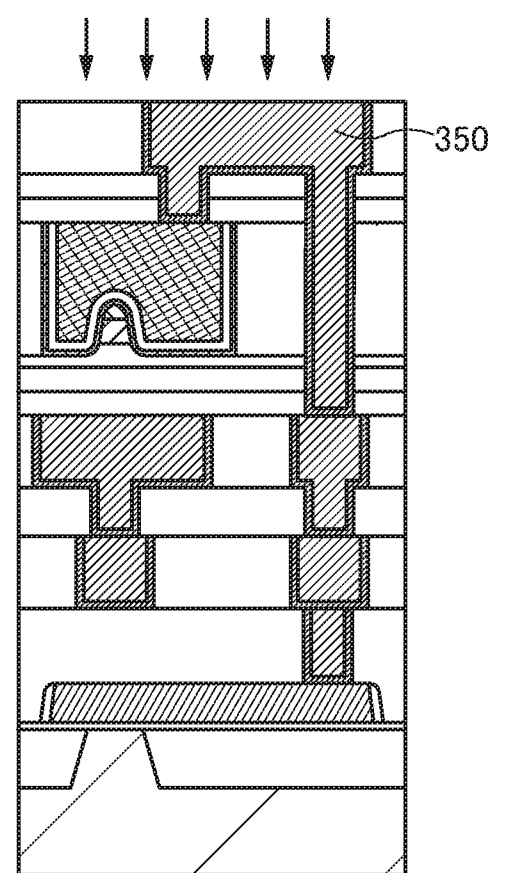
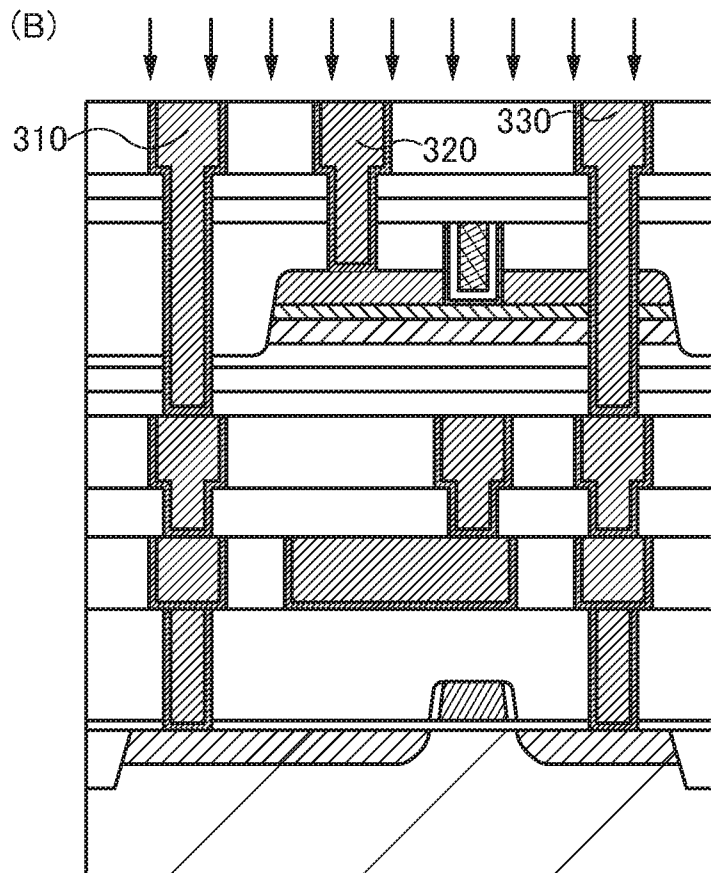
[図18]

18/40

(A)

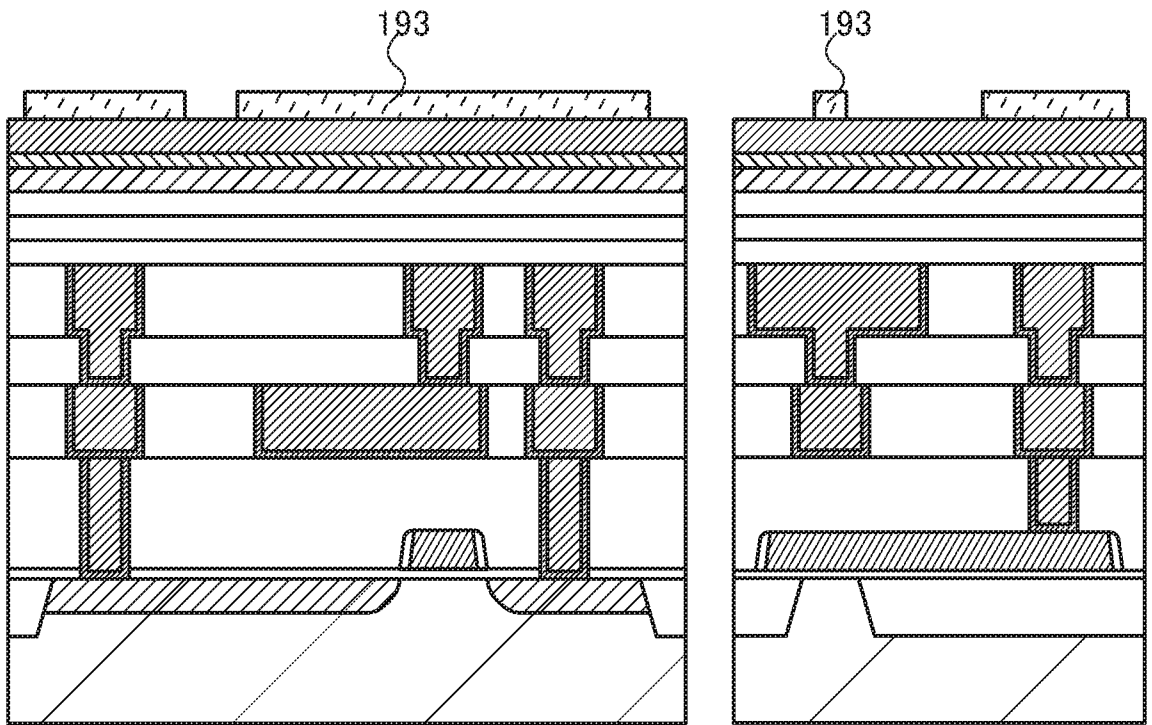


(B)

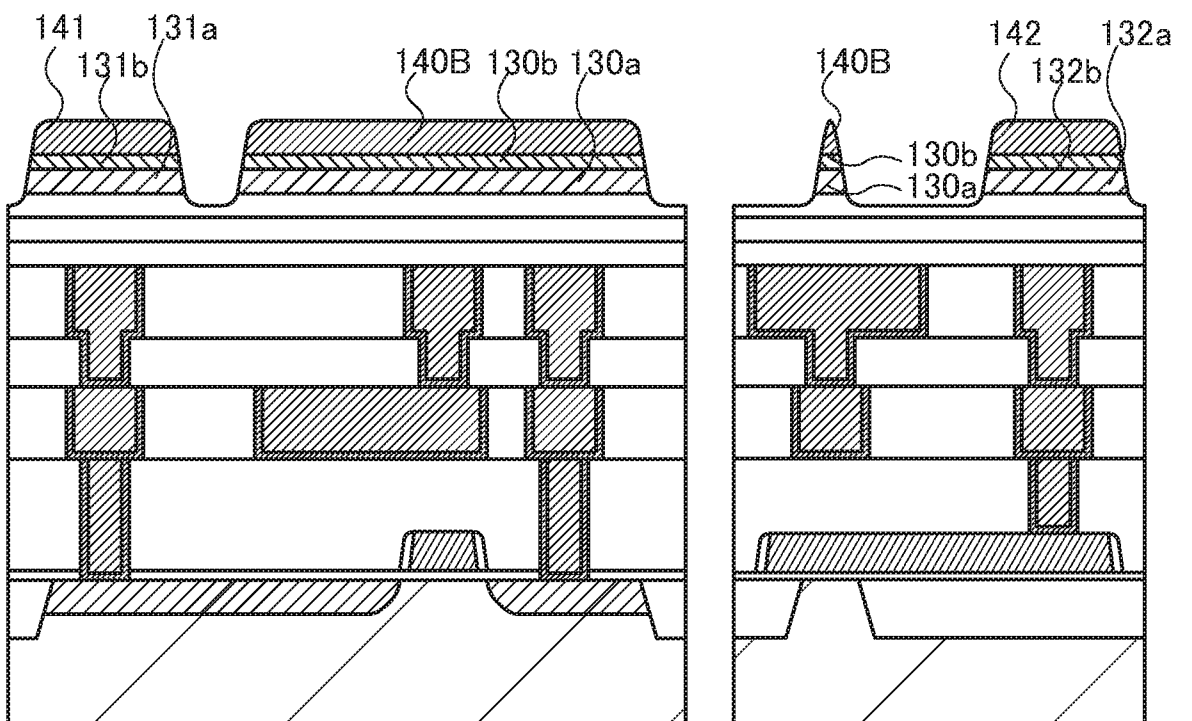


[図] 19

(A)

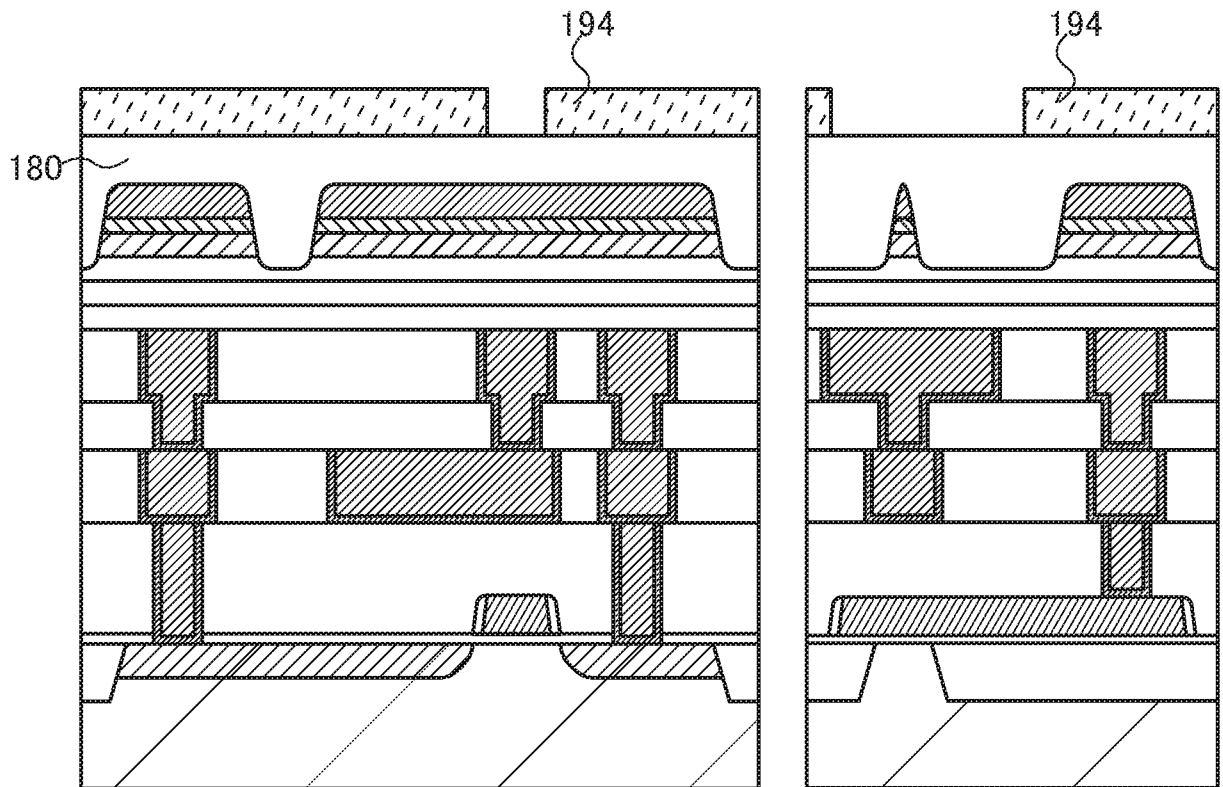


(B)

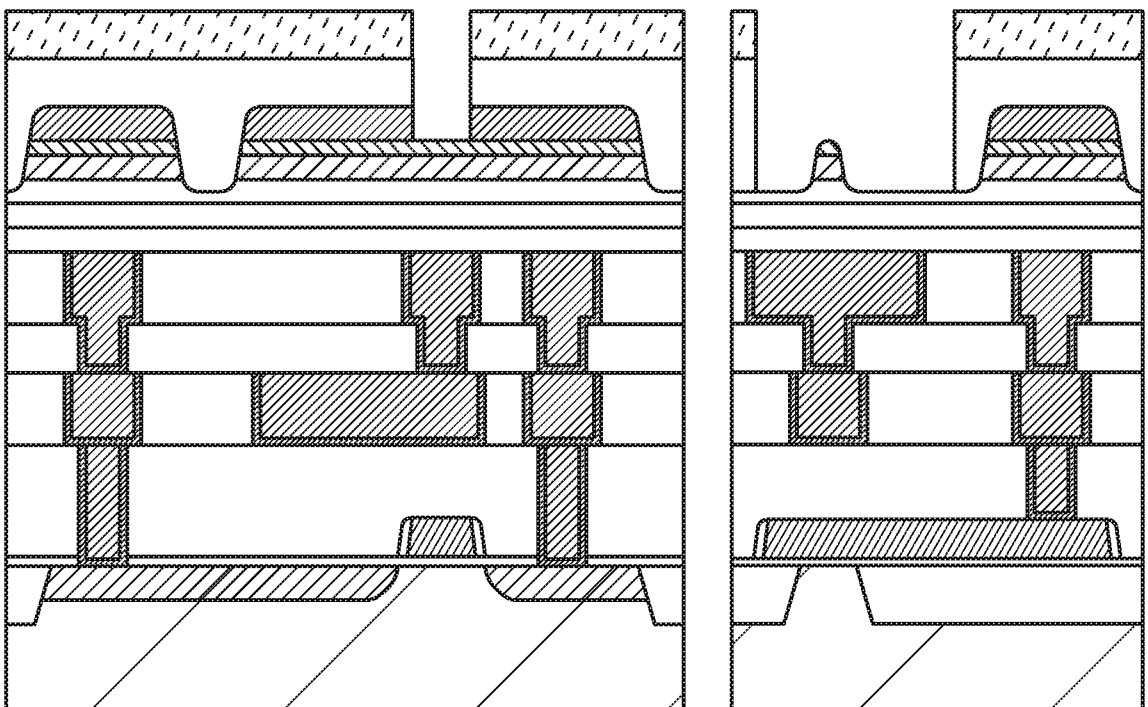


[図20]

(A)

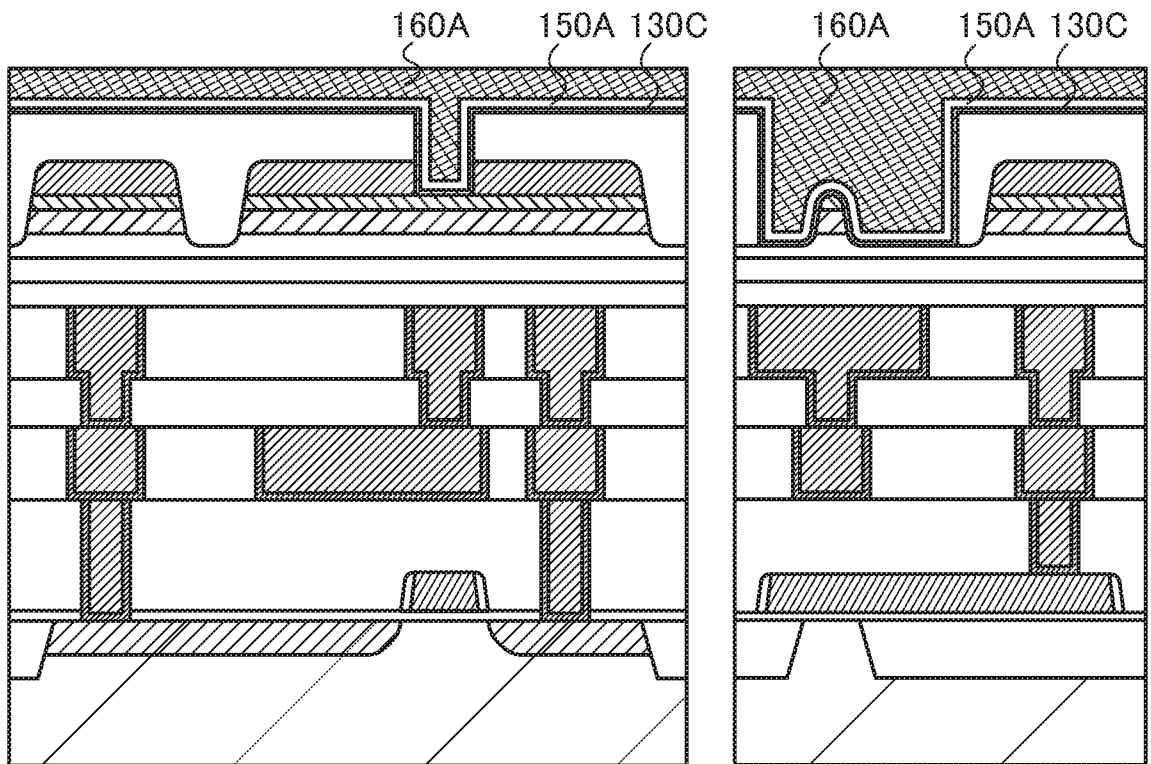


(B)

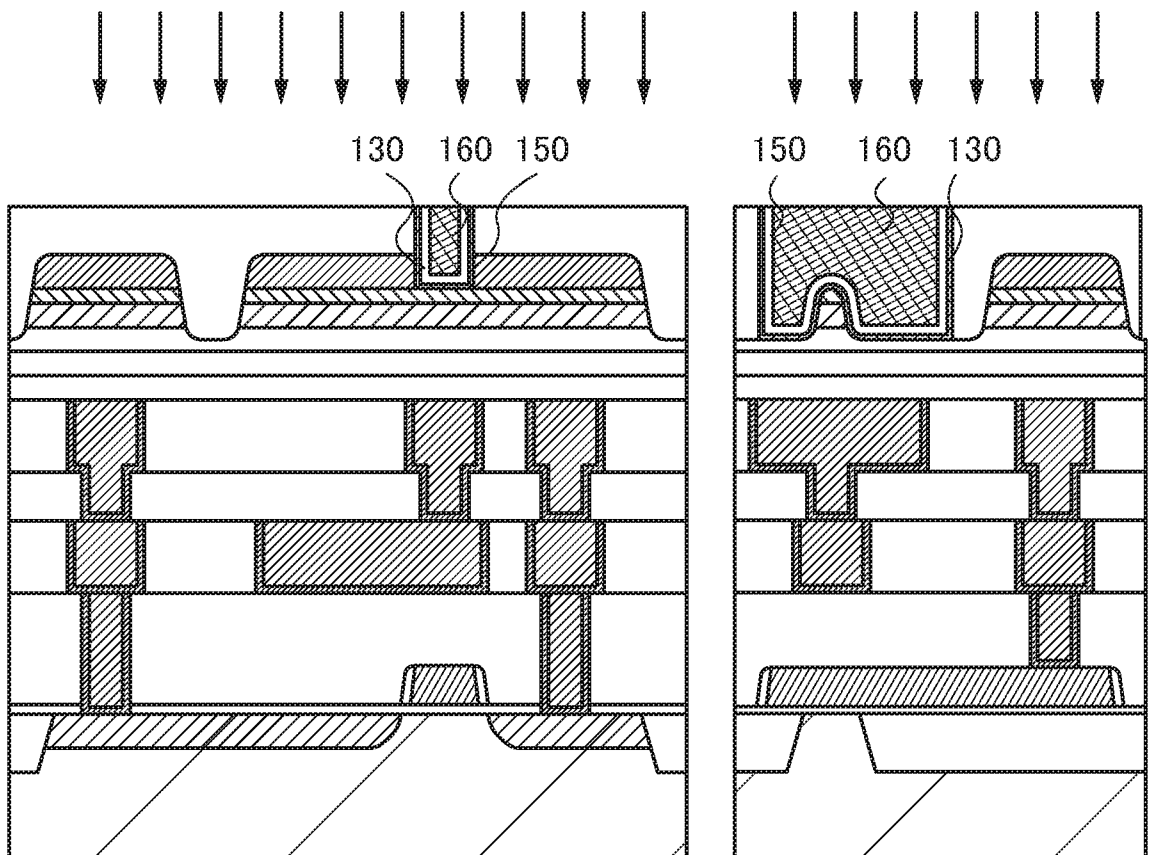


[図21]

(A)

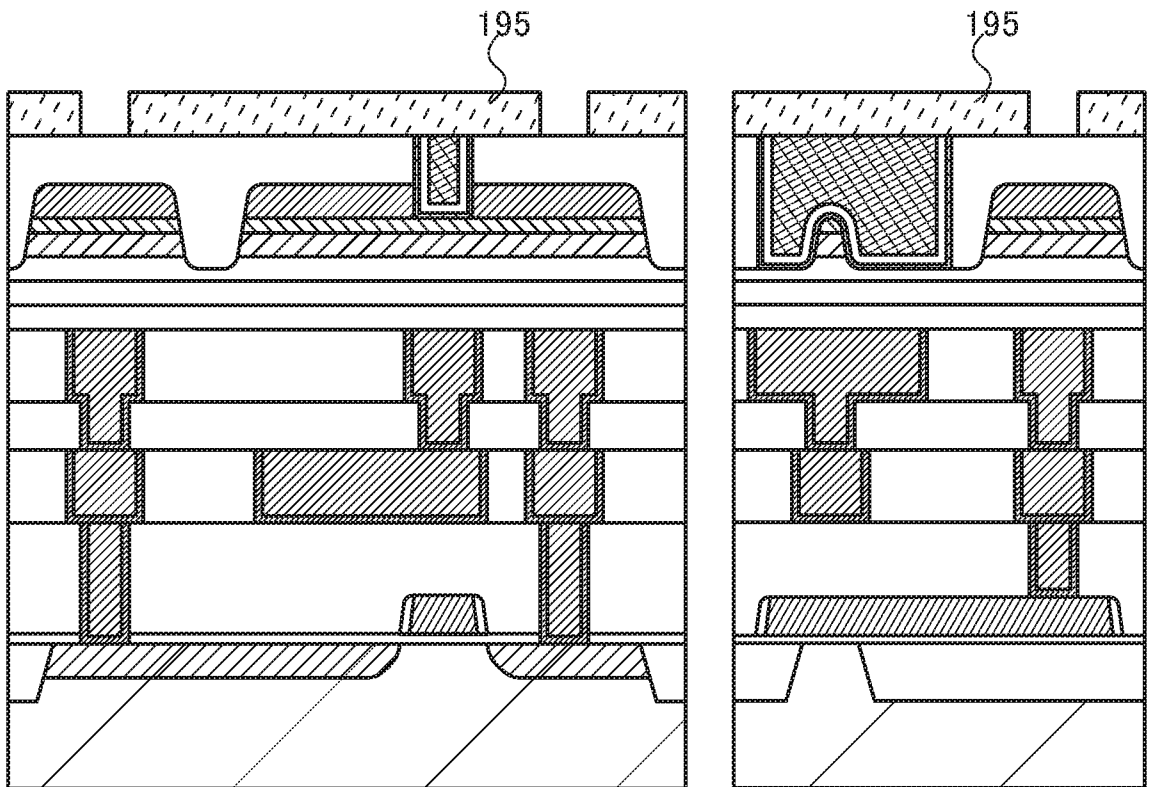


(B)

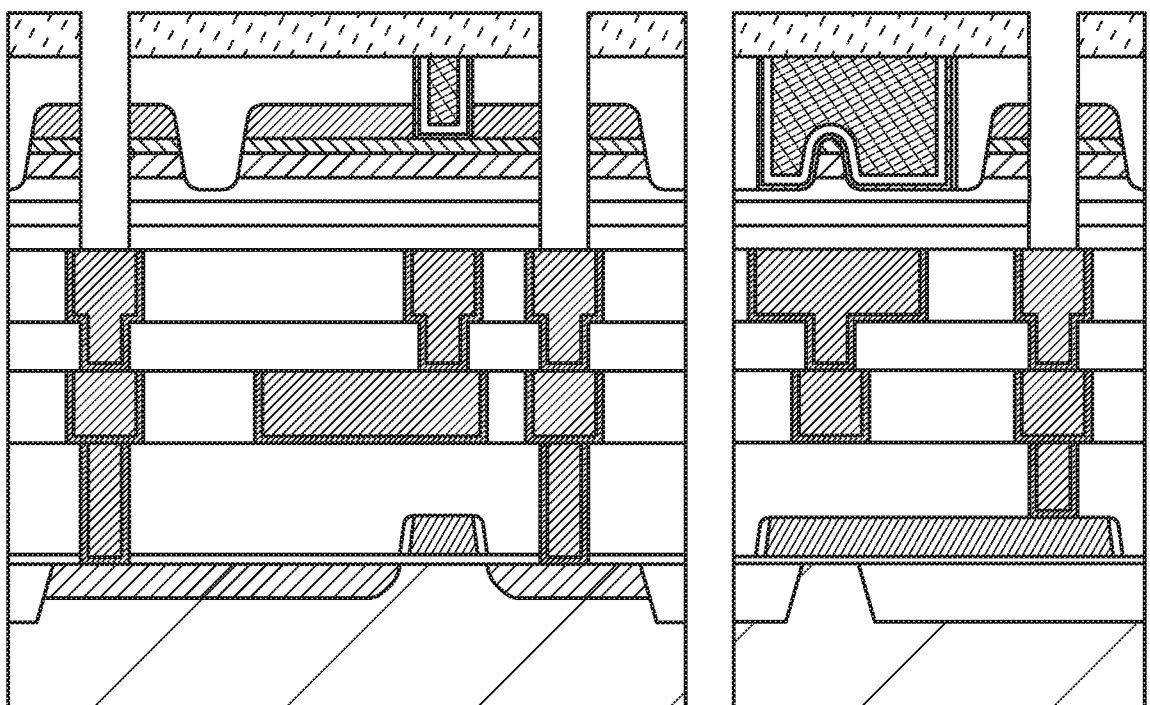


[図22]

(A)

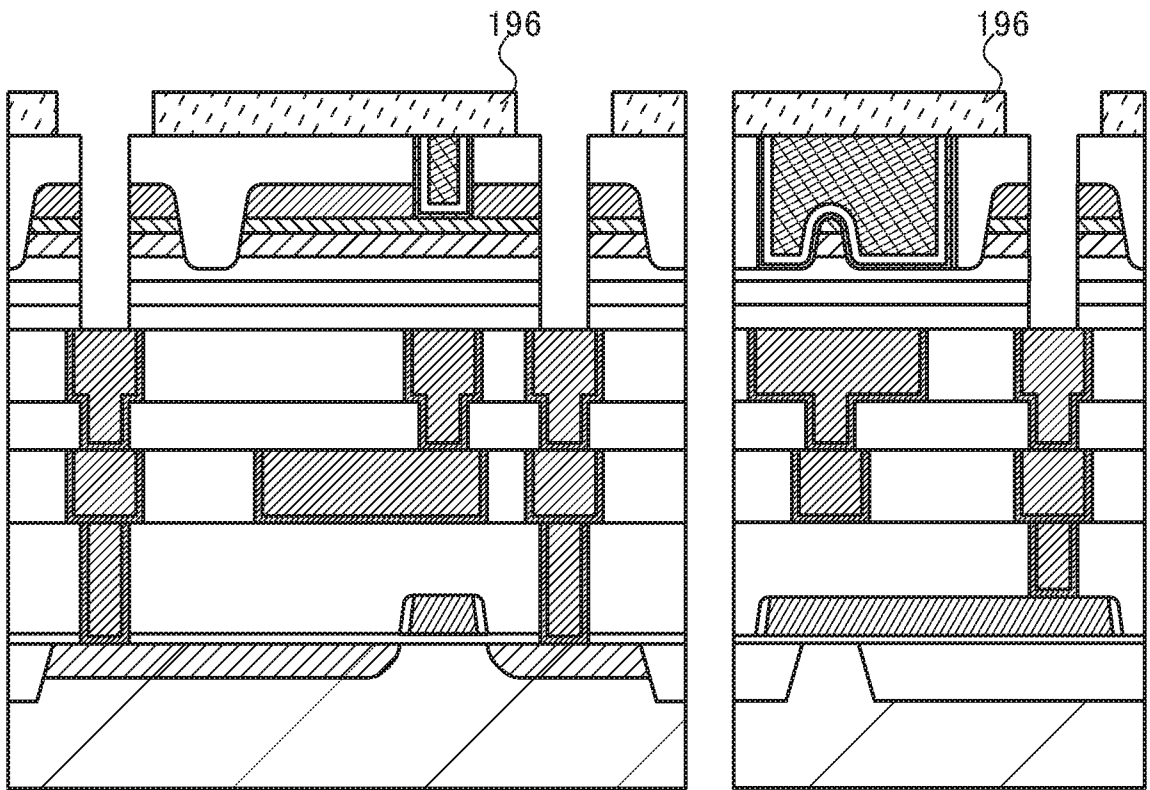


(B)

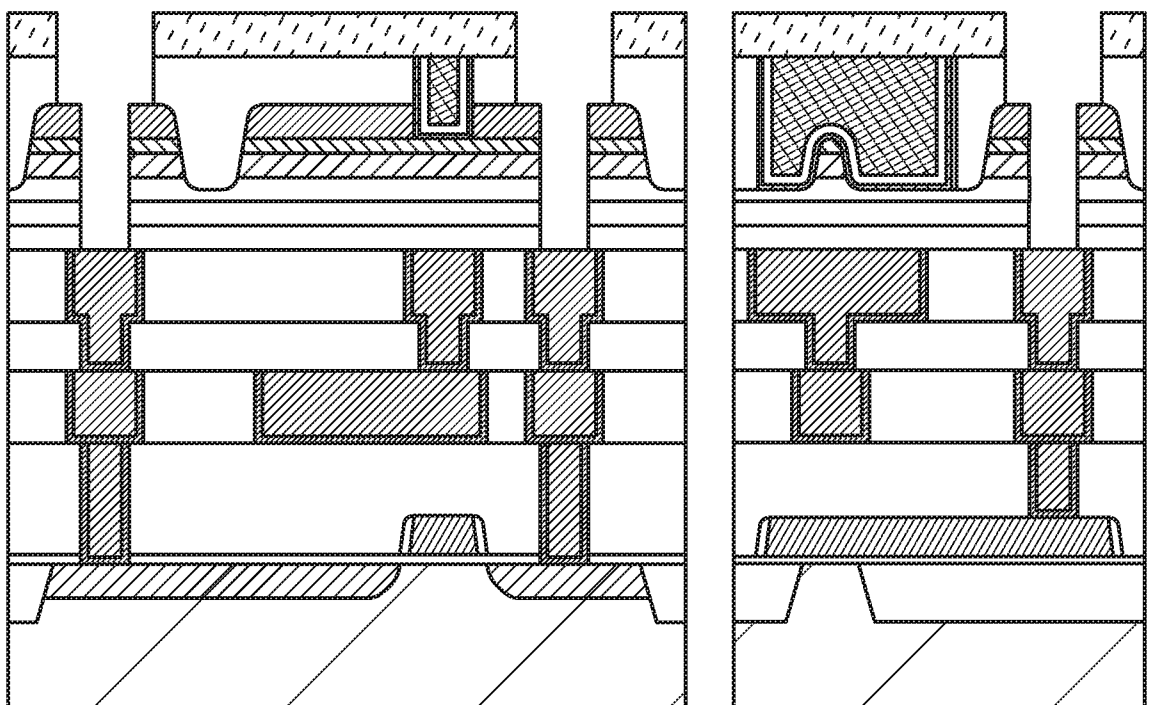


[図23]

(A)

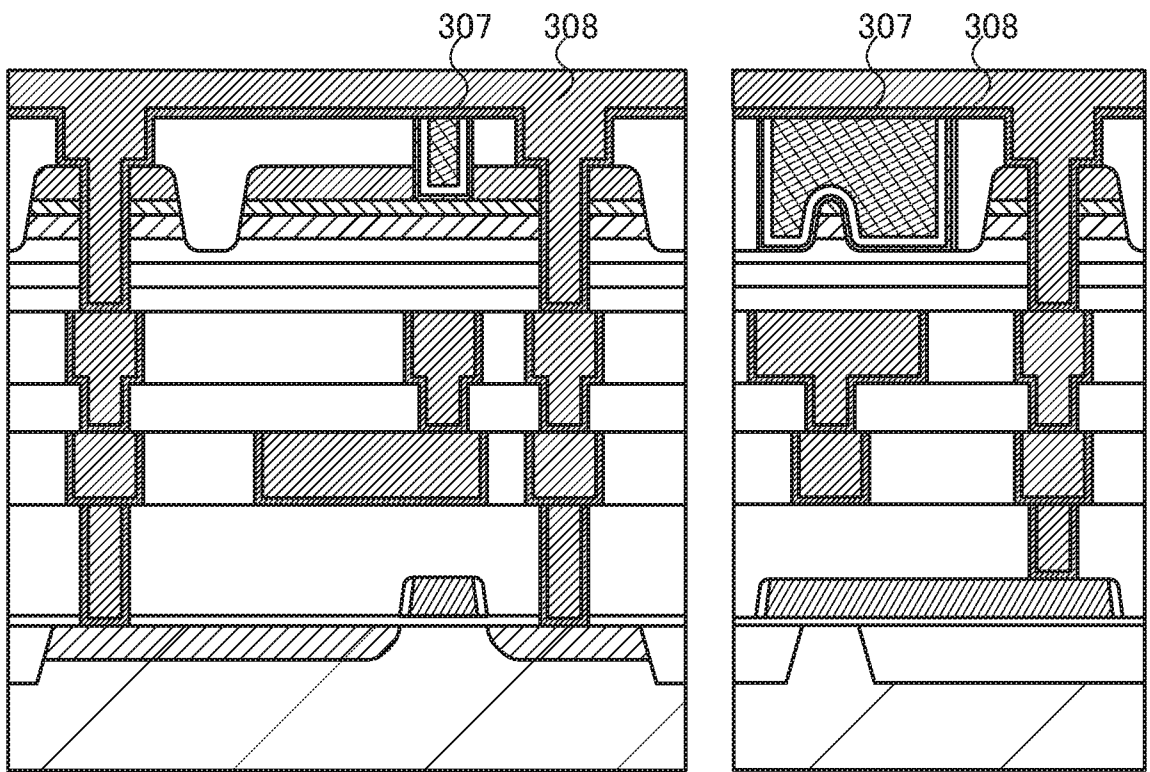


(B)

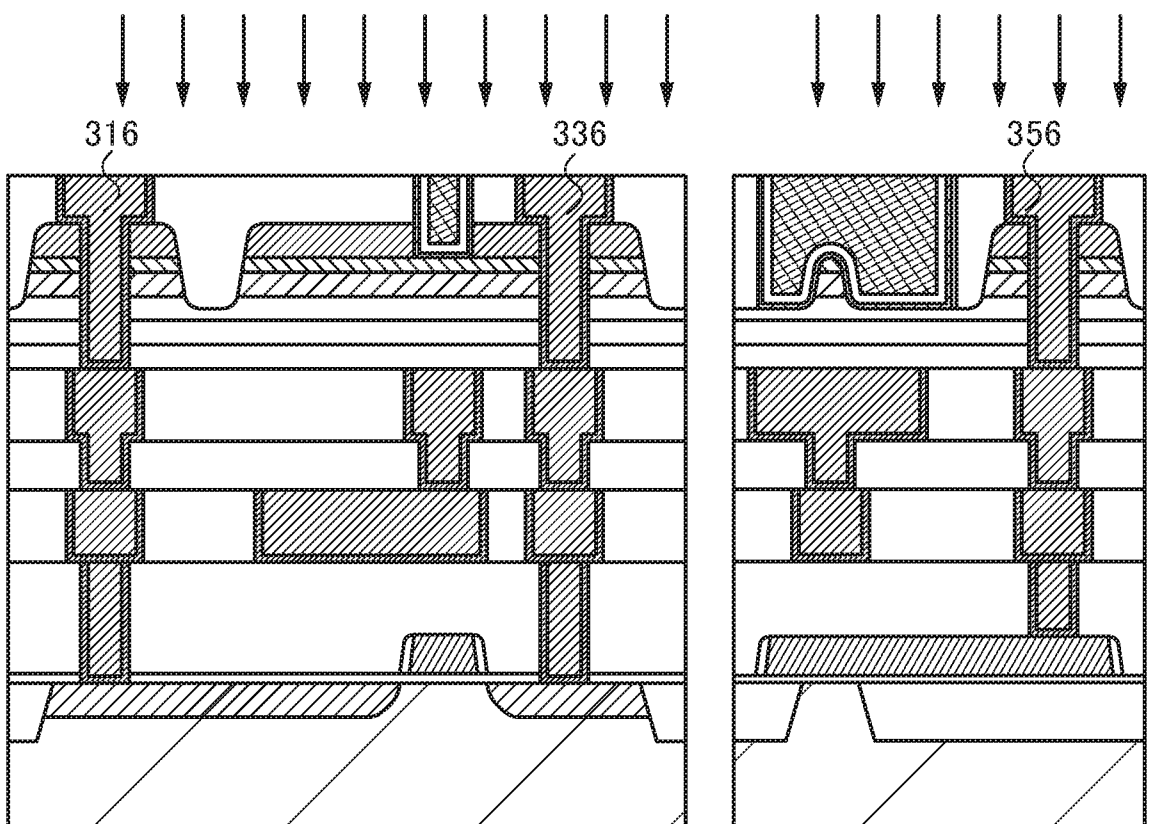


[図24]

(A)



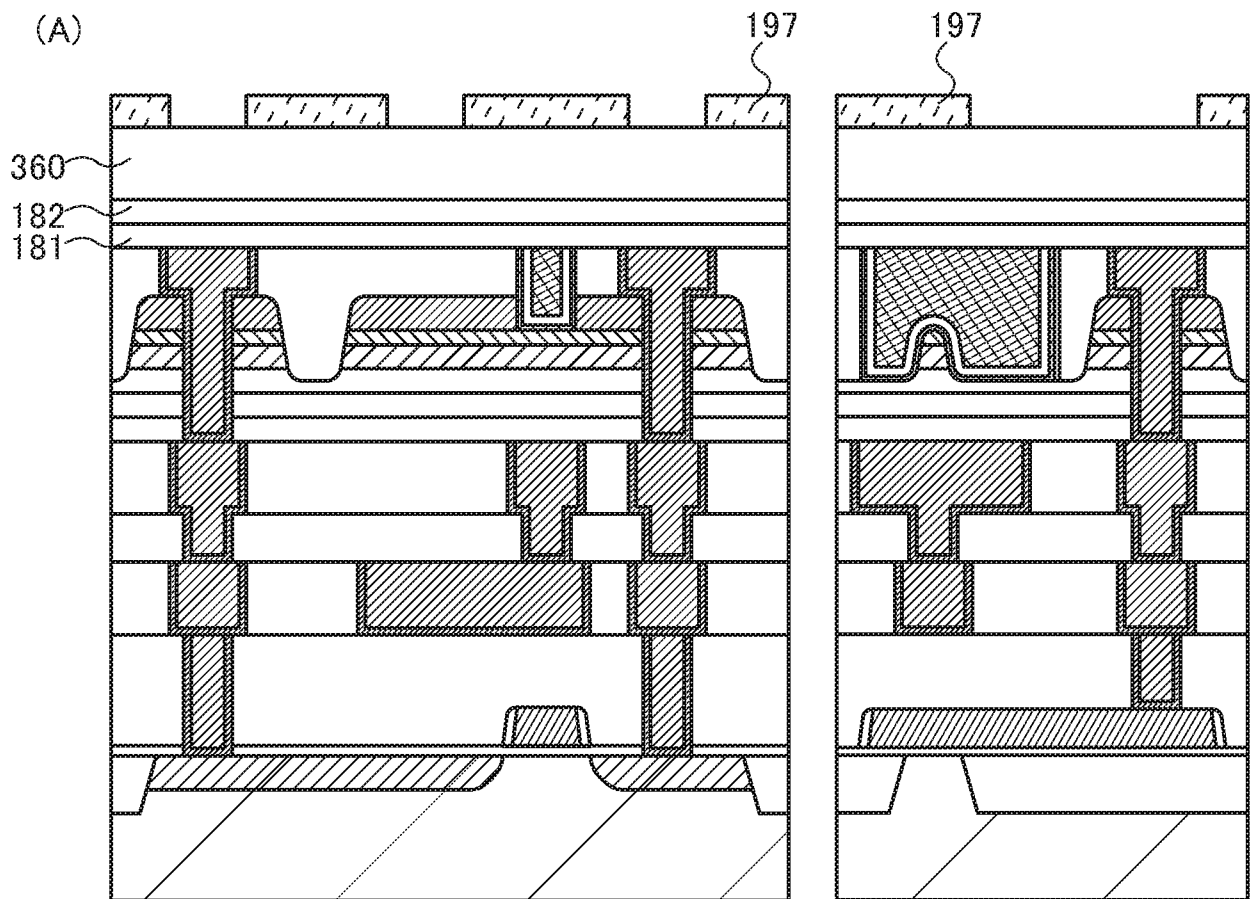
(B)



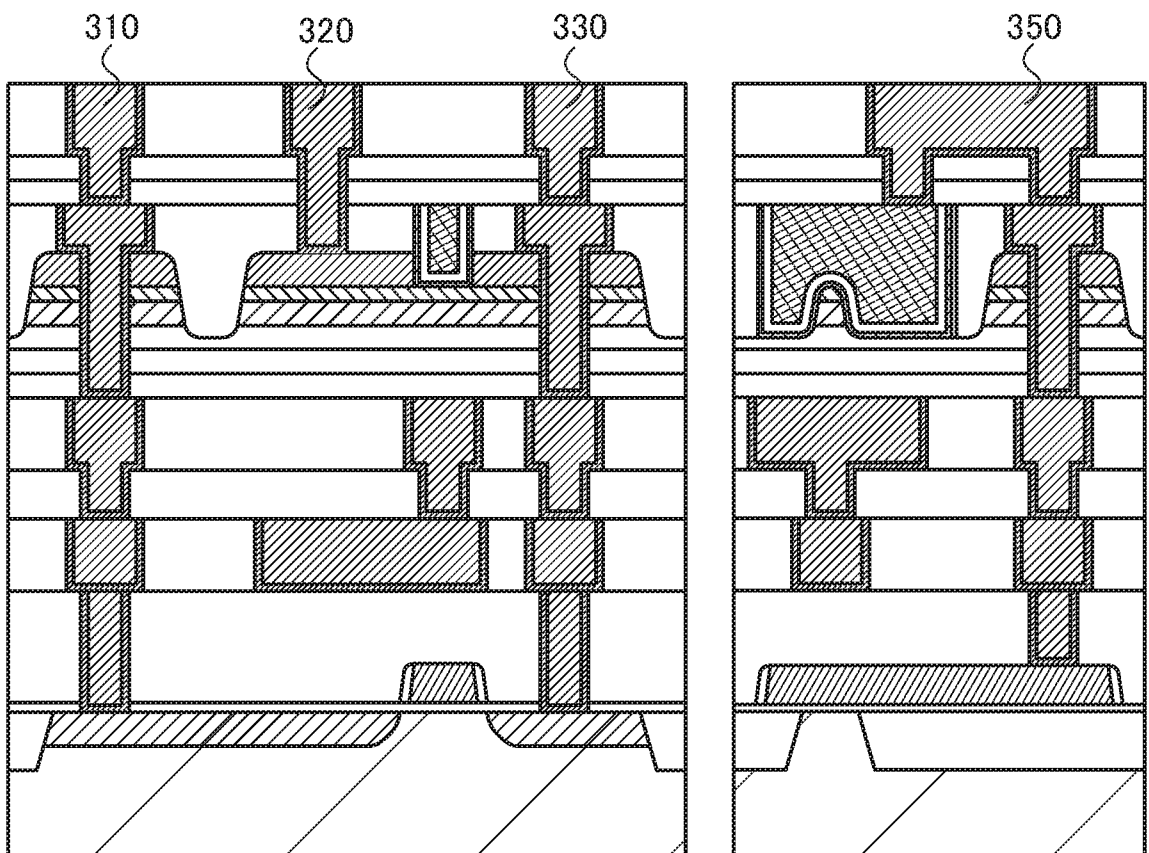
[図25]

25/40

(A)

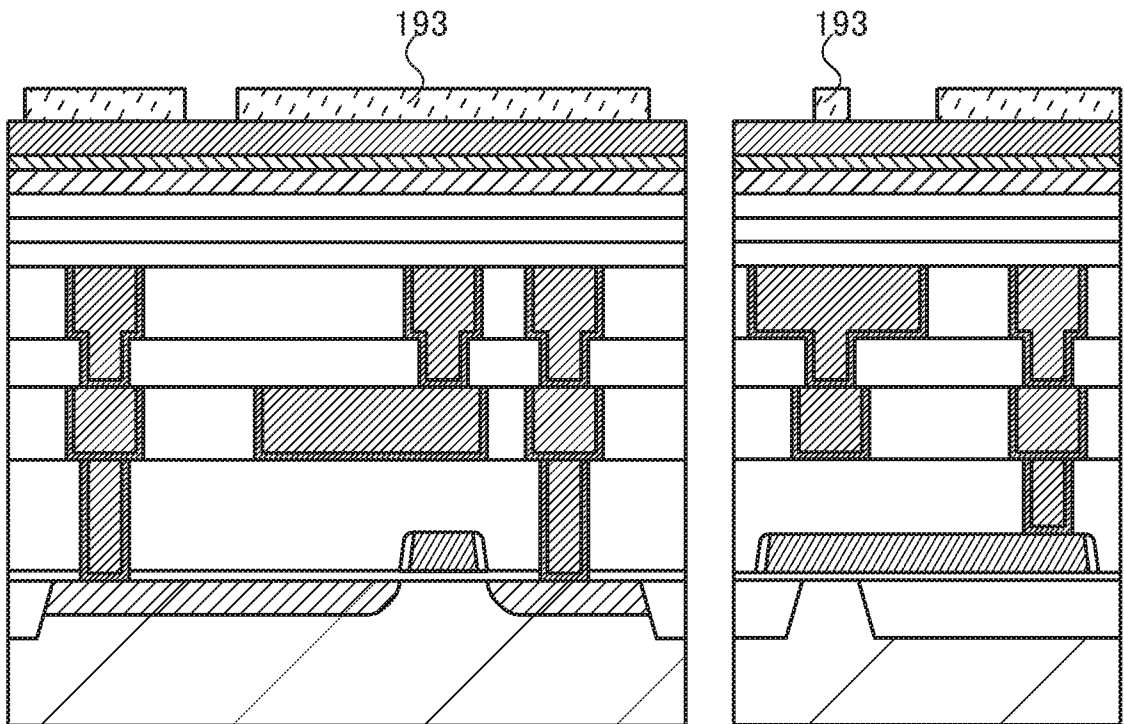


(B)

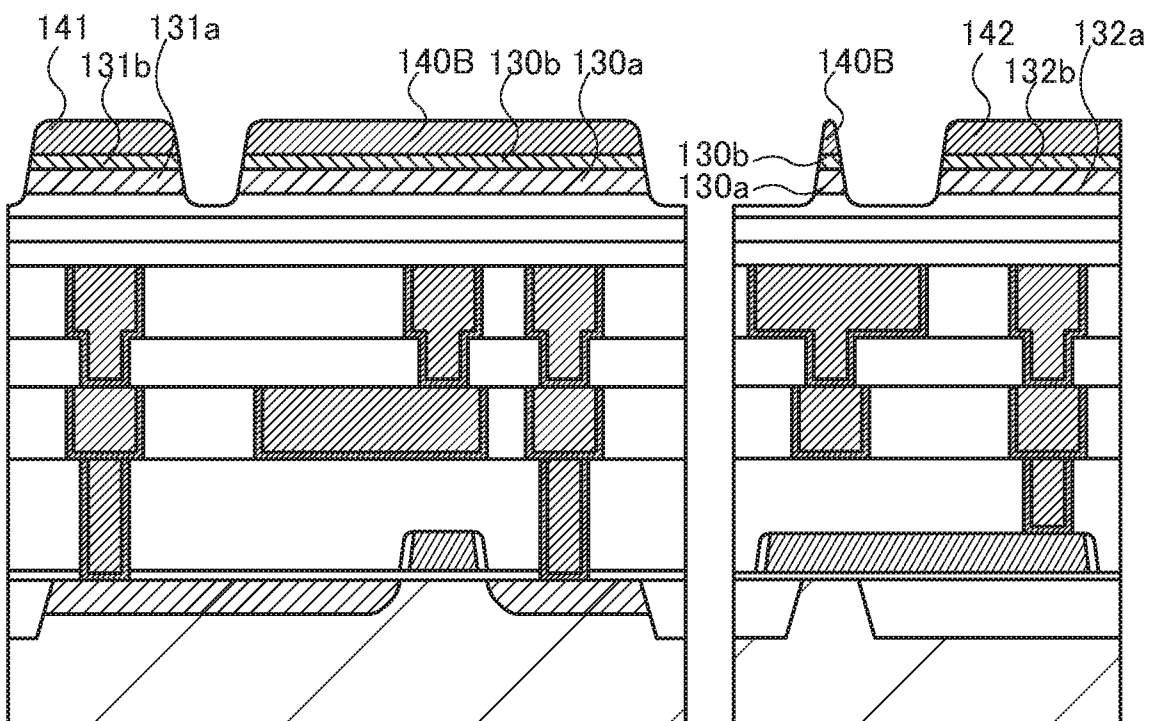


[図26]

(A)

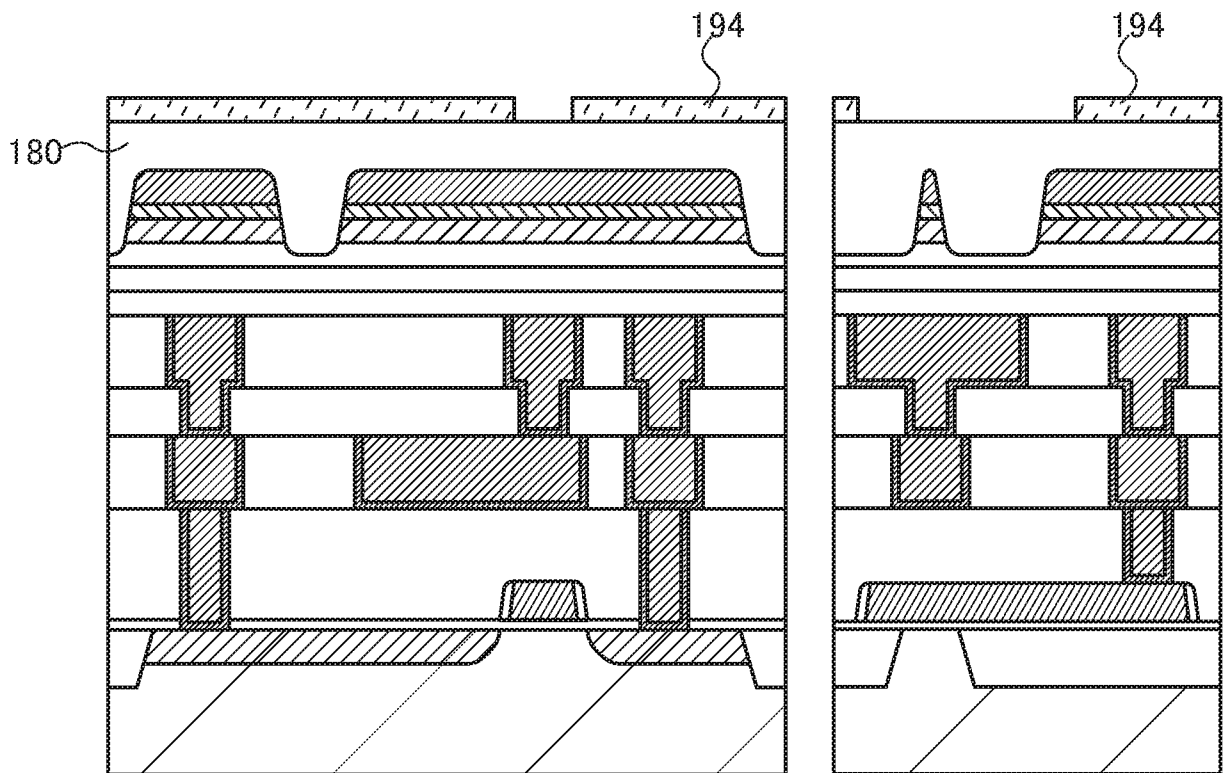


(B)

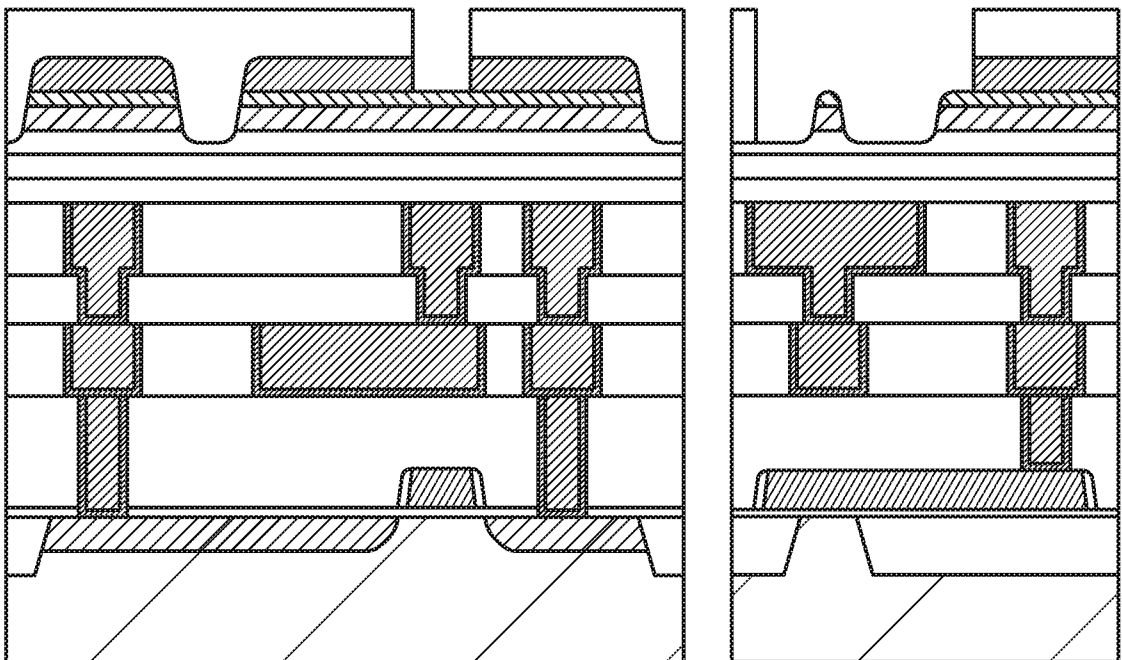


[図27]

(A)

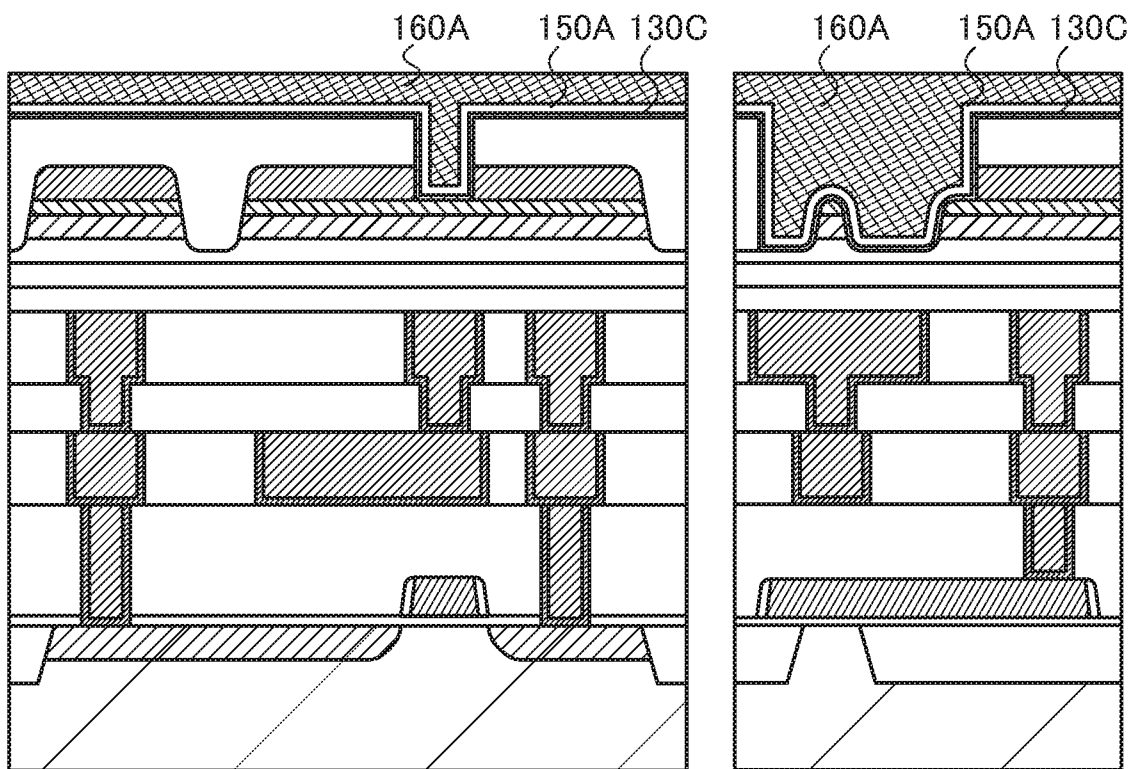


(B)

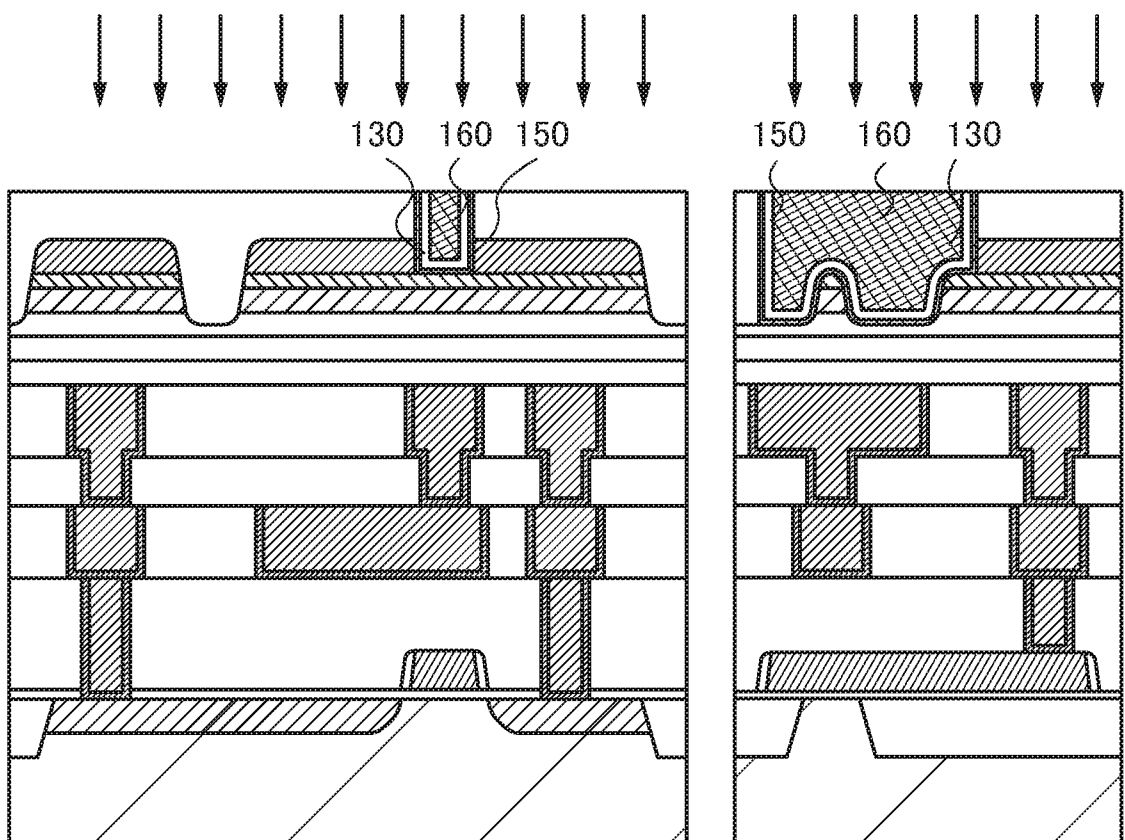


[図28]

(A)

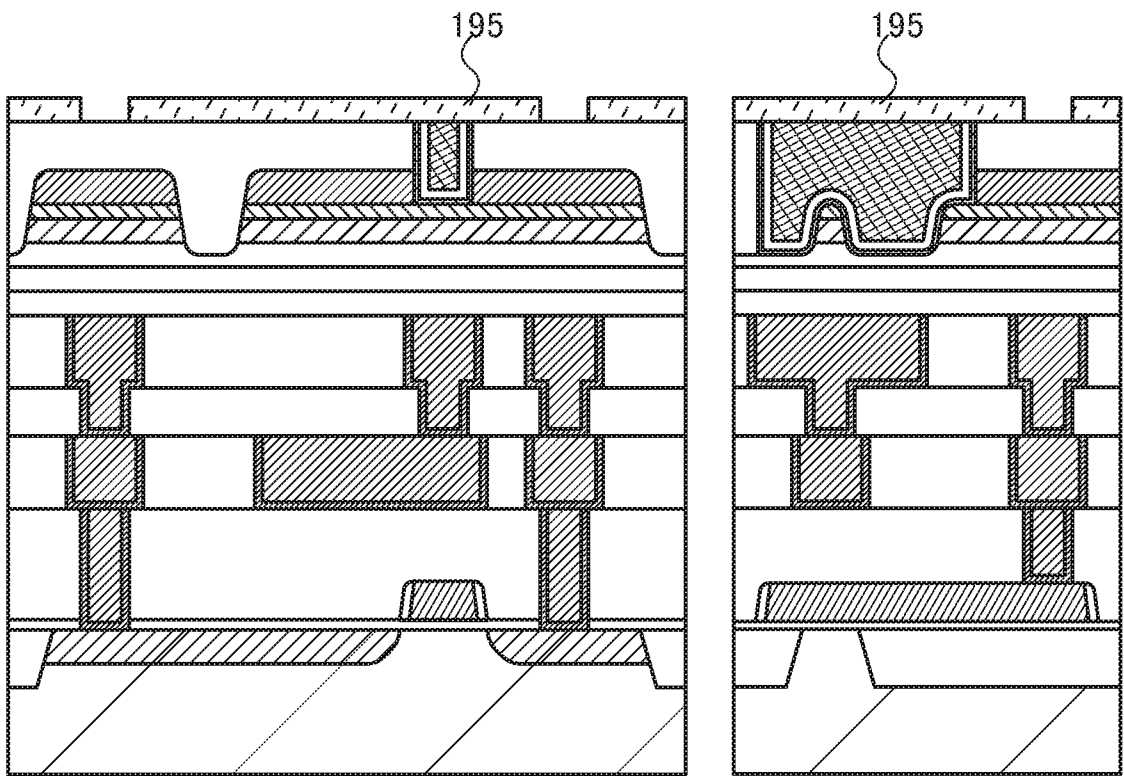


(B)

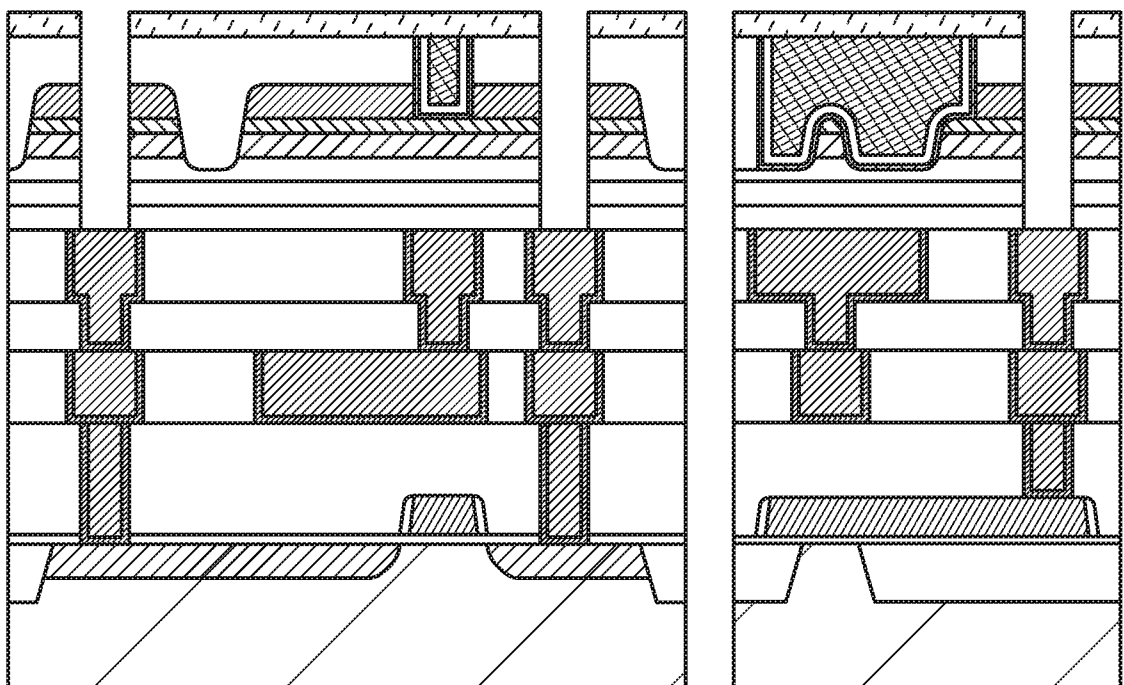


[図29]

(A)



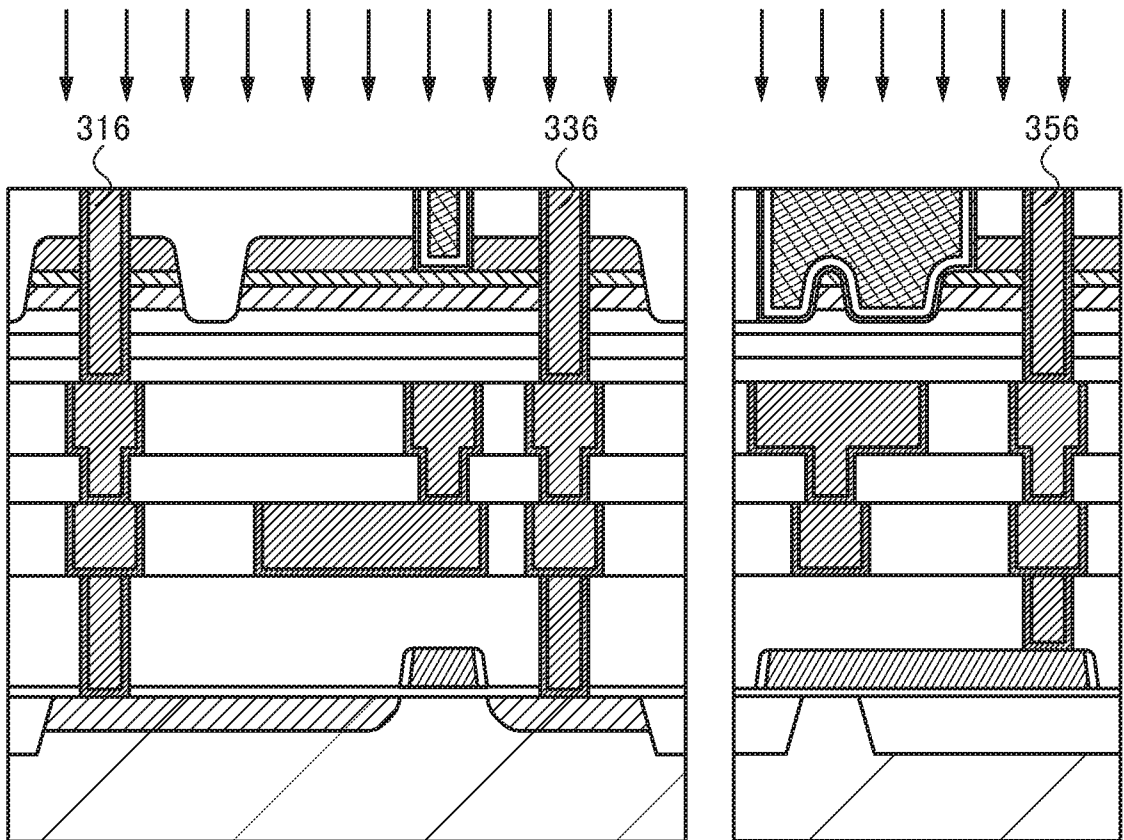
(B)



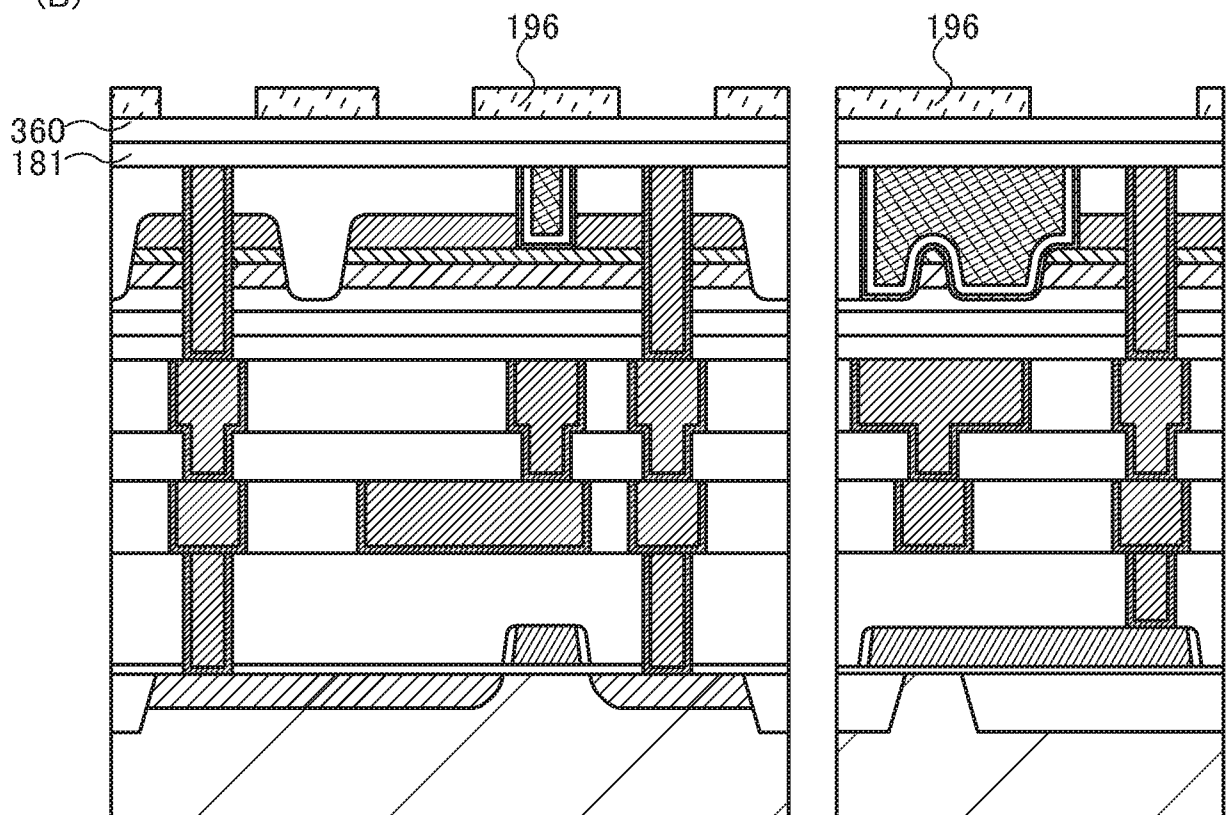
[図30]

30/40

(A)



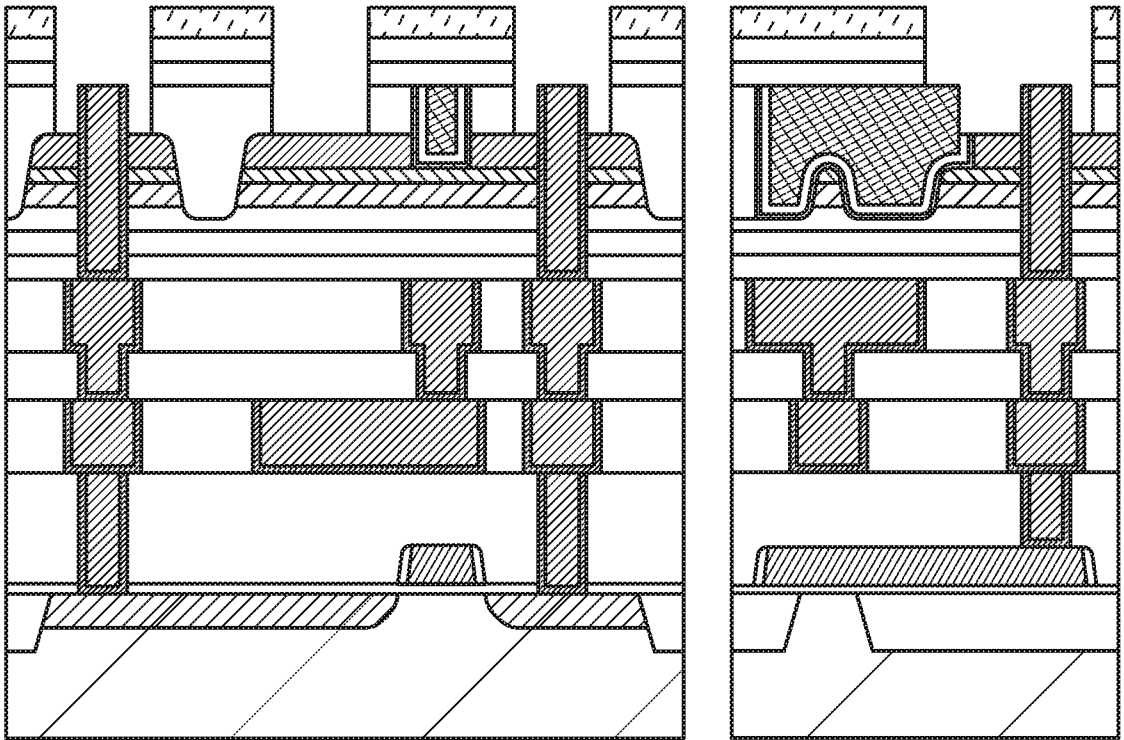
(B)



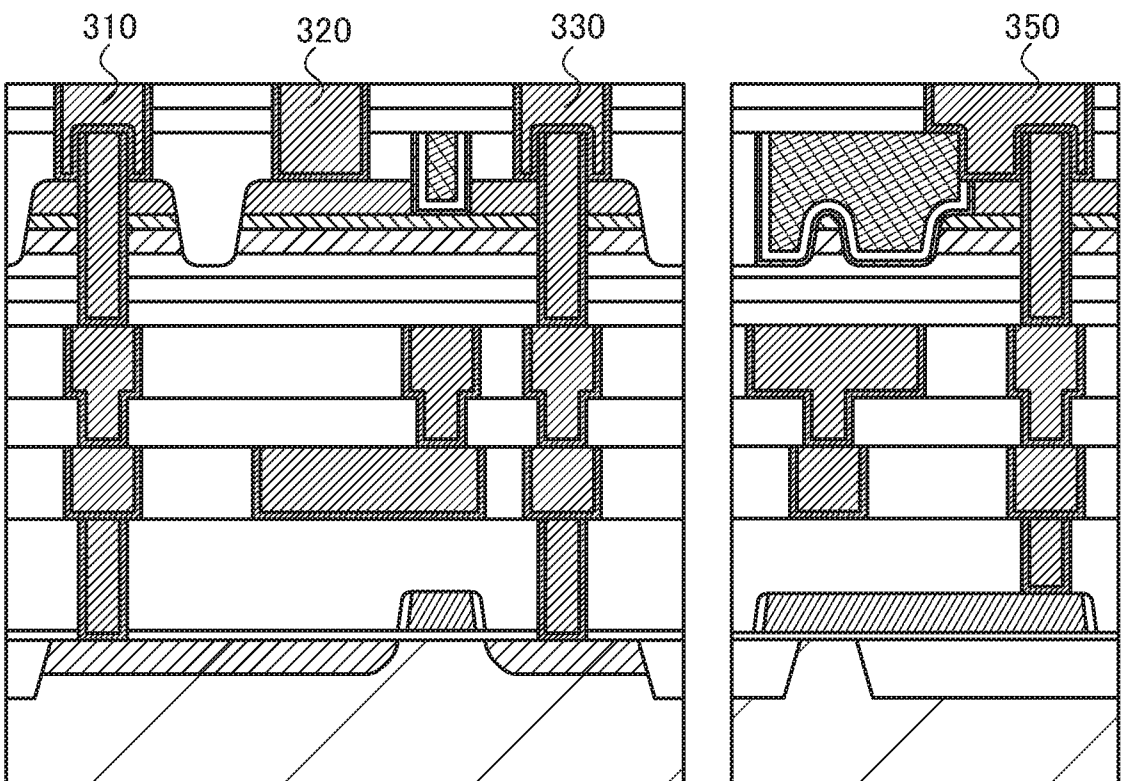
31/40

[図31]

(A)

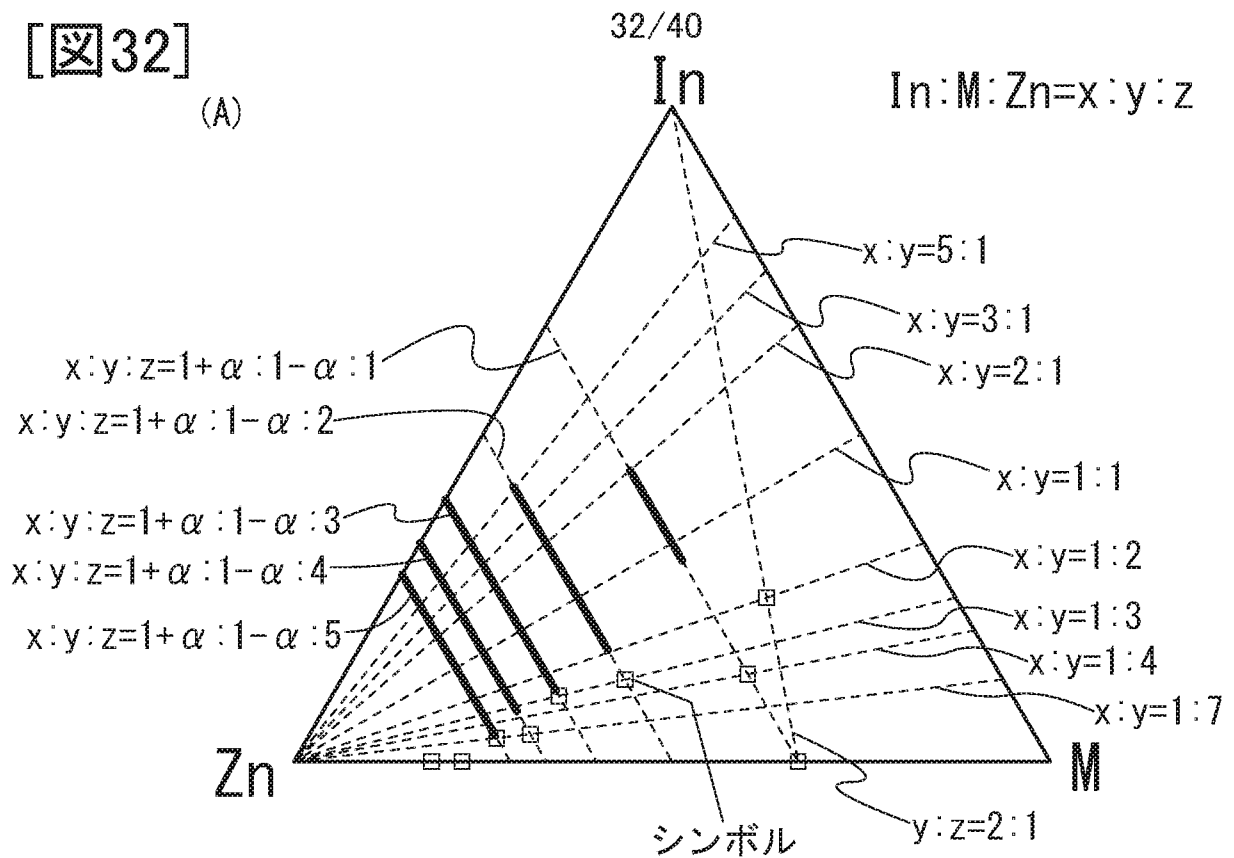


(B)

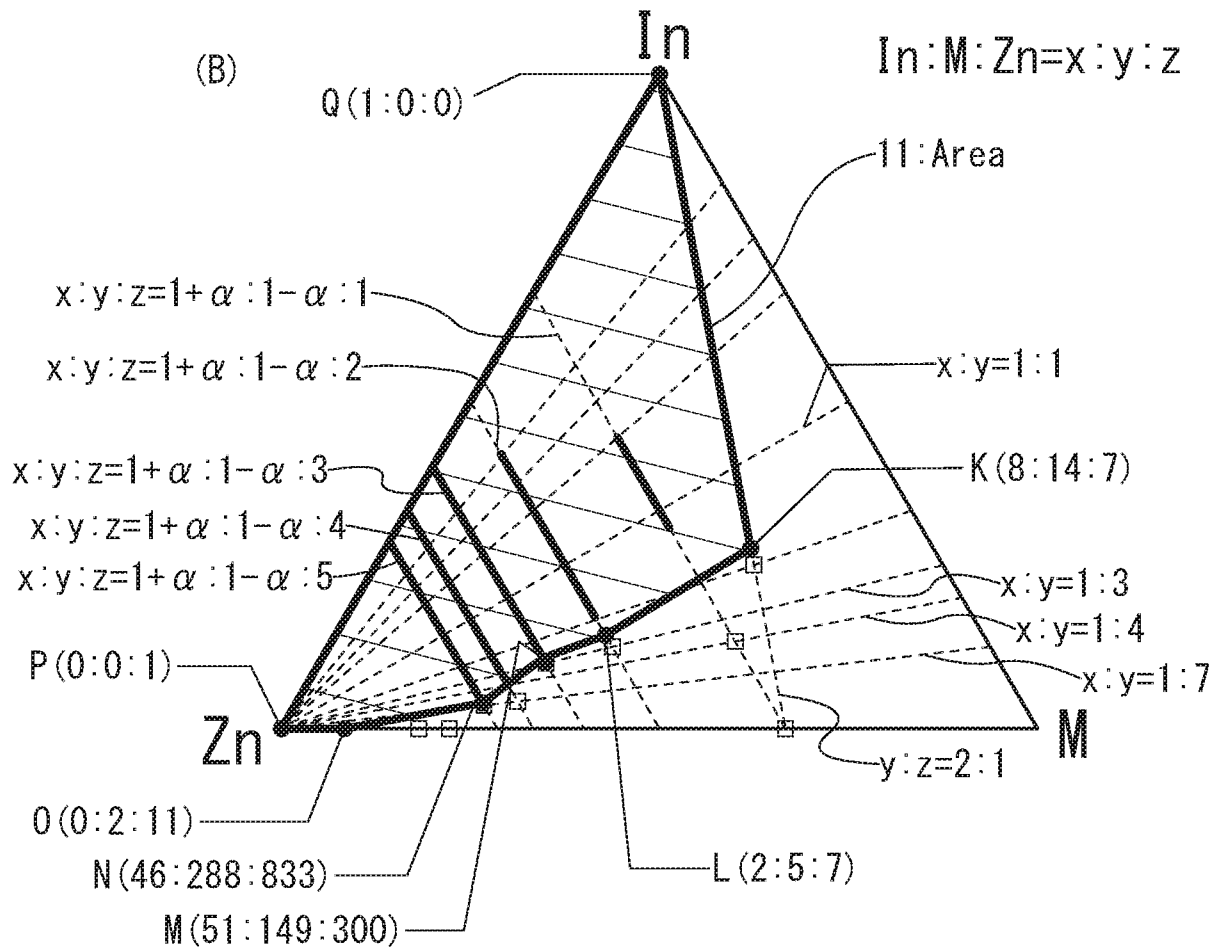


[図32]

(A)



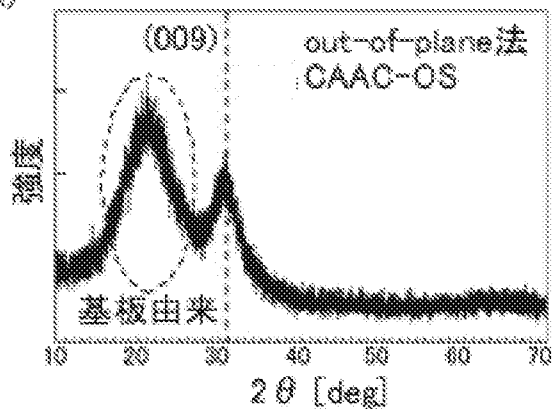
(B)



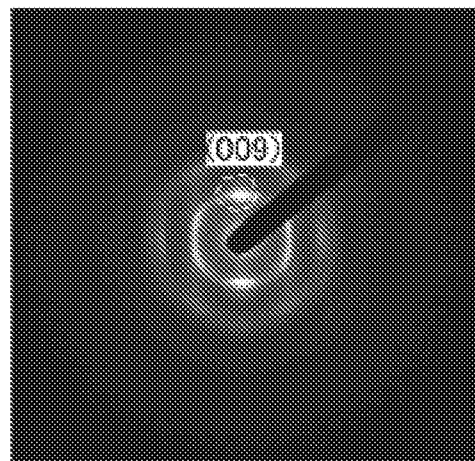
[図33]

33/40

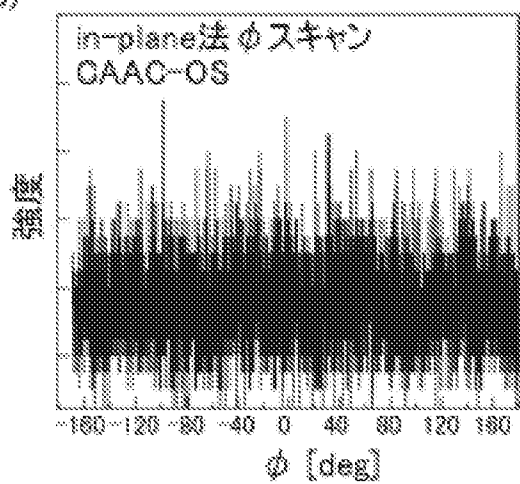
(A)



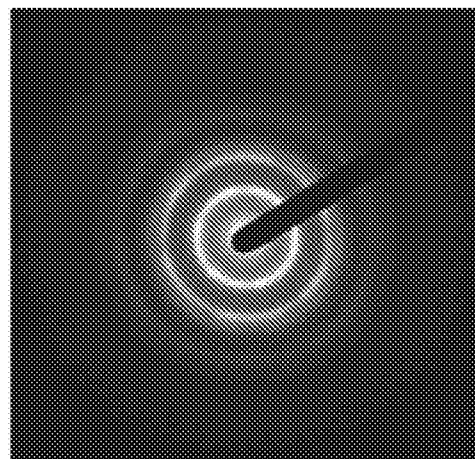
(D)



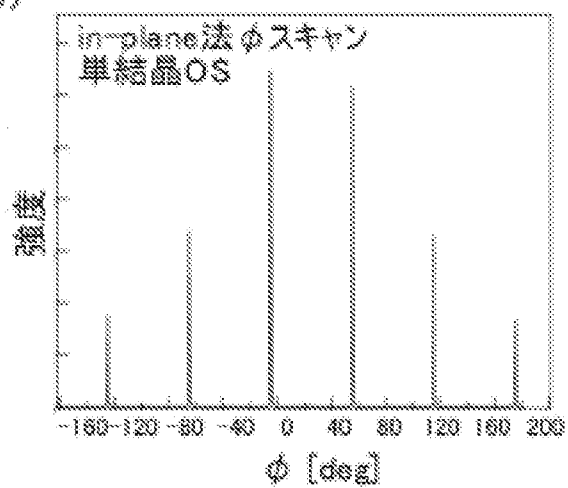
(B)



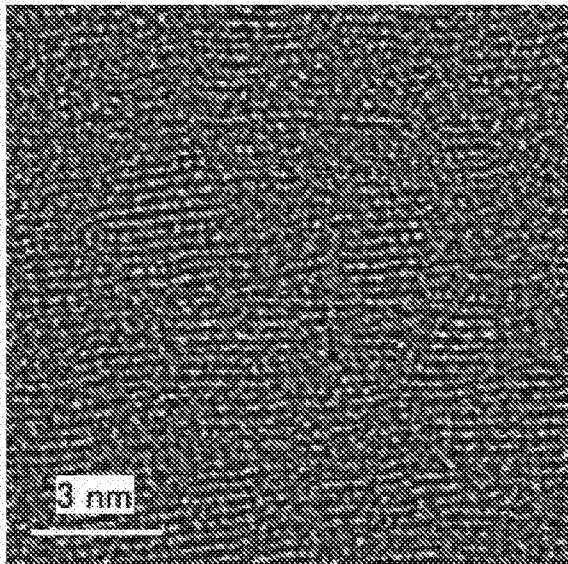
(E)



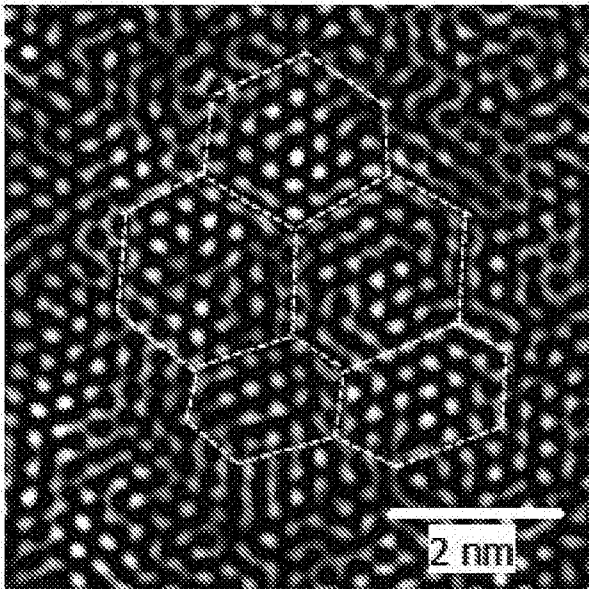
(C)



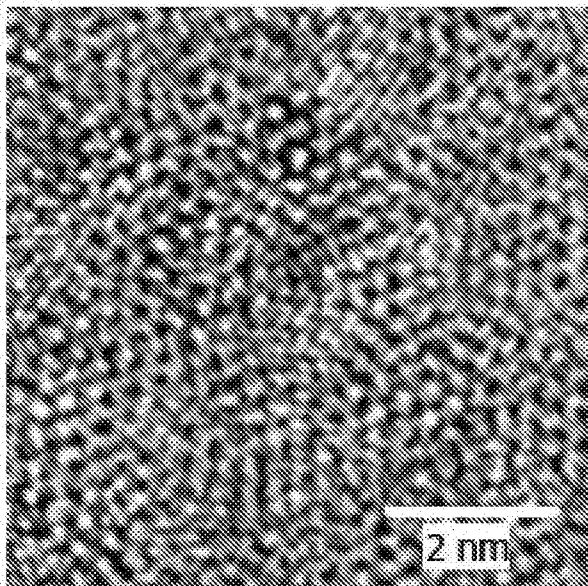
(A)



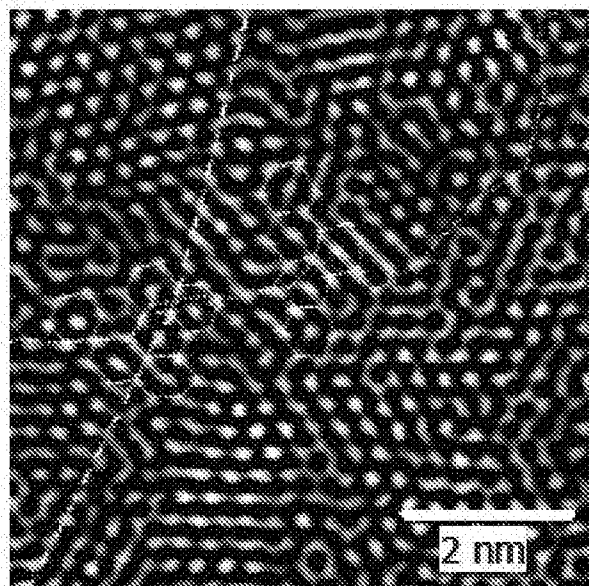
34/40 (D)



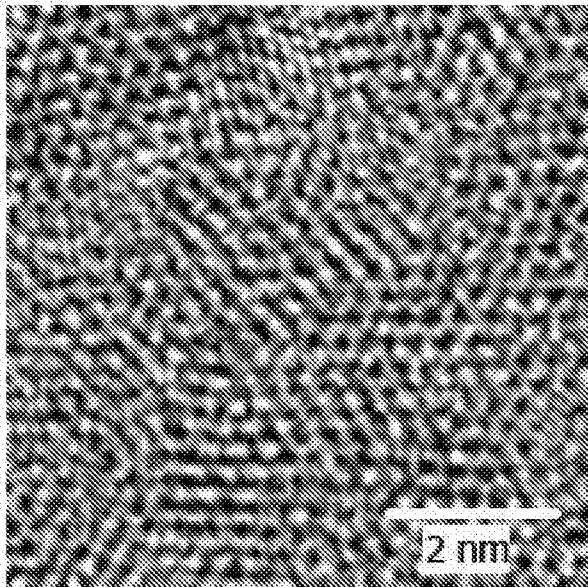
(B)



(E)



(C)

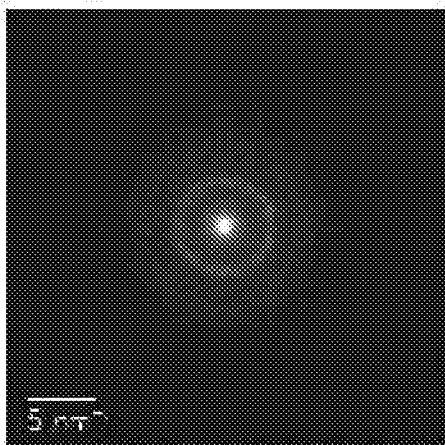


[図34]

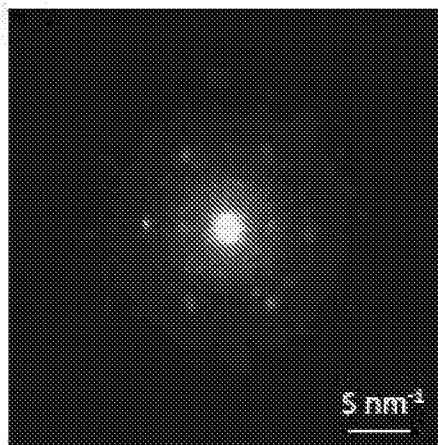
[ 35]

35/40

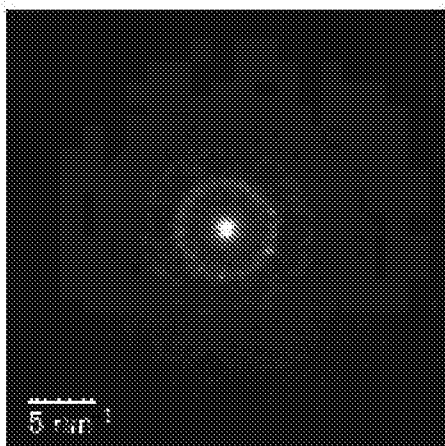
(A)



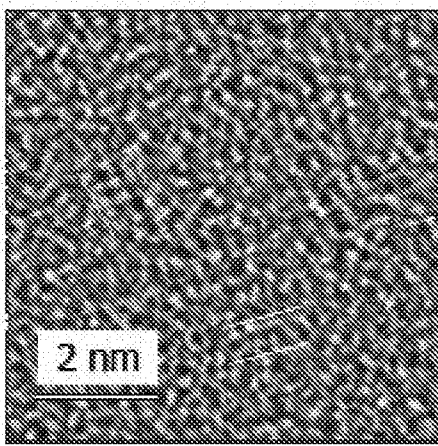
(C)



(B)



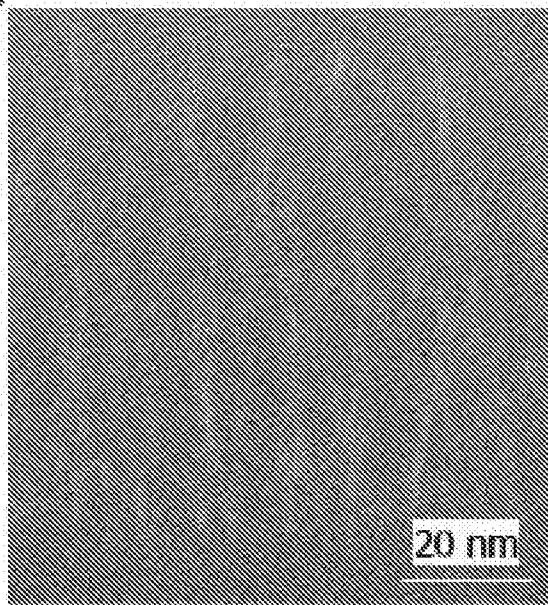
(D)



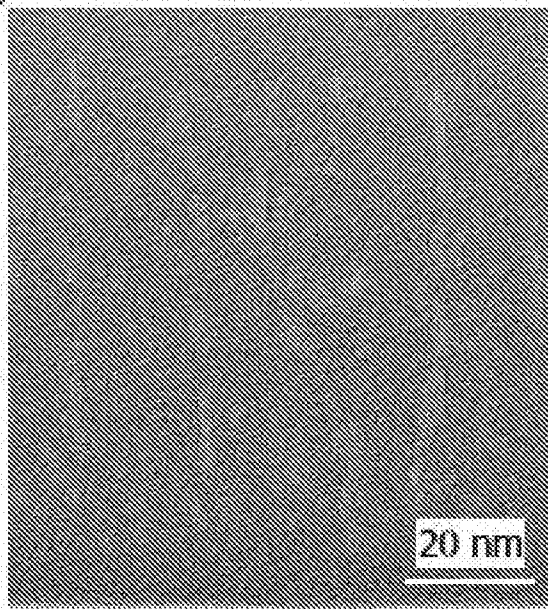
[ 36]

36/40

(A)

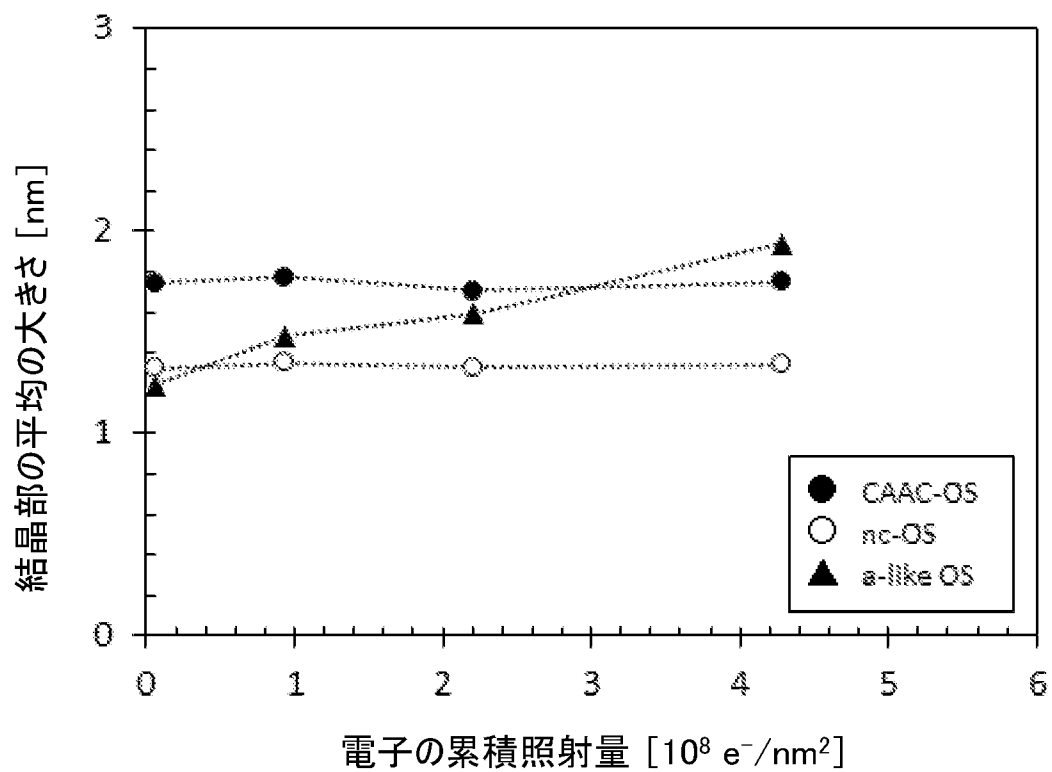


(B)

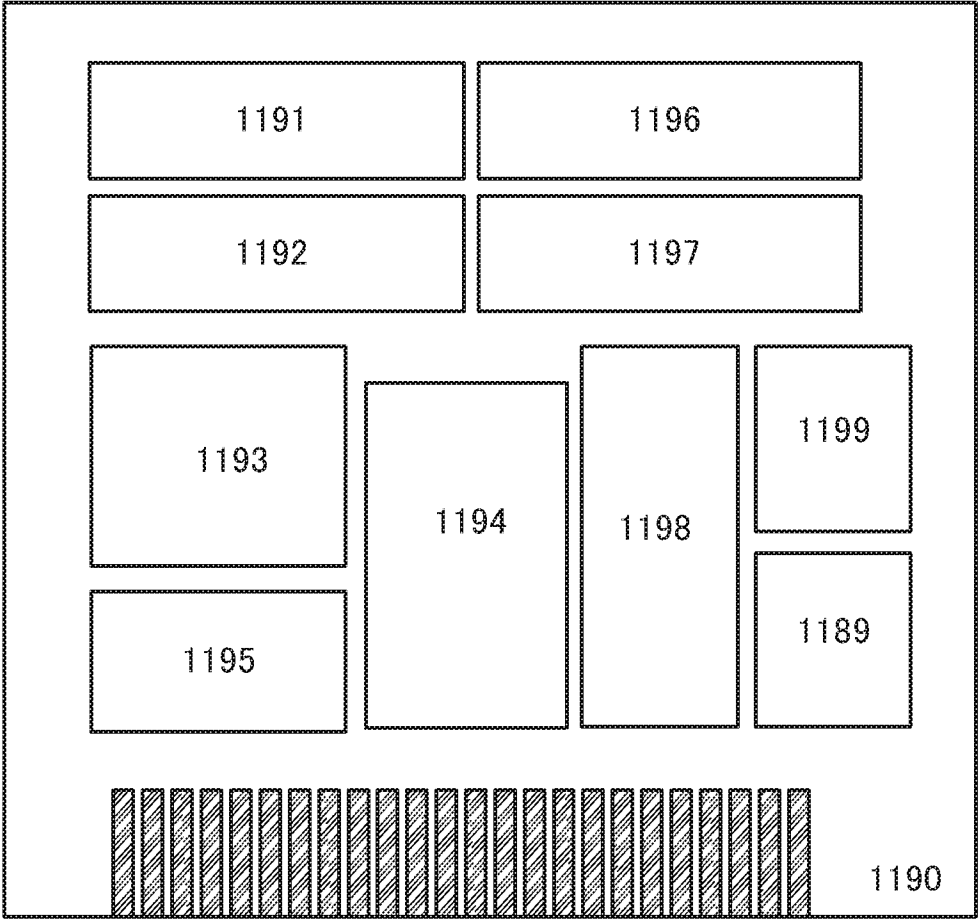


[図37]

37/40

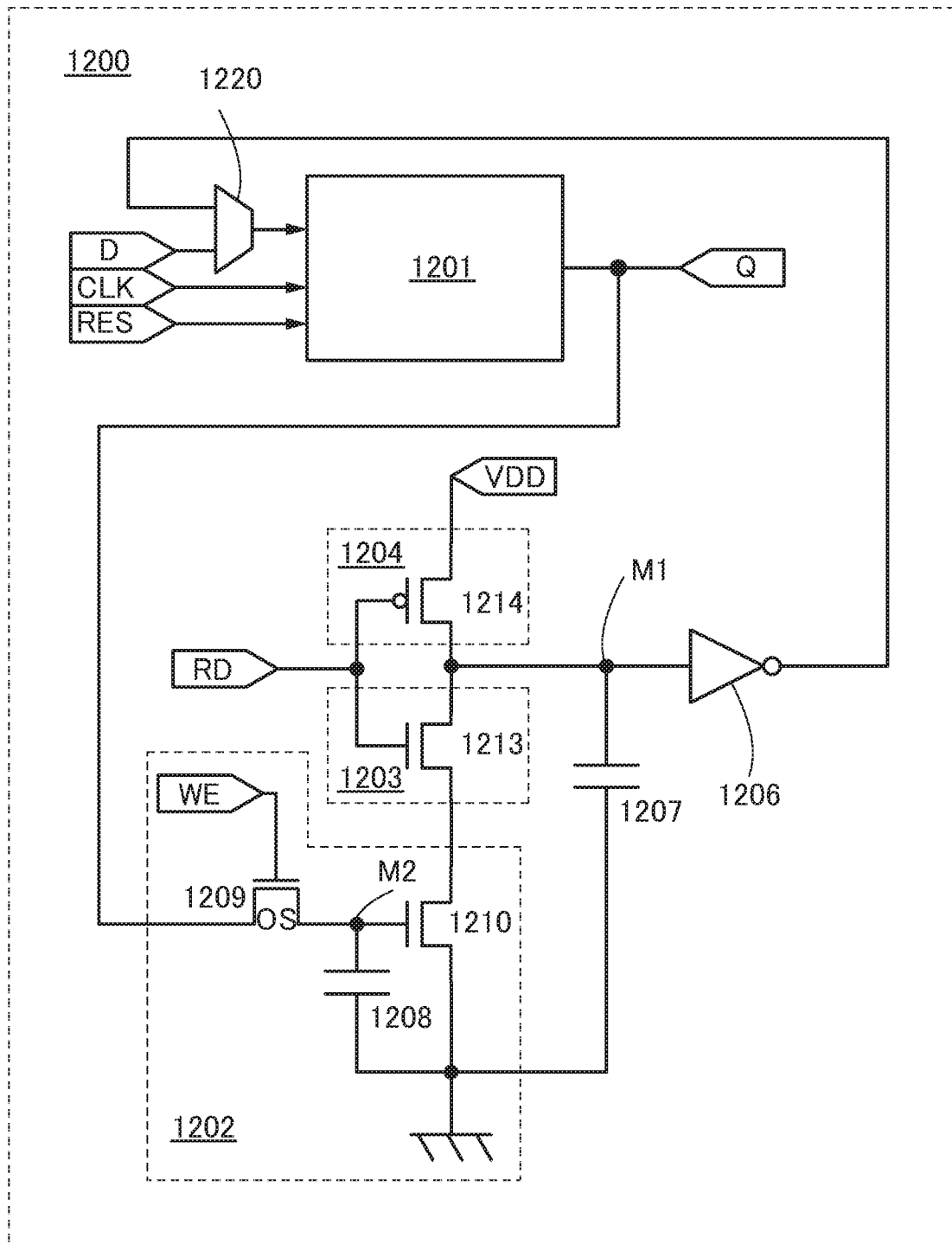


[図38]



39/40

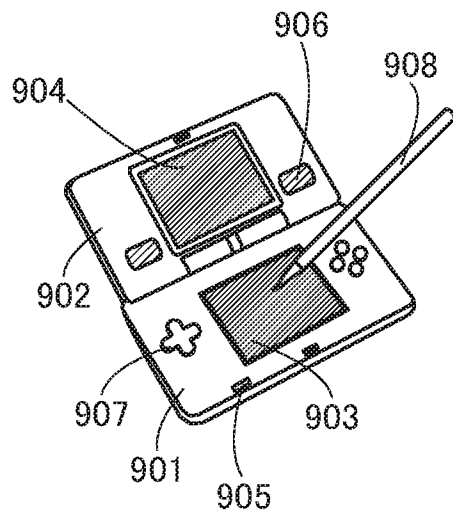
[図39]



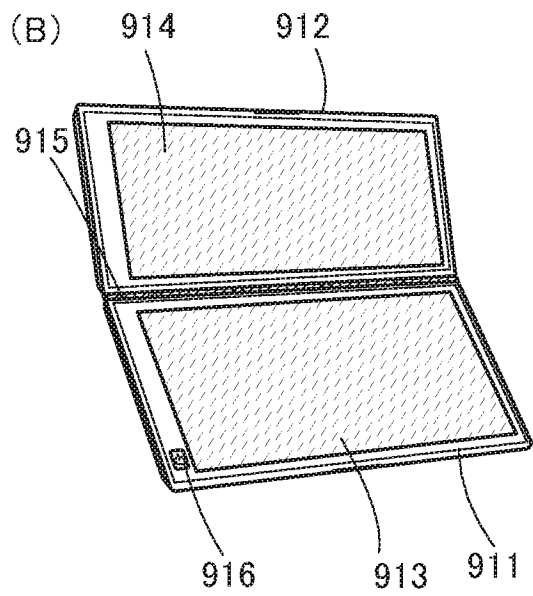
[図40]

40/40

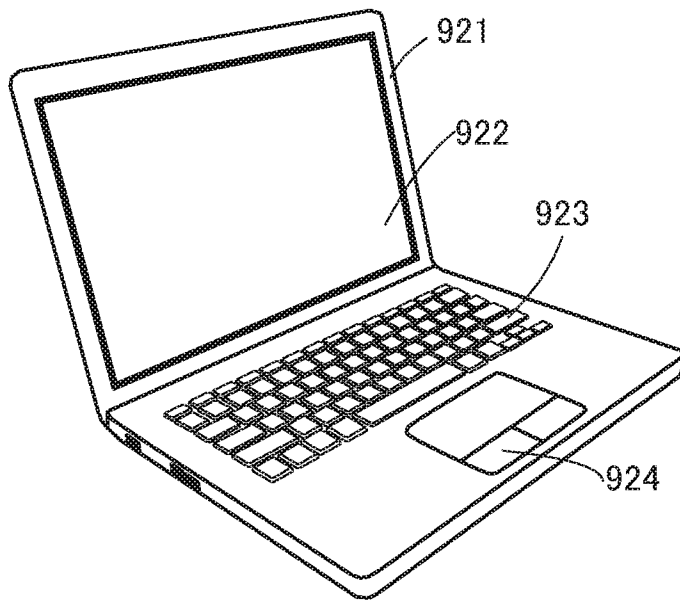
(A)



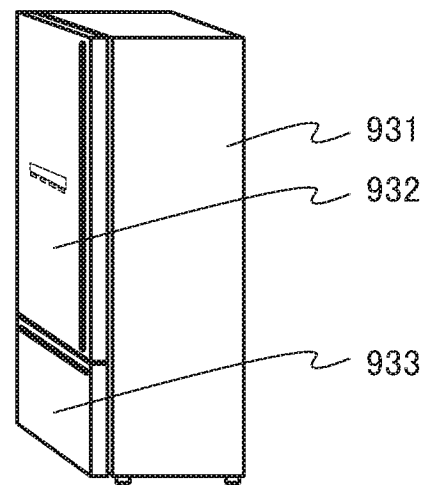
(B)



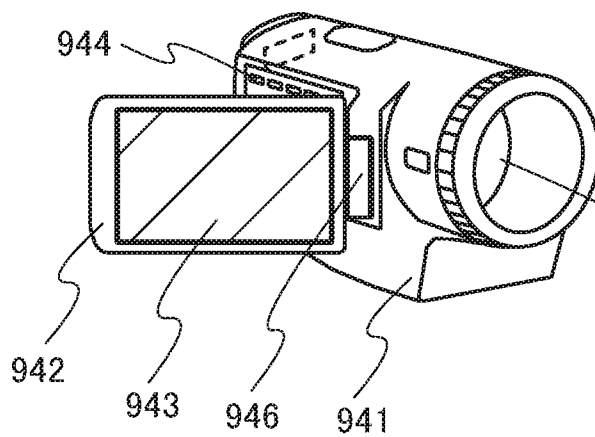
(C)



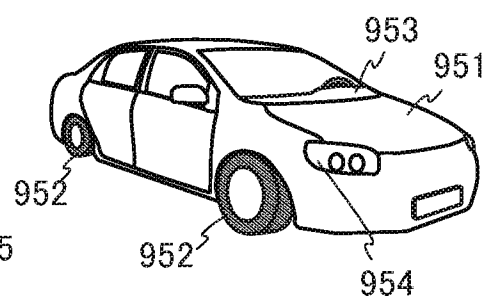
(D)



(E)



(F)



INTERNATIONAL SEARCH REPORT

International application No.

PCT/IB2016/052813

A. CLASSIFICATION OF SUBJECT MATTER

H01L21/8238(2006.01)i, H01L27/08(2006.01)i, H01L27/092(2006.01)i,
H01L29/786(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/8238, H01L27/08, H01L27/092, H01L29/786

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2016
Kokai Jitsuyo Shinan Koho	1971-2016	Toroku Jitsuyo Shinan Koho	1994-2016

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 7-99286 A (Toshiba Corp.), 11 April 1995 (11.04.1995), fig. 1 (Family: none)	1-6
Y	JP 2015-84413 A (Semiconductor Energy Laboratory Co., Ltd.), 30 April 2015 (30.04.2015), fig. 7A, 7B & US 2015/0076493 A1 fig. 7A, 7B & KR 10-2015-0032628 A & TW 201515230 A	1-6

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
15 September 2016 (15.09.16)

Date of mailing of the international search report
27 September 2016 (27.09.16)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/IB2016/052813

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2005-197700 A (Anam Semiconductor Inc.), 21 July 2005 (21.07.2005), fig. 8 & US 2005/0142841 A1 fig. 8 & DE 102004062834 A & KR 10-2005-0069640 A	3
A	JP 2009-76879 A (Semiconductor Energy Laboratory Co., Ltd.), 09 April 2009 (09.04.2009), & US 2009/0050941 A1	1-6
A	JP 2-271657 A (NEC Corp.), 06 November 1990 (06.11.1990), (Family: none)	1-6
A	JP 2012-19018 A (Toshiba Corp.), 26 January 2012 (26.01.2012), (Family: none)	1-6

A. 発明の属する分野の分類（国際特許分類（IPC）） Int.Cl. H01L21/8238(2006.01)i, H01L27/08(2006.01)i, H01L27/092(2006.01)i, H01L29/786(2006.01)i			
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） Int.Cl. H01L21/8238, H01L27/08, H01L27/092, H01L29/786			
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 日本国公開実用新案公報 日本国実用新案登録公報 日本国登録実用新案公報 1922-1996年 1971-2016年 1996-2016年 1994-2016年			
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）			
C. 関連すると認められる文献			
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号	
Y	JP 7-99286 A（株式会社東芝）1995.04.11, 図1（ファミリーなし）	1-6	
Y	JP 2015-84413 A（株式会社半導体エネルギー研究所）2015.04.30, 図7A、7B & US 2015/0076493 A1, FIG. 7A, 7B & KR 10-2015-0032628 A & TW 201515230 A	1-6	
Y	JP 2005-197700 A（アナム セミコンダクター インコーポレーテッド）2005.07.21, 図8 & US 2005/0142841 A1, FIG. 8 & DE 102004062834 A & KR 10-2005-0069640 A	3	
☒ C欄の続きにも文献が列挙されている。 ☐ パテントファミリーに関する別紙を参照。			
* 引用文献のカテゴリー 「A」特に関連のある文献ではなく、一般的技術水準を示すもの 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） 「O」口頭による開示、使用、展示等に言及する文献 「P」国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」同一パテントファミリー文献			
国際調査を完了した日 15.09.2016		国際調査報告の発送日 27.09.2016	
国際調査機関の名称及びあて先 日本国特許庁（ISA/JP） 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号		特許庁審査官（権限のある職員） 宇多川 勉 電話番号 03-3581-1101 内線 3516	5F 3125

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2009-76879 A (株式会社半導体エネルギー研究所) 2009. 04. 09, & US 2009/0050941 A1	1-6
A	JP 2-271657 A (日本電気株式会社) 1990. 11. 06, (ファミリーなし)	1-6
A	JP 2012-19018 A (株式会社東芝) 2012. 01. 26, (ファミリーなし)	1-6