(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.[6]
H01L 31/12
H03K 17/78

(45) 공고일자 1999년01월15일
(11) 등록번호 특0164638
(24) 등록일자 1998년09월14일

(21) 출원번호 특1994-005412
(22) 출원일자 1994년03월18일
(65) 공개번호 특1994-022929
(43) 공개일자 1994년10월22일

(30) 우선권주장 93-059985 1993년03월19일 일본(JP)

(73) 특허권자 가부시끼가이샤 도시바 사또 후미오
일본국 가나가와껭 가와사끼시 사이와이꾸 호리까와쪼 72반지
(72) 발명자 아이자와 요시아끼
일본국 가나가와껭 가와사끼시 사이와이꾸 호리까와쪼 72반지 가부시끼가이샤 도시바 호리까와쪼 워크스 내
(74) 대리인 구영창, 주성민

심사관 : 김동엽

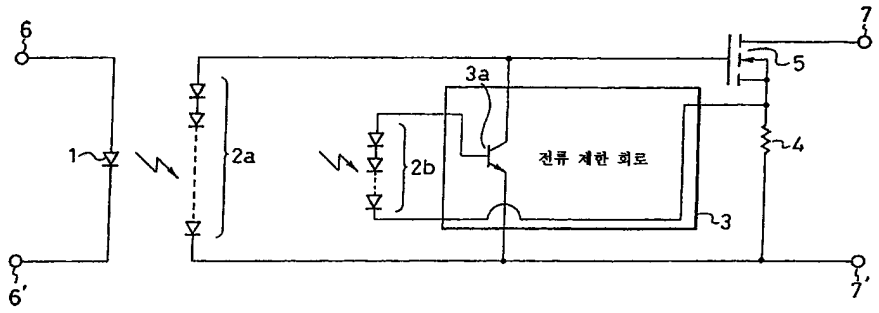
(54) 광 결합기 장치

요약

본 발명은 출력용 MOSFET의 통전 전극을 흐르는 전류를 일정치 이하로 제한하는 전류 제한 회로를 구동하기 위한 전원으로서, 발광 소자로부터의 광 신호를 수광하여 광 기전력을 발생하는 광 기전력 다이오드 어레이를 구비함으로써, 제품에서의 온 저항을 절감하여 높은 전류 용량을 실현하여 얻은 광 결합기 장치를 제공하는 것을 목적으로 한다.

발광 소자(1), 발광 소자(1)의 광 신호를 수광하여 광 기전력을 발광하는 제1광 기전력 다이오드 어레이(2a), 제1 광기전력 다이오드 어레이(2a)에서 발생되는 광 기전력에 따라 구동되는 출력용 MOSFET(5), 출력용 MOSFET(5)의 동작 상태를 제어하는 통전 전극에 흐르는 전류를 일정치 이하로 제한하는 전류 제한 회로(3), 발광 소자(1)의 광 신호를 수광하여 발생한 광 기전력에 따라 전류 제한 회로(3)를 구동하는 제2광 기전력 다이오드 어레이(2b)로 구성한다.

대표도



명세서

[발명의 명칭]

광 결합기 장치

제1도는 본 발명의 제1실시예에 따른 광 결합기 장치의 회로 구성도.

제2도는 본 발명의 원리 설명도.

제3도는 본 발명의 제2실시예에 따른 광 결합기 장치의 회로 구성도.

제4도는 본 발명의 제3실시예에 따른 광 결합기 장치의 회로 구성도.

제5도는 본 발명의 제4실시예에 따른 광 결합기 장치의 회로 구성도.

제6도는 본 발명의 제5실시예에 따른 광 결합기 장치의 회로 구성도.

제7도는 종래의 광 결합기 장치의 회로 구성도.

* 도면의 주요부분에 대한 부호의 설명

1 : 발광 다이오드(발광 소자)　　2a : 제1광 기전력 다이오드 어레이

2b : 제2광 기전력 다이오드 어레이　　2b' : 제3광 기전력 다이오드 어레이

2b'' : 제4광 기전력 다이오드 어레이

3 : 제1 전류 제한 회로(바이폴라 트랜지스터)

3a : 제1 바이폴라 트랜지스터　　3' : 제2 전류 제한 회로

3a' : 제2 바이폴라 트랜지스터　　3c, 3c', 3d, 3d' : 저항

3b, 3b' : 바이폴라 트랜지스터　　3e : 저 전류화용 저항

4 : 제1 전류 검출용 저항　　4' : 제2 전류 검출용 저항

5 : 제1 출력용 MOSFET　　5' : 제2 출력용 MOSFET

6, 6' : 입력 단자　　7, 7' : 출력 단자

8 : 저항　　9 : 정류용 다이오드

Amp : 차동 증폭기　　5a, 5a' : 기생 다이오드

10a : 광 기전력 다이오드 어레이　　10b : 방전용 MOSFET

[발명의 상세한 설명]

본 발명은 2차측에 출력용 MOSFET를 구비하고, 출력용 MOSFET의 통전 전극을 흐르는 전류를 일정치 이하로 제한하여 사용하는 광 결합기 장치에 관한 것으로, 특히 전류 제한 회로를 구동하는 전원으로서 1차측의 발광 소자로부터의 광신호를 수광하여 광 기전력을 발생하는 광 기전력 다이오드 어레이를 구비함으로써, 제품으로서의 온 저항을 저감하여 높은 전류 용량을 실현할 수 있는 광 결합기 장치에 관한 것이다.

제7도에 종래의 광 결합기 장치의 회로 구성도를 도시한다[출전:1983년도 IEEE Electro 83, Session Record 7/3, 광학적으로 결합된 파워 MOSFET 기술: 전자기기 릴레이용 모놀리시기 대체(Optically Coupled Power MOSFET Technology:A Monolithic Replacement for Electromechanical Relays)].

본 종래예의 광 결합기 장치는 1차측을 단자(6 및 6')로부터의 입력 신호에 의해 발광하는 발광 다이오드(1)로 구성하고, 2차측을 발광 다이오드(1)로부터의 광신호를 수광하여 광 기전력을 발생하는 광 기전력 다이오드 어레이(2a)와, 방전용 MOSFET(10b)와, 발광 다이오드(1)로부터의 광 신호를 수광하여 방전용 MOSFET(10b)를 구동하는 광 기전력 다이오드 어레이(10a)와, 제1 및 제2 출력용 MOSFET(5 및 5')와, 기생 다이오드(5a 및 5a')와, 전류 검출용 저항(4 및 4'), 및 전류 제한 회로로서 작용하는 바이폴라 트랜지스터(3a 및 3a')로 구성되어 있다.

본 종래예에서는 제1 및 제2 출력용 MOSFET(5 및 5')의 통전 전극에 대해 전류 검출용 저항(4 및 4')이 직렬로 접속되고, 전류 검출용 저항(4 및 4')의 양단에 발생하는 전위차로 직접 바이폴라 트랜지스터(3a 및 3a')의 베이스-에미터 접합을 바이어스하며, 제1 및 제2출력용 MOSFET(5 및 5')의 게이트-소스간 전압을 제어하여 전류 제한을 행하고 있다.

따라서, 제한되는 전류치는 전류 검출용 저항(4 및 4')의 값과 바이폴라 트랜지스터(3a 및 3a')의 VBE(베이스-에미터 접합의 VF)로 결정된다. 여기에서, 바이폴라 트랜지스터(Si)(3a 및 3a')의 VBE는 약 0.5 [V] 정도이기 때문에, 전류가 제한되도록 동작하기 위해서는 전류 검출용 저항(4 및 4')의 양단에 0.5 [V]의 전압이 발생되어야만 한다.

이상과 같이, 종래의 광 결합기 장치에서는 전류 검출용 저항의 값은 제한하는 전류값에 따라 어느 일정치 이하로 낮아질 수 없기 때문에, 제품으로서의 온 저항 RON(출력용 MOSFET의 온 저항 + 전류 검출용 저항치)가 높게 되어, 열 손실이 증가하며, 제품에 흘릴 수 있는 전류 용량이 저하하는 문제가 있었다.

본 발명은 상기 문제점을 해결하기 위한 것으로, 그 목적은 전류 제한회로를 구동하는 전원으로서, 1차측의 발광 소자로부터의 광 신호를 수광하여 광 기전력을 발생하는 제2 광 기전력 다이오드 어레이를 구비함으로써, 전류 검출용 저항의 값을 저감하여 제품으로서의 온 저항을 저감하여 높은 전류 용량을 실현할 수 있는 광 결합기 장치를 제공하는 것이다.

상기 문제를 해결하기 위하여, 본 발명의 제1 특징은 제1도에 도시하는 바와 같이, 입력 신호에 의해 발광하는 발광 소자(1)와, 상기 발광 소자(1)로부터의 광 신호를 수광하여 광 기전력을 발생하는 제1 광 기전력 다이오드 어레이(2a)와, 상기 제1 광 기전력 다이오드 어레이(2a)에서 발생되는 광 기전력에 의해 구동되는 출력용 MOSFET(5)와, 상기 출력용 MOSFET(5)의 동작 상태를 제어하여 통전 전극에 흐르는 전류를 일정치 이하로 제한하는 전류 제한 회로(3), 및 상기 발광 소자(1)로 부터의 광 신호를 수광하여 발생한 광 기전력에 의해 상기 전류 제한 회로(3)로 구동하는 제2광 기전력 다이오드 어레이(2b)를 구비하는 것이다.

또, 본 발명의 제2 특징은 청구항 1에 기재한 광 결합기 장치에 있어서, 상기 광 결합기 장치는 상기 출력용 MOSFET(5)의 소스 전극에 그 한쪽으로 단을 접속하는 전류 검출용 저항(4)를 구비하고, 상기 전류 제한 회로(3)는 상기 출력용 MOSFET(5)의 게이트 전극에 콜렉터 전극을 접속하며, 상기 전류 검출용 저항(4)의 다른쪽 단에 에미터 전극을 접속하고, 상기 출력용 MOSFET(5)의 소스 전극과 상기 전류 검출용 저항(4)와의 접속점에 상기 제2 광 기전력 다이오드 어레이(2b)를 통해 베이스 전극을 접속하는 바이폴라 트랜지스터(3a)인 것이다.

본 발명의 제3 특징은 제2도에 도시하는 바와 같이, 입력 신호에 의해 발광하는 발광 소자(1)와, 상기 발광 소자(1)로부터의 광 신호를 수광하여 광 기전력을 발생하는 제1 광 기전력 다이오드 어레이(2a)와, 상기 제1 광 기전력 다이오드 어레이(2a)에서 발생되는 광 기전력에 의해 구동되고, 상호의 게이트 전극을

단락 접속하는 제1 및 제2출력용 MOSFET(5 및 5')와, 상기 제1 및 제2출력용 MOSFET(5 및 5')의 동작 상태를 각각 제어하여 통전 전극에 흐르는 전류를 일정치 이하로 제한하는 제1 및 제2전류 제한 회로(3 및 3')와, 상기 발광 소자(1)로부터의 광 신호를 수광하여 발생한 광 기전력에 의해 상기 제1 및 제2 전류 제한 회로(3 및 3')을 각각 구동하는 제2 및 제3 광 기전력 다이오드 어레이(2b 및 2b')를 구비하고 있다.

또, 본 발명의 제4 특징은 청구항 3에 기재한 광 결합기 장치에 있어서, 제3도에 도시한 바와 같이, 상기 광 결합기 장치는 상기 제1 및 제2 출력용 MOSFET(5 및 5')의 소스 전극에 각각 그 한쪽 단을 접속하고, 각각의 다른쪽 단을 단락 접속하는 제1 및 제2 전류 검출용 저항(4 및 4')을 구비하며, 상기 제1 전류 제한 회로(3)는 상기 제1 출력용 MOSFET(5)의 게이트 전극에 콜렉터 전극을 접속하고, 상기 제1 및 제2 전류 검출용 저항(4 및 4')의 다른쪽 단끼리의 접속점에 에미터 전극을 접속하며, 상기 제1 출력용 MOSFET(5)의 소스 전극과 상기 제1 전류 검출용 저항(4)과의 접속점에 상기 제2 광 기전력 다이오드 어레이(2b)를 통해 베이스 전극을 접속하는 제1 바이폴라 트랜지스터(3a)이고, 상기 제2 전류 제한 회로(3')는 상기 제2 출력용 MOSFET(5')의 게이트 전극에 콜렉터 전극을 접속하고, 상기 제1 및 제2 전류 검출용 저항(4 및 4')의 다른쪽 단끼리의 접속점에 에미터 전극을 접속하며, 상기 제2 출력용 MOSFET(5')의 소스 전극과 상기 제2 전류 검출용 저항(4')과의 접속점에 상기 제3 광 기전력 다이오드 어레이(2b')를 통해 베이스 전극을 접속하는제2 바이폴라 트랜지스터(3a')이다.

본 발명의 제5 특징은 청구항 3에 기재한 광 결합기 장치에 있어서, 상기 제1 및 제2 전류 제한 회로(3 및 3')는 동일한 제2 광 기전력 다이오드 어레이(2b)에 의해 구동되는 것이다.

또, 본 발명의 제6 특징은 청구항 5에 기재한 광 결합기 장치에 있어서, 제4도에 도시하는 바와 같이, 상기 광 결합기 장치는 상기 제1 및 제2 출력용 MOSFET(5 및 5')의 소스 전극에 각각 그 한쪽 단을 접속하고, 각각의 다른쪽 단을 단락 접속하는 제1 및 제2 전류 검출용 저항(4 및 4')을 구비하며, 상기 제1 전류 제한회로(3)는 상기 제1 출력용 MOSFET(5)의 게이트 전극에 콜렉터 전극을 접속하고, 상기 제1 출력용 MOSFET(5)의 소스 전극과 상기 제1 전류 검출용 저항 (4)과의 접속점에 에미터 전극을 접속하며, 상기 제1 및 제2 전류 검출용 저항(4 및 4')의 다른쪽 단끼리의 접속점에 상기 제2 광 기전력 다이오드 어레이(2b)를 통해 베이스 전극을 접속하는 제1 바이폴라 트랜지스터(3a)이고, 상기 제2 전류 제한 회로(3')는 상기 제2 출력용 MOSFET(5')의 게이트 전극에 콜렉터 전극을 접속하며, 상기제2 출력용 MOSFET(5')의 소스 전극과 상기 제2 전류 검출용 저항(4')과의 접속점에 에미터 전극을 접속하며, 상기 제1 및 제2 전류 검출용 저항(4 및 4')의 다른쪽 단끼리의 접속점에 상기 제2 광 기전력 다이오드 어레이(2b)를 통해 베이스 전극을 접속하는 제2 바이폴라 트랜지스터(3a')인 것이다.

또, 본 발명의 제7 특징은 청구항 6에 기재한 광 결합기 장치에 있어서, 제5도에 도시하는 바와 같이, 상기 광 결합기 장치는 상기 제1 및 제2 바이폴라 트랜지스터(3a 및 3a')의 베이스-콜렉터 전극 사이에 접속되는 저항(8)과, 상기 제2 광 기전력 다이오드 어레이(2b)와 상기 제1 및 제2 전류 검출용 저항(4 및 4')의 다른쪽 단끼리의 접속점 사이에 상기 제2 광 기전력 다이오드 어레이(2b)와 역 직렬로 접속되는 정류용 다이오드(9)를 구비하는 것이다.

또한, 본 발명의 제8 특징은 청구항 3 또는 청구항 4에 기재한 광 결합기 장치에 있어서, 제6도에 도시하는 바와 같이, 상기 광 결합기 장치는 상기 제1 및 제2 전류 검출용 저항(4 및 4')의 양단에 발생하는 전위차를 검지하여 상기 제1 및 제2 전류 제한 회로(3 및 3')에 공급하는 차동 증폭기(Amp)와, 상기 발광 소자(1)로부터의 광 신호를 수광하여 발생한 광 기전력에 의해 상기 차동 증폭기(Amp)를 구동시키는 제4 광 기전력 다이오드 어레이(2b'')를 구비하는 것이다.

본 발명의 제1 및 제2 특징의 광 결합기 장치에서는, 출력용 MOSFET(5)의 통전 전극에 흐르는 전류를 일정치 이하로 제한하기 위하여, 통전 전극과 직렬로 전류 검출용 저항(4)을 삽입하고, 전류 검출용 저항(4)의 양단에 발생한 전위차를 제2 광 기전력 다이오드 어레이(2b)에서 승압하여, 전류 제한 회로인 바이폴라 트랜지스터(3)의 베이스 전극에 인가한다. 바이폴라 트랜지스터(3)를 구동하려면, 베이스-에미터 전극 사이에 적어도 0.5 [V]정도의 전압을 인가해야만 하므로, 전류 검출용 저항(4 및 4')의 양단에서 발생하는 전위차만으로 구동하고자 한 경우, 제한하고자 하는 전류값으로 0.5 [V]의 전위차가 발생하도록 전류 검출용 저항(4)의 값을 설정해야 한다. 즉, 본 발명에서는 베이스 전극에 인가하는 전압을 제2 광 기전력 다이오드 어레이(2b)에서 승압하면 검출 전압을 대폭적으로 낮출 수 있다. 예를 들면, 바이폴라 트랜지스터(3)의 VBE(베이스-에미터 접합의 VF)를 0.5 [V], 제2 광 기전력 다이오드 어레이(2b)의 발생 전압을 0.4 [V]로 하면, 검출 전압은 0.1 [V]이고, 제2 광 기전력 다이오드 어레이(2b)가 없는 경우의 0.5 [V]와 비교하여, 전류 검출용 저항의 값을 대폭적으로 낮출 수 있다.

또, 이와 같은 목적에서 필요로 하는 전원은, 기본적으로 분리되는 것이 필요하고, 경우에 따라서는 서로 분리된 복수개의 전원이 필요하기 때문에, 외부로부터 전원을 취하는 것은 현실적으로 대단히 곤란하지만, 본 발명의 제2 광 기전력 다이오드 어레이(2b)는 플로팅된 전원이기 때문에 아무런 문제도 없이 실현할 수 있다.

본 발명의 제3, 제4, 제5 및 제6 특징의 광 결합기 장치에서는, 제1 및 제2 출력용 MOSFET(5 및 5')의 통전 전극에 흐르는 전류를 일정값 이하로 제한하기 위하여, 통전 전극과 직렬로 전류 검출용 저항(4 및 4')을 삽입하고, 전류 검출용 저항(4 및 4')의 양단에 발생한 전위차를 제2 광 기전력 다이오드 어레이(2b)로 승압하여, 전류 제한 회로인 바이폴라 트랜지스터(3a 및 3a')의 베이스 전극에 인가한다. 즉, 베이스 전극에 인가하는 전압을 제2 광 기전력 다이오드 어레이(2b)에서 승압함으로써, 검출 전압을 대폭적으로 낮출 수 있어, 결과적으로 전류 검출용 저항의 값을 대폭 낮출 수 있다.

또, 제1 및 제2 특징의 광 결합기 장치는 직류 부하에, 제3, 제4, 제5 및 제6 특징의 광 결합기 장치는 교류 부하에 각각 적용된다. 또한, 제5 및 제6 특징의 광 결합기 장치에서는 공통의 제2 광 기전력 다이오드 어레이(2b)에 의해 제1 및 제2 전류 제한 회로(3 및 3')를 구동하기 때문에, 보다 작은 면적으로 실현할 수 있다.

또한, 본 발명의 제7 특징의 광 결합기 장치에서는, 제6 특징의 광 결합기 장치와 마찬가지의 효과를 갖는 한편, 턴 오프 스피드를 가속시키는 기능을 갖는다. 즉, 종래의 예와 같이, 턴 오프 시간을 단축시키

기 위한 제1 및 제2 출력용 MOSFET(5 및 5')의 게이트-소스 전극 사이의 단락, 턴 오프시에 제1 및 제2 출력용 MOSFET(5 및 5')의 게이트-소스 전극간 전하의 방전 회로로서, 광 기전력 다이오드 어레이(10a) 및 방전용 FET(10b)를 설치하지 않고, 턴 오프 시간을 단축할 수 있다.

또한, 본 발명의 제8 특징의 광 결합기 장치에서는, 제1 및 제2 전류 검출용 저항(4 및 4')의 양단에 발생하는 전위차를 검지하는 차동 증폭기 Amp를 구비하고 있고, 검출 전압을 차동 증폭기(Amp)의 감도로 결정할수 있어, 검출 감도를 회로 상수의 변경으로 간단하게 조정할 수 있으므로, 전류 검출용 저항(4 및 4')의 저항값을 대폭 낮출수 있다. 또, 차동 증폭기(Amp)의 전원으로서 제4광 기전력 다이오드 어레이(2b'')를 구비하고 있기 때문에, 새롭게 외부 전원을 준비할 필요가 없다.

이하, 본 발명에 따른 실시예를 도면에 기초하여 설명한다.

제1도에 본 발명의 제1 실시예에 관한 광 결합기 장치의 회로 구성도를 도시한다. 제1도에 있어서, 제7도(종래예)와 중복하는 부분에는 동일 부호를 붙이고 있다.

본 실시예의 광 결합기 장치는, 입력 신호에 의해 발광하는 발광 다이오드(1), 발광 다이오드(1)로부터의 광 신호를 수광하여 광 기전력을 발생하는 제1 광 기전력 다이오드 어레이(2a), 제1광 기전력 다이오드 어레이(2a)에서 발생되는 광 기전력에 의해 구동되는 출력용 MOSFET(5), 출력용 MOSFET(5)의 동작 상태를 제어하여 통전 전극에 흐르는 전류를 일정치 이하로 제한하는 전류 제한 회로(3), 출력용 MOSFET(5)의 소스 전극에 그 한쪽 단을 접속하는 전류 검출용 저항(4), 및 발광 다이오드(1)로부터의 광 신호를 수광하여 발생한 광 기전력에 의해 전류 제한회로(3)를 구동하는 제2 광 기전력 다이오드 어레이(2b)로 구성되어 있다.

또한, 전류 제한 회로(3)는 바이폴라 트랜지스터(3a)로 실현되어 있고, 출력용 MOSFET(5)의 게이트 전극에 콜렉터 전극이 접속되며, 전류 검출용 저항(4)의 다른 쪽 단에 에미터 전극이 접속되고, 출력용 MOSFET(5)의 소스 전극과 전류 검출용 저항(4)과의 접속점에 제2 광 기전력 다이오드 어레이(2b)를 통해 베이스 전극이 접속되어 있다.

본 실시예에서는, 발광 다이오드(1)로부터의 광에 의해 제1 광 기전력 다이오드 어레이(2a)가 광 기전력을 발생하여, 출력용 MOSFET(5)를 구동시킨다. 출력용 MOSFET(5)가 온 상태일 때, 출력 단자(7-7') 사이에 규정치 이상의 전류가 흐르면, 전류 검출용 저항(4)의 양단에 발생한 전위차로 전류 제한 회로(바이폴라 트랜지스터:3)가 동작되고, 출력용 MOSFET(5)의 게이트-소스 전극간 전압을 제어하여 출력단자(7-7') 사이에 흐르는 전류를 일정치 이하로 제한한다.

예를 들면, 150 [mA] 이하로 전류를 제한하는 것으로 하여, 바이폴라 트랜지스터(3)의 VBE를 0.5 [V]로 하고, 제2 광 기전력 다이오드 어레이(2b)의 발생 전압을 0.4 [V]로 하면, 검출 전압은 제2 광 기전력 다이오드 어레이(2b)가 없는 경우(종래 예:제7도)의 0.5 [V]에 대하여, 본 실시예에서는 0.1 [V]로 된다. 따라서, 전류 검출용 저항(4)의 저항값은 본 실시예에서는 0.1 [V]/150 [mA] = 0.67 [Ω]으로 되어, 종래예의 0.5 [V]/150 [mA] = 3.33 [Ω]에 비해 대폭적으로 저항치를 저감할 수 있다.

또한, 전류 제한 회로(바이폴라 트랜지스터:3)의 검출 감도[전류 검출용 저항(4)의 양단의 전위차를 검출하는 감도]를 향상시키기 위한 전원으로서, 제2 광 기전력 다이오드 어레이(2b)를 사용하고 있다. 이와 같는 목적에서 필요로 하는 전원은, 기본적으로 분리되어 있는 것이 필요하고, 경우에 따라서는 서로 분리된 복수개의 전원이 필요하기 때문에, 외부에서 전원을 취하는 것은 현실적으로 대단히 곤란하지만, 본 실시예의 제2 광 기전력 다이오드 어레이(2b)는 플로팅된 전원이기 때문에 아무런 문제도 없이 실현할 수 있다.

다음에, 제3도에는 본 발명의 제2 실시예에 관한 광 결합기 장치의 회로 구성도를 도시한다. 제3도에 있어서, 제7도(종래예)와 중복하는 부분에는 동일한 부호를 부여하고 있다.

본 실시예의 광 결합기 장치는, 입력 신호에 의해 발광하는 발광 다이오드(1), 발광 다이오드(1)로부터의 광 신호를 수광하여 광 기전력을 발생하는 제1 광 기전력 다이오드 어레이(2a), 제1 광 기전력 다이오드 어레이(2a)의 발생하는 광 기전력에 의해 구동되고, 상호의 게이트 전극을 단락 접속하는 제1 및 제2 출력용 MOSFET(5 및 5'), 제1 및 제2 출력용 MOSFET(5 및 5')의 동작 상태를 각각 제어하여 통전 전극에 흐르는 전류를 일정치 이하로 제한 하는 제1 및 제2 전류 제한 회로[제1 및 제2 바이폴라 트랜지스터(3a 및 3a')로 실현됨], 제1 및 제2 출력용 MOSFET(5 및 5')의 소스 전극에 각각 그 한쪽 단을 접속하고, 각각의 다른쪽 단을 단락 접속하는 제1 및 제2 전류 검출용 저항(4 및 4'), 발광 다이오드(1)로부터의 광 신호를 수광하여 발생한 광 기전력에 의해 제1 및 제2 전류 제한 회로를 각각 구동하는 제2 및 제3 광 기전력 다이오드 어레이(2b 및 2b')로 구성되어 있다. 또, 출력용 MOSFET, 전류 제한 회로, 전류 검출용 저항, 및 전류 제한 회로의 전원으로서의 광 기전력 다이오드 어레이가 각각 2개 사용되는 것은 본 실시예가 교류부하에 적용되기 때문이다.

제1 전류 제한 회로는 제1 바이폴라 트랜지스터(3a)로 실현되고, 제1 출력용 MOSFET(5)의 게이트 전극에 콜렉터 전극이 접속되고, 제1 및 제2 전류 검출용 저항(4 및 4')의 다른쪽 단끼리의 접속점에 에미터 전극이 접속되며, 제1 출력용 MOSFET(5)의 소스 전극과 제1 전류 검출용 저항(4)와의 접속점에 제2 광 기전력 다이오드 어레이(2b)를 통해 베이스 전극이 접속되어 있다. 또, 제2 전류 제한 회로는 제2 바이폴라 트랜지스터(3a')로 실현되어 있고, 제2 출력용 MOSFET(5')의 게이트 전극에 콜렉터 전극이 접속되고, 제1 및 제2 전류 검출용 저항(4 및 4')의 다른쪽 단끼리의 접속점에 에미터 전극이 접속되며, 제2출력용 MOSFET(5')의 소스 전극과 제2 전류 검출용 저항(4')과의 접속점에 제3 광 기전력 다이오드 어레이(2b')를 통해 베이스 전극이 접속되어 있다.

본 실시예에서는, 발광 다이오드(1)로부터의 광에 의해 제1 광 기전력 다이오드 어레이(2a)가 광 기전력을 발생하여 제1 및 제2 출력용 MOSFET(5 및 5')를 구동한다. 여기에서는, 제1 및 제2 출력용 MOSFET(5 및 5')가 온 상태로 되고, 전류가 출력 단자(7)에서 출력 단자(7') 방향으로 흐르는 경우에 대해 이하에 설명한다.

출력 단자(7-7') 사이에 규정치 이상의 전류가 흐르도록 하면, 전류 검출용 저항(4)의 양단에 전위차가

발생한다. 발생된 전위차는 제2 광 기전력 다이오드 어레이(2b)에서 승압되어, 바이폴라 트랜지스터(3a)의 베이스-에미터간 전극을 바이어스하고, 바이폴라 트랜지스터(3a)가 온 상태로 되어, 제1 광 기전력 다이오드 어레이(2a)에서 발생된 전류가 바이 패스(by-pass)된다. 따라서, 제1 및 제2 출력용 MOSFET(5및 5')의 게이트 전극 전위가 저하하여, 제1 및 제2 출력용 MOSFET(5 및 5')의 온 저항 RON이 제어되어 출력 전류가 제한된다. 또, 전류가 출력 단자(7')에서 출력 단자(7) 방향으로 흐르는 경우에 대해서도 마찬가지이다.

이와 같이, 본 실시예에 있어서도, 제1 및 제2 전류 제한 회로[바이폴라 트랜지스터(3a 및 3a')]의 검출 감도를 향상시키기 위한 전원으로서, 제2 및 제3 광 기전력 다이오드 어레이(2b 및 2b')을 사용하고 있기 때문에, 전류 검출용 저항(4 및 4')의 저항치를 대폭 저감할 수 있다.

다음에, 제4도에 본 발명의 제3 실시예에 관한 광 결합기 장치의 회로 구성도를 도시한다.

본 실시예의 광 결합기 장치는 제2 실시예에 있어서, 제1 및 제2 전류 제한회로[제1 및 제2 바이폴라 트랜지스터(3a 및 3a')]용의 전원으로서, 동일한 제2 광기전력 다이오드 어레이(2b)를 사용하고 있다.

또, 제1 전류 제한 회로[제1 바이폴라 트랜지스터(3a)]는 제1 출력용 MOSFET(5)의 게이트 전극에 콜렉터 전극이 접속되고, 제1 출력용 MOSFET(5)의 소스 전극과 제1 전류 검출용 저항(4)과의 접속점에 에미터 전극이 접속되며, 제1 및 제2 전류 검출용 저항(4 및 4')의 다른쪽 단끼리의 접속점에 제2 광 기전력 다이오드 어레이(2b)를 통해 베이스 전극이 접속되어 구성되고, 제2 전류 제한 회로[제2 바이폴라 트랜지스터(3a')]는 제2 출력용 MOSFET(5')의 게이트 전극에 콜렉터 전극이 접속되고, 제2 출력용 MOSFET(5')의 소스 전극과 제2 전류 검출용 저항(4')과의 접속점에 에미터 전극이 접속되며, 제1 및 제2 전류 검출용 저항(4 및 4')의 다른쪽 단끼리의 접속점에 제2 광 기전력 다이오드 어레이(2b)를 통해 베이스 전극이 접속되어 구성되어 있다.

본 실시예에 있어서도, 전류가 출력 단자(7)에서 출력 단자(7)방향으로 흐르는 경우의 전류 제한 메카니즘에 대해 설명한다.

출력 단자(7-7')사이에 규정치 이상의 전류가 흐르면, 전류 검출 저항(4')의 양단에 전위차가 발생한다. 발생한 전위차는 제2 광 기전력 다이오드 어레이(2b)에서 승압되어 바이폴라 트랜지스터(3a')의 베이스-에미터간 전극을 바이어스하고, 바이폴라 트랜지스터(3a')가 온 상태로 되어, 제2 광 기전력 다이오드 어레이(2a)에서 발생된 전류가 바이 패스된다. 따라서, 제1 및 제2 출력용 MOSFET(5 및 5')의 게이트 전극 전위가 저하되고, 제1 및 제2 출력용 MOSFET(5 및 5')의 온 저항 RON이 제어되어 출력 전류가 제한된다. 또, 전류가 출력 단자(7')에서 출력 단자(7) 방향으로 흐르는 경우에 대해서도 마찬가지다.

이와 같이, 본 실시예에 있어서도 제1 및 제2 전류 제한 회로[바이폴라 트랜지스터(3a 및 3a')]의 검출 감도를 향상시키기 위한 전원으로서, 제2 광 기 전력 다이오드 어레이(2b)를 사용하고 있기 때문에, 전류 검출용 저항(4 및 4')의 저항치를 대폭 저감할 수 있고, 또한 공통의 제2 광 기전력 다이오드 어레이(2b)에 의해 제1 및 제2 전류 제한 회로[바이폴라 트랜지스터(3a 및 3a')]를 구동하기 때문에, 더욱 작은 면적으로 실현될 수 있다.

다음에, 제5도에 본 발명의 제4 실시예에 따른 광 결합기 장치의 회로 구성도를 도시한다.

본 실시예의 광 결합기 장치는 제3 실시예의 광 결합기 장치에, 제1 및 제2 바이폴라 트랜지스터(3a 및 3a')의 베이스-콜렉터 전극 사이에 접속되는 저항(8), 및 제2 광 기전력 다이오드 어레이(2b)와 제1 및 제2 전류 검출용 저항(4 및 4')의 다른쪽 단끼리의 접속점과의 사이에 제2 광 기전력 다이오드 어레이(2b)와 역 직렬로 접속되는 정류용 다이오드(9)를 부가한 구성으로 되어 있다.

본 실시예는 전류 제한 회로로서의 제1 및 제2 바이폴라 트랜지스터(3a 및 3a')를 출력 턴 오프시의 제1 및 제2 출력용 MOSFET(5 및 5')의 게이트-소스 전극간의 전하를 방전하기 위한 방전 회로로서도 기능하도록 구성한 것이다.

본 실시예에 있어서도, 전류가 출력 단자(7)에서 출력 단자(7') 방향으로 흐르는 경우의 전류 제한 메카니즘에 대해 설명한다.

출력 단자(7-7') 사이에 규정치 이상의 전류가 흐르도록 하면, 전류 검출용 저항(4')의 양단에 전위차가 발생한다. 발생된 전위차는 정류용 다이오드(9)에 의해 VF분 저하하지만, 제2 광 기전력 다이오드 어레이(2b)에서 승압되어, 바이폴라 트랜지스터(3a')의 베이스-에미터간 전극을 바이어스하고, 바이폴라 트랜지스터(3a')가 온 상태로 되어, 제1 광 기전력 다이오드 어레이(2a)에서 발생된 전류가 바이패스된다. 여기에서, 저항(8)에 의해서도 바이 패스되지만, 이 저항(8)은 충분하게 값이 큰 것을 사용하기 때문에, 그 효과는 무시할 수 있다. 따라서, 제1 및 제2 출력용 MOSFET(5 및 5')의 게이트 전극 전위가 저하하여, 제1 및 제2 출력용 MOSFET(5 및 5')의 온 저항 RON이 제어되어 출력 전류가 제한된다. 또, 전류가 출력 단자(7')에서 출력 단자(7) 방향으로 흐르는 경우에 대해서도 마찬가지이다.

다음에, 본 실시예의 출력 턴 오프시에 있어서의 제1 및 제2 출력용 MOSFET(5 및 5')의 게이트-소스 전극간의 전하의 방전에 대해 설명한다.

제1 광 기전력 다이오드 어레이(2a)가 광 기전력의 발생을 멈추면, 제1 및 제2 출력용 MOSFET(5 및 5')의 게이트 전극의 정전하의 일부는, 저항(8)을 통해 바이폴라 트랜지스터(3a 및 3a')의 베이스 전극에 유입된다. 이 때, 바이폴라 트랜지스터(3a 및 3a')의 베이스 전극이 제1 및 제2 출력용 MOSFET(5 및 5')의 소스 전극의 부전하에서 부(-)로 바이어스되지 않도록, 정류용 다이오드(9)에 의해 바이폴라 트랜지스터(3a 및 3a')의 베이스 전극과 제1 및 제2 출력용 MOSFET(5 및 5')의 소스 전극이 전기적으로 분리된다. 따라서, 바이폴라 트랜지스터(3a 및 3a')의 베이스 전극에 유입된 제1 및 제2 출력용 MOSFET(5 및 5')의 게이트 전극의 정전하의 일부는, 바이폴라 트랜지스터(3a 및 3a')를 온 상태로 하여, 제1 및 제2 출력용 MOSFET(5 및 5')의 게이트-소스 전극간에 축적된 전하가 신속하게 방전되어 출력단자(7-7') 사이는 오프 상태로 된다.

즉 본 실시예에 따르면, 틴 오프시의 제1 및 제2 출력용 MOSFET(5 및 5')의 게이트-소스 전극 사이에 축

척된 전하의 일부가 바이폴라 트랜지스터(3a 및 3a')의 베이스 전극에 유입됨으로써 , 바이폴라 트랜지스터(3a 및 3a')의 콜렉터-에미터 전극간에 전류 증폭률 hFE배의 방전 전류가 흐르고, 제1 및 제2 출력용 MOSFET(5 및 5')의 게이트-소스 전극간의 전하가 신속하게 방전되어 단시간(고속)의 출력 턴 오프가 실현된다.

이상과 같이, 본 실시예에 있어서도 제1 및 제2 전류 제한 회로[바이폴라 트랜지스터(3a 및 3a')]의 검출 감도를 향상시키기 위한 전원으로서, 제2 광 기전력 다이오드 어레이(2b)를 사용하고 있기 때문에, 전류 검출용 저항(4 및 4')의 저항치를 대폭 저감할 수 있고, 또 종래 예의 제1도에서와 같이, 턴 오프 시간 단축을 위한 제1 및 제2 출력용 MOSFET(5 및 5')의 게이트-소스 전극간 전하의 방전 회로로서, 광 기전력 다이오드 어레이(10a) 및 방전용 FET(10b)를 설치하지 않고, 턴 오프 시간을 단축할 수 있다.

다음에, 제6도에 본 발명의 제5 실시예에 따른 광 결합기 장치의 회로 구성도를 도시한다.

본 실시예의 광 결합기 장치는 제2 실시예의 광 결합기 장치에 대해, 제1 및 제2 전류 검출용 저항(4 및 4')의 양단에 발생하는 전위차를 검지하여 제1 및 제2 전류 제한 회로(3 및 3')에 공급하는 차동 증폭기(Amp), 발광 다이오드(1)로부터의 광 신호를 수광하여 발생한 광 기전력에 의해 차동 증폭기(Amp)를 구동하는 제4 광 기전력 다이오드 어레이(2b'')를 부가한 구성이다.

차동 증폭기(Amp)는 저항(3c, 3c', 3d 및 3d'), 바이폴라 트랜지스터(3b 및 3b'), 및 저 전류화용 저항(3e)으로 구성되어 있다.

본 실시예에서는, 차동 증폭기(Amp)에 의해 제1 및 제2 전류 검출용 저항(4 및 4')의 양단에 발생하는 전위차를 검지하기 때문에, 검출 전압을 차동 증폭기(Amp)의 감도로 결정할 수 있고, 검출 감도를 회로 정수의 변경으로 간단하게 조정할 수 있기 때문에, 검출 감도를 향상시킴으로써 전류 검출용 저항(4 및 4')의 저항치를 대폭 낮출 수 있다.

본 실시예에 있어서도, 전류가 출력 단자(7)에서 출력 단자(7') 방향으로 흐르는 경우의 전류 제한 메카니즘에 대해 설명한다.

출력 단자(7-7') 사이에 규정치 이상의 전류가 흐르도록 하면, 전류 검출용 저항(4')의 양단에 전위차가 발생하고, 제1 및 제2 출력용 MOSFET(5 및 5')의 소스 전극 사이에 전위차가 발생한다. 이 전위차는 보존된 상태로 제2 및 제3 광 기전력 다이오드 어레이(2b 및 2b')에서 승압되어, 차동 증폭기(Amp)의 입력부, 즉 바이폴라 트랜지스터(3b 및 3b')의 베이스 전극을 바이패스한다.

바이폴라 트랜지스터(3b)의 베이스 전극의 전위가 바이폴라 트랜지스터(3b')의 베이스 전극의 전위보다도 고전위로 바이어스되기 때문에, 바이폴라 트랜지스터(3b 및 3b')의 동작 상태에 차가 발생하여, 바이폴라 트랜지스터(3b')의 콜렉터 전극의 전위가 상승하고, 바이폴라 트랜지스터(3a')의 베이스 전극을 바이어스한다. 바이폴라 트랜지스터(3a')는 온 상태로 되고, 제1 광 기전력 다이오드 어레이(2a)에서 발생한 전류가 바이패스되고, 제1 및 제2 출력용 MOSFET(5 및 5')의 게이트 전극 전위가 저하하여, 제1 및 제2 출력용 MOSFET(5 및 5')의 온 저항 RON이 제어되어 출력 전류가 제한된다. 또, 전류가 출력 단자(7')에서 출력 단자(7)로 흐르는 경우에 대해서도 마찬가지이다.

이와 같이, 본 실시예에서는 차동 증폭기(Amp)에 의해 전압 검출의 감도를 향상시켜, 전류 검출용 저항(4 및 4')의 저항치를 실용적인 가장 낮은 값으로 할 수 있다. 또, 차동 증폭기 Amp의 전원으로서 제4 광 기전력 다이오드 어레이(2b'')을 구비하고 하고 있기 때문에 새롭게 외부 전원을 준비할 필요가 없다.

또, 본원 발명의 청구 범위의 각 구성 요건에 병기한 도면 참조 부호는, 본원 발명의 이해를 용이하게 하기 위한 것으로, 본원 발명의 기술적 범위를 도면에 도시한 실시예에 한정할 의도로 병기한 것은 아니다.

이와 같이 본 발명에 따르면, 출력용 MOSFET의 통전 전극에 흐르는 전류를 일정치 이하로 제한하기 위해, 통전 전극과 직렬로 전류 검출용 저항을 삽입하고, 전류 검출용 저항의 양단에 발생한 전위차를 제2 광 기전력 다이오드 어레이에서 승압하여, 예를 들면 전류 제한 회로인 바이폴라 트랜지스터의 베이스 전극에 인가하는 것으로 하였기 때문에, 출력용 MOSFET의 통전 전극을 흐르는 전류를 일정치 이하로 제한하기 위한 전류 검출용 저항의 값을 대폭 낮 수 있어, 제품으로서의 온 저항을 저감하여 높은 전류 용량을 실현할 수 있는 광 결합기 장치를 제공할 수 있다.

또, 전류 제한 회로용의 전원용으로서 사용되는 제2 광 기전력 다이오드 다이오드 어레이는 플로팅된 전원이기 때문에 분리 등의 문제도 없이 실현할 수 있다.

본 발명에 따르면, 제1 및 제2 출력용 MOSFET의 통전 전극에 흐르는 전류를 일정치 이하로 제한하기 위하여, 통전 전극과 직렬로 제1 및 제2 전류 검출용 저항을 삽입하고, 제1 및 제2 전류 검출용 저항의 양단에 발생한 전위차를 각각 제2 및 3광 기전력 다이오드 어레이에서 승압하여, 예를 들면 제1 및 제2 전류 제한 회로인 제1 및 제2 바이폴라 트랜지스터의 베이스 전극에 인가하는 것으로 하였기 때문에, 제1 및 제2 출력용 MOSFET의 통전 전극을 흐르는 전류를 일정치 이하로 제한하기 위한 제1 및 제2 전류 검출용 저항의 값을 대폭 낮출 수 있어, 제품으로서의 온 저항을 저감하여 높은 전류 용량을 실현할 수 있는 광 결합기 장치를 제공할 수 있다.

또, 본 발명의 제5 및 제6 특징의 광 결합기 장치에 따르면, 공통의 제2 광 기전력 다이오드 어레이에 의해 제1 및 제2 전류 제한 회로를 구동하도록 구성함으로써, 보다 작은면적으로 실현할 수 있다.

또, 본 발명의 제7 특징의 광 결합기 장치에 따르면, 전류 제한 회로로서의 제1 및 제2 바이폴라 트랜지스터를 출력 턴 오프시의 제1 및 제2 출력용 MOSFET의 게이트-소스 전극 사이의 전하를 방전하기 위한 방전 회로로서도 기능하도록 구성하였기 때문에, 단 시간(고속)의 출력 턴 오프를 실현할 수 있는 광 결합기 장치를 제공할 수 있다.

또한, 본 발명의 제8 특징의 광 결합기 장치에 따르면, 제1 및 제2 전류 검출용 저항의 양단에 발생하는 전위차를 검지하는 차동 증폭기를 구비하고, 검출 전압을 차동 증폭기의 감도로 결정하는 것으로 하였기 때문에, 회로 정수의 변경 조정으로 검출 감도를 향상시킴으로써 전류 검출용 저항의 저항치를 실용적인

가장 낮은 값으로 할 수 있고, 또 차동 증폭기의 전원으로서 제4 광 기전력 다이오드 어레이를 구비하고 있기 때문에 새롭게 외부 전원을 준비하지 않고 실현할 수 있다.

(57) 청구의 범위

청구항 1

입력 신호에 의해 발생하는 발광 소자(1), 상기 발광 소자(1)로부터의 광 신호를 수광하여 광 기전력을 발생하는 제1 광 기전력 다이오드 어레이(2a), 상기 제1 광 기 전력 다이오드 어레이(2a)에서 발생되는 광 기전력에 의해 구동되는 출력용 MOSFET(5), 상기 출력용 MOSFET(5)의 동작 상태를 제어하여 통전 전극에 흐르는 전류를 일정치 이하로 제한하는 전류 제한 회로(3), 및 상기 발광 소자(1)로부터의 광 신호를 수광하여 발생한 광 기전력에 의해 상기 전류 제한 회로(3)를 구동하는 제2 광 기전력 다이오드 어레이(2b)를 갖는 것을 특징으로 하는 광 결합기 장치.

청구항 2

제1항에 있어서, 상기 광 결합기 장치는 상기 출력용 MOSFET(5)의 소스 전극에 그 한쪽 단을 접속하는 전류 검출용 저항(4)을 갖고, 상기 전류 제한 회로(3)는 상기 출력용 MOSFET(5)의 게이트 전극에 콜렉터 전극을 접속하고, 상기 전류 검출용 저항(4)의 다른쪽 단에 에미터 전극을 접속하며, 상기 출력용MOSFET(5)의 소스 전극과 상기 전류 검출용 저항(4)과의 접속점에 상기 제2 광 기전력 다이오드 어레이(2b)를 통해 베이스 전극을 접속하는 바이폴라 트랜지스터(3a)인 것을 특징으로 하는 광 결합기 장치.

청구항 3

입력 신호에 의헤 발광하는 발광 소자(1), 상기 발광 소자(1)로부터의 광 신호를 수광하여 광 기전력을 발생하는 제1 광 기전력 다이오드 어레이(2a), 상기 제1 광 기전력 다이오드 어레이(2a)에서 발생되는 광 기전력에 의해 구동되어, 상호의 게이트 전극을 단락 접속하는 제1 및 제2 출력용 MOSFET(5 및 5'), 상기 제1 및 제2 출력용 MOSFET(5 및 5')의 동작 상태를 각각 제어하여 통전 전극에 흐르는 전류를 일정치 이하로 제한하는 제1 및 제2 전류 제한 회로(3 및 3'), 및 상기 발광 소자(1)로부터의 광 신호를 수광하여 발생한 광 기전력에 의해 상기 제1 및 제2 전류 제한 회로(3 및 3')를 각각 구동하는 제2 및 제3 광 기전력 다이오드 어레이(2b 및 2b')를 갖는 것을 특징으로 하는 광 결합기 장치.

청구항 4

제3항에 있어서, 상기 광 결합기 장치는 상기 제1 및 제2 출력용 MOSFET(5 및 5')의 소스 전극에 각각 그 한쪽 단을 접속하고, 각각의 다른쪽 단을 단락 접속하는 제1 및 제2 전류 검출용 저항(4 및 4')을 가지며, 상기 제1 전류 제한 회로(3)는 상기 제1 출력용 MOSFET(5)의 게이트 전극에 콜렉터 전극을 접속하고, 상기 제1 및 제2 전류 검출용 저항(4 및 4')의 다른쪽 단끼리의 접속점에 에미터 전극을 접속하며, 상기 제1 출력용 MOSFET(5)의 소스 전극과 상기 제1 전류 검출용 저항(4)과의 접속점에 상기 제2 광 기전력 다이오드 어레이(2b)를 통해 베이스 전극을 접속하는 제1 바이폴라 트랜지스터(3a)이고, 상기 제2 전류 제한 회로(3')는 상기 제2 출력용 MOSFET(5')의 게이트 전극에 콜렉터 전극을 접속하고, 상기 제1 및 제2 전류 검출용 저항(4 및 4')의 다른쪽 단끼리의 접속점에 에미터 전극을 접속하며, 상기 제2 출력용 MOSFET(5')의 소스 전극과 상기 제2 전류 검출용 저항(4')과의 접속점에 상기 제3 광 기전력 다이오드 어레이(2b')를 통해 베이스 전극을 접속하는 제2 바이폴라 트랜지스터(3a')인 것을 특징으로 하는 광 결합기 장치.

청구항 5

제3항에 있어서, 상기 제1 및 제2 전류 제한 회로(3 및 3')는 동일한 제2 광 기전력 다이오드 어레이(2b)에 의헤 구동되는 것을 특징으로 하는 광 결합기 장치.

청구항 6

제5항에 있어서, 상기 광 결합기 장치는 상기 제1 및 제2 출력용 MOSFET(5 및 5')의 소스 전극에 각각 그 한쪽 단을 접속하고, 각각의 다른쪽 단을 단락 접속하는 제1 및 제2 전류 검출용 저항(4 및 4')을 가지며, 상기 제1 전류 제한 회로(3)는 상기 제1 출력용 MOSFET(5)의 게이트 전극에 콜렉터 전극을 접속하고, 상기 제1 출력용 MOSFET(5)의 소스 전극과 상기 제1 전극 검출용 저항(4)와의 접속점에 에미터 전극을 접속하며, 상기 제1 및 제2 전류 검출용 저항(4 및 4')의 다른쪽 단끼리의 접속점에 상기 제2 광 기전력 다이오드 어레이(2b)를 통해 베이스 전극을 접속하는제1 바이폴라 트랜지스터(3a)이고, 상기 제2 전류 제한 회로(3')는 상기 제2 출력용 MOSFET(5)의 게이트 전극에 콜렉터 전극을 접속하고, 상기 제2 출력용 MOSFET(5')의 소스 전극과 상기 제2 전류 검출용 저항(4')과의 접속점에 에미터 전극을 접속하며, 상기 제1 및 제2 전류 검출용 저항(4 및 4')의 다른쪽 단끼리의 접속점에 상기 제2 광 기전력 다이오드 어레이(2b)를 통해 베이스 전극을 접속하는 제2 바이폴라 트랜지스터(3a')인 것을 특징으로 하는 광 결합기 장치.

청구항 7

제6항에 있어서, 상기 광 결합기 장치는, 상기 제1 및 제2 바이폴라 트랜지스터(3a 및 3a')의 베이스-콜렉터 전극 사이에 접속되는 저항(8), 및 상기 제2 광 기전력 다이오드 어레이(2b)와 상기 제1 및 제2 전류 검출용 저항(4 및 4')의 다른쪽 단끼리의 접속점 사이에, 상기 제2 광 기전력 다이오드 어레이(2b)와 역 직렬로 접속되는 정류용 다이오드(9)를 갖는 것을 특징으로 하는 광 결합기 장치.

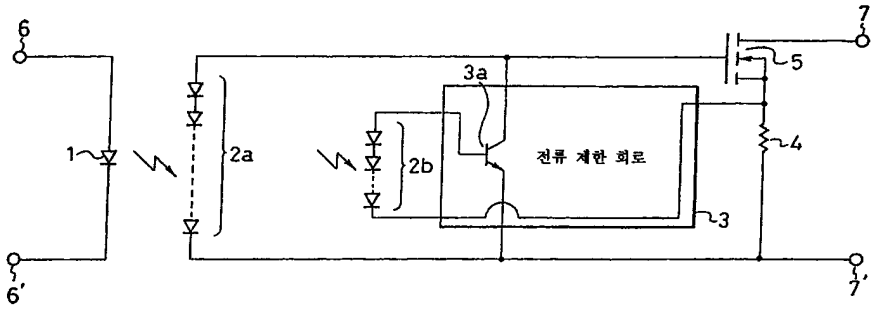
청구항 8

제3항 또는 제4항에 있어서, 상기 광 결합기 장치는, 상기 제1 및 제2 전류 검출용 저항(4 및 4')의 양단에 발생하는 전위차를 검지하여 상기 제1 및 제2 전류 제한 회로(3 및 3')에 공급하는 차동 증폭기(Amp),

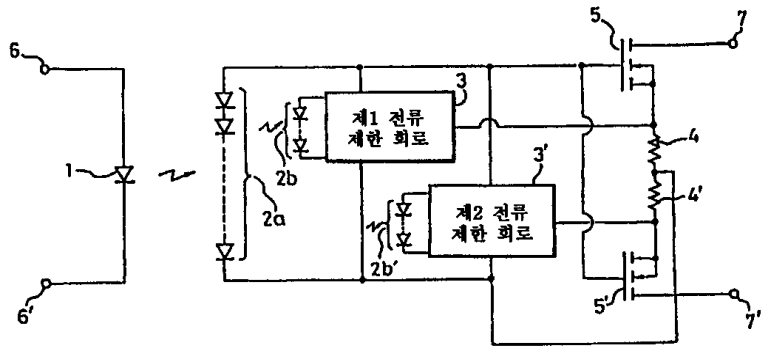
및 상기 발광 소자(1)로부터의 광 신호를 수광하여 발생한 광 기전력에 의해 상기 차동 증폭기(Amp)를 구동하는 제4 광 기전력 다이오드 어레이(2b'')를 갖는 것을 특징으로 하는 광 결합기 장치.

도면

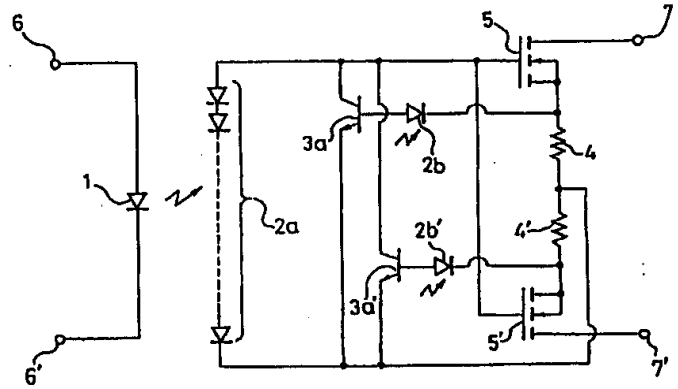
도면1



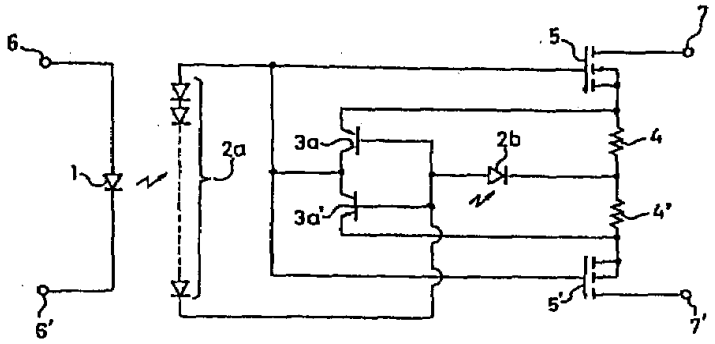
도면2



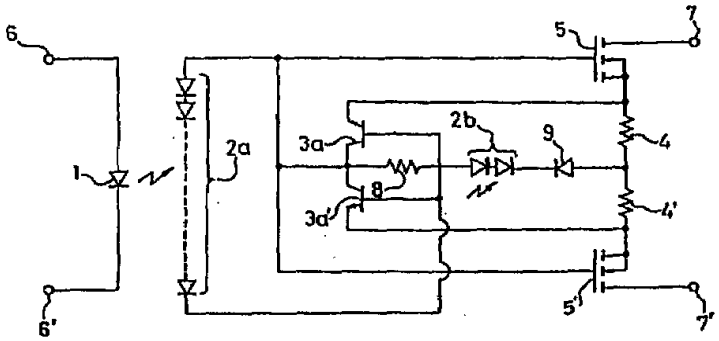
도면3



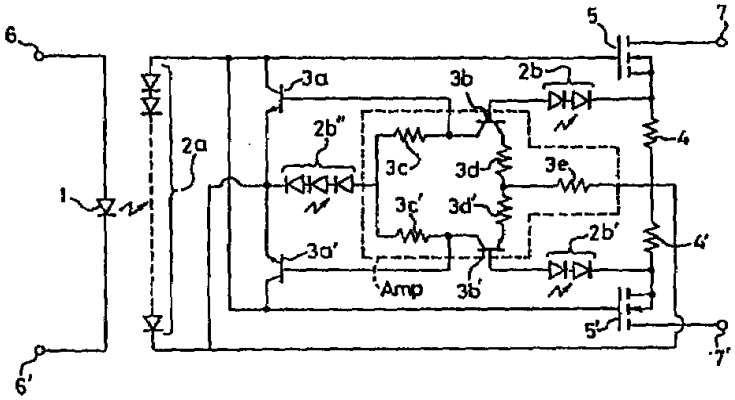
도면4


6
1
2a
3a
3a'
2b
4
4'
5
5'
7
7'
6'

도면5


6
1
2a
3a
3a'
2b
9
8
4
4'
5
5'
7
7'
6'

도면6


6
1
2a
3a
3a'
3b
3b'
2b
2b'
2b"
3c
3c'
3d
3d'
3e
4
4'
5
5'
7
7'
Amp
6'

도면7

