

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2019年12月26日(26.12.2019)



(10) 国際公開番号

WO 2019/244271 A1

- (51) 国際特許分類:
H03D 7/14 (2006.01) *H04B 1/26* (2006.01)
- (21) 国際出願番号: PCT/JP2018/023444
- (22) 国際出願日: 2018年6月20日(20.06.2018)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人:三菱電機株式会社(MITSUBISHI ELECTRIC CORPORATION) [JP/JP]; 〒1008310 東京都千代田区丸の内二丁目7番3号 Tokyo (JP).
- (72) 発明者: 萩原 達也 (HAGIWARA, Tatsuya); 〒1008310 東京都千代田区丸の内二丁目7番

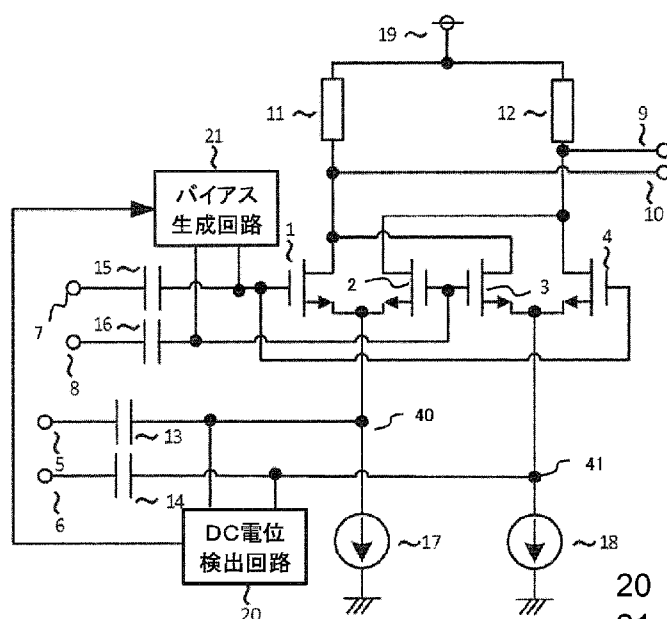
3号 三菱電機株式会社内 Tokyo (JP). 藤原 孝信 (FUJIWARA, Takanobu); 〒1008310 東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内 Tokyo (JP). 下澤 充弘 (SHIMOZAWA, Mitsuhiro); 〒1008310 東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内 Tokyo (JP).

(74) 代理人:曾我 道治, 外(SOGA, Michiharu et al.); 〒1000005 東京都千代田区丸の内三丁目1番1号 国際ビルディング 8階 曾我特許事務所 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO,

(54) Title: FREQUENCY CONVERTER

(54) 発明の名称: 周波数変換器



20 DC potential detection circuit
21 Bias generation circuit

(57) Abstract: A frequency converter is provided with: frequency conversion elements 1 to 4 that perform voltage-current conversion on an RF signal, perform frequency conversion by use of an LO signal and output an IF signal; a DC potential detection circuit 20 that detects the DC potentials of the frequency conversion elements 1 to 4; and a bias generation circuit 21 that, on the basis of the DC potentials detected by the DC potential detection circuit 20, generates bias voltages to be applied to the frequency conversion elements 1 to 4, wherein, according to increases of the DC potentials detected by the DC potential detection circuit 20, the bias generation circuit 21 increases the bias voltages.

DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 国際調査報告 (条約第21条(3))

(57) 要約: 周波数変換器は、RF信号に対して、電圧-電流変換を行うとともに、LO信号を用いて周波数変換を行って、IF信号を出力する周波数変換素子1~4と、周波数変換素子1~4のDC電位を検出するDC電位検出回路20と、DC電位検出回路20により検出されたDC電位に基づいて、周波数変換素子1~4に印加するバイアス電圧を生成するバイアス生成回路21とを備え、バイアス生成回路21は、DC電位検出回路20により検出されるDC電位の増加に応じて、バイアス電圧を増加させる。

明 細 書

発明の名称：周波数変換器

技術分野

[0001] この発明は周波数変換器に関し、衛星通信、地上波マイクロ波通信、移動体通信等で使用される周波数変換器に関するものである。

背景技術

[0002] 特許文献 1 には、ギルバートセル型の従来の周波数変換器が開示されている。

[0003] ギルバートセル型の周波数変換器は、入力された R F (Radio Frequency) 信号に対して電圧－電流変換を行う入力段トランジスタ（以下、G m 段トランジスタと呼ぶ）と、局部発振器（L O (Local Oscillator)）からの L O 信号を用いた周波数変換を行って、R F 信号を I F (Intermediate Frequency) 信号に変換するスイッチ段トランジスタと、I F 信号に対して電流－電圧変換を行う負荷インピーダンス素子を有する出力段トランジスタとが、縦積みされて構成されている。

[0004] しかしながら、近年、半導体プロセスの微細化に伴い、回路の低電圧化が進んでいる。上述したように、ギルバートセル型の周波数変換器は、複数段のトランジスタが縦積みされているため、低電圧化が進むと、トランジスタの電圧ヘッドルームが不足し、出力信号が歪むという課題があった。なお、電圧ヘッドルームとは出力端子において歪みなく信号を取り出すことができる電圧振幅のマーヅンを示す。

[0005] そこで、特許文献 2 には、スイッチ段トランジスタのソース端子に、直接、R F 信号を入力する構成の周波数変換器が開示されている。特許文献 2 に記載の周波数変換器では、G m 段トランジスタが設けられていないため、ギルバートセル型の周波数変換器と比較して、トランジスタの縦積みの段数が少ない。それにより、トランジスタの電圧ヘッドルームが確保され、出力信号の高い線形性を得ることができる。さらに、特許文献 2 の周波数変換器で

は、スイッチ段トランジスタのゲートバイアス電圧を高く設定することで、オーバードライブ電圧を確保し、トランジスタの歪み成分による線形性の劣化を抑制している。

先行技術文献

特許文献

[0006] 特許文献1：特開2002-252811号公報

特許文献2：特許第4536737号公報

発明の概要

発明が解決しようとする課題

[0007] 上述したように、特許文献1に記載のギルバートセル型の周波数変換器は、複数段のトランジスタが縦積みされているため、低電圧化が進むと、トランジスタの電圧ヘッドルームが不足し、出力信号が歪むという課題があった。

[0008] また、特許文献2に記載の周波数変換器は、上述したように、縦積みされたトランジスタの段数を減らすことで、出力信号の歪みを抑制している。さらに、スイッチ段トランジスタのゲートバイアス電圧を高く設定することで、低電源電圧時にも、出力信号の高い線形性を得ることができる。しかしながら、ゲートバイアス電圧を高く設定することで、アイドル電流が増加してしまうという課題があった。

[0009] この発明は、かかる課題を解決するためになされたものであり、アイドル電流を抑えながら、出力信号の高い線形性を実現することが可能な、周波数変換器を提供することを目的とする。

課題を解決するための手段

[0010] この発明は、RF信号とLO信号とが入力され、前記RF信号に対して、電圧－電流変換を行うとともに、前記LO信号を用いて周波数変換を行って、IF信号を出力する周波数変換素子と、前記RF信号の入力電力に応じて変化する前記周波数変換素子のDC電位を検出するDC電位検出回路と、前

記DC電位検出回路により検出された前記DC電位に基づいて、前記周波数変換素子に印加するバイアス電圧を生成するバイアス生成回路とを備え、前記バイアス生成回路は、前記DC電位検出回路により検出される前記DC電位の増加に応じて、前記バイアス電圧を増加させる、周波数変換器である。

発明の効果

[0011] この発明に係る周波数変換器によれば、アイドル電流を抑えながら、出力信号の高い線形性を実現することができる。

図面の簡単な説明

[0012] [図1]この発明の実施の形態1に係る周波数変換器の構成を示す構成図である。

[図2]この発明の実施の形態1に係る周波数変換器の別の構成例を示す構成図である。

[図3]この発明の実施の形態2に係る周波数変換器の構成を示す構成図である。

[図4]この発明の実施の形態1に係る周波数変換器に対する比較例の構成を示した構成図である。

発明を実施するための形態

[0013] 以下、この発明をより詳細に説明するために、この発明を実施するための実施の形態について、添付の図面にしたがって説明する。

[0014] 実施の形態1.

図1は、この発明の実施の形態1に係る周波数変換器の構成を示す図である。本実施の形態1の特徴が、より分かりやすくなるように、本実施の形態1の説明を行う前に、図4を用いて、比較例の構成について説明する。

[0015] 図4は、本実施の形態1と比較するための比較例を示した図である。図4においては、比較例として、一般的なギルバートセル型の周波数変換器の構成を示している。図4に示すように、当該周波数変換器は、Gm段トランジスタ101、102と、スイッチ段トランジスタ103～106と、RF差動信号入力端子107、108と、LO差動信号入力端子109、110と

、 I F 差動信号出力端子 111, 112 と、負荷インピーダンス素子 113, 114 と、 D C カット容量 115 ~ 118 と、電流源 119 と、電源端子 120 とから構成されている。

[0016] 次に、図 4 の周波数変換器の動作について説明する。 R F 差動信号入力端子 107, 108 から入力された R F 信号は、 G m 段トランジスタ 101, 102 により、電圧—電流変換される。次に、当該 R F 信号は、 L O 信号に基づいてスイッチ動作を行うスイッチ段トランジスタ 103 ~ 106 により周波数変換されて、 I F 信号となる。次に、当該 I F 信号は、負荷インピーダンス素子 113, 114 により、電流—電圧変換されて、 I F 差動信号出力端子 111, 112 から出力される。

[0017] このように、図 4 に示すギルバートセル型の周波数変換器では、 G m 段トランジスタ、スイッチ段トランジスタおよび負荷インピーダンス素子が縦積みされて構成されている。そのため、上述したように、半導体プロセスの微細化に伴う低電圧化が進むと、縦積みされたトランジスタの電圧ヘッドルームが不足し、出力信号が歪むという課題があった。

[0018] そのため、本実施の形態 1 に係る周波数変換器は、上記の課題を解決するための構成を有している。以下、本実施の形態 1 に係る周波数変換器について説明する。

[0019] 図 1 に示すように、本実施の形態 1 に係る周波数変換器は、周波数変換素子 1 ~ 4 と、 R F 差動信号入力端子 5, 6 と、 L O 差動信号入力端子 7, 8 と、 I F 差動信号出力端子 9, 10 と、負荷インピーダンス素子 11, 12 と、 D C カット容量 13 ~ 16 と、電流源 17, 18 と、電源端子 19 と、 D C 電位検出回路 20 と、バイアス生成回路 21 とを備えて構成されている。

[0020] 以下、図 1 の各構成要素について説明する。

[0021] R F 差動信号入力端子 5, 6 には、外部から、 R F 信号が入力される。

[0022] L O 差動信号入力端子 7, 8 には、局部発振器などの外部機器から、 L O 信号が入力される。

- [0023] I F 差動信号出力端子 9, 10 は、外部に対して、I F 信号を出力する。
- [0024] 周波数変換素子 1 ~ 4 は、それぞれ、例えば NMOS (n-Channel Metal-Oxide Semiconductor) トランジスタを備えて構成される。各周波数変換素子 1 ~ 4 は、ソース端子、ゲート端子、および、ドレイン端子を有している。
- [0025] DC カット容量 13 は、RF 差動信号入力端子 5 と周波数変換素子 1, 2 のソース端子との間に接続されている。
- [0026] DC カット容量 14 は、RF 差動信号入力端子 6 と周波数変換素子 3, 4 のソース端子との間に接続されている。
- [0027] DC カット容量 15 は、LO 差動信号入力端子 7 と周波数変換素子 1, 4 のゲート端子との間に接続されている。
- [0028] DC カット容量 16 は、LO 差動信号入力端子 8 と周波数変換素子 2, 3 のゲート端子との間に接続されている。
- [0029] 周波数変換素子 1 のソース端子には、RF 差動信号入力端子 5 から、DC カット容量 13 を介して、RF 信号が入力される。また、周波数変換素子 1 のゲート端子には、LO 差動信号入力端子 7 から、DC カット容量 15 を介して、LO 信号が入力される。また、周波数変換素子 1 は、ドレイン端子から、I F 差動信号出力端子 10 に対して、I F 信号を出力する。
- [0030] また、周波数変換素子 2 のソース端子には、RF 差動信号入力端子 5 から、DC カット容量 13 を介して、RF 信号が入力される。また、周波数変換素子 2 のゲート端子には、LO 差動信号入力端子 8 から、DC カット容量 16 を介して、LO 信号が入力される。また、周波数変換素子 2 は、ドレイン端子から、I F 差動信号出力端子 9 に対して、I F 信号を出力する。
- [0031] また、周波数変換素子 3 のソース端子には、RF 差動信号入力端子 6 から、DC カット容量 14 を介して、RF 信号が入力される。また、周波数変換素子 3 のゲート端子には、LO 差動信号入力端子 8 から、DC カット容量 16 を介して、LO 信号が入力される。また、周波数変換素子 3 は、ドレイン端子から、I F 差動信号出力端子 10 に対して、I F 信号を出力する。
- [0032] また、周波数変換素子 4 のソース端子には、RF 差動信号入力端子 6 から

、DCカット容量14を介して、RF信号が入力される。また、周波数変換素子4のゲート端子には、LO差動信号入力端子7から、DCカット容量15を介して、LO信号が入力される。また、周波数変換素子4は、ドレイン端子から、IF差動信号出力端子9に対して、IF信号を出力する。

[0033] 負荷インピーダンス素子11は、電源端子19とIF差動信号出力端子10との間に接続され、周波数変換素子1, 3のドレイン端子から出力されたIF信号に対して、電流－電圧変換を行う。

[0034] 負荷インピーダンス素子12は、電源端子19とIF差動信号出力端子9との間に接続され、周波数変換素子2, 4のドレイン端子から出力されたIF信号に対して、電流－電圧変換を行う。

[0035] 電流源17は、周波数変換素子1, 2のソース端子に接続されている。以下では、電流源17と、周波数変換素子1, 2のソース端子との接続点を、接続点40と呼ぶこととする。

[0036] 電流源18は、周波数変換素子3, 4のソース端子に接続されている。以下では、電流源18と、周波数変換素子3, 4のソース端子との接続点を、接続点41と呼ぶこととする。

[0037] DC電位検出回路20は、DCカット容量13と接続点40との間に接続されているとともに、DCカット容量14と接続点41との間に接続されている。DC電位検出回路20は、周波数変換素子1～4のソース端子におけるDC電位を検出し、検出したDC電位に応じた信号を、バイアス生成回路21に対して出力する。

[0038] バイアス生成回路21は、DCカット容量15と周波数変換素子1, 4のゲート端子との間に接続されるとともに、DCカット容量16と周波数変換素子2, 3のゲート端子との間に接続されている。バイアス生成回路21は、DC電位検出回路20で検出されたDC電位の値に基づいて、周波数変換素子1～4のゲートバイアス電圧を制御する。具体的には、バイアス生成回路21は、DC電位検出回路20で検出されるDC電位の増加に応じて、ゲートバイアス電圧を増加させ、DC電位検出回路20で検出されるDC電位

の減少に応じて、ゲートバイアス電圧を減少させる。DC電位とゲートバイアス電圧との関係は、比例関係などの線形関数で表わしてもよく、あるいは、非線形関数で表わしてもよい。

[0039] ここで、本実施の形態1に係る周波数変換器は、図1と図4とを比較すると分かるように、図1においては、図4のG_m段トランジスタ101, 102を備えていない。そのため、図1においては、トランジスタの縦積みの段数が少ないため、電圧ヘッドルームを確保して、IF信号の歪みの発生を抑制することができる。

[0040] 次に、図1に示した本実施の形態1に係る周波数変換器の動作について説明する。RF信号は、RF差動信号入力端子5, 6から入力される。当該RF信号は、周波数変換素子1~4のソース端子に印加される。また、LO信号は、LO差動信号入力端子7, 8から入力される。当該LO信号は、周波数変換素子1~4のゲート端子に印加される。これにより、周波数変換素子1~4は、RF信号に対して、電圧-電流変換を行うとともに、LO信号を用いてスイッチング動作を行ってIF信号に周波数変換する。当該IF信号は、負荷インピーダンス素子11, 12により、電流-電圧変換されて、IF差動信号出力端子9, 10から出力される。このとき、DC電位検出回路20は、周波数変換素子1~4のソース端子におけるDC電位を検出し、検出したDC電位に応じた電圧を出力する。また、バイアス生成回路21は、DC電位検出回路20の出力電圧に応じて、周波数変換素子1~4に印加するゲートバイアス電圧を生成する。

[0041] 次に、本実施の形態1に係る周波数変換器の動作原理について説明する。

[0042] 電流源17, 18からの電流は、一定値に保持されている。そのため、RF差動信号入力端子5, 6に入力される入力電力（以下、RF入力電力と呼ぶ）が増加すると、周波数変換素子1~4のソース端子におけるDC電位が増加する。そのため、周波数変換素子1~4のゲート-ソース間電圧が低下し、オーバードライブ電圧が不足する。これにより、周波数変換素子1~4から出力される信号の歪み成分が増加する。これを防止するために、周波数

変換素子 1～4 のゲートバイアス電圧を高く設定することで、I F 信号の歪み成分を抑制することができる。しかしながら、ゲートバイアス電圧の増加に伴い、アイドル電流が増加してしまう。図 4 の比較例では、この問題が発生する。

[0043] そのため、本実施の形態 1 では、以下の方法により、R F 入力電力が増加した場合においても、周波数変換素子 1～4 のゲートソース間電圧が低下しないように動作する。

[0044] 実施の形態 1 に係る周波数変換器では、D C 電位検出回路 20 が、R F 入力電力の増加に伴う周波数変換素子 1～4 のソース端子における D C 電位の増加を検出する。D C 電位検出回路 20 は、検出した D C 電位に応じた電圧を、バイアス生成回路 21 に出力する。バイアス生成回路 21 は、D C 電位検出回路 20 からの出力電圧に応じて、周波数変換素子 1～4 のゲートバイアス電圧を増加させる。

[0045] このようにして、実施の形態 1 に係る周波数変換器では、R F 入力電力の増加時に、それに応じて、周波数変換素子 1～4 のゲートソース間電圧を増加させることができる。その結果、オーバードライブ電圧が確保され、I F 信号の歪み成分を抑制することができる。これにより、I F 信号の高い線形性を得ることができる。

[0046] また、上述のように、バイアス生成回路 21 が、ゲートバイアス電圧を制御するため、アイドル動作時のゲートバイアス電圧は低く設定しておくことが可能である。例えば、R F 入力電力の増加時には周波数変換素子 1～4 のオーバードライブ電圧を 0.2 V～0.3 V とすることで良好な線形性を得ることができるが、アイドル動作時にはオーバードライブ電圧が 0.2 V 以下となるようにゲートバイアス電圧を減少させる。そのため、周波数変換器を低アイドル電流で動作させることができるので、消費電力の増加を抑制することができる。

[0047] また、R F 入力電力が増加した場合には、それに応じて、ゲートバイアス電圧を増加させることで、高い線形性を得ることができる。また、R F 入力

電力が増加した分に合わせて、その分だけ、ゲートバイアス電圧を増加させるため、動作期間の大半を占めるアイドル動作時の消費電力を抑制することができる。

[0048] 以上のように、本実施の形態１に係る周波数変換器は、ＲＦ信号を入力する周波数変換素子１～４のソース端子におけるＤＣ電位変化を検出するＤＣ電位検出回路２０と、検出結果に応じてゲートバイアス電圧を生成するバイアス生成回路２１とを備えている。これにより、アイドル動作時のバイアス電圧を低く設定して、周波数変換器を低アイドル電流動作とした場合においても、ＲＦ入力電力の増加時には、ゲートバイアス電圧を増加させることができるので、ＩＦ信号の高い線形性を実現することができる。

[0049] なお、本実施の形態１では、周波数変換素子１～４が、ＮＭＯＳトランジスタを備えて構成される例を挙げて説明したが、その場合に限らず、周波数変換素子１～４は、例えばバイポーラトランジスタ（BJT：Bipolar Junction Transistor）を備えて構成されていてもよい。その場合においても、同じ効果が得られる。その場合、ＮＭＯＳトランジスタにおけるゲート、ドレイン、ソースは、ＢＪＴにおけるベース、コレクタ、エミッタに置き換わる。

[0050] また、本実施の形態１におけるＤＣ電位検出回路２０は、差動間に接続した抵抗の midpoint からＤＣ電圧を出力する構成としても良い。その場合、ＲＦ入力インピーダンスと比較して十分に高い抵抗値とすることで、ＲＦ入力整合に影響を与えることなくＤＣ電位を検出することができる。

[0051] 図２は、この発明の本実施の形態１に係る周波数変換器の変形例を示す回路図である。図１と図２との違いは、図２においては、インピーダンス素子３１，３２が追加されており、また、図１の電流源１８が設置されていない。インピーダンス素子３１，３２は直列接続されている。以下では、インピーダンス素子３１，３２の接続点を、接続点４２と呼ぶこととする。また、ＤＣ電位検出回路２０は、接続点４２と電流源１７との間に接続されている。

[0052] インピーダンス素子３１は、周波数変換素子１，２のソース端子に接続さ

れている。インピーダンス素子 32 は、周波数変換素子 3、4 のソース端子に接続されている。インピーダンス素子 31、32 は、RF 差動信号入力端子 5、6 に入力される RF 信号に対して、RF 入力整合を行う。また、DC 電位検出回路 20 は、RF 信号に対して仮想接地点となるインピーダンス素子 31、32 の接続点 42 に接続されている。そのため、DC 電位検出回路 20 は、差動形式の RF 信号に影響を与えることなく、周波数変換素子 1～4 のソース端子の DC 電位変動を検出することができる。

[0053] 本実施の形態 1 においては、図 1 および図 2 のいずれの構成にしてもよい。いずれの構成においても、同様の動作を行い、同様の効果が得られる。

[0054] 実施の形態 2.

図 3 は、この発明の実施の形態 2 に係る周波数変換器の構成を示す図である。実施の形態 2 に係る周波数変換器においては、図 3 に示すように、上記の実施の形態 1 におけるバイアス生成回路 21 を、温度比例電流源 22 と、第 1 のトランジスタ 23 と、第 2 及び第 3 のトランジスタ 24、25 と、第 4 のトランジスタ 26 と、バイアス抵抗 27、28 とを備えて構成している。

[0055] 以下、バイアス生成回路 21 の各構成要素について説明する。

[0056] 温度比例電流源 22 は、周波数変換器内に設けられ、電源端子 19 に供給される外部電源からの電力を用いて、周波数変換器のデバイス温度に比例する電流を出力する。なお、周波数変換器のデバイス温度とは、周波数変換器を構成するトランジスタの接合温度である。

[0057] 第 1 のトランジスタ 23 は、例えば NMOS トランジスタを備えて構成されている。第 1 のトランジスタ 23 のゲート端子には、DC 電位検出回路 20 からの出力電圧が入力される。第 1 のトランジスタ 23 のソース端子は接地され、ドレイン端子は、第 2 のトランジスタ 24 および第 3 のトランジスタ 25 に接続されている。第 1 のトランジスタ 23 は、DC 電位検出回路 20 から出力される出力電圧に応じて、ドレイン端子から出力するドレイン電流を変化させる。具体的には、第 1 のトランジスタ 23 においては、DC

電位検出回路 20 から出力される出力電圧が増加した場合、それに応じて、ドレイン端子から出力するドレイン電流が増加する。以下、当該ドレイン電流を、第 1 の電流と呼ぶこととする。

[0058] ここで、実施の形態 1 で説明したように、RF 入力電力の増加時には、周波数変換素子 1 ～ 4 のソース端子における DC 電位が増加する。DC 電位検出回路 20 は、DC 電位に応じた電圧を出力する。そのため、RF 入力電力の増加時には、第 1 のトランジスタ 23 から出力される第 1 の電流が増加する。

[0059] また、第 2 のトランジスタ 24 と第 3 のトランジスタ 25 とは、例えば PMOS トランジスタ (p-Channel Metal-Oxide Semiconductor) を備えて構成されている。第 2 のトランジスタ 24 と第 3 のトランジスタ 25 とは、第 1 のトランジスタ 23 からの第 1 の電流を基準電流として、カレントミラー回路を構成している。当該カレントミラー回路を、以下では、第 1 のカレントミラー回路と呼ぶこととする。第 2 のトランジスタ 24 および第 3 のトランジスタ 25 は、第 1 のトランジスタ 23 からの第 1 の電流を予め設定されたカレントミラー比で出力して、温度比例電流源 22 から出力される出力電流に加算させる。以下では、この加算後の電流を、第 2 の電流と呼ぶこととする。

[0060] なお、第 2 および第 3 のトランジスタ 24, 25 のトランジスタサイズ比は、1 : 1 として、カレントミラー比を 1 としてもよい。あるいは、第 2 および第 3 のトランジスタ 24, 25 のトランジスタサイズ比を 1 : M とし、ここで、M は 2 以上の任意の自然数とする。このように、トランジスタサイズ比を 1 : M に設定することで、カレントミラー比 M を 2 以上としてもよい。その場合には、DC 電位検出回路 20 によって検出された DC 電位の増加量に対するゲートバイアス電圧の増加量を大きくすることができるので、より高い線形性を得ることができる。

[0061] バイアス抵抗 27 は、第 4 のトランジスタ 26 と周波数変換素子 2, 3 のゲート端子との間に接続されている。

[0062] バイアス抵抗 28 は、第 4 のトランジスタ 26 と周波数変換素子 1, 4 のゲート端子との間に接続されている。

[0063] 第 4 のトランジスタ 26 は、例えば NMOS トランジスタを備えて構成されている。第 4 のトランジスタ 26 と周波数変換素子 1 ~ 4 とは、第 2 の電流を基準電流として、カレントミラー回路を構成している。以下では、当該カレントミラー回路を、第 2 のカレントミラー回路と呼ぶこととする。第 4 のトランジスタ 26 には、第 2 の電流が供給される。第 4 のトランジスタ 26 は、バイアス抵抗 27, 28 を介して、第 2 の電流を予め設定されたカレントミラー比で出力して、バイアス電圧を周波数変換素子 1 ~ 4 のゲート端子に印加する。なお、第 4 のトランジスタ 26 と周波数変換素子 1 ~ 4 のトランジスタサイズ比は、1 : 1 として、カレントミラー比を 1 としてもよい。あるいは、第 4 のトランジスタ 26 と周波数変換素子 1 ~ 4 のトランジスタサイズ比を 1 : M としてもよい。

[0064] 次に、本実施の形態 2 に係る周波数変換器の動作について説明する。

[0065] 第 1 のトランジスタ 23 は、DC 電位検出回路 20 から出力される出力電圧に応じた第 1 の電流を出力する。第 2 のトランジスタ 24 および第 3 のトランジスタ 25 は、第 1 のトランジスタ 23 からの第 1 の電流を、予め設定されたカレントミラー比で出力して、温度比例電流源 22 から出力される出力電流に加算させて、第 2 の電流を出力する。このとき、温度比例電流源 22 は、周波数変換器のデバイス温度に比例した電流を出力する。第 4 のトランジスタ 26 は、第 2 の電流を用いて、バイアス電圧を生成し、このバイアス電圧を、周波数変換素子 1 ~ 4 のゲート端子に印加する。

[0066] このように、本実施の形態 2 においても、実施の形態 1 と同様に、DC 電位検出回路 20 から出力される出力電圧に応じてバイアス電圧を制御するようにしたため、実施の形態 1 と同様に、アイドル動作時のバイアス電圧を低く設定しておくことができる。また、周波数変換器を低アイドル電流動作とした場合においても、RF 入力電力増加時には、ゲートバイアス電圧を増加させることができるので、IF 信号の高い線形性を実現することができる。

[0067] さらに、本実施の形態2では、温度比例電流源22を用いている。本実施の形態2では、温度比例電流源22を設けることで、周波数変換素子1～4に与えるゲートバイアス電圧をデバイス温度に比例させることができる。これにより、デバイス温度が閾値よりも高くなった場合においても、線形性の劣化を抑制することができる。

[0068] なお、電流源は、必ずしも温度比例電流源でなくてもよい。温度比例電流源でなく、デバイス温度に依存しない定電流源を用いるようにしてもよい。しかしながら、定電流源で電流を供給する場合には、デバイス温度が予め設定された閾値以上に上昇すると、周波数変換素子1～4のオーバードライブ電圧が低下する。これにより、出力信号の歪み成分がやや増加する。このように、デバイス温度が上昇すると、常温時と比較して、周波数変換器の出力信号の線形性がやや劣化するため、温度比例電流源を用いることが、より望ましい。

[0069] 以上のように、本実施の形態2においても、DC電位検出回路20とバイアス生成回路21とを備えるようにしたので、上記の実施の形態1と同様の効果を得ることができる。

[0070] 本実施の形態2では、RF入力電力の増加時には、周波数変換素子1～4のソース端子におけるDC電位の増加に応じて、第1のトランジスタ23から出力される第1の電流が増加する。第1の電流は、第1のカレントミラー回路を介して、温度比例電流源22から供給される電流に加算されて、第2の電流となる。次に、第2のカレントミラー回路が、第2の電流を用いて、周波数変換素子1～4にバイアス電圧を印加する。その結果、実施の形態1と同様に、周波数変換素子1～4のゲートソース間電圧が増加する。これにより、オーバードライブ電圧が確保できるので、周波数変換器の出力信号の歪み成分を抑制することができる。以上により、周波数変換器の線形性を向上させることができる。

[0071] さらに、実施の形態2においては、第2および第3のトランジスタ24、25のトランジスタサイズ比を1:Mとし、Mは2以上の任意の自然数とし

て、カレントミラー比 M を2以上としてもよい。その場合、DC電位検出回路20によって検出されたDC電位の増加量に対するゲートバイアス電圧の増加量を大きくすることができるので、より高い線形性を得ることができる。

[0072] さらに、本実施の形態2によれば、バイアス生成回路21が、温度比例電流源22を備えている。そのため、周波数変換素子1～4のゲートバイアス電圧において、デバイス温度の上昇分を補償することができる。これにより、低アイドル電流動作において、RF入力電力の増加時およびデバイス高温時の両方の場合の線形性の劣化を抑制する効果がある。

[0073] 本発明は、当該発明の範囲内において、各実施の形態の自由な組み合わせ、あるいは、各実施の形態の任意の構成要素の変形、もしくは、各実施の形態において任意の構成要素の省略が可能である。

符号の説明

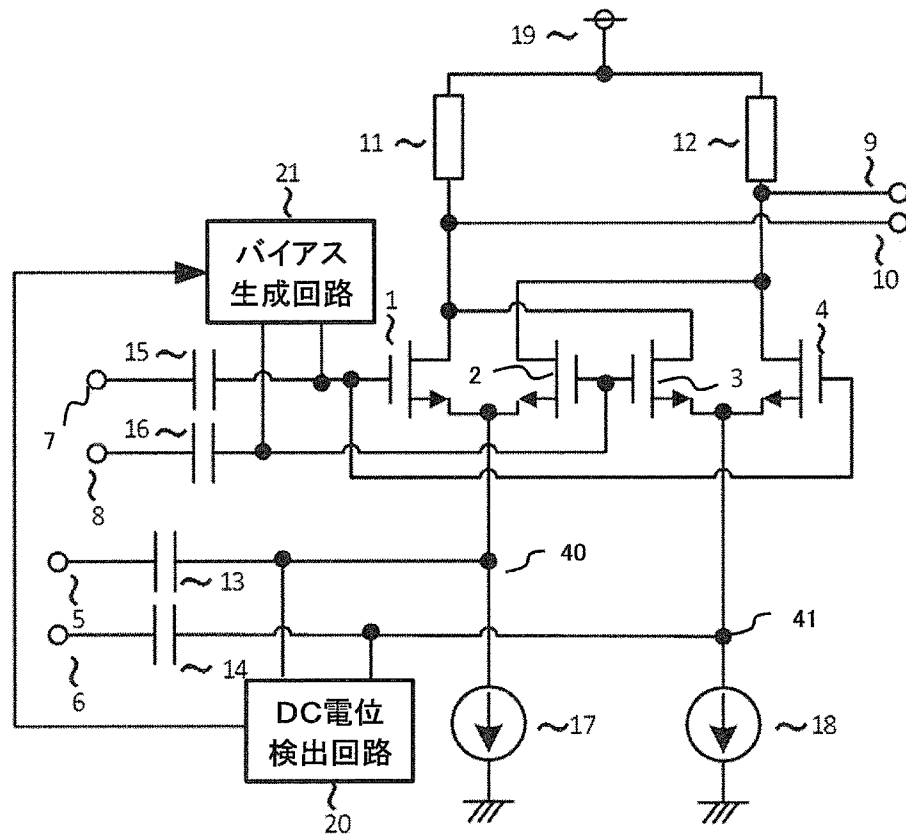
[0074] 1, 2, 3, 4 周波数変換素子、5, 6 RF差動信号入力端子、7, 8 LO差動信号入力端子、9, 10 IF差動信号出力端子、11, 12 負荷インピーダンス素子、13, 14, 15, 16 DCカット容量、17, 18 電流源、19 電源端子、20 DC電位検出回路、21 バイアス生成回路、22 温度比例電流源、23 第1のトランジスタ、24 第2のトランジスタ、25 第3のトランジスタ、26 第4のトランジスタ、27, 28 バイアス抵抗、31, 32 インピーダンス素子。

請求の範囲

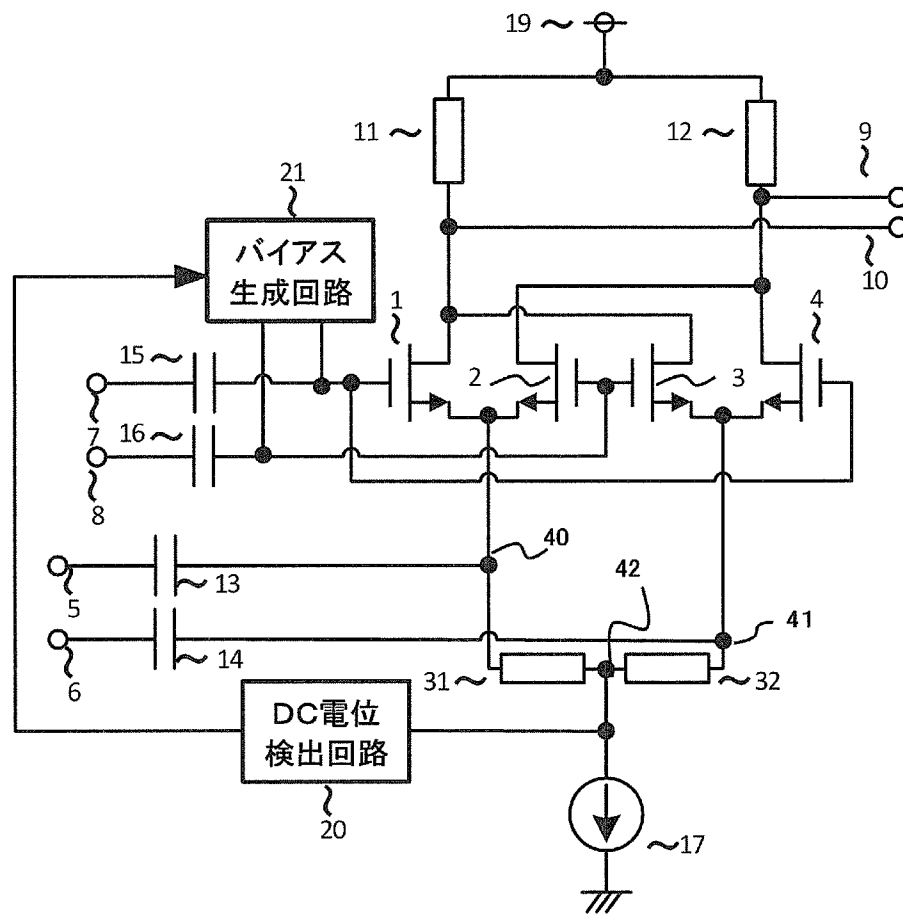
- [請求項1] R F 信号と L O 信号とが入力され、前記 R F 信号に対して、電圧－電流変換を行うとともに、前記 L O 信号を用いて周波数変換を行って、I F 信号を出力する周波数変換素子と、
- 前記 R F 信号の入力電力に応じて変化する前記周波数変換素子の D C 電位を検出する D C 電位検出回路と、
- 前記 D C 電位検出回路により検出された前記 D C 電位に基づいて、前記周波数変換素子に印加するバイアス電圧を生成するバイアス生成回路と
- を備え、
- 前記バイアス生成回路は、前記 D C 電位検出回路により検出される前記 D C 電位の増加に応じて、前記バイアス電圧を増加させる、
- 周波数変換器。
- [請求項2] 前記バイアス生成回路は、
- 電流源と、
- 前記 D C 電位検出回路により検出される前記 D C 電位に応じた第 1 の電流を出力する第 1 のトランジスタと、
- 前記第 1 の電流を基準電流として第 1 のカレントミラー回路を構成して、予め設定されたカレントミラー比に基づいて、前記第 1 の電流を、前記電流源から供給される電流に加算することで、第 2 の電流を出力する第 2 のトランジスタおよび第 3 のトランジスタと、
- 前記第 2 の電流を基準電流として前記周波数変換素子と共に、第 2 のカレントミラー回路を構成して、前記周波数変換素子に印加する前記バイアス電圧を生成する、第 4 のトランジスタと
- を有する、請求項 1 に記載の周波数変換器。
- [請求項3] 前記第 2 のトランジスタと前記第 3 のトランジスタとのサイズ比は 1 : 1 に設定され、前記カレントミラー比は 1 である、
- 請求項 2 に記載の周波数変換器。

- [請求項4] 前記第2のトランジスタと前記第3のトランジスタとのサイズ比は
1 : Mに設定され、ここで、Mは2以上の任意の自然数であり、前記
カレントミラー比はMである、
請求項2記載の周波数変換器。
- [請求項5] 前記電流源は、前記周波数変換器の内部温度に比例する電流を出力
する温度比例電流源から構成されている、
請求項2から4までのいずれか1項に記載の周波数変換器。

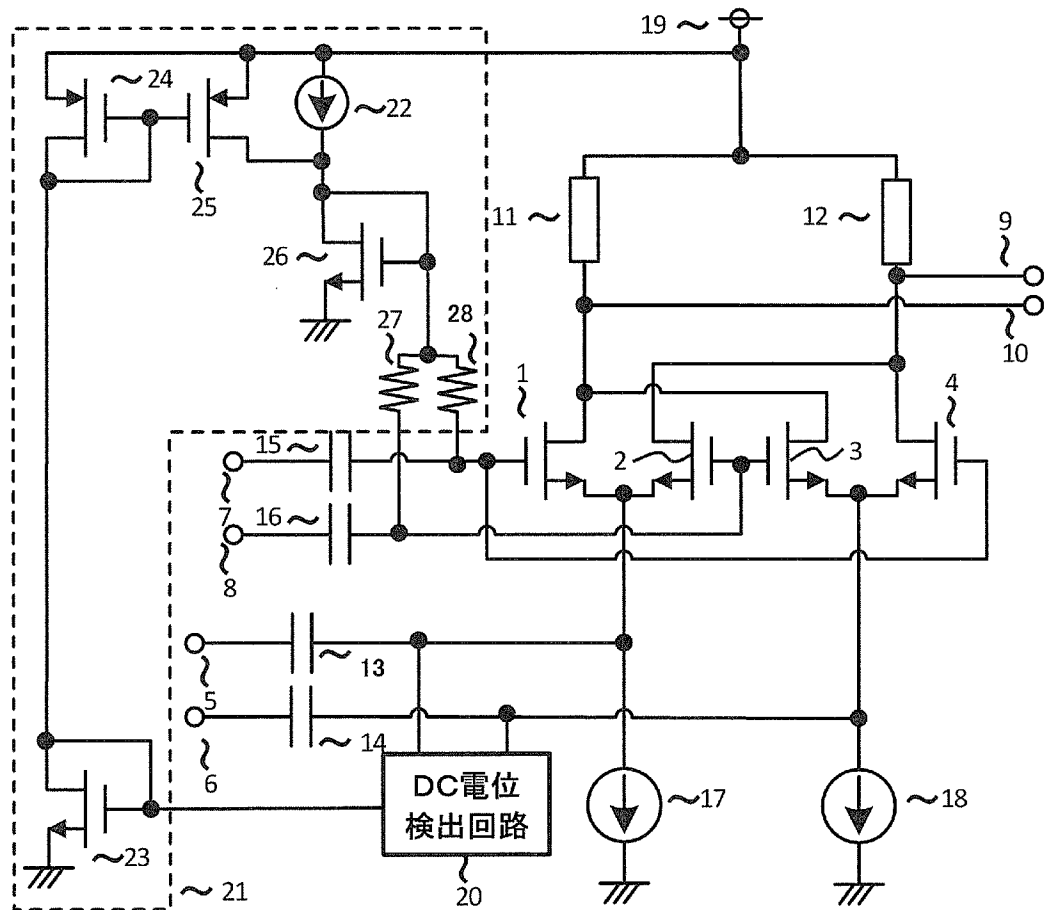
[図1]



[図2]



[図3]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2018/023444

A. CLASSIFICATION OF SUBJECT MATTER Int. Cl. H03D7/14 (2006.01) i, H04B1/26 (2006.01) i According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) Int. Cl. H03D7/14, H04B1/26 Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Published examined utility model applications of Japan 1922-1996 Published unexamined utility model applications of Japan 1971-2018 Registered utility model specifications of Japan 1996-2018 Published registered utility model applications of Japan 1994-2018 Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 2011-507456 A (QUALCOMM INC.) 03 March 2011, paragraphs [0014]-[0024], fig. 3A & US 2009/0154595 A1, paragraphs [0032]-[0042], fig. 3A- & CN 101904145 A	1 2-5
Y A	JP 2007-306208 A (SONY CORP.) 22 November 2007, paragraphs [0039]-[0053], fig. 3, 6 (Family: none)	1 2-5
A	JP 10-242764 A (TOSHIBA CORP.) 11 September 1998, paragraphs [0010]-[0013], fig. 1 (Family: none)	2-5
A	JP 2012-90134 A (RENESAS ELECTRONICS CORP.) 10 May 2012, paragraphs [0035]-[0039], fig. 6 & US 2012/0098606 A1, paragraphs [0048]-[0052], fig. 6	2-5
☐ Further documents are listed in the continuation of Box C. ☐ See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 11.07.2018		Date of mailing of the international search report 24.07.2018
Name and mailing address of the ISA/ Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan		Authorized officer Telephone No.

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H03D7/14(2006.01)i, H04B1/26(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H03D7/14, H04B1/26

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2018年
日本国実用新案登録公報	1996-2018年
日本国登録実用新案公報	1994-2018年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y A	JP 2011-507456 A（クゥアルコム・インコーポレイテッド） 2011.03.03, 段落[0014]-[0024], 図 3A-B & US 2009/0154595 A1, [0032]-[0042], 図 3A-B & CN 101904145 A	1 2-5
Y A	JP 2007-306208 A（ソニー株式会社）2007.11.22, 段落[0039]-[0053], 図 3, 6（ファミリーなし）	1 2-5

☒ C 欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

11.07.2018

国際調査報告の発送日

24.07.2018

国際調査機関の名称及びあて先

日本国特許庁（I S A/J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

竹内 亨

電話番号 03-3581-1101 内線 3576

5W

8388

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 10-242764 A (株式会社東芝) 1998. 09. 11, 段落[0010]-[0013], 図 1 (ファミリーなし)	2-5
A	JP 2012-90134 A (ルネサスエレクトロニクス株式会社) 2012. 05. 10, 段落[0035]-[0039], 図 6 & US 2012/0098606 A1, [0048]-[0052], 図 6	2-5