

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7412360号
(P7412360)

(45)発行日 令和6年1月12日(2024.1.12)

(24)登録日 令和5年12月28日(2023.12.28)

(51)国際特許分類		F I	
G 0 9 G	3/36 (2006.01)	G 0 9 G	3/36
G 0 2 F	1/133(2006.01)	G 0 2 F	1/133 5 0 5
G 0 2 F	1/1368(2006.01)	G 0 2 F	1/1368
G 0 9 F	9/30 (2006.01)	G 0 9 F	9/30 3 3 8
G 0 9 F	9/35 (2006.01)	G 0 9 F	9/35
請求項の数 8 (全58頁) 最終頁に続く			
(21)出願番号	特願2020-570660(P2020-570660)	(73)特許権者	000153878
(86)(22)出願日	令和2年1月22日(2020.1.22)		株式会社半導体エネルギー研究所
(86)国際出願番号	PCT/IB2020/050458		神奈川県厚木市長谷398番地
(87)国際公開番号	WO2020/161552	(72)発明者	渡邊 一徳
(87)国際公開日	令和2年8月13日(2020.8.13)		神奈川県厚木市長谷398番地 株式会
審査請求日	令和5年1月6日(2023.1.6)		社半導体エネルギー研究所内
(31)優先権主張番号	特願2019-18781(P2019-18781)	(72)発明者	楠 紘慈
(32)優先日	平成31年2月5日(2019.2.5)		神奈川県厚木市長谷398番地 株式会
(33)優先権主張国・地域又は機関	日本国(JP)		社半導体エネルギー研究所内
		審査官	石本 努
最終頁に続く			

(54)【発明の名称】 表示装置および電子機器

(57)【特許請求の範囲】

【請求項1】

シフトレジスタと、昇圧回路と、画素と、を有する表示装置であって、
前記シフトレジスタは、第1の出力端子と、第2の出力端子と、第3の出力端子と、を有し、
前記昇圧回路は、第1のトランジスタと、第2のトランジスタと、第3のトランジスタと、第4のトランジスタと、第1のキャパシタと、を有し、
前記画素は、第5のトランジスタを有し、
前記第1のトランジスタのソースまたはドレインの一方は、前記第1のキャパシタの一方の電極と電氣的に接続され、
前記第1のキャパシタの一方の電極は、前記第3のトランジスタのソースまたはドレインの一方と電氣的に接続され、
前記第3のトランジスタのソースまたはドレインの一方は、前記第5のトランジスタのゲートと電氣的に接続され、
前記第1のキャパシタの他方の電極は、前記第2のトランジスタのソースまたはドレインの一方および前記第4のトランジスタのソースまたはドレインの一方と電氣的に接続され、
前記第1のトランジスタのゲートおよび前記第4のトランジスタのゲートは、前記第1の出力端子と電氣的に接続され、
前記第2のトランジスタのゲートは、前記第2の出力端子と電氣的に接続され、

前記第 3 のトランジスタのゲートは、前記第 3 の出力端子と電氣的に接続される表示装置。

【請求項 2】

請求項 1 において、

前記シフトレジスタは、前記第 1 の出力端子、前記第 2 の出力端子、前記第 3 の出力端子の順に信号電圧を出力する表示装置。

【請求項 3】

請求項 1 または 2 において、

前記昇圧回路は、さらに第 6 のトランジスタと、第 2 のキャパシタと、を有し、

前記第 6 のトランジスタのソースまたはドレインの一方は、前記第 1 の出力端子と電氣的に接続され、

前記第 6 のトランジスタのソースまたはドレインの他方は、前記第 2 のキャパシタの一方の電極および前記第 1 のトランジスタのゲートと電氣的に接続され、

前記第 2 のキャパシタの他方の電極は、前記第 1 のトランジスタのソースまたはドレインの一方と電氣的に接続されている表示装置。

【請求項 4】

請求項 1 または 2 において、

前記昇圧回路は、さらに第 7 のトランジスタと、第 8 のトランジスタと、第 3 のキャパシタと、を有し、

前記第 7 のトランジスタのゲートは、前記第 3 の出力端子と電氣的に接続され、

前記第 7 のトランジスタのソースまたはドレインの一方は、前記第 3 のキャパシタの一方の電極、前記第 3 のトランジスタのゲートおよび前記第 8 のトランジスタのソースまたはドレインの一方と電氣的に接続され、

前記第 8 のトランジスタのゲートは、前記第 1 の出力端子と電氣的に接続される表示装置。

【請求項 5】

請求項 1 乃至 4 のいずれか一項において、

前記第 3 のトランジスタのソースまたはドレインの他方と、前記第 4 のトランジスタのソースまたはドレインの他方とは電氣的に接続されている表示装置。

【請求項 6】

請求項 1 乃至 5 のいずれか一項において、

前記画素は、表示素子を有し、

前記表示素子は、液晶デバイスである表示装置。

【請求項 7】

請求項 1 乃至 6 のいずれか一項において、

前記昇圧回路および前記画素が有するトランジスタは、チャネル形成領域に金属酸化物を有し、前記金属酸化物は、In と、Zn と、M (M は Al、Ti、Ga、Ge、Sn、Y、Zr、La、Ce、Nd または Hf) と、を有する表示装置。

【請求項 8】

請求項 1 乃至 7 のいずれか一項に記載の表示装置と、カメラと、を有する電子機器。

【発明の詳細な説明】

【技術分野】

【0001】

本発明の一態様は、表示装置に関する。

【0002】

なお、本発明の一態様は、上記の技術分野に限定されない。本明細書等で開示する発明の一態様の技術分野は、物、方法、または、製造方法に関するものである。または、本発明の一態様は、プロセス、マシン、マニファクチャ、または、組成物（コンポジション・オブ・マター）に関するものである。そのため、より具体的に本明細書で開示する本発明の一態様の技術分野としては、半導体装置、表示装置、液晶表示装置、発光装置、照明装

10

20

30

40

50

置、蓄電装置、記憶装置、撮像装置、それらの動作方法、または、それらの製造方法、を一例として挙げることができる。

【0003】

なお、本明細書等において半導体装置とは、半導体特性を利用することで機能しうる装置全般を指す。トランジスタ、半導体回路は半導体装置の一態様である。また、記憶装置、表示装置、撮像装置、電子機器は、半導体装置を有する場合がある。

【背景技術】

【0004】

表示装置の画素の動作には適切な振幅を有する信号電圧が必要であり、画素のトランジスタを比較的高い電圧で動作させる場合がある。例えば、特許文献1には、ゲートドライバの出力電圧を昇圧する技術が開示されている。

10

【0005】

また、基板上に形成された金属酸化物を用いてトランジスタを構成する技術が注目されている。例えば、酸化亜鉛またはIn-Ga-Zn系酸化物を用いたトランジスタを表示装置の画素のスイッチング素子などに用いる技術が特許文献2および特許文献3に開示されている。

【0006】

また、オフ電流が極めて低いトランジスタをメモリセルに用いる構成の記憶装置が特許文献4に開示されている。

【先行技術文献】

20

【特許文献】

【0007】

【文献】特開平5-281517号公報

【文献】特開2007-123861号公報

【文献】特開2007-96055号公報

【文献】特開2011-119674号公報

【発明の概要】

【発明が解決しようとする課題】

【0008】

表示装置は、様々な電子機器に用いられている。電子機器を低消費電力化するには、表示装置の低電圧動作が一つの手段となる。

30

【0009】

一方で、画素に設けられる表示デバイス（表示素子とも言う）の種類や駆動方法によっては、高い電圧を必要とする場合がある。画像データの電圧が高い場合は、当該画像データの書き込みを制御するトランジスタのゲートにも高い信号電圧を供給する必要がある。このような場合でも、低消費電力化は望まれる。

【0010】

また、画素においては、書き込み時の画像データが比較的低い電圧であっても表示デバイスを適切に動作することが求められる。

【0011】

40

したがって、本発明の一態様では、低消費電力の表示装置を提供することを目的の一つとする。または、ゲートドライバの出力電圧以上の電圧を画素に供給することができる表示装置を提供することを目的の一つとする。または、低コストのドライバで動作する表示装置を提供することを目的の一つとする。または、表示画像の輝度を高めることができる表示装置を提供することを目的の一つとする。

【0012】

または、信頼性の高い表示装置を提供することを目的の一つとする。または、新規な表示装置などを提供することを目的の一つとする。または、上記表示装置の動作方法を提供することを目的の一つとする。または、新規な半導体装置などを提供することを目的の一つとする。

50

【0013】

なお、これらの課題の記載は、他の課題の存在を妨げるものではない。なお、本発明の一態様は、これらの課題の全てを解決する必要はないものとする。なお、これら以外の課題は、明細書、図面、請求項などの記載から、自ずと明らかとなるものであり、明細書、図面、請求項などの記載から、これら以外の課題を抽出することが可能である。

【課題を解決するための手段】

【0014】

本発明の一態様は、低消費電力の表示装置に関する。

【0015】

シフトレジスタと、昇圧回路と、画素と、を有する表示装置であって、シフトレジスタは、第1の出力端子と、第2の出力端子と、第3の出力端子と、を有し、昇圧回路は、第1のトランジスタと、第2のトランジスタと、第3のトランジスタと、第4のトランジスタと、第1のキャパシタと、を有し、画素は、第5のトランジスタを有し、第1のトランジスタのソースまたはドレインの一方は、第1のキャパシタの一方の電極と電氣的に接続され、第1のキャパシタの一方の電極は、第3のトランジスタのソースまたはドレインの一方と電氣的に接続され、第3のトランジスタのソースまたはドレインの一方は、第5のトランジスタのゲートと電氣的に接続され、第1のキャパシタの他方の電極は、第2のトランジスタのソースまたはドレインの一方および前記第4のトランジスタのソースまたはドレインの一方と電氣的に接続され、第1のトランジスタのゲートおよび前記第4のトランジスタのゲートは、第1の出力端子と電氣的に接続され、第2のトランジスタのゲートは、第2の出力端子と電氣的に接続され、第3のトランジスタのゲートは、第3の出力端子と電氣的に接続される表示装置である。

【0016】

シフトレジスタは、第1の出力端子と、第2の出力端子と、第3の出力端子の順に信号電圧を出力することができる。

【0017】

昇圧回路は、さらに第6のトランジスタと、第2のキャパシタと、を有し、第6のトランジスタのソースまたはドレインの一方は、第1の出力端子と電氣的に接続され、第6のトランジスタのソースまたはドレインの他方は、第2のキャパシタの一方の電極および第1のトランジスタのゲートと電氣的に接続され、第2のキャパシタの他方の電極は、第1のトランジスタのソースまたはドレインの一方と電氣的に接続することができる。

【0018】

昇圧回路は、さらに第7のトランジスタと、第8のトランジスタと第3のキャパシタと、を有し、第7のトランジスタのゲートは、第3の出力端子と電氣的に接続され、第7のトランジスタのソースまたはドレインの一方は、第3のキャパシタの一方の電極および第8のトランジスタのソースまたはドレインの一方と電氣的に接続され、第8のトランジスタのゲートは、第1の出力端子と電氣的に接続することができる。

【0019】

第3のトランジスタのソースまたはドレインの他方と、第4のトランジスタのソースまたはドレインの他方とは、電氣的に接続することができる。

【0020】

画素は表示素子を有し、第1のデータおよび第2のデータに基づいて第3のデータを生成する機能、および第3のデータに応じて表示素子で表示を行う機能を有することができる。表示素子には、液晶デバイスを用いることができる。

【0021】

昇圧回路および画素が有するトランジスタは、チャネル形成領域に金属酸化物を有し、金属酸化物は、Inと、Znと、M（MはAl、Ti、Ga、Ge、Sn、Y、Zr、La、Ce、NdまたはHf）と、を有することが好ましい。

【発明の効果】

【0022】

本発明の一態様を用いることで、低消費電力の表示装置を提供することができる。または、ゲートドライバの出力電圧以上の電圧を画素に供給することができる表示装置を提供することができる。または、低コストのドライバで動作する表示装置を提供することができる。または、表示画像の輝度を高めることができる表示装置を提供することができる。

【0023】

または、信頼性の高い表示装置を提供することができる。または、新規な表示装置などを提供することができる。または、上記表示装置の動作方法を提供することができる。または、新規な半導体装置などを提供することができる。

【図面の簡単な説明】

【0024】

図1は、表示装置を説明する図である。

図2Aは、昇圧回路を説明する図である。図2Bは、昇圧回路の動作を説明するタイミングチャートである。

図3A、図3Bは、昇圧回路を説明する図である。

図4は、昇圧回路を説明する図である。

図5は、昇圧回路の動作を説明するタイミングチャートである。

図6Aは、昇圧回路を説明する図である。図6Bは、昇圧回路の動作を説明するタイミングチャートである。

図7は、昇圧回路を説明する図である。

図8A乃至図8Cは、昇圧回路の他の形態および昇圧回路の他の接続形態を説明する図である。

図9A、図9Bは、画素回路を説明する図である。

図10A乃至図10Dは、表示デバイスを有する回路を説明する図である。

図11A乃至図11Dは、表示デバイスを有する回路を説明する図である。

図12は、トランジスタの他の形態を説明する図である。

図13は、シミュレーションに用いた回路を説明する図である。

図14は、シミュレーション結果を説明する図である。

図15A乃至図15Cは、表示装置を説明する図である。

図16A、図16Bは、タッチパネルを説明する図である。

図17A、図17Bは、表示装置を説明する図である。

図18は、表示装置を説明する図である。

図19A、図19Bは、表示装置を説明する図である。

図20A、図20Bは、表示装置を説明する図である。

図21A乃至図21Eは、表示装置を説明する図である。

図22A1乃至図22C2は、トランジスタを説明する図である。

図23A1乃至図23C2は、トランジスタを説明する図である。

図24A1乃至図24C2は、トランジスタを説明する図である。

図25A1乃至図25C2は、トランジスタを説明する図である。

図26A乃至図26Fは、電子機器を説明する図である。

【発明を実施するための形態】

【0025】

実施の形態について、図面を用いて詳細に説明する。ただし、本発明は以下の説明に限定されず、本発明の趣旨およびその範囲から逸脱することなくその形態および詳細を様々に変更し得ることは、当業者であれば容易に理解される。したがって、本発明は、以下に示す実施の形態の記載内容に限定して解釈されるものではない。なお、以下に説明する発明の構成において、同一部分または同様な機能を有する部分には同一の符号を異なる図面間で共通して用い、その繰り返しの説明は省略することがある。なお、図を構成する同じ要素のハッチングは、異なる図面間で適宜省略または変更する場合もある。

【0026】

また、回路図上では単一の要素として図示されている場合であっても、機能的に不都合が

10

20

30

40

50

なければ、当該要素が複数で構成されてもよい。例えば、スイッチとして動作するトランジスタは、複数が直列または並列に接続されてもよい場合がある。また、キャパシタを分割して複数の位置に配置する場合もある。

【0027】

また、一つの導電体が、配線、電極および端子などの複数の機能を併せ持っている場合があり、本明細書においては、同一の要素に対して複数の呼称を用いる場合がある。また、回路図上で要素間が直接接続されているように図示されている場合であっても、実際には当該要素間が一つまたは複数の導電体を介して接続されている場合があり、本明細書ではこのような構成でも直接接続の範疇に含める。

【0028】

(実施の形態1)

本実施の形態では、本発明の一態様である表示装置について、図面を参照して説明する。

【0029】

本発明の一態様は、ゲートドライバが出力する信号電圧を昇圧する回路を有する表示装置である。ゲートドライバの信号電圧を昇圧して画素に供給することができるため、しきい値電圧の高い表示デバイスの駆動に適する。また、昇圧機能を利用することで、ゲートドライバの出力を小さくして消費電力を抑えることもできる。

【0030】

また、ゲートドライバが出力する信号電圧を昇圧する回路と、画像データの昇圧機能を有する画素とを組み合すことで、低消費電力の表示装置を実現することができる。当該構成では、画素回路の動作に高い電圧が必要な場合であっても、ソースドライバ、ゲートドライバともに汎用のドライバを用いることができ、低コストの表示装置を実現することができる。

【0031】

<表示装置>

図1は、本発明の一態様の表示装置を説明する図である。表示装置は、複数の画素10と、回路13と、ソースドライバ11と、ゲートドライバ12を有する。ソースドライバ11は、画素10と電気的に接続される。ゲートドライバ12は、回路13と電気的に接続される。回路13は、画素10と電気的に接続される。

【0032】

画素10は、トランジスタ101および回路21を有する。回路21は、表示デバイスを有する。また、回路21は、必要に応じて、トランジスタ、容量素子なども有することができる。トランジスタ101のゲートは、配線125と電気的に接続される。トランジスタ101と回路21とを接続する配線をノードNMとする。なお、画素10は、他の構成であってもよい。また、画素10は複数設けられ、画素アレイ18を構成する。

【0033】

回路13は、例えば行毎に設けることができ、同じ行に配置される画素10と電気的に接続することができる。図1では、第n行およびその前後の行において、第m列に配置される画素10（画素10[n-1, m]、画素10[n, m]、画素10[n+1, m]（m、nは1以上の自然数））および行毎に配置される回路13（回路13[n-1]、回路13[n]、回路13[n+1]）を示している。

【0034】

回路13は昇圧回路であり、ゲートドライバ12から供給される画素駆動用の信号電圧を昇圧する機能を有する。回路13は、配線125を介して画素10と電気的に接続される。

【0035】

ソースドライバ11およびゲートドライバ12には、シフトレジスタなどの順序回路を用いることができる。なお、ソースドライバ11およびゲートドライバ12の一方または両方を2つ以上設けて画素10を駆動させてもよい。ソースドライバ11は、配線127を介して画素10と電気的に接続される。

【0036】

10

20

30

40

50

ゲートドライバ12の出力端子25aは配線124[n-1]に接続され、出力端子25bは配線124[n]に接続され、出力端子25cは配線124[n+1]に接続される。ゲートドライバ12は、出力端子25a、出力端子25bおよび出力端子25cを有し、出力端子25a、出力端子25b、出力端子25cの順で信号電圧を出力することができる。なお、出力端子25a、出力端子25b、出力端子25cは、信号電圧を出力するタイミングが重ならない出力端子であればよい。例えば、信号電圧が順次出力される3個の出力端子のほか、一つ置き、二つ置きの出力端子などであってもよい。

【0037】

回路13[n]には、配線124[n]のほか、配線124[n-1]および配線124[n+1]が電氣的に接続される。回路13[n-1]および回路13[n+1]も同様に、ゲートドライバ12が信号電圧を出力する3個の出力端子と電氣的に接続される。なお、回路13は、ゲートドライバ12が有する4個以上の出力端子と電氣的に接続する構成とすることもできる。

【0038】

<昇圧回路>

図2Aに、回路13の構成の一例を示す。回路13は、トランジスタ102と、トランジスタ103と、トランジスタ104と、トランジスタ105と、キャパシタ106を有する構成とすることができる。図2では、第n行の画素10と電氣的に接続する回路13[n]を示している。

【0039】

トランジスタ102のソースまたはドレインの一方は、キャパシタ106の一方の電極と電氣的に接続される。キャパシタ106の一方の電極は、トランジスタ104のソースまたはドレインの一方と電氣的に接続される。キャパシタ106の他方の電極は、トランジスタ103のソースまたはドレインの一方、およびトランジスタ105のソースまたはドレインの一方と電氣的に接続される。

【0040】

トランジスタ102のゲートは、配線124[n-1]と電氣的に接続される。トランジスタ103のゲートは、配線124[n]と電氣的に接続される。トランジスタ104のゲートは、配線124[n+1]と電氣的に接続される。トランジスタ105のゲートは、配線124[n-1]と電氣的に接続される。トランジスタ102のソースまたはドレインの他方は、配線121と電氣的に接続される。トランジスタ103のソースまたはドレインの他方は、配線121と電氣的に接続される。トランジスタ104のソースまたはドレインの他方は、配線122と電氣的に接続される。トランジスタ105のソースまたはドレインの他方は、配線122と電氣的に接続される。

【0041】

配線121、122は、電源線としての機能を有することができる。例えば、配線121は高電位電源線、配線122は低電位電源線とすることができる。

【0042】

ここで、トランジスタ102のソースまたはドレインの一方、キャパシタ106の一方の電極およびトランジスタ104のソースまたはドレインの一方が接続する配線をノードAとする。また、キャパシタ106の他方の電極、トランジスタ103のソースまたはドレインの一方およびトランジスタ105のソースまたはドレインの一方が接続する配線をノードBとする。ノードAは出力端子として機能し、配線125[n]が電氣的に接続される。また、配線124[n-1]が接続するトランジスタ102のゲートおよびトランジスタ105のゲートは、第1の入力端子として機能する。配線124[n]が接続するトランジスタ103のゲートは、第2の入力端子として機能する。配線124[n+1]が接続するトランジスタ104のゲートは、第3の入力端子として機能する。

【0043】

<昇圧動作の説明>

回路13では、まず、第1の入力端子（トランジスタ102のゲートおよびトランジスタ

10

20

30

40

50

105のゲート)に“V1”(高電位)を入力し、ノードAの電位を“V1”、ノードBの電位を“V0”(低電位)とする。このとき、キャパシタ106には“V1-V0”が保持される。

【0044】

次に、第1の入力端子に“V0”、第2の入力端子(トランジスタ103のゲート)に“V1”を入力し、ノードAをフローティングとしてノードBに“V1”を入力する。

【0045】

このとき、キャパシタ106の容量値を C_{106} 、ノードAの容量値を C_A とすると、ノードAの電位は“ $V1 + (C_{106} / (C_{106} + C_A)) \times (V1 - V0)$ ”となる。ここで、 C_{106} の値が C_A の値より十分に大きければ、 $C_{106} / (C_{106} + C_A)$ は1に近づき、ノードAの電位は“ $2V1 - V0$ ”となる。

10

【0046】

このとき、“V0”=0であれば、ノードAの電位は“ $2V1$ ”と近似する。したがって、回路13は、入力された電位の約2倍の電位を出力することができるといえる。

【0047】

以上により、回路13は昇圧した電位を出力し、画素のトランジスタをオンすることができる。また、回路13は、次のタイミングで画素のトランジスタをオフする電位を出力する。当該電位は、第3の入力端子(トランジスタ104のゲート)に“V1”を入力することでトランジスタ104を介して配線122からノードAに供給することができる。

【0048】

なお、ノードAまたはノードBにおける“V1”の入力はトランジスタを介するため、実際にはゲートに入力された電位よりもトランジスタのしきい値電圧(V_{th})分だけ低い電位となる。本実施の形態では、説明の明瞭化のため、 V_{th} の絶対値は十分に小さい値(概略0V)と仮定し、その説明は省略する。

20

【0049】

ノードA、ノードBは、保持ノードとして作用する。各ノードに接続するトランジスタを導通させることで、データを各ノードに書き込むことができる。また、当該トランジスタを非導通とすることで、当該データを各ノードに保持することができる。当該トランジスタに極めてオフ電流の低いトランジスタを用いることでリーク電流を抑えることができ、各ノードの電位を長時間保持することが可能となる。当該トランジスタには、例えば、金属酸化物をチャネル形成領域に用いたトランジスタ(以下、OSトランジスタ)を用いることができる。

30

【0050】

具体的には、回路13が有するトランジスタのいずれか、または全てにOSトランジスタを適用することが好ましい。また、回路21が有する要素にOSトランジスタを適用してもよい。また、リーク電流量が許容できる範囲で動作を行う場合は、Siをチャネル形成領域に有するトランジスタ(以下、Siトランジスタ)を適用してもよい。または、OSトランジスタおよびSiトランジスタを併用してもよい。なお、上記Siトランジスタとしては、アモルファスシリコンを有するトランジスタ、結晶性のシリコン(微結晶シリコン、低温ポリシリコン、単結晶シリコン)を有するトランジスタなどが挙げられる。トランジスタに関する上記構成は、本実施の形態に示す他の回路にも適用できる。

40

【0051】

OSトランジスタに用いる半導体材料としては、エネルギーギャップが2eV以上、好ましくは2.5eV以上、より好ましくは3eV以上である金属酸化物を用いることができる。代表的には、インジウムを含む酸化物半導体などであり、例えば、後述するCAAC-OSまたはCAC-OSなどを用いることができる。CAAC-OSは結晶を構成する原子が安定であり、信頼性を重視するトランジスタなどに適する。また、CAC-OSは、高移動度特性を示すため、高速駆動を行うトランジスタなどに適する。

【0052】

OSトランジスタは半導体層のエネルギーギャップが大きいいため、数yA/ μ m(チャネ

50

ル幅 $1\ \mu\text{m}$ あたりの電流値)という極めて低いオフ電流特性を示すことができる。また、OSトランジスタは、インパクトイオン化、アバランシェ降伏、および短チャネル効果などが生じないなどSiトランジスタとは異なる特徴を有し、信頼性の高い回路を形成することができる。また、Siトランジスタでは問題となる結晶性の不均一性に起因する電気特性のばらつきもOSトランジスタでは生じにくい。

【0053】

OSトランジスタが有する半導体層は、例えばインジウム、亜鉛およびM（アルミニウム、チタン、ガリウム、ゲルマニウム、イットリウム、ジルコニウム、ランタン、セリウム、スズ、ネオジムまたはハフニウム等の金属）を含むIn-M-Zn系酸化物で表記される膜とすることができる。また、OSトランジスタが有する半導体層は、上記In-M-Zn酸化物以外に、In酸化物、In-Ga酸化物、In-Zn酸化物を用いても良い。なお、インジウムの比率が高い組成の半導体層とすることで、OSトランジスタのオン電流、または電界効果移動度などを高めることができる。In-M-Zn系酸化物は、例えば、スパッタリング法、ALD (Atomic layer deposition) 法、またはMOCVD (Metal organic chemical vapor deposition) 法などを用いて形成することができる。

【0054】

In-M-Zn酸化物をスパッタリング法で成膜する場合、スパッタリングターゲットの金属元素の原子数比は、 $\text{In} \geq \text{M}$ 、 $\text{Zn} \geq \text{M}$ を満たすことが好ましい。このようなスパッタリングターゲットの金属元素の原子数比として、 $\text{In}:\text{M}:\text{Zn}=1:1:1$ 、 $\text{In}:\text{M}:\text{Zn}=1:1:1.2$ 、 $\text{In}:\text{M}:\text{Zn}=3:1:2$ 、 $\text{In}:\text{M}:\text{Zn}=4:2:3$ 、 $\text{In}:\text{M}:\text{Zn}=4:2:4.1$ 、 $\text{In}:\text{M}:\text{Zn}=5:1:3$ 、 $\text{In}:\text{M}:\text{Zn}=5:1:6$ 、 $\text{In}:\text{M}:\text{Zn}=5:1:7$ 、 $\text{In}:\text{M}:\text{Zn}=5:1:8$ 、 $\text{In}:\text{M}:\text{Zn}=10:1:3$ 等が好ましい。また、半導体層を構成する酸化物半導体がIn-Zn酸化物の場合、In-Zn酸化物を成膜するために用いるスパッタリングターゲットの金属元素の原子数比は、 $\text{In} \geq \text{Zn}$ を満たすことが好ましい。このようなスパッタリングターゲットの金属元素の原子数比として、 $\text{In}:\text{Zn}=1:1$ 、 $\text{In}:\text{Zn}=2:1$ 、 $\text{In}:\text{Zn}=5:1$ 、 $\text{In}:\text{Zn}=5:3$ 、 $\text{In}:\text{Zn}=10:1$ 、 $\text{In}:\text{Zn}=10:3$ 等が好ましい。

【0055】

半導体層としては、キャリア濃度の低い酸化物半導体を用いる。例えば、半導体層は、キャリア濃度が $1 \times 10^{17} / \text{cm}^3$ 以下、好ましくは $1 \times 10^{15} / \text{cm}^3$ 以下、さらに好ましくは $1 \times 10^{13} / \text{cm}^3$ 以下、より好ましくは $1 \times 10^{11} / \text{cm}^3$ 以下、さらに好ましくは $1 \times 10^{10} / \text{cm}^3$ 未満であり、 $1 \times 10^{-9} / \text{cm}^3$ 以上の酸化物半導体を用いることができる。そのような酸化物半導体を、高純度真性または実質的に高純度真性な酸化物半導体と呼ぶ。当該酸化物半導体は、欠陥準位密度が低く、安定な特性を有する酸化物半導体であるといえる。

【0056】

なお、これらに限られず、必要とするトランジスタの半導体特性および電気特性（電界効果移動度、しきい値電圧等）に応じて適切な組成のものを用いればよい。また、必要とするトランジスタの半導体特性を得るために、半導体層のキャリア濃度や不純物濃度、欠陥密度、金属元素と酸素の原子数比、原子間距離、密度等を適切なものとするのが好ましい。

【0057】

半導体層を構成する酸化物半導体において、第14族元素の一つであるシリコンや炭素が含まれると、酸素欠損が増加し、n型化してしまう。このため、半導体層におけるシリコンや炭素の濃度（二次イオン質量分析法により得られる濃度）を、 $2 \times 10^{18} \text{ atoms} / \text{cm}^3$ 以下、好ましくは $2 \times 10^{17} \text{ atoms} / \text{cm}^3$ 以下とする。

【0058】

また、アルカリ金属およびアルカリ土類金属は、酸化物半導体と結合するとキャリアを生

10

20

30

40

50

成する場合があります、トランジスタのオフ電流が増大してしまうことがある。このため、半導体層におけるアルカリ金属またはアルカリ土類金属の濃度（二次イオン質量分析法により得られる濃度）を、 $1 \times 10^{18} \text{ atoms/cm}^3$ 以下、好ましくは $2 \times 10^{16} \text{ atoms/cm}^3$ 以下にする。

【0059】

また、半導体層を構成する酸化物半導体に窒素が含まれていると、キャリアである電子が生じてキャリア濃度が増加し、n型化しやすい。この結果、窒素が含まれている酸化物半導体を用いたトランジスタはノーマリーオン特性となりやすい。このため半導体層における窒素濃度（二次イオン質量分析法により得られる濃度）は、 $5 \times 10^{18} \text{ atoms/cm}^3$ 以下にすることが好ましい。

10

【0060】

また、半導体層を構成する酸化物半導体に水素が含まれていると、金属原子と結合する酸素と反応して水になるため、酸化物半導体中に酸素欠損を形成する場合がある。酸化物半導体中のチャネル形成領域に酸素欠損が含まれていると、トランジスタはノーマリーオン特性となる場合がある。さらに、酸素欠損に水素が入った欠陥はドナーとして機能し、キャリアである電子が生成されることがある。また、水素の一部が金属原子と結合する酸素と結合して、キャリアである電子を生成する場合がある。したがって、水素が多く含まれている酸化物半導体を用いたトランジスタは、ノーマリーオン特性となりやすい。

【0061】

酸素欠損に水素が入った欠陥は、酸化物半導体のドナーとして機能しうる。しかしながら、当該欠陥を定量的に評価することは困難である。そこで、酸化物半導体においては、ドナー濃度ではなく、キャリア濃度で評価される場合がある。よって、本明細書等では、酸化物半導体のパラメータとして、ドナー濃度ではなく、電界が印加されない状態を想定したキャリア濃度を用いる場合がある。つまり、本明細書等に記載の「キャリア濃度」は、「ドナー濃度」と言い換えることができる場合がある。

20

【0062】

よって、酸化物半導体中の水素はできる限り低減されていることが好ましい。具体的には、酸化物半導体において、二次イオン質量分析法（SIMS: Secondary Ion Mass Spectrometry）により得られる水素濃度を、 $1 \times 10^{20} \text{ atoms/cm}^3$ 未満、好ましくは $1 \times 10^{19} \text{ atoms/cm}^3$ 未満、より好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 未満、さらに好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 未満とする。水素などの不純物が十分に低減された酸化物半導体をトランジスタのチャネル形成領域に用いることで、安定した電気特性を付与することができる。

30

【0063】

また、酸化物半導体（金属酸化物）は、単結晶酸化物半導体と、それ以外の非単結晶酸化物半導体と、に分けられる。非単結晶酸化物半導体としては、例えば、CAAC-OS（C-Axis Aligned Crystalline Oxide Semiconductor）、多結晶酸化物半導体、nc-OS（nanocrystalline oxide semiconductor）、擬似非晶質酸化物半導体（a-like OS: amorphous-like oxide semiconductor）、および非晶質酸化物半導体などがある。非単結晶構造において、非晶質構造は最も欠陥準位密度が高く、CAAC-OSは最も欠陥準位密度が低い。

40

【0064】

非晶質構造の酸化物半導体膜は、例えば、原子配列が無秩序であり、結晶成分を有さない。または、非晶質構造の酸化物膜は、例えば、完全な非晶質構造であり、結晶部を有さない。

【0065】

なお、半導体層が、非晶質構造の領域、微結晶構造の領域、多結晶構造の領域、CAAC-OSの領域、単結晶構造の領域のうち、二種以上を有する混合膜であってもよい。混合膜は、例えば上述した領域のうち、いずれか二種以上の領域を含む単層構造、または積層

50

構造を有する場合がある。

【0066】

以下では、非単結晶の半導体層の一態様であるCAC (Cloud-Aligned Composite) -OSの構成について説明する。

【0067】

CAC-OSとは、例えば、酸化物半導体を構成する元素が、0.5 nm以上10 nm以下、好ましくは、1 nm以上2 nm以下、またはその近傍のサイズで偏在した材料の一構成である。なお、以下では、酸化物半導体において、一つあるいはそれ以上の金属元素が偏在し、該金属元素を有する領域が、0.5 nm以上10 nm以下、好ましくは、1 nm以上2 nm以下、またはその近傍のサイズで混合した状態をモザイク状、またはパッチ状ともいう。

10

【0068】

なお、酸化物半導体は、少なくともインジウムを含むことが好ましい。特にインジウムおよび亜鉛を含むことが好ましい。また、それらに加えて、アルミニウム、ガリウム、イットリウム、銅、バナジウム、ベリリウム、ホウ素、シリコン、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、またはマグネシウムなどから選ばれた一種、または複数種が含まれていてもよい。

【0069】

例えば、In-Ga-Zn酸化物におけるCAC-OS (CAC-OSの中でもIn-Ga-Zn酸化物を、特にCAC-IGZOと呼称してもよい。)とは、インジウム酸化物 (以下、 InO_{x1} ($x1$ は0よりも大きい実数) とする。)、またはインジウム亜鉛酸化物 (以下、 $\text{In}_{x2}\text{Zn}_{y2}\text{O}_{z2}$ ($x2$ 、 $y2$ 、および $z2$ は0よりも大きい実数) とする。) と、ガリウム酸化物 (以下、 GaO_{x3} ($x3$ は0よりも大きい実数) とする。)、またはガリウム亜鉛酸化物 (以下、 $\text{Ga}_{x4}\text{Zn}_{y4}\text{O}_{z4}$ ($x4$ 、 $y4$ 、および $z4$ は0よりも大きい実数) とする。) などと、に材料が分離することでモザイク状となり、モザイク状の InO_{x1} 、または $\text{In}_{x2}\text{Zn}_{y2}\text{O}_{z2}$ が、膜中に均一に分布した構成 (以下、クラウド状ともいう。) である。

20

【0070】

つまり、CAC-OSは、 GaO_{x3} が主成分である領域と、 $\text{In}_{x2}\text{Zn}_{y2}\text{O}_{z2}$ 、または InO_{x1} が主成分である領域とが、混合している構成を有する複合酸化物半導体である。なお、本明細書において、例えば、第1の領域の元素Mに対するInの原子数比が、第2の領域の元素Mに対するInの原子数比よりも大きいことを、第1の領域は、第2の領域と比較して、Inの濃度が高いとする。

30

【0071】

なお、IGZOは通称であり、In、Ga、Zn、およびOによる1つの化合物をいう場合がある。代表例として、 $\text{InGaO}_3(\text{ZnO})_{m1}$ ($m1$ は自然数)、または $\text{In}_{(1+x0)}\text{Ga}_{(1-x0)}\text{O}_3(\text{ZnO})_{m0}$ ($-1 \leq x0 \leq 1$ 、 $m0$ は任意数) で表される結晶性の化合物が挙げられる。

【0072】

上記結晶性の化合物は、単結晶構造、多結晶構造、またはCAAC構造を有する。なお、CAAC構造とは、複数のIGZOのナノ結晶がc軸配向を有し、かつa-b面においては配向せずに連結した結晶構造である。

40

【0073】

一方、CAC-OSは、酸化物半導体の材料構成に関する。CAC-OSとは、In、Ga、Zn、およびOを含む材料構成において、一部にGaを主成分とするナノ粒子状に観察される領域と、一部にInを主成分とするナノ粒子状に観察される領域とが、それぞれモザイク状にランダムに分散している構成をいう。したがって、CAC-OSにおいて、結晶構造は副次的な要素である。

【0074】

50

なお、CAC-O-Sは、組成の異なる二種類以上の膜の積層構造は含まないものとする。例えば、Inを主成分とする膜と、Gaを主成分とする膜との2層からなる構造は、含まない。

【0075】

なお、 GaO_{x3} が主成分である領域と、 $In_{x2}Zn_{y2}O_{z2}$ 、または InO_{x1} が主成分である領域とは、明確な境界が観察できない場合がある。

【0076】

なお、ガリウムの代わりに、アルミニウム、イットリウム、銅、バナジウム、ベリリウム、ホウ素、シリコン、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジウム、ハフニウム、タンタル、タングステン、またはマグネシウムなどから選ばれた一種、または複数種が含まれている場合、CAC-O-Sは、一部に該金属元素を主成分とするナノ粒子状に観察される領域と、一部にInを主成分とするナノ粒子状に観察される領域とが、それぞれモザイク状にランダムに分散している構成をいう。

【0077】

CAC-O-Sは、例えば基板を意図的に加熱しない条件で、スパッタリング法により形成することができる。また、CAC-O-Sをスパッタリング法で形成する場合、成膜ガスとして、不活性ガス（代表的にはアルゴン）、酸素ガス、および窒素ガスの中から選ばれたいずれか一つまたは複数を用いればよい。また、成膜時の成膜ガスの総流量に対する酸素ガスの流量比は低いほど好ましく、例えば酸素ガスの流量比を0%以上30%未満、好ましくは0%以上10%以下とすることが好ましい。

【0078】

CAC-O-Sは、X線回折（XRD：X-ray diffraction）測定法のひとつであるOut-of-plane法による $\theta/2\theta$ スキャンを用いて測定したときに、明確なピークが観察されないという特徴を有する。すなわち、X線回折測定から、測定領域のa-b面方向、およびc軸方向の配向は見られないことが分かる。

【0079】

また、CAC-O-Sは、プローブ径が1nmの電子線（ナノビーム電子線ともいう。）を照射することで得られる電子線回折パターンにおいて、リング状に輝度の高い領域（リング領域）と、該リング領域に複数の輝点が観測される。したがって、電子線回折パターンから、CAC-O-Sの結晶構造が、平面方向、および断面方向において、配向性を有さないnc（nano-crystal）構造を有することがわかる。

【0080】

また、例えば、In-Ga-Zn酸化物におけるCAC-O-Sでは、エネルギー分散型X線分光法（EDX：Energy Dispersive X-ray spectroscopy）を用いて取得したEDXマッピングにより、 GaO_{x3} が主成分である領域と、 $In_{x2}Zn_{y2}O_{z2}$ 、または InO_{x1} が主成分である領域とが、偏在し、混合している構造を有することが確認できる。

【0081】

CAC-O-Sは、金属元素が均一に分布したIGZO化合物とは異なる構造であり、IGZO化合物と異なる性質を有する。つまり、CAC-O-Sは、 GaO_{x3} などが主成分である領域と、 $In_{x2}Zn_{y2}O_{z2}$ 、または InO_{x1} が主成分である領域と、に互いに相分離し、各元素を主成分とする領域がモザイク状である構造を有する。

【0082】

ここで、 $In_{x2}Zn_{y2}O_{z2}$ 、または InO_{x1} が主成分である領域は、 GaO_{x3} などが主成分である領域と比較して、導電性が高い領域である。つまり、 $In_{x2}Zn_{y2}O_{z2}$ 、または InO_{x1} が主成分である領域を、キャリアが流れることにより、酸化物半導体としての導電性が発現する。したがって、 $In_{x2}Zn_{y2}O_{z2}$ 、または InO_{x1} が主成分である領域が、酸化物半導体中にクラウド状に分布することで、高い電界効果移動度（ μ ）が実現できる。

10

20

30

40

50

【0083】

一方、 $GaOx_3$ などが主成分である領域は、 $Inx_2Zny_2Oz_2$ 、または $InOx_1$ が主成分である領域と比較して、絶縁性が高い領域である。つまり、 $GaOx_3$ などが主成分である領域が、酸化物半導体中に分布することで、リーク電流を抑制し、良好なスイッチング動作を実現できる。

【0084】

したがって、CAC-O-Sを半導体素子に用いた場合、 $GaOx_3$ などに起因する絶縁性と、 $Inx_2Zny_2Oz_2$ 、または $InOx_1$ に起因する導電性とは、相補的に作用することにより、高いオン電流(I_{on})、および高い電界効果移動度(μ)を実現することができる。

10

【0085】

また、CAC-O-Sを用いた半導体素子は、信頼性が高い。したがって、CAC-O-Sは、様々な半導体装置の構成材料として適している。

【0086】

<昇圧回路の動作例>

図2Bのタイミングチャートを用いて、図2Aに示す回路13の動作の一例を説明する。

なお、以下の説明またはタイミングチャートにおいて、低電位を“L”、低電位の2倍値を“2L”、低電位の3倍値を“3L”、高電位を“H”、高電位の2倍値を“2H”、高電位の3倍値を“3H”で表す。また、配線121には“H”、配線122には“L”、配線124には“H”または“L”が供給される条件とする。

20

【0087】

なお、ここでは電位の分配、結合または損失において、回路の構成や動作タイミングなどに起因する詳細な変化は勘案しない。また、キャパシタを用いた容量結合による電位の変化は、当該キャパシタと、接続される要素との容量比に依存するが、説明を明瞭にするため、当該要素の容量値は十分に小さい値に仮定する。

【0088】

時刻T1に配線124[n-1]の電位が“H”（配線124[n]の電位および配線124[n+1]の電位は“L”）となると、トランジスタ102が導通し、ノードAの電位が“H”となる。また、トランジスタ105が導通し、ノードBの電位が“L”となる。

【0089】

時刻T2に配線124[n-1]の電位が“L”（配線124[n]の電位および配線124[n+1]の電位は“L”）となると、トランジスタ102が非導通となり、ノードAの電位は“H”に保持される。また、トランジスタ105が非導通となり、ノードBの電位は“L”に保持される。

30

【0090】

時刻T3に配線124[n]の電位が“H”（配線124[n-1]の電位および配線124[n+1]の電位は“L”）となると、トランジスタ103が導通し、ノードBの電位は“L”から“H”に変化する。その変化分がキャパシタ106とノードAの容量比に応じてノードAの電位に加算され、ノードAの電位は“H+(H-L)”となる。すなわち、“L”=0であれば、ノードAの電位は“2H”となる。

40

【0091】

時刻T4に配線124[n]の電位が“L”（配線124[n-1]の電位および配線124[n+1]の電位は“L”）となると、トランジスタ103が非導通となり、ノードAの電位は“2H”に保持される。

【0092】

時刻T5に配線124[n+1]の電位が“H”（配線124[n-1]の電位および配線124[n]の電位は“L”）となると、トランジスタ104が導通し、ノードAの電位が“L”となる。

【0093】

時刻T6に配線124[n+1]の電位が“L”（配線124[n-1]の電位および配線

50

124 [n] の電位は“ L ”) となると、トランジスタ 104 が非導通となり、ノード A の電位は“ L ”に保持される。

【0094】

画素 10 の書き込み動作は、ノード A (配線 125 [n]) に電位“ 2A ”が供給されている期間 (時刻 T3 以降であって時刻 T5 より前) に行うことができる。また、T5 以降では、ノード A の電位が“ L ”に保持されるため、画素 10 に書き込まれた画像信号は、次のフレーム (次の動作) まで保持することができる。

【0095】

<昇圧回路の変形例 1>

図 3A に、回路 13 の変形例を示す。図 3A に示す回路 13 は、回路 14 を有する点、およびトランジスタ 102 のソースまたはドレインの他方が配線 123 と電氣的に接続する点が図 2A に示す回路 13 と異なる。回路 14 は、回路 13 が出力する電圧を高める機能を有する回路である。

10

【0096】

回路 14 は、トランジスタ 107 と、キャパシタ 108 を有する構成とすることができる。トランジスタ 107 のソースまたはドレインの一方は、配線 124 [n-1] と電氣的に接続される。トランジスタ 107 のソースまたはドレインの他方は、キャパシタ 108 の一方の電極およびトランジスタ 102 のゲートと電氣的に接続される。キャパシタ 108 の他方の電極は、ノード A と電氣的に接続される。当該構成では、トランジスタ 107 のソースまたはドレインの一方が第 1 の入力端子となる。

20

【0097】

トランジスタ 107 のゲートは、配線 121 と電氣的に接続される。トランジスタ 102 のソースまたはドレインの他方は、配線 123 と電氣的に接続される。ここで、配線 123 は、配線 121 の電位以上の電位を供給する電源線である。なお、トランジスタ 102 のソースまたはドレインの他方は、配線 121 と電氣的に接続されていてもよい。

【0098】

本発明の一態様の回路 13 では、回路 14 を組み込むことで、ブートストラップの効果を付与することができる。ブートストラップの効果により、入力される信号電圧よりも高い信号電圧を出力することができる。

【0099】

ブートストラップ動作は、以下のとおりである。まず、ノード C (トランジスタ 107 のソースまたはドレインの他方、キャパシタ 108 の一方の電極、トランジスタ 102 のゲートおよびトランジスタ 105 のゲートが接続される配線) にトランジスタ 107 を介して電位“ H ”が入力されると、ノード A の電位が“ L ”から“ H ”に上昇するまでトランジスタ 102 に電流が流れる。このとき、キャパシタ 108 の容量結合によりノード C の電位が“ H ”以上に上昇するため、トランジスタ 102 がさらに電流を流すことからノード A の電位をさらに上昇させることができる。

30

【0100】

なお、トランジスタ 107 のソースまたはドレインの一方およびゲートには、電位“ H ”が供給されており、トランジスタ 107 のソースまたはドレインの他方 (ノード C) の電位が“ H ”より高くなると、トランジスタ 107 に電流が流れなくなる。つまり、トランジスタ 107 は、ダイオードの役割をしている。回路 14 を有する構成は、本実施の形態に示す他の回路にも適用できる。

40

【0101】

図 3A に示す回路 13 は、図 2B に示すタイミングチャートに従って動作させることができる。なお、時刻 T1 乃至 T5 では、上記の説明のとおり、ノード A の電位は図 2B の回路 13 よりも高めることができる。

【0102】

<昇圧回路の変形例 2>

図 3B に、回路 13 の別の変形例を示す。図 3B に示す回路 13 は、回路 15 を有する点

50

が図 2 A に示す回路 1 3 と異なる。回路 1 5 は、配線 1 2 5 への低電位の供給を制御する回路である。

【0103】

回路 1 5 は、トランジスタ 1 0 9 と、トランジスタ 1 1 0 と、キャパシタ 1 1 1 を有する構成とすることができる。トランジスタ 1 0 9 のソースまたはドレインの一方は、配線 1 2 1 と電氣的に接続される。トランジスタ 1 0 9 のソースまたはドレインの他方は、トランジスタ 1 1 0 のソースまたはドレインの一方、キャパシタ 1 1 1 の一方の電極およびトランジスタ 1 0 4 のゲートと電氣的に接続される。トランジスタ 1 1 0 のソースまたはドレインの他方は、配線 1 2 2 と電氣的に接続される。キャパシタ 1 1 1 の他方の電極は、配線 1 2 2 と電氣的に接続される。トランジスタ 1 0 9 のゲートは、配線 1 2 4 [n+1] と電氣的に接続される。トランジスタ 1 1 0 のゲートは、配線 1 2 4 [n-1] と電氣的に接続される。当該構成では、トランジスタ 1 0 2、トランジスタ 1 0 5 およびトランジスタ 1 1 0 のゲートが第 1 の入力端子、トランジスタ 1 0 9 のゲートが第 3 の入力端子となる。

10

【0104】

図 2 A に示す回路 1 3 では、図 2 B に示すタイミングチャートの時刻 T 6 にトランジスタ 1 0 4 が非導通となるため、配線 1 2 5 がフローティング状態となる。このとき、トランジスタ 1 0 2 のリーク電流が比較的高いと、配線 1 2 5 の電位が上昇し、画素 1 0 を誤動作させることがある。

【0105】

20

回路 1 5 は、ノード D (トランジスタ 1 0 4 のゲート、キャパシタ 1 1 1 の一方の電極、トランジスタ 1 0 9 のソースまたはドレインの他方およびトランジスタ 1 1 0 のソースまたはドレインの一方を接続する配線) の電位を保持する回路であり、トランジスタ 1 0 4 を導通状態または非導通状態に保持することができる。

【0106】

回路 1 5 の動作は以下のとおりである。まず、第 1 の入力端子に信号電圧 “H” が入力されると、トランジスタ 1 1 0 が導通し、ノード D に電位 “L” が供給される。このとき、トランジスタ 1 0 4 は非導通である。

【0107】

次に、第 1 の入力端子に信号電圧 “L” が入力されると、トランジスタ 1 1 0 は非導通となり、ノード D に電位 “L” が保持される。続いて、第 2 の入力端子に入力される信号電圧で昇圧動作が行われる間もノード D に電位 “L” が保持される。

30

【0108】

次に、第 3 の入力端子に信号電圧 “H” が入力されると、トランジスタ 1 0 9 が導通し、ノード D の電位は “H” となる。このとき、トランジスタ 1 0 4 は導通し、ノード A の電位は “L” となる。

【0109】

そして、第 3 の入力端子に信号電圧 “L” が入力されると、トランジスタ 1 0 9 が非導通となり、ノード D の電位は “H” に保持される。当該状態は次のフレームまで保持され、その間、トランジスタ 1 0 4 は導通状態であり、ノード A には配線 1 2 2 の電位 “L” が供給され続ける。したがって、ノード A (配線 1 2 5) は、一定の電位 “L” に保つことができる。

40

【0110】

なお、トランジスタ 1 0 2 に OS トランジスタを用いた場合は、オフ電流が極めて小さいため、配線 1 2 5 の電位上昇は軽微である。回路 1 5 を有する構成は、本実施の形態に示す他の回路にも適用できる。

【0111】

<変形例 2 の動作例>

図 3 B に示す回路 1 3 は、図 2 B に示すタイミングチャートに従って動作させることができる。なお、トランジスタ 1 0 2 のリーク電流が比較的高かったとしても、時刻 T 6 以降もノード A の電位は一定に保つことができる。

50

【0112】

＜昇圧回路の変形例3＞

図4に、回路13の別の変形例を示す。なお、上述した回路13は、入力端子を3個有する例であるが、図4に示す回路13は、入力端子を4個有する例である。当該構成では、前述した回路13よりも昇圧機能を高めることができる。

【0113】

図4に示す回路13は、図2Aに示す回路13に、トランジスタ112と、トランジスタ113と、キャパシタ114を加えた構成である。

【0114】

トランジスタ102のソースまたはドレインの一方は、キャパシタ106の一方の電極と電氣的に接続される。キャパシタ106の一方の電極は、トランジスタ104のソースまたはドレインの一方と電氣的に接続される。キャパシタ106の他方の電極は、トランジスタ105のソースまたはドレインの一方、トランジスタ112のソースまたはドレインの一方およびキャパシタ114の一方の電極と電氣的に接続される。キャパシタ114の他方の電極は、トランジスタ103のソースまたはドレインの一方およびトランジスタ113のソースまたはドレインの一方と電氣的に接続される。

【0115】

トランジスタ102のゲートは、配線124[n-2]と電氣的に接続される。トランジスタ112のゲートは、配線124[n-1]と電氣的に接続される。トランジスタ113のゲートは、配線124[n-1]と電氣的に接続される。トランジスタ103のゲートは、配線124[n]と電氣的に接続される。トランジスタ104のゲートは、配線124[n+1]と電氣的に接続される。トランジスタ102のソースまたはドレインの他方は、配線121と電氣的に接続される。トランジスタ103のソースまたはドレインの他方は、配線121と電氣的に接続される。トランジスタ104のソースまたはドレインの他方は、配線122と電氣的に接続される。トランジスタ105のソースまたはドレインの他方は、配線122と電氣的に接続される。トランジスタ112のソースまたはドレインの他方は、配線121と電氣的に接続される。トランジスタ113のソースまたはドレインの他方は、配線122と電氣的に接続される。

【0116】

ここで、キャパシタ106の他方の電極、トランジスタ112のソースまたはドレインの一方、キャパシタ114の一方の電極およびトランジスタ105のソースまたはドレインの一方が接続する配線をノードEとする。また、キャパシタ114の他方の電極、トランジスタ103のソースまたはドレインの一方およびトランジスタ113のソースまたはドレインの一方が接続する配線をノードFとする。

【0117】

図4に示す回路13では、配線124[n-2]が接続するトランジスタ102のゲートおよびトランジスタ105のゲートが、第1の入力端子として機能する。配線124[n-1]が接続するトランジスタ112のゲートおよびトランジスタ113のゲートが、第2の入力端子として機能する。配線124[n]が接続するトランジスタ103のゲートが、第3の入力端子として機能する。配線124[n+1]が接続するトランジスタ104のゲートが、第4の入力端子として機能する。

【0118】

＜変形例3の動作例＞

昇圧に関する基本的な動作は、図2Aに示す回路13と同じである。図5のタイミングチャートを用いて、図4に示す回路13の動作の一例を説明する。なお、配線121には“H”、配線122には“L”、配線124には“H”または“L”が供給される条件とする。

【0119】

時刻T1に配線124[n-2]の電位が“H”（配線124[n-1]の電位、配線124[n]の電位および配線124[n+1]の電位は“L”）となると、トランジスタ102が導通し、ノードAの電位が“H”となる。また、トランジスタ105が導通し、ノード

10

20

30

40

50

Eの電位が“L”となる。

【0120】

時刻T2に配線124[n-2]の電位が“L”(配線124[n-1]の電位、配線124[n]の電位および配線124[n+1]の電位は“L”)となると、トランジスタ102が非導通となり、ノードAの電位は“H”に保持される。また、トランジスタ105が非導通となり、ノードEの電位は“L”に保持される。

【0121】

時刻T3に配線124[n-1]の電位が“H”(配線124[n-2]の電位、配線124[n]の電位および配線124[n+1]の電位は“L”)となると、トランジスタ112が導通し、ノードEの電位は“L”から“H”に変化する。その変化分がキャパシタ106とノードAの容量比に応じてノードAの電位に加算され、ノードAの電位は“H+(H-L)”となる。すなわち、“L”=0であれば、ノードAの電位は“2H”となる。また、トランジスタ113が導通し、ノードFの電位が“L”となる。

【0122】

時刻T4に配線124[n-1]の電位が“L”(配線124[n-2]の電位、配線124[n]の電位および配線124[n+1]の電位は“L”)となると、トランジスタ112が非導通となり、ノードEの電位は“H”に保持される。また、トランジスタ113が非導通となり、ノードFの電位は“L”に保持される。

【0123】

時刻T5に配線124[n]の電位が“H”(配線124[n-2]の電位、配線124[n-1]の電位および配線124[n+1]の電位は“L”)となると、トランジスタ103が導通し、ノードFの電位は“L”から“H”に変化する。その変化分がキャパシタ114とノードEおよびノードAとの容量比に応じてノードAの電位に加算され、ノードAの電位は“2H+(H-L)”となる。すなわち、“L”=0であれば、ノードAの電位は“3H”となる。

【0124】

時刻T6に配線124[n]の電位が“L”(配線124[n-2]の電位、配線124[n-1]の電位および配線124[n+1]の電位は“L”)となると、トランジスタ103が非導通となり、ノードAの電位は“3H”に保持される。

【0125】

時刻T7に配線124[n+1]の電位が“H”(配線124[n-2]の電位、配線124[n-1]の電位および配線124[n]の電位は“L”)となると、トランジスタ104が導通し、ノードAの電位が“L”となる。

【0126】

時刻T8に配線124[n+1]の電位が“L”(配線124[n-2]の電位、配線124[n-1]の電位および配線124[n]の電位は“L”)となると、トランジスタ104が非導通となり、ノードAの電位は“L”に保持される。

【0127】

画素10の書き込み動作は、ノードA(配線125[n])に電位“3H”が供給される期間(時刻T5以降であって時刻T7より前)に行うことができる。また、T7以降では、ノードAの電位が“L”に保持されるため、画素10に書き込まれた画像信号は、次のフレーム(次の動作)まで保持することができる。

【0128】

上述したとおり、図2Aの回路13に、2つのトランジスタおよび一つのキャパシタの構成を加えることで、昇圧機能を高めることができる。当該構成をさらに加えることで、より昇圧機能を高めることもできる。

【0129】

<昇圧回路の変形例4>

図6Aに、回路13の別の変形例を示す。図6に示す回路13は、簡略化した構成であり、図2Aに示す回路13からトランジスタ103およびトランジスタ105を省いた構成

10

20

30

40

50

である。当該構成では、キャパシタ 106 の他方の電極に配線 124 [n] が電氣的に接続される。つまり、キャパシタ 106 の他方の電極が第 2 の入力端子として機能する。

【0130】

＜変形例 4 の動作例＞

昇圧に関する基本的な動作は、図 2 A に示す回路 13 と同じである。トランジスタ 103 を省いているため、昇圧動作は、第 2 の入力端子に“H”の信号電圧が入力される期間に依存する。

【0131】

図 6 B のタイミングチャートを用いて、図 6 A に示す回路 13 の動作の一例を説明する。

なお、以下の説明またはタイミングチャートにおいて、低電位を“L”、高電位を“H”で表す。また、配線 121 には“H”、配線 122 には“L”、配線 124 には“H”または“L”が供給される条件とする。

【0132】

時刻 T1 に配線 124 [n-1] の電位が“H”（配線 124 [n] の電位および配線 124 [n+1] の電位は“L”）となると、トランジスタ 102 が導通し、ノード A の電位が“H”となる。このとき、キャパシタ 106 の他方の電極には、電位“L”が供給されている。

【0133】

時刻 T2 に配線 124 [n-1] の電位が“L”（配線 124 [n] の電位および配線 124 [n+1] の電位は“L”）となると、トランジスタ 102 が非導通となり、ノード A の電位は“H”に保持される。このとき、キャパシタ 106 の他方の電極には、電位“L”が供給されている。

【0134】

時刻 T3 に配線 124 [n] の電位が“H”（配線 124 [n-1] の電位および配線 124 [n+1] の電位は“L”）となると、キャパシタ 106 の他方の電極の電位は“L”から“H”に変化する。その変化分がキャパシタ 106 とノード A の容量比に応じてノード A の電位に加算され、ノード A の電位は“ $H + (H - L)$ ”となる。すなわち、“L”=0 であれば、ノード A の電位は“2H”となる。

【0135】

時刻 T4 に配線 124 [n] の電位が“L”（配線 124 [n-1] の電位および配線 124 [n+1] の電位は“L”）となると、キャパシタ 106 の他方の電極の電位は“H”から“L”に変化する。その変化分がキャパシタ 106 とノード A の容量比に応じてノード A の電位に加算され、ノード A の電位は“ $2H + (L - H)$ ”となる。すなわち、“L”=0 であれば、ノード A の電位は“H”となる。

【0136】

時刻 T5 に配線 124 [n+1] の電位が“H”（配線 124 [n-1] の電位および配線 124 [n] の電位は“L”）となると、トランジスタ 104 が導通し、ノード A の電位が“L”となる。

【0137】

時刻 T6 に配線 124 [n+1] の電位が“L”（配線 124 [n-1] の電位および配線 124 [n] の電位は“L”）となると、トランジスタ 104 が非導通となり、ノード A の電位は“L”に保持される。

【0138】

上述したように、時刻 T3 以後にノード A の電位は“2H”となるが、時刻 T4 で“H”に戻る。つまり、高い電位を維持できる期間が図 2 乃至図 6 で説明した回路 13 よりも短くなる。図 6 A に示す回路 13 は、このような動作でも画素の書き込み時間が十分にとることができる表示装置に用いることが好ましい。

【0139】

なお、同様の構成は、さらに高い電圧に昇圧する回路 13 に適用することもできる。図 7 は、図 4 に示す回路 13 の構成に、さらに入力端子を一つ増やした構成であり、最大で電位“4H”を出力することができる。図 4 に示す回路 13 との違いは、キャパシタ 115 が

10

20

30

40

50

ノード F に電氣的に接続されている点である。キャパシタ 115 は、昇圧動作を行う最終段の入力端子と電氣的に接続することができる。

【0140】

＜昇圧回路の他の形態、昇圧回路の他の接続形態＞

図 1 乃至図 7 では、ゲートドライバ 12 の出力端子に回路 13 が接続される構成として説明したが、図 8 A に示すように、回路 13 は、ゲートドライバ 12 の構成要素であってもよい。当該構成では、ゲートドライバ 12 の内部で昇圧が行われるということになる。また、ゲートドライバ 12 が有するシフトレジスタなどの回路と、回路 13 は積層してもよい。これらを積層することで、表示装置を狭額縁化することができる。

【0141】

また、図 8 B に示すように、回路 13 内に選択回路 16 を設けた構成としてもよい。選択回路 16 は、回路 13 内で昇圧した出力電位を選択した配線 125 に出力することができる。当該構成とすることで、表示装置に設ける回路 13 の数を少なくすることができ、表示装置を狭額縁化することができる。なお、選択回路 16 を回路 13 の外側に設け、回路 13 の出力端子に選択回路 16 が電氣的に接続する構成としてもよい。

【0142】

また、図 8 C に示すように、ゲートドライバ 12 と回路 13 との間に選択回路 17 を設ける構成としてもよい。選択回路 17 は、ゲートドライバ 12 が出力した信号電圧を回路 13 に出力する第 1 の経路と、回路 13 をバイパスして画素 10 に出力する第 2 の経路とを選択することができる。当該構成とすることで、画素に昇圧しない信号電圧を供給することができ、表示の輝度を抑えるなど、省電力動作に切り替えることができる。

【0143】

＜画素回路＞

画素 10 は、図 2 に示す構成のほか、図 9 A に示す構成としてもよい。図 9 A に示す画素 10 は、入力されたデータ電圧を昇圧する機能を有する。図 9 A に示す画素 10 は、トランジスタ 116、トランジスタ 117、キャパシタ 118 および回路 21 を有し、2 本のゲート線（配線 125、配線 126）、および 2 本のソース線（配線 127、配線 128）と電氣的に接続される。配線 125 および配線 126 には、それぞれ異なる回路 13 が電氣的に接続される。

【0144】

トランジスタ 116 は、ゲートが配線 126 と電氣的に接続し、ソースまたはドレインの一方が配線 127 と電氣的に接続し、ソースまたはドレインの他方がキャパシタ 118 の一方の電極および回路 21 と電氣的に接続する。トランジスタ 117 は、ゲートが配線 125 と電氣的に接続し、ソースまたはドレインの一方が配線 128 と電氣的に接続し、ソースまたはドレインの他方が、キャパシタ 118 の他方の電極と電氣的に接続する。

【0145】

トランジスタ 116 は、配線 126 に供給される信号により制御され、トランジスタ 117 は、配線 125 に供給される信号により制御される。

【0146】

図 9 A に示す画素 10 は、回路 21 が有する表示デバイスに高い電圧を供給する場合に有効である。以下に、当該画素 10 が有する昇圧機能を説明する。なお、図 9 A に示す画素 10 では、トランジスタ 116 のソースまたはドレインの他方、キャパシタ 118 の一方の電極および回路 21 を接続する配線をノード NM とする。

【0147】

まず、ノード NM にトランジスタ 116 を介して配線 127 の電位 “D1” を供給し、これと重なるタイミングで、キャパシタ 118 の他方の電極にトランジスタ 117 を介して配線 128 から基準電位 “ V_{ref} ” を供給する。このとき、キャパシタ 118 には “ $D1 - V_{ref}$ ” が保持される。次に、ノード NM をフローティングとし、トランジスタ 117 を介してキャパシタ 118 の他方の電極に配線 128 の電位 “D2” を供給する。ここで、電位 “D2” は加算用の電位である。

10

20

30

40

50

【0148】

このとき、キャパシタ118の容量値を C_{118} 、ノードNMの容量値を C_{NM} とすると、ノードNMの電位は、 $D1 + (C_{118} / (C_{118} + C_{NM})) \times (D2 - V_{ref})$ となる。ここで、 C_{118} の値が C_{NM} の値より十分に大きい場合を想定すると、 $C_{118} / (C_{118} + C_{NM})$ は1に近似する。したがって、ノードNMの電位は“ $D1 + (D2 - V_{ref})$ ”に近似するといえる。そして、 $D1 = D2$ であって、 $V_{ref} = 0$ であれば、“ $D1 + (D2 - V_{ref})$ ” = “ $2D1$ ”となる。

【0149】

つまり、回路を適切に設計すれば、配線125または配線126から入力できる電位の約2倍の電位をノードNMに供給できることになる。

10

【0150】

当該作用により、高い電圧を表示デバイスに供給することができる。したがって、汎用のドライバICを用いても、しきい値電圧の高い表示デバイスを動作させることができる。または、ドライバICの消費電力を抑えることができる。

【0151】

また、画素10は、図9Bに示す構成であってもよい。図9Bに示す画素10は、トランジスタ119を有する点が図9Aに示す画素10と異なる。トランジスタ119のゲートは配線126と電氣的に接続され、ソースまたはドレインの一方はトランジスタ117のソースまたはドレインの他方およびキャパシタ118の他方の電極と電氣的に接続され、ソースまたはドレインの他方は配線128と電氣的に接続される。また、トランジスタ117のソースまたはドレインの一方は、配線127と接続される。

20

【0152】

図9Aに示す画素10では、上述したようにトランジスタ117を介して基準電位および加算用の電位をキャパシタ118の他方の電極に供給する動作が行われる。この場合、配線125、126の2本が必要であること、および配線128では基準電位と加算用の電位を交互に書き換える必要があるため、高速動作および消費電力に問題を生じる場合がある。

【0153】

図9Bに示す画素10では、トランジスタ119は増えるが、トランジスタ119のゲートは配線126と接続することができるため、配線数は増加しない。また、配線128を基準電位が供給される専用の配線とすることができ、一つの配線で基準電位と加算用の電位を交互に書き換えることがないため、高速動作および低消費電力に適しているといえる。また、配線128としては、回路21と接続される低電位線などを用いることができるため、実質的には配線数を減らすことができる。

30

【0154】

なお、図9A、図9Bでは、“ V_{ref} ”として“ $D1$ ”の反転電位“ $D1B$ ”を用いてもよい。この場合は、配線125または配線126から入力できる電位の約3倍の電位をノードNMに供給できることになる。なお、反転電位とは、ある基準電位との差の絶対値が同じ（または概略同じ）であって、元の電位とは異なる電位を意味する。元の電位を“ $D1$ ”、反転電位を“ $D1B$ ”、基準電位を V_{ref} とすると、 $V_{ref} = (D1 + D1B) / 2$ の関係であればよい。

40

【0155】

<回路21>

図10A乃至図10Dは、回路21に適用でき、表示デバイスとして液晶デバイスを含む構成の例である。

【0156】

図10Aに示す構成は、キャパシタ141および液晶デバイス142を有する。液晶デバイス142の一方の電極は、キャパシタ141の一方の電極と電氣的に接続される。キャパシタ141の一方の電極は、ノードNMに電氣的に接続される。

【0157】

50

キャパシタ 141 の他方の電極は、配線 151 と電氣的に接続される。液晶デバイス 142 の他方の電極は、配線 152 と電氣的に接続される。配線 151、152 は電源を供給する機能を有する。例えば、配線 151、152 は、GND や 0V などの基準電位や任意の電位を供給することができる。

【0158】

なお、図 10B に示すようにキャパシタ 141 を省いた構成としてもよい。前述したように、ノード NM と接続するトランジスタに OS トランジスタを用いることができる。OS トランジスタはリーク電流が極めて小さいため、保持容量として機能するキャパシタ 141 を省いても表示を比較的長時間維持することができる。また、トランジスタの構成に限らず、フィールドシーケンシャル駆動のように、高速動作で表示期間を短くできる場合にもキャパシタ 141 を省くことは有効である。キャパシタ 141 を省くことで開口率を向上させることができる。または、画素の透過率を向上させることができる。

10

【0159】

図 10A、図 10B の構成では、ノード NM の電位が液晶デバイス 142 の動作しきい値以上になったときに液晶デバイス 142 の動作が開始される。したがって、ノード NM の電位が確定される前に表示動作が始まる場合がある。ただし、透過型液晶表示装置の場合は、ノード NM の電位が確定されるまでバックライトを消灯するなどの動作を併用することで、不必要な表示動作が行われても視認を抑制することができる。

【0160】

図 10C は、図 10A の構成にトランジスタ 143 を付加した構成である。トランジスタ 143 のソースまたはドレインの一方は、キャパシタ 141 の一方の電極と電氣的に接続される。トランジスタ 143 のソースまたはドレインの他方は、ノード NM と電氣的に接続される。

20

【0161】

当該構成では、トランジスタ 143 の導通に伴って液晶デバイス 142 にノード NM の電位が印加される。したがって、ノード NM の電位確定後の任意のタイミングに液晶デバイス 142 の動作を開始することができる。

【0162】

図 10D は、図 10C の構成にトランジスタ 144 を付加した構成である。トランジスタ 144 のソースまたはドレインの一方は、液晶デバイス 142 の一方の電極と電氣的に接続される。トランジスタ 144 のソースまたはドレインの他方は、配線 153 と電氣的に接続される。

30

【0163】

配線 153 と電氣的に接続される回路 170 は、キャパシタ 141 および液晶デバイス 142 に供給された電位をリセットする機能を有することができる。

【0164】

図 11A 乃至図 11D は、回路 21 に適用でき、表示デバイスとして発光デバイスを含む構成の例である。

【0165】

図 11A に示す構成は、トランジスタ 145 と、キャパシタ 146 と、発光デバイス 147 を有する。トランジスタ 145 のソースまたはドレインの一方は、発光デバイス 147 の一方の電極と電氣的に接続される。発光デバイス 147 の一方の電極は、キャパシタ 146 の一方の電極と電氣的に接続される。キャパシタ 146 の他方の電極は、トランジスタ 145 のゲートと電氣的に接続される。トランジスタ 145 のゲートは、ノード NM に電氣的に接続される。

40

【0166】

トランジスタ 145 のソースまたはドレインの他方は、配線 154 と電氣的に接続される。発光デバイス 147 の他方の電極は、配線 155 と電氣的に接続される。配線 154、155 は電源を供給する機能を有する。例えば、配線 154 は、高電位電源を供給することができる。また、配線 155 は、低電位電源を供給することができる。

50

【0167】

図11Aに示す構成では、ノードNMの電位がトランジスタ145のしきい値電圧以上となったときに発光デバイス147に電流が流れる。

【0168】

または、図11Bに示すように、発光デバイス147の一方の電極を配線154と電氣的に接続し、発光デバイス147の他方の電極をトランジスタ145のソースまたはドレインの他方と電氣的に接続してもよい。当該構成は、発光デバイス147を有する他の回路21にも適用することができる。

【0169】

図11Cは、図15Aの構成にトランジスタ148を付加した構成である。トランジスタ148のソースまたはドレインの一方は、トランジスタ145のソースまたはドレインの一方と電氣的に接続される。トランジスタ148のソースまたはドレインの他方は、発光デバイス147と電氣的に接続される。

【0170】

当該構成では、ノードNMの電位がトランジスタ145のしきい値電圧以上であって、トランジスタ148が導通したときに発光デバイス147に電流が流れる。したがって、ノードNMの電位確定後の任意のタイミングに発光デバイス147の発光を開始することができる。

【0171】

図11Dは、図11Aの構成にトランジスタ149を付加した構成である。トランジスタ149のソースまたはドレインの一方は、トランジスタ145のソースまたはドレインの一方と電氣的に接続される。トランジスタ149のソースまたはドレインの他方は、配線156と電氣的に接続される。

【0172】

配線156は、基準電位などの特定の電位の供給源と電氣的に接続することができる。配線156からトランジスタ145のソースまたはドレインの一方に特定の電位を供給することで、画像データの書き込みを安定化させることもできる。また、発光デバイス147の発光のタイミングを制御することもできる。

【0173】

また、配線156は、回路171と接続することができ、モニタ線としての機能を有することもできる。回路171は、上記特定の電位の供給源としての機能、トランジスタ145の電気特性を取得する機能、および補正データを生成する機能の一つ以上を有することができる。

【0174】

<トランジスタの変形例>

また、図12に例示するように、本発明の一態様の回路では、バックゲートを設けたトランジスタを用いてもよい。図12では、バックゲートがフロントゲートと電氣的に接続された構成を示しており、オン電流を高める効果を有する。または、バックゲートが定電位を供給できる配線と電氣的に接続された構成であってもよい。当該構成では、トランジスタのしきい値電圧を制御することができる。なお、回路21が有するトランジスタにもバックゲートを設けてもよい。

【0175】

<シミュレーション結果>

次に、画素の動作に関するシミュレーション結果を説明する。図13にシミュレーションに用いた画素10の構成を示す。シミュレーションは、図6Aに示した回路構成を用い、図6Bに示すタイミングチャートの動作を対象とした。

【0176】

シミュレーションに用いたパラメータは以下の通りである。トランジスタサイズは $L/W = 3\mu m / 1600\mu m$ （トランジスタ T_{r1} 、 T_{r2} ）、キャパシタ $C1$ の容量値は $149pF$ 、ノードAに接続される負荷の容量値および抵抗は、対角9インチ程度の縦型パ

10

20

30

40

50

ネルを想定し、それぞれ 149 pF 、 $1.9\text{ k}\Omega$ とした。回路13に入力する電源電圧は、 $G V D D = +11\text{ V}$ 、 $G V S S = -21\text{ V}$ とした。また、ゲートドライバからの入力電圧 ($G O U T$) は、“L”として -21 V 、“H”として $+11\text{ V}$ とした。なお、回路シミュレーションソフトウェアには $S P I C E$ を用いた。

【0177】

図14は、シミュレーション結果であり、横軸を時間 ($\mu\text{秒}$)、縦軸を画素10のノードAの電圧 (V) で表している。なお、 $G O U T [i - 1]$ は、トランジスタ $T r 1$ のゲートに入る信号電圧、 $G O U T [i]$ は、キャパシタ $C 1$ に入る信号電圧、 $G O U T [i + 1]$ は、トランジスタ $T r 2$ のゲートに入る信号電圧である。

【0178】

図14に示すように、ノードAの電位は、 $G V S S$ が入力される初期状態の -21 V から $G O U T [i - 1]$ の入力で約 8.4 V に上昇し、 $G O U T [i]$ の入力で約 27.6 V に上昇し、 $G O U T [i + 1]$ の入力で 21 V に戻ることが確かめられた。初期状態を基準にすると、 $G O U T [i]$ の入力時の出力電圧は、 $G O U T [i - 1]$ の入力時の出力電圧の約 1.65 倍に昇圧できることが確認できた。より適切な設計を行うことで、さらに昇圧特性を向上させることができる。

【0179】

以上のシミュレーション結果により、本発明の一態様の効果を確認することができた。

【0180】

本実施の形態は、他の実施の形態などに記載した構成と適宜組み合わせて実施することが可能である。

【0181】

(実施の形態2)

本実施の形態では、液晶デバイスを用いた表示装置の構成例と、発光デバイスを用いた表示装置の構成例について説明する。なお、本実施の形態においては、実施の形態1で説明した表示装置の要素、動作および機能の説明は省略する。

【0182】

本実施の形態で説明する表示装置には、実施の形態1で説明した画素を用いることができる。なお、以下に説明する走査線駆動回路はゲートドライバ、信号線駆動回路はソースドライバに相当する。

【0183】

図15A乃至図15Cは、本発明の一態様を用いることのできる表示装置の構成を示す図である。

【0184】

図15Aにおいて、第1の基板4001上に設けられた表示部215を囲むようにして、シール材4005が設けられ、表示部215がシール材4005および第2の基板4006によって封止されている。

【0185】

図15Aでは、走査線駆動回路221a、信号線駆動回路231a、信号線駆動回路232a、および共通線駆動回路241aは、それぞれがプリント基板4041上に設けられた集積回路4042を複数有する。集積回路4042は、単結晶半導体または多結晶半導体で形成されている。共通線駆動回路241aは、実施の形態1に示した配線151、152、154、155などに規定の電位を供給する機能を有する。

【0186】

走査線駆動回路221a、共通線駆動回路241a、信号線駆動回路231a、および信号線駆動回路232aに与えられる各種信号および電位は、FPC (Flexible printed circuit) 4018を介して供給される。

【0187】

走査線駆動回路221aおよび共通線駆動回路241aが有する集積回路4042は、表示部215に選択信号を供給する機能を有する。信号線駆動回路231aおよび信号線駆

10

20

30

40

50

動回路 232a が有する集積回路 4042 は、表示部 215 に画像データを供給する機能を有する。集積回路 4042 は、第 1 の基板 4001 上のシール材 4005 によって囲まれている領域とは異なる領域に実装されている。

【0188】

なお、集積回路 4042 の接続方法は、特に限定されるものではなく、ワイヤボンディング法、COF (Chip On Film) 法、COG (Chip On Glass) 法、TCP (Tape Carrier Package) 法などを用いることができる。

【0189】

図 15B は、信号線駆動回路 231a および信号線駆動回路 232a に含まれる集積回路 4042 を COG 法により実装する例を示している。また、駆動回路の一部または全体を表示部 215 と同じ基板上に一体形成して、システムオンパネルを形成することができる。

10

【0190】

図 15B では、走査線駆動回路 221a および共通線駆動回路 241a を、表示部 215 と同じ基板上に形成する例を示している。駆動回路を表示部 215 内の画素回路と同時に形成することで、部品点数を削減することができる。よって、生産性を高めることができる。

【0191】

また、図 15B では、第 1 の基板 4001 上に設けられた表示部 215 と、走査線駆動回路 221a および共通線駆動回路 241a と、を囲むようにして、シール材 4005 が設けられている。また表示部 215、走査線駆動回路 221a、および共通線駆動回路 241a の上に第 2 の基板 4006 が設けられている。よって、表示部 215、走査線駆動回路 221a、および共通線駆動回路 241a は、第 1 の基板 4001 とシール材 4005 と第 2 の基板 4006 とによって、表示デバイスと共に封止されている。

20

【0192】

また、図 15B では、信号線駆動回路 231a および信号線駆動回路 232a を別途形成し、第 1 の基板 4001 に実装している例を示しているが、この構成に限定されない。走査線駆動回路を別途形成して実装しても良いし、信号線駆動回路の一部または走査線駆動回路の一部を別途形成して実装しても良い。また、図 15C に示すように、信号線駆動回路 231a および信号線駆動回路 232a を表示部 215 と同じ基板上に形成してもよい。

【0193】

また、表示装置は、表示デバイスが封止された状態にあるパネルと、該パネルにコントローラを含む IC 等を実装した状態にあるモジュールとを含む場合がある。

30

【0194】

また、第 1 の基板上に設けられた表示部および走査線駆動回路は、トランジスタを複数有している。当該トランジスタとして、実施の形態 1 で示した Si トランジスタまたは OS トランジスタを適用することができる。

【0195】

周辺駆動回路が有するトランジスタと、表示部の画素回路が有するトランジスタの構造は同じであってもよく、異なってもよい。周辺駆動回路が有するトランジスタは、全て同じ構造のトランジスタであってもよく、2 種類以上の構造のトランジスタを有してもよい。同様に、画素回路が有するトランジスタは、全て同じ構造のトランジスタであってもよく、2 種類以上の構造のトランジスタを有してもよい。

40

【0196】

また、第 2 の基板 4006 上には入力装置 4200 を設けることができる。図 15A 乃至図 15C に示す表示装置に入力装置 4200 を設けた構成は、タッチパネルとして機能させることができる。

【0197】

本発明の一態様のタッチパネルが有する検知デバイス（センサ素子ともいう）に限定は無い。指やスタイラスなどの被検知体の近接または接触を検知することのできる様々なセンサを、検知デバイスとして適用することができる。

50

【0198】

センサの方式としては、例えば、静電容量方式、抵抗膜方式、表面弾性波方式、赤外線方式、光学方式、感圧方式など様々な方式を用いることができる。

【0199】

本実施の形態では、静電容量方式の検知デバイスを有するタッチパネルを例に挙げて説明する。

【0200】

静電容量方式としては、表面型静電容量方式、投影型静電容量方式等がある。また、投影型静電容量方式としては、自己容量方式、相互容量方式等がある。相互容量方式を用いると、同時多点検知が可能となるため好ましい。

10

【0201】

本発明の一態様のタッチパネルは、別々に作製された表示装置と検知デバイスとを貼り合わせる構成、表示デバイスを支持する基板および対向基板の一方または双方に検知デバイスを構成する電極等を設ける構成等、様々な構成を適用することができる。

【0202】

図16A、図16Bに、タッチパネルの一例を示す。図16Aは、タッチパネル4210の斜視図である。図16Bは、入力装置4200の斜視概略図である。なお、明瞭化のため、代表的な構成要素のみを示している。

【0203】

タッチパネル4210は、別々に作製された表示装置と検知デバイスとを貼り合わせた構成である。

20

【0204】

タッチパネル4210は、入力装置4200と、表示装置とを有し、これらが重ねて設けられている。

【0205】

入力装置4200は、基板4263、電極4227、電極4228、複数の配線4237、複数の配線4238および複数の配線4239を有する。例えば、電極4227は配線4237または配線4239と電気的に接続することができる。また、電極4228は配線4239と電気的に接続することができる。FPC4272bは、複数の配線4237および複数の配線4238の各々と電気的に接続する。FPC4272bにはIC4273bを設けることができる。

30

【0206】

または、表示装置の第1の基板4001と第2の基板4006との間にタッチセンサを設けてもよい。第1の基板4001と第2の基板4006との間にタッチセンサを設ける場合は、静電容量方式のタッチセンサのほか、光電変換素子を用いた光学式のタッチセンサを適用してもよい。

【0207】

図17A、図17Bは、図15B中でN1-N2の鎖線で示した部位の断面図である。図17A、図17Bに示す表示装置は電極4015を有しており、電極4015はFPC4018が有する端子と異方性導電層4019を介して、電気的に接続されている。また、図17A、図17Bでは、電極4015は、絶縁層4112、絶縁層4111、および絶縁層4110に形成された開口において配線4014と電気的に接続されている。

40

【0208】

電極4015は、第1の電極層4030と同じ導電層から形成され、配線4014は、トランジスタ4010、およびトランジスタ4011のソース電極およびドレイン電極と同じ導電層で形成されている。

【0209】

また、第1の基板4001上に設けられた表示部215と走査線駆動回路221aは、トランジスタを複数有しており、図17A、図17Bでは、表示部215に含まれるトランジスタ4010、および走査線駆動回路221aに含まれるトランジスタ4011を例示

50

している。なお、図17A、図17Bでは、トランジスタ4010およびトランジスタ4011としてボトムゲート型のトランジスタを例示しているが、トップゲート型のトランジスタであってもよい。

【0210】

図17A、図17Bでは、トランジスタ4010およびトランジスタ4011上に絶縁層4112が設けられている。また、図17Bでは、絶縁層4112上に隔壁4510が形成されている。

【0211】

また、トランジスタ4010およびトランジスタ4011は、絶縁層4102上に設けられている。また、トランジスタ4010およびトランジスタ4011は、絶縁層4111上に形成された電極4017を有する。電極4017はバックゲート電極として機能することができる。

10

【0212】

また、図17A、図17Bに示す表示装置は、キャパシタ4020を有する。キャパシタ4020は、トランジスタ4010のゲート電極と同じ工程で形成された電極4021と、絶縁層4103と、ソース電極およびドレイン電極と同じ工程で形成された電極を有する例を示している。キャパシタ4020の構成はこれに限定されず、その他の導電層および絶縁層で形成されていてもよい。

【0213】

表示部215に設けられたトランジスタ4010は表示デバイスと電気的に接続する。図17Aは、表示デバイスとして液晶デバイスを用いた液晶表示装置の一例である。図17Aにおいて、表示デバイスである液晶デバイス4013は、第1の電極層4030、第2の電極層4031、および液晶層4008を含む。なお、液晶層4008を挟持するように配向膜として機能する絶縁層4032、絶縁層4033が設けられている。第2の電極層4031は第2の基板4006側に設けられ、第1の電極層4030と第2の電極層4031は液晶層4008を介して重畳する。

20

【0214】

液晶デバイス4013として、様々なモードが適用された液晶デバイスを用いることができる。例えば、VA (Vertical Alignment) モード、TN (Twisted Nematic) モード、IPS (In-Plane-Switching) モード、ASM (Axially Symmetric aligned Micro-cell) モード、OCB (Optically Compensated Bend) モード、FLC (Ferroelectric Liquid Crystal) モード、AFLC (AntiFerroelectric Liquid Crystal) モード、ECB (Electrically Controlled Birefringence) モード、VA-IPSモード、ゲストホストモード等が適用された液晶デバイスを用いることができる。

30

【0215】

また、本実施の形態に示す液晶表示装置にノーマリーブラック型の液晶表示装置、例えば垂直配向 (VA) モードを採用した透過型の液晶表示装置を適用してもよい。垂直配向モードとしては、MVA (Multi-Domain Vertical Alignment) モード、PVA (Patterned Vertical Alignment) モード、ASV (Advanced Super View) モードなどを用いることができる。

40

【0216】

なお、液晶デバイスは、液晶の光学変調作用によって光の透過または非透過を制御するデバイスである。液晶の光学的変調作用は、液晶にかかる電界 (横方向の電界、縦方向の電界または斜め方向の電界を含む) によって制御される。液晶デバイスに用いる液晶としては、サーモトロピック液晶、低分子液晶、高分子液晶、高分子分散型液晶 (PDLC: Polymer Dispersed Liquid Crystal)、強誘電性液晶、反強誘電性液晶等を用いることができる。これらの液晶材料は、条件により、コレステリッ

50

ク相、スメクチック相、キュービック相、カイラルネマチック相、等方相等を示す。

【0217】

図17Aでは、縦電界方式の液晶デバイスを有する液晶表示装置の例を示したが、本発明の一態様には、横電界方式の液晶デバイスを有する液晶表示装置を適用することができる。横電界方式を採用する場合、配向膜を用いないブルー相を示す液晶を用いてもよい。ブルー相は液晶相の一つであり、コレステリック液晶を昇温していくと、コレステリック相から等方相へ転移する直前に発現する相である。ブルー相は狭い温度範囲でしか発現しないため、温度範囲を改善するために5重量%以上のカイラル剤を混合させた液晶組成物を液晶層4008に用いる。ブルー相を示す液晶とカイラル剤とを含む液晶組成物は、応答速度が短く、光学的等方性を示す。また、ブルー相を示す液晶とカイラル剤とを含む液晶組成物は、配向処理が不要であり、視野角依存性が小さい。また配向膜を設けなくてもよいのでラビング処理も不要となるため、ラビング処理によって引き起こされる静電破壊を防止することができ、作製工程中の液晶表示装置の不良または破損を軽減することができる。

10

【0218】

また、スペーサ4035は絶縁層を選択的にエッチングすることで得られる柱状のスペーサであり、第1の電極層4030と第2の電極層4031との間隔（セルギャップ）を制御するために設けられている。なお球状のスペーサを用いても良い。

【0219】

また、必要に応じて、ブラックマトリクス（遮光層）、着色層（カラーフィルタ）、偏光部材、位相差部材、反射防止部材などの光学部材（光学基板）などを適宜設けてもよい。例えば、偏光基板および位相差基板による円偏光を用いてもよい。また、光源としてバックライト、サイドライトなどを用いてもよい。また、上記バックライトおよびサイドライトとして、マイクロLEDなどを用いても良い。

20

【0220】

図17Aに示す表示装置では、第2の基板4006と第2の電極層4031の間に、遮光層4132、着色層4131、絶縁層4133が設けられている。

【0221】

遮光層として用いることのできる材料としては、カーボンブラック、チタンブラック、金属、金属酸化物、複数の金属酸化物の固溶体を含む複合酸化物等が挙げられる。遮光層は、樹脂材料を含む膜であってもよいし、金属などの無機材料の薄膜であってもよい。また、遮光層に、着色層の材料を含む膜の積層膜を用いることもできる。例えば、ある色の光を透過する着色層に用いる材料を含む膜と、他の色の光を透過する着色層に用いる材料を含む膜との積層構造を用いることができる。着色層と遮光層の材料を共通化することで、装置を共通化できるほか工程を簡略化できるため好ましい。

30

【0222】

着色層に用いることのできる材料としては、金属材料、樹脂材料、顔料または染料が含まれた樹脂材料などが挙げられる。遮光層および着色層は、例えば、インクジェット法などを用いて形成することができる。

【0223】

また、図17A、図17Bに示す表示装置は、絶縁層4111と絶縁層4104を有する。絶縁層4111と絶縁層4104として、不純物元素を透過しにくい絶縁層を用いる。絶縁層4111と絶縁層4104でトランジスタの半導体層を挟むことで、外部からの不純物の浸入を防ぐことができる。

40

【0224】

また、表示装置に含まれる表示デバイスとして発光デバイスを用いることができる。発光デバイスとしては、例えば、エレクトロルミネッセンスを利用するELデバイスを用いることができる。ELデバイスは、一対の電極の間に発光性の化合物を含む層（「EL層」ともいう。）を有する。一対の電極間に、ELデバイスのしきい値電圧よりも大きい電位差を生じさせると、EL層に陽極側から正孔が注入され、陰極側から電子が注入される

50

。注入された電子と正孔はE L層において再結合し、E L層に含まれる発光性の化合物が発光する。

【0225】

E Lデバイスとしては、例えば、有機E Lデバイスまたは無機E Lデバイスを用いることができる。なお、発光材料に化合物半導体を用いるLED（マイクロLEDを含む）を用いることもできる。

【0226】

なお、E L層は、発光性の化合物以外に、正孔注入性の高い物質、正孔輸送性の高い物質、正孔ブロック材料、電子輸送性の高い物質、電子注入性の高い物質、またはバイポーラ性の物質（電子輸送性および正孔輸送性が高い物質）などを有していてもよい。

【0227】

E L層は、蒸着法（真空蒸着法を含む）、転写法、印刷法、インクジェット法、塗布法などの方法で形成することができる。

【0228】

無機E Lデバイスは、その素子構成により、分散型無機E Lデバイスと薄膜型無機E Lデバイスとに分類される。分散型無機E Lデバイスは、発光材料の粒子をバインダ中に分散させた発光層を有するものであり、発光メカニズムはドナー準位とアクセプター準位を利用するドナー-アクセプター再結合型発光である。薄膜型無機E Lデバイスは、発光層を誘電体層で挟み込み、さらにそれを電極で挟んだ構造であり、発光メカニズムは金属イオンの内殻電子遷移を利用する局在型発光である。なお、ここでは、発光デバイスとして有機E Lデバイスを用いて説明する。

【0229】

発光デバイスは発光を取り出すために少なくとも一对の電極の一方が透明であればよい。そして、基板上にトランジスタおよび発光デバイスを形成し、当該基板とは逆側の面から発光を取り出す上面射出（トップエミッション）構造や、基板側の面から発光を取り出す下面射出（ボトムエミッション）構造や、両面から発光を取り出す両面射出（デュアルエミッション）構造の発光デバイスがあり、どの射出構造の発光デバイスも適用することができる。

【0230】

図17Bは、表示デバイスとして発光デバイスを用いた発光表示装置（「E L表示装置」ともいう。）の一例である。表示デバイスである発光デバイス4513は、表示部215に設けられたトランジスタ4010と電気的に接続している。なお発光デバイス4513の構成は、第1の電極層4030、発光層4511、第2の電極層4031の積層構造であるが、この構成に限定されない。発光デバイス4513から取り出す光の方向などに合わせて、発光デバイス4513の構成は適宜変えることができる。

【0231】

隔壁4510は、有機絶縁材料、または無機絶縁材料を用いて形成する。特に感光性の樹脂材料を用い、第1の電極層4030上に開口部を形成し、その開口部の側面が連続した曲率を持って形成される傾斜面となるように形成することが好ましい。

【0232】

発光層4511は、単数の層で構成されていても、複数の層が積層されるように構成されていてもどちらでも良い。

【0233】

発光デバイス4513の発光色は、発光層4511を構成する材料によって、白、赤、緑、青、シアン、マゼンタ、または黄などとすることができる。

【0234】

カラー表示を実現する方法としては、発光色が白色の発光デバイス4513と着色層を組み合わせて行う方法と、画素毎に発光色の異なる発光デバイス4513を設ける方法がある。前者の方法は後者の方法よりも生産性が高い。一方、後者の方法では画素毎に発光層4511を作り分ける必要があるため、前者の方法よりも生産性が劣る。ただし、後者の

10

20

30

40

50

方法では、前者の方法よりも色純度の高い発光色を得ることができる。後者の方法に加えて、発光デバイス4513にマイクロキャビティ構造を付与することにより色純度をさらに高めることができる。

【0235】

なお、発光層4511は、量子ドットなどの無機化合物を有していてもよい。例えば、量子ドットを発光層に用いることで、発光材料として機能させることもできる。

【0236】

発光デバイス4513に酸素、水素、水分、二酸化炭素等が侵入しないように、第2の電極層4031および隔壁4510上に保護層を形成してもよい。保護層としては、窒化シリコン、窒化酸化シリコン、酸化アルミニウム、窒化アルミニウム、酸化窒化アルミニウム、窒化酸化アルミニウム、DLC(Diamond Like Carbon)などを形成することができる。また、第1の基板4001、第2の基板4006、およびシール材4005によって封止された空間には充填材4514が設けられ密封されている。このように、外気に曝されないように気密性が高く、脱ガスの少ない保護フィルム(貼り合わせフィルム、紫外線硬化樹脂フィルム等)やカバー材でパッケージング(封入)することが好ましい。

【0237】

充填材4514としては窒素やアルゴンなどの不活性な気体の他に、紫外線硬化樹脂または熱硬化樹脂を用いることができ、PVC(ポリビニルクロライド)、アクリル系樹脂、ポリイミド、エポキシ系樹脂、シリコン系樹脂、PVB(ポリビニルブチラル)またはEVA(エチレンビニルアセテート)などを用いることができる。また、充填材4514に乾燥剤が含まれていてもよい。

【0238】

シール材4005には、ガラスフリットなどのガラス材料や、二液混合型の樹脂などの常温で硬化する硬化樹脂、光硬化性の樹脂、熱硬化性の樹脂などの樹脂材料を用いることができる。また、シール材4005に乾燥剤が含まれていてもよい。

【0239】

また、必要であれば、発光デバイスの射出面に偏光板、または円偏光板(楕円偏光板を含む)、位相差板($\lambda/4$ 板、 $\lambda/2$ 板)、カラーフィルタなどの光学フィルムを適宜設けてもよい。また、偏光板または円偏光板に反射防止膜を設けてもよい。例えば、表面の凹凸により反射光を拡散し、映り込みを低減できるアンチグレア処理を施すことができる。

【0240】

また、発光デバイスをマイクロキャビティ構造とすることで、色純度の高い光を取り出すことができる。また、マイクロキャビティ構造とカラーフィルタを組み合わせることで、映り込みが低減し、表示画像の視認性を高めることができる。

【0241】

表示デバイスに電圧を印加する第1の電極層および第2の電極層(画素電極層、共通電極層、対向電極層などともいう)においては、取り出す光の方向、電極層が設けられる場所、および電極層のパターン構造によって透光性、反射性を選択すればよい。

【0242】

第1の電極層4030、第2の電極層4031は、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、インジウム錫酸化物、酸化チタンを含むインジウム錫酸化物、インジウム亜鉛酸化物、酸化ケイ素を添加したインジウム錫酸化物などの透光性を有する導電性材料を用いることができる。

【0243】

また、第1の電極層4030、第2の電極層4031はタングステン(W)、モリブデン(Mo)、ジルコニウム(Zr)、ハフニウム(Hf)、バナジウム(V)、ニオブ(Nb)、タンタル(Ta)、クロム(Cr)、コバルト(Co)、ニッケル(Ni)、チタン(Ti)、白金(Pt)、アルミニウム(Al)、銅(Cu)、銀(Ag)などの金属

10

20

30

40

50

、またはその合金、もしくはその金属窒化物から一種以上を用いて形成することができる。

【0244】

また、第1の電極層4030、第2の電極層4031として、導電性高分子（導電性ポリマーともいう）を含む導電性組成物を用いて形成することができる。導電性高分子としては、いわゆる π 電子共役系導電性高分子を用いることができる。例えば、ポリアニリン若しくはその誘導体、ポリピロール若しくはその誘導体、ポリチオフェン若しくはその誘導体、または、アニリン、ピロールおよびチオフェンの2種以上からなる共重合体若しくはその誘導体などがあげられる。

【0245】

また、トランジスタは静電気などにより破壊されやすいため、駆動回路保護用の保護回路を設けることが好ましい。保護回路は、非線形素子を用いて構成することが好ましい。

10

【0246】

なお、図18に示すように、トランジスタやキャパシタが高さ方向に重なる領域を有するようなスタック構造としてもよい。例えば、駆動回路を構成するトランジスタ4011およびトランジスタ4022を重ねて配置すれば、狭額縁の表示装置とすることができる。また、画素回路を構成するトランジスタ4010、トランジスタ4023、キャパシタ4020などが一部でも重なる領域を有するように配置すれば開口率や解像度を向上させることができる。なお、図18では図17Aに示す液晶表示装置にスタック構造を応用した例を示しているが、図17Bに示すEL表示装置に適用してもよい。

【0247】

また、画素回路において、電極や配線に可視光に対して透光性の高い透光性導電膜を用いることで、画素内の光の透過率を高めることができ、実質的に開口率を向上させることができる。なお、OSトランジスタを用いる場合は半導体層も透光性を有するため、さらに開口率を高めることができる。これらは、トランジスタ等をスタック構造としない場合においても有効である。

20

【0248】

また、液晶表示装置と発光装置を組み合わせて表示装置を構成としてもよい。

【0249】

発光装置は表示面の逆側、または表示面の端部に配置される。発光装置は表示デバイスに光を供給する機能を有する。発光装置は、バックライトとも呼ぶことができる。

30

【0250】

ここで、発光装置は、板状またはシート状の導光部（導光板ともいう）と、異なる色の光を呈する複数の発光デバイスを有することができる。当該発光デバイスを導光部の側面近傍に配置すると、導光部側面から内部へ光を発することができる。導光部は光路を変更する機構（光取り出し機構ともいう）を有しており、これにより、発光装置は表示パネルの画素部に光を均一に照射することができる。または、導光部を設けず、画素の直下に発光装置を配置する構成としてもよい。

【0251】

発光装置は、赤色（R）、緑色（G）、青色（B）の3色の発光デバイスを有することが好ましい。さらに白色（W）の発光デバイスを有していてもよい。これら発光デバイスとして発光ダイオード（LED：Light Emitting Diode）を用いることが好ましい。

40

【0252】

さらに、発光デバイスは、その発光スペクトルの半値全幅（FWHM：Full Width at Half Maximum）が、50nm以下、好ましくは40nm以下、より好ましくは30nm以下、さらに好ましくは20nm以下である、極めて色純度の高い発光デバイスであることが好ましい。なお、発光スペクトルの半値全幅は、小さければ小さいほどよいが、例えば1nm以上とすることができる。これにより、カラー表示を行う際に、色再現性が高い鮮やかな表示を行うことができる。

【0253】

50

また、赤色の発光デバイスは、発光スペクトルのピーク波長が、625 nm以上650 nm以下の範囲内に位置する素子を用いることが好ましい。また、緑色の発光デバイスは、発光スペクトルのピーク波長が、515 nm以上540 nm以下の範囲内に位置する素子を用いることが好ましい。青色の発光デバイスは、発光スペクトルのピーク波長が、445 nm以上470 nm以下の範囲内に位置する素子を用いることが好ましい。

【0254】

表示装置は、3色の発光デバイスを順次点滅させるとともに、これと同期させて画素を駆動し、継時加法混色法に基づいてカラー表示を行うことができる。当該駆動方法は、フィールドシーケンシャル駆動とも呼ぶことができる。

【0255】

フィールドシーケンシャル駆動では、鮮やかなカラー画像を表示することができる。また、滑らかな動画像を表示することができる。また上記駆動方法を用いることで、1つの画素を複数の異なる色の副画素で構成する必要がなく、1つの画素の有効反射面積（有効表示面積、開口率ともいう）を大きくできるため、明るい表示を行うことができる。さらに、画素にカラーフィルタを設ける必要がないため、画素の透過率も向上させることもでき、さらに明るい表示を行うことができる。また、作製工程を簡略化でき、作製コストを低減することができる。

【0256】

図19A、図19Bは、フィールドシーケンシャル駆動が可能な表示装置の断面概略図の一例である。当該表示装置の第1の基板4001側にはRGB各色の発光が可能なバックライトユニットが設けられる。なお、フィールドシーケンシャル駆動では、RGB各色の時分割発光で色を表現するため、カラーフィルタは不要となる。

【0257】

図19Aに示すバックライトユニット4340aは、画素の直下に拡散板4352を介して発光デバイス4342が複数設けられた構成である。拡散板4352は、発光デバイス4342から第1の基板4001側に射出された光を拡散し、表示部面内の輝度を均一化する機能を有する。発光デバイス4342と拡散板4352の間には、必要に応じて偏光板を設けてもよい。また、拡散板4352は不要であれば設けなくてもよい。また、遮光層4132を省いた構成としてもよい。

【0258】

バックライトユニット4340aは、発光デバイス4342を多く搭載することができるため、明るい表示が可能となる。また、導光板は不要であり、発光デバイス4342の光の効率を損ないにくい利点がある。なお、必要に応じて発光デバイス4342に光拡散用のレンズ4344を設けてもよい。

【0259】

図19Bに示すバックライトユニット4340bは、画素の直下に拡散板4352を介して導光板4341が設けられた構成である。導光板4341の端部には発光デバイス4342が複数設けられる。導光板4341は、拡散板4352とは逆側に凹凸形状を有し、導波した光を当該凹凸形状で散乱して拡散板4352の方向に射出することができる。

【0260】

発光デバイス4342は、プリント基板4347に固定することができる。なお、図19Bでは、RGB各色の発光デバイス4342が重なるように図示しているが、奥行方向にRGB各色の発光デバイス4342が並ぶように配置することもできる。また、導光板4341において、発光デバイス4342とは反対側の側面には、可視光を反射する反射層4348を設けてもよい。

【0261】

バックライトユニット4340bは、発光デバイス4342を少なくすることができるため、低コストかつ薄型とすることができる。

【0262】

また、液晶デバイスには、光散乱型液晶デバイスを用いてもよい。光散乱型液晶デバイス

10

20

30

40

50

としては、液晶と高分子の複合材料を有する素子を用いることが好ましい。例えば、高分子分散型液晶デバイスを用いることができる。または、高分子ネットワーク型液晶（PNLC（Polymer Network Liquid Crystal））素子を用いてもよい。

【0263】

光散乱型液晶デバイスは、一対の電極で挟まれる樹脂部の3次元ネットワーク構造中に液晶部が設けられた構造である。液晶部に用いる材料としては、例えばネマティック液晶を用いることができる。また、樹脂部としては光硬化樹脂を用いることができる。光硬化樹脂は、例えば、アクリレート、メタクリレートなどの単官能モノマー、ジアクリレート、トリアクリレート、ジメタクリレート、トリメタクリレートなどの多官能モノマー、または、これらを混合させた重合性化合物を用いることができる。

10

【0264】

光散乱型液晶デバイスは液晶材料の屈折率の異方性を利用し、光を透過または散乱させることにより表示を行う。また、樹脂部も屈折率の異方性を有していてもよい。光散乱型液晶デバイスに印加される電圧に従って液晶分子が一定方向に配列するとき、液晶部と樹脂部の屈折率の差が小さくなる方向が発生し、当該方向に沿って入射する光は液晶部で散乱されることなく透過する。したがって、光散乱型液晶デバイスは当該方向からは透明な状態に視認される。一方で、印加される電圧に従って液晶分子の配列がランダムとなると、液晶部と樹脂部の屈折率の差に大きな変化が生じないため、入射する光は液晶部で散乱される。したがって、光散乱型液晶デバイスは視認の方向を問わず不透明の状態となる。

20

【0265】

図20Aは、図19Aの表示装置の液晶デバイス4013を光散乱型液晶デバイス4016に置き換えた構成である。光散乱型液晶デバイス4016は、液晶部および樹脂部を有する複合層4009、ならびに第1の電極層4030および第2の電極層4031を有する。フィールドシーケンシャル駆動に関する要素は、図19Aと同じであるが、光散乱型液晶デバイス4016を用いる場合は、配向膜および偏光板が不要となる。なお、スペーサ4035は球状の形態で図示しているが、柱状であってもよい。

【0266】

図20Bは、図19Bの表示装置の液晶デバイス4013を光散乱型液晶デバイス4016に置き換えた構成である。図19Bの構成では、光散乱型液晶デバイス4016に電圧を印加しないときに光を透過し、電圧を印加したときに光を散乱させるモードで動作する構成とすることが好ましい。当該構成とすることで、ノーマル状態（表示をさせない状態）で透明な表示装置とすることができる。この場合は、光を散乱させる動作を行ったときにカラー表示を行うことができる。

30

【0267】

図20Bに示す表示装置の変形例を図21A乃至図21Eに示す。なお、図21A乃至図21Eにおいては、明瞭化のため、図20Bの一部要素を用い、他の要素を省いて図示している。

【0268】

図21Aは、第1の基板4001が導光板としての機能を有する構成である。第1の基板4001の外側の面には、凹凸形状を設けてもよい。当該構成では、導光板を別途設ける必要がなくなるため、製造コストを低減することができる。また、当該導光板による光の減衰もなくなるため、発光デバイス4342が射出する光を効率良く利用することができる。

40

【0269】

図21Bは、複合層4009の端部近傍から光を入射する構成である。複合層4009と第2の基板4006との界面、および複合層4009と第1の基板4001との界面での全反射を利用し、光散乱型液晶デバイスから外部に光を射出することができる。複合層4009の樹脂部には、第1の基板4001および第2の基板4006よりも屈折率の大きい材料を用いる。

50

【0270】

なお、発光デバイス4342は表示装置の一辺に設けるだけでなく、図21Cに示すように対向する二辺に設けてもよい。さらに、三辺または四辺に設けてもよい。発光デバイス4342を複数の辺に設けることで、光の減衰を補うことができ、大面積の表示デバイスにも対応することができる。

【0271】

図21Dは、発光デバイス4342から射出される光がミラー4345を介して表示装置に導光される構成である。当該構成により表示装置に一定の角度からの導光を行いやすくなるため、効率良く全反射光を得ることができる。

【0272】

図21Eは、複合層4009上に層4003および層4004の積層を有する構成である。層4003および層4004の一方はガラス基板などの支持体であり、他方は無機膜、有機樹脂のコーティング膜またはフィルムなどで形成することができる。複合層4009の樹脂部には、層4004よりも屈折率が高い材料を用いる。また、層4004には層4003よりも屈折率が高い材料を用いる。

【0273】

複合層4009と層4004との間には一つ目の界面が形成され、層4004と層4003との間には二つ目の界面が形成される。当該構成により、一つ目の界面で全反射されず通り抜けた光を二つ目の界面で全反射させ、複合層4009に戻すことができる。したがって、発光デバイス4342が射出する光を効率良く利用することができる。

【0274】

なお、図20Bおよび図21A乃至図21Eにおける構成は、互いに組み合わせることができる。

【0275】

本実施の形態は、他の実施の形態などに記載した構成と適宜組み合わせる実施することが可能である。

【0276】

(実施の形態3)

本実施の形態では、上記実施の形態に示した各トランジスタに置き換えて用いることのできるトランジスタの一例について、図面を用いて説明する。

【0277】

本発明の一態様の表示装置は、ボトムゲート型のトランジスタや、トップゲート型トランジスタなどの様々な形態のトランジスタを用いて作製することができる。よって、既存の製造ラインに合わせて、使用する半導体層の材料やトランジスタ構造を容易に置き換えることができる。

【0278】

〔ボトムゲート型トランジスタ〕

図22A1は、ボトムゲート型のトランジスタの一種であるチャネル保護型のトランジスタ810のチャネル長方向の断面図である。図22A1において、トランジスタ810は基板771上に形成されている。また、トランジスタ810は、基板771上に絶縁層772を介して電極746を有する。また、電極746上に絶縁層726を介して半導体層742を有する。電極746はゲート電極として機能できる。絶縁層726はゲート絶縁層として機能できる。

【0279】

また、半導体層742のチャネル形成領域上に絶縁層741を有する。また、半導体層742の一部と接して、絶縁層726上に電極744aおよび電極744bを有する。電極744aは、ソース電極またはドレイン電極の一方として機能できる。電極744bは、ソース電極またはドレイン電極の他方として機能できる。電極744aの一部、および電極744bの一部は、絶縁層741上に形成される。

【0280】

絶縁層 741 は、チャネル保護層として機能できる。チャネル形成領域上に絶縁層 741 を設けることで、電極 744a および電極 744b の形成時に生じる半導体層 742 の露出を防ぐことができる。よって、電極 744a および電極 744b の形成時に、半導体層 742 のチャネル形成領域がエッチングされることを防ぐことができる。本発明の一態様によれば、電気特性の良好なトランジスタを実現することができる。

【0281】

また、トランジスタ 810 は、電極 744a、電極 744b および絶縁層 741 上に絶縁層 728 を有し、絶縁層 728 の上に絶縁層 729 を有する。

【0282】

半導体層 742 に酸化物半導体を用いる場合、電極 744a および電極 744b の、少なくとも半導体層 742 と接する部分に、半導体層 742 の一部から酸素を奪い、酸素欠損を生じさせることが可能な材料を用いることが好ましい。半導体層 742 中の酸素欠損が生じた領域はキャリア濃度が増加し、当該領域は n 型化し、n 型領域 (n⁺領域) となる。したがって、当該領域はソース領域またはドレイン領域として機能することができる。半導体層 742 に酸化物半導体を用いる場合、半導体層 742 から酸素を奪い、酸素欠損を生じさせることが可能な材料の一例として、タングステン、チタン等を挙げることができる。

【0283】

半導体層 742 にソース領域およびドレイン領域が形成されることにより、電極 744a および電極 744b と半導体層 742 の接触抵抗を低減することができる。よって、電界効果移動度や、しきい値電圧などの、トランジスタの電気特性を良好なものとすることができる。

【0284】

半導体層 742 にシリコンなどの半導体を用いる場合は、半導体層 742 と電極 744a の間、および半導体層 742 と電極 744b の間に、n 型半導体または p 型半導体として機能する層を設けることが好ましい。n 型半導体または p 型半導体として機能する層は、トランジスタのソース領域またはドレイン領域として機能することができる。

【0285】

絶縁層 729 は、外部からのトランジスタへの不純物の拡散を防ぐ、または低減する機能を有する材料を用いて形成することが好ましい。なお、必要に応じて絶縁層 729 を省略することもできる。

【0286】

図 22A2 に示すトランジスタ 811 は、絶縁層 729 上にバックゲート電極として機能できる電極 723 を有する点が、トランジスタ 810 と異なる。電極 723 は、電極 746 と同様の材料および方法で形成することができる。

【0287】

一般に、バックゲート電極は導電層で形成され、ゲート電極とバックゲート電極で半導体層のチャネル形成領域を挟むように配置される。よって、バックゲート電極は、ゲート電極と同様に機能させることができる。バックゲート電極の電位は、ゲート電極と同電位としてもよいし、接地電位 (GND 電位) や、任意の電位としてもよい。また、バックゲート電極の電位をゲート電極と連動させず独立して変化させることで、トランジスタのしきい値電圧を変化させることができる。

【0288】

電極 746 および電極 723 は、どちらもゲート電極として機能することができる。よって、絶縁層 726、絶縁層 728、および絶縁層 729 は、それぞれがゲート絶縁層として機能することができる。なお、電極 723 は、絶縁層 728 と絶縁層 729 の間に設けてもよい。

【0289】

なお、電極 746 または電極 723 の一方を、「ゲート電極」という場合、他方を「バックゲート電極」という。例えば、トランジスタ 811 において、電極 723 を「ゲート電

10

20

30

40

50

極」と言う場合、電極 7 4 6 を「バックゲート電極」と言う。また、電極 7 2 3 を「ゲート電極」として用いる場合は、トランジスタ 8 1 1 をトップゲート型のトランジスタの一種と考えることができる。また、電極 7 4 6 および電極 7 2 3 のどちらか一方を、「第 1 のゲート電極」といい、他方を「第 2 のゲート電極」という場合がある。

【0290】

半導体層 7 4 2 を挟んで電極 7 4 6 および電極 7 2 3 を設けることで、更には、電極 7 4 6 および電極 7 2 3 を同電位とすることで、半導体層 7 4 2 においてキャリアの流れる領域が膜厚方向においてより大きくなるため、キャリアの移動量が増加する。この結果、トランジスタ 8 1 1 のオン電流が大きくなると共に、電界効果移動度が高くなる。

【0291】

したがって、トランジスタ 8 1 1 は、占有面積に対して大きいオン電流を有するトランジスタである。すなわち、求められるオン電流に対して、トランジスタ 8 1 1 の占有面積を小さくすることができる。本発明の一態様によれば、トランジスタの占有面積を小さくすることができる。よって、本発明の一態様によれば、集積度の高い半導体装置を実現することができる。

【0292】

また、ゲート電極とバックゲート電極は導電層で形成されるため、トランジスタの外部で生じる電界が、チャンネルが形成される半導体層に作用しないようにする機能（特に静電気などに対する電界遮蔽機能）を有する。なお、バックゲート電極を半導体層よりも大きく形成し、バックゲート電極で半導体層を覆うことで、電界遮蔽機能を高めることができる。

【0293】

また、バックゲート電極を、遮光性を有する導電膜で形成することで、バックゲート電極側から半導体層に光が入射することを防ぐことができる。よって、半導体層の光劣化を防ぎ、トランジスタのしきい値電圧がシフトするなどの電気特性の劣化を防ぐことができる。

【0294】

本発明の一態様によれば、信頼性の良好なトランジスタを実現することができる。また、信頼性の良好な半導体装置を実現することができる。

【0295】

図 2 2 B 1 は、図 2 2 A 1 とは異なる構成のチャンネル保護型のトランジスタ 8 2 0 のチャンネル長方向の断面図である。トランジスタ 8 2 0 は、トランジスタ 8 1 0 とほぼ同様の構造を有しているが、絶縁層 7 4 1 が半導体層 7 4 2 の端部を覆っている点が異なる。また、半導体層 7 4 2 と重なる絶縁層 7 4 1 の一部を選択的に除去して形成した開口部において、半導体層 7 4 2 と電極 7 4 4 a が電気的に接続している。また、半導体層 7 4 2 と重なる絶縁層 7 4 1 の一部を選択的に除去して形成した他の開口部において、半導体層 7 4 2 と電極 7 4 4 b が電気的に接続している。絶縁層 7 4 1 の、チャンネル形成領域と重なる領域は、チャンネル保護層として機能できる。

【0296】

図 2 2 B 2 に示すトランジスタ 8 2 1 は、絶縁層 7 2 9 上にバックゲート電極として機能できる電極 7 2 3 を有する点が、トランジスタ 8 2 0 と異なる。

【0297】

絶縁層 7 4 1 を設けることで、電極 7 4 4 a および電極 7 4 4 b の形成時に生じる半導体層 7 4 2 の露出を防ぐことができる。よって、電極 7 4 4 a および電極 7 4 4 b の形成時に半導体層 7 4 2 の薄膜化を防ぐことができる。

【0298】

また、トランジスタ 8 2 0 およびトランジスタ 8 2 1 は、トランジスタ 8 1 0 およびトランジスタ 8 1 1 よりも、電極 7 4 4 a と電極 7 4 6 の間の距離と、電極 7 4 4 b と電極 7 4 6 の間の距離が長くなる。よって、電極 7 4 4 a と電極 7 4 6 の間に生じる寄生容量を小さくすることができる。また、電極 7 4 4 b と電極 7 4 6 の間に生じる寄生容量を小さくすることができる。本発明の一態様によれば、電気特性の良好なトランジスタを実現できる。

【0299】

図22C1は、ボトムゲート型のトランジスタの1つであるチャネルエッチング型のトランジスタ825のチャネル長方向の断面図である。トランジスタ825は、絶縁層741を用いずに電極744aおよび電極744bを形成する。このため、電極744aおよび電極744bの形成時に露出する半導体層742の一部がエッチングされる場合がある。一方、絶縁層741を設けないため、トランジスタの生産性を高めることができる。

【0300】

図22C2に示すトランジスタ826は、絶縁層729上にバックゲート電極として機能できる電極723を有する点が、トランジスタ825と異なる。

【0301】

図23A1乃至図23C2にトランジスタ810、811、820、821、825、826のチャネル幅方向の断面図をそれぞれ示す。

【0302】

図23B2、図23C2に示す構造では、ゲート電極とバックゲート電極とが接続され、ゲート電極とバックゲート電極との電位が同電位となる。また、半導体層742は、ゲート電極とバックゲート電極と挟まれている。

【0303】

ゲート電極およびバックゲート電極のそれぞれのチャネル幅方向の長さは、半導体層742のチャネル幅方向の長さよりも長く、半導体層742のチャネル幅方向全体は、絶縁層726、741、728、729を間に挟んでゲート電極およびバックゲート電極に覆われた構成である。

【0304】

当該構成とすることで、トランジスタに含まれる半導体層742を、ゲート電極およびバックゲート電極の電界によって電気的に取り囲むことができる。

【0305】

トランジスタ821またはトランジスタ826のように、ゲート電極およびバックゲート電極の電界によって、チャネル形成領域が形成される半導体層742を電気的に取り囲むトランジスタのデバイス構造をS u r r o u n d e d c h a n n e l (S - c h a n n e l) 構造と呼ぶことができる。

【0306】

S - c h a n n e l 構造とすることで、ゲート電極およびバックゲート電極の一方または双方によってチャネルを誘起させるための電界を効果的に半導体層742に印加することができるため、トランジスタの電流駆動能力が向上し、高いオン電流特性を得ることが可能となる。また、オン電流を高くすることが可能であるため、トランジスタを微細化することが可能となる。また、S - c h a n n e l 構造とすることで、トランジスタの機械的強度を高めることができる。

【0307】

〔トップゲート型トランジスタ〕

図24A1に例示するトランジスタ842は、トップゲート型のトランジスタの1つである。電極744aおよび電極744bは、絶縁層728および絶縁層729に形成した開口部において半導体層742と電気的に接続する。

【0308】

また、電極746と重ならない絶縁層726の一部を除去し、電極746と残りの絶縁層726をマスクとして用いて不純物を半導体層742に導入することで、半導体層742中に自己整合（セルフアライメント）的に不純物領域を形成することができる。トランジスタ842は、絶縁層726が電極746の端部を越えて延伸する領域を有する。半導体層742の絶縁層726を介して不純物が導入された領域の不純物濃度は、絶縁層726を介さずに不純物が導入された領域よりも小さくなる。よって、半導体層742は、絶縁層726と重なる領域であって、電極746と重ならない領域にL D D (L i g h t l y D o p e d D r a i n) 領域が形成される。

10

20

30

40

50

【0309】

図24A2に示すトランジスタ843は、電極723を有する点がトランジスタ842と異なる。トランジスタ843は、基板771の上に形成された電極723を有する。電極723は、絶縁層772を介して半導体層742と重なる領域を有する。電極723は、バックゲート電極として機能することができる。

【0310】

また、図24B1に示すトランジスタ844および図24B2に示すトランジスタ845のように、電極746と重ならない領域の絶縁層726を全て除去してもよい。また、図24C1に示すトランジスタ846および図24C2に示すトランジスタ847のように、絶縁層726を残してもよい。

10

【0311】

トランジスタ842乃至トランジスタ847も、電極746を形成した後に、電極746をマスクとして用いて不純物を半導体層742に導入することで、半導体層742中に自己整合的に不純物領域を形成することができる。本発明の一態様によれば、電気特性の良好なトランジスタを実現することができる。また、本発明の一態様によれば、集積度の高い半導体装置を実現することができる。

【0312】

図25A1乃至図25C2にトランジスタ842、843、844、845、846、847のチャネル幅方向の断面図をそれぞれ示す。

【0313】

トランジスタ843、トランジスタ845、およびトランジスタ847は、それぞれ先に説明したS-channel構造である。ただし、これに限定されず、トランジスタ843、トランジスタ845、およびトランジスタ847をS-channel構造としなくてもよい。

20

【0314】

本実施の形態は、他の実施の形態などに記載した構成と適宜組み合わせて実施することが可能である。

【0315】

(実施の形態4)

本発明の一態様に係る表示装置を用いることができる電子機器として、表示機器、パーソナルコンピュータ、記録媒体を備えた画像記憶装置または画像再生装置、携帯電話、携帯型を含むゲーム機、携帯データ端末、電子書籍端末、ビデオカメラ、デジタルスチルカメラ等のカメラ、ゴーグル型ディスプレイ（ヘッドマウントディスプレイ）、ナビゲーションシステム、音響再生装置（カーオーディオ、デジタルオーディオプレイヤー等）、複写機、ファクシミリ、プリンタ、プリンタ複合機、現金自動預け入れ払い機（ATM）、自動販売機などが挙げられる。これら電子機器の具体例を図26に示す。

30

【0316】

図26Aはデジタルカメラであり、筐体961、シャッターボタン962、マイク963、スピーカ967、表示部965、操作キー966、ズームレバー968、レンズ969等を有する。表示部965に本発明の一態様の表示装置を用いることで、様々な画像の表示を行うことができる。

40

【0317】

図26Bは携帯データ端末であり、筐体911、表示部912、スピーカ913、操作ボタン914、カメラ919等を有する。表示部912が有するタッチパネル機能により情報の入出力を行うことができる。表示部912に本発明の一態様の表示装置を用いることで、様々な画像の表示を行うことができる。

【0318】

図26Cは携帯電話機であり、筐体951、表示部952、操作ボタン953、外部接続ポート954、スピーカ955、マイク956、カメラ957等を有する。当該携帯電話機は、表示部952にタッチセンサを備える。電話を掛ける、或いは文字を入力するなど

50

のあらゆる操作は、指やスタイラスなどで表示部 9 5 2 に触れることで行うことができる。また、筐体 9 0 1 および表示部 9 5 2 は可撓性を有し、図示するように折り曲げて使用することができる。表示部 9 5 2 に本発明の一態様の表示装置を用いることで、様々な画像の表示を行うことができる。

【0319】

図 2 6 D はビデオカメラであり、第 1 筐体 9 0 1、第 2 筐体 9 0 2、表示部 9 0 3、操作キー 9 0 4、レンズ 9 0 5、接続部 9 0 6、スピーカ 9 0 7 等を有する。操作キー 9 0 4 およびレンズ 9 0 5 は第 1 筐体 9 0 1 に設けられており、表示部 9 0 3 は第 2 筐体 9 0 2 に設けられている。表示部 9 0 3 に本発明の一態様の表示装置を用いることで、様々な画像の表示を行うことができる。

10

【0320】

図 2 6 E はテレビであり、筐体 9 7 1、表示部 9 7 3、操作ボタン 9 7 4、スピーカ 9 7 5、通信用接続端子 9 7 6、光センサ 9 7 7 等を有する。表示部 9 7 3 にはタッチセンサが設けられ、入力操作を行うこともできる。表示部 9 7 3 に本発明の一態様の表示装置を用いることで、様々な画像の表示を行うことができる。

【0321】

図 2 6 F はデジタルサイネージであり、大型の表示部 9 2 2 を有する。デジタルサイネージは、例えば、柱 9 2 1 の側面に大型の表示部 9 2 2 が取り付けられる。表示部 9 2 2 に本発明の一態様の表示装置を用いることで、表示品位の高い表示を行うことができる。

【0322】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせることで実施することが可能である。

20

【符号の説明】

【0323】

1 0 : 画素、1 1 : ソースドライバ、1 2 : ゲートドライバ、1 3 : 回路、1 4 : 回路、1 5 : 回路、1 6 : 選択回路、1 7 : 選択回路、1 8 : 画素アレイ、2 1 : 回路、2 5 a : 出力端子、2 5 b : 出力端子、2 5 c : 出力端子、1 0 1 : トランジスタ、1 0 2 : トランジスタ、1 0 3 : トランジスタ、1 0 4 : トランジスタ、1 0 5 : トランジスタ、1 0 6 : キャパシタ、1 0 7 : トランジスタ、1 0 8 : キャパシタ、1 0 9 : トランジスタ、1 1 0 : トランジスタ、1 1 1 : キャパシタ、1 1 2 : トランジスタ、1 1 3 : トランジスタ、1 1 4 : キャパシタ、1 1 5 : キャパシタ、1 1 6 : トランジスタ、1 1 7 : トランジスタ、1 1 8 : キャパシタ、1 1 9 : トランジスタ、1 2 1 : 配線、1 2 2 : 配線、1 2 3 : 配線、1 2 4 : 配線、1 2 5 : 配線、1 2 6 : 配線、1 2 7 : 配線、1 2 8 : 配線、1 4 1 : キャパシタ、1 4 2 : 液晶デバイス、1 4 3 : トランジスタ、1 4 4 : トランジスタ、1 4 5 : トランジスタ、1 4 6 : キャパシタ、1 4 7 : 発光デバイス、1 4 8 : トランジスタ、1 4 9 : トランジスタ、1 5 1 : 配線、1 5 2 : 配線、1 5 3 : 配線、1 5 4 : 配線、1 5 5 : 配線、1 5 6 : 配線、1 7 0 : 回路、1 7 1 : 回路、2 1 5 : 表示部、2 2 1 a : 走査線駆動回路、2 3 1 a : 信号線駆動回路、2 3 2 a : 信号線駆動回路、2 4 1 a : 共通線駆動回路、7 2 3 : 電極、7 2 6 : 絶縁層、7 2 8 : 絶縁層、7 2 9 : 絶縁層、7 4 1 : 絶縁層、7 4 2 : 半導体層、7 4 4 a : 電極、7 4 4 b : 電極、7 4 6 : 電極、7 7 1 : 基板、7 7 2 : 絶縁層、8 1 0 : トランジスタ、8 1 1 : トランジスタ、8 2 0 : トランジスタ、8 2 1 : トランジスタ、8 2 5 : トランジスタ、8 2 6 : トランジスタ、8 4 2 : トランジスタ、8 4 3 : トランジスタ、8 4 4 : トランジスタ、8 4 5 : トランジスタ、8 4 6 : トランジスタ、8 4 7 : トランジスタ、9 0 1 : 筐体、9 0 2 : 筐体、9 0 3 : 表示部、9 0 4 : 操作キー、9 0 5 : レンズ、9 0 6 : 接続部、9 0 7 : スピーカ、9 1 1 : 筐体、9 1 2 : 表示部、9 1 3 : スピーカ、9 1 4 : 操作ボタン、9 1 9 : カメラ、9 2 1 : 柱、9 2 2 : 表示部、9 5 1 : 筐体、9 5 2 : 表示部、9 5 3 : 操作ボタン、9 5 4 : 外部接続ポート、9 5 5 : スピーカ、9 5 6 : マイク、9 5 7 : カメラ、9 6 1 : 筐体、9 6 2 : シャッターボタン、9 6 3 : マイク、9 6 5 : 表示部、9 6 6 : 操作キー、9 6 7 : スピーカ、9 6 8 : ズームレバー、9 6 9 : レンズ

30

40

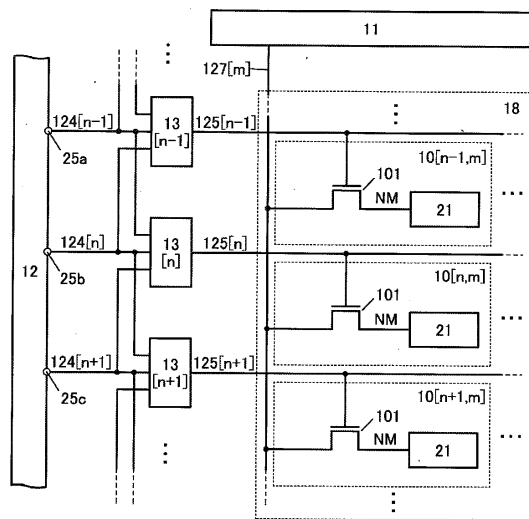
50

、971：筐体、973：表示部、974：操作ボタン、975：スピーカ、976：通信用接続端子、977：光センサ、4001：基板、4003：層、4004：層、4005：シール材、4006：基板、4008：液晶層、4009：複合層、4010：トランジスタ、4011：トランジスタ、4013：液晶デバイス、4014：配線、4015：電極、4016：光散乱型液晶デバイス、4017：電極、4018：FPC、4019：異方性導電層、4020：キャパシタ、4021：電極、4022：トランジスタ、4023：トランジスタ、4030：電極層、4031：電極層、4032：絶縁層、4033：絶縁層、4035：スペーサ、4041：プリント基板、4042：集積回路、4102：絶縁層、4103：絶縁層、4104：絶縁層、4110：絶縁層、4111：絶縁層、4112：絶縁層、4131：着色層、4132：遮光層、4133：絶縁層、4200：入力装置、4210：タッチパネル、4227：電極、4228：電極、4237：配線、4238：配線、4239：配線、4263：基板、4272b：FPC、4273b：IC、4340a：バックライトユニット、4340b：バックライトユニット、4341：導光板、4342：発光デバイス、4344：レンズ、4345：ミラー、4347：プリント基板、4348：反射層、4352：拡散板、4510：隔壁、4511：発光層、4513：発光デバイス、4514：充填材

【図面】

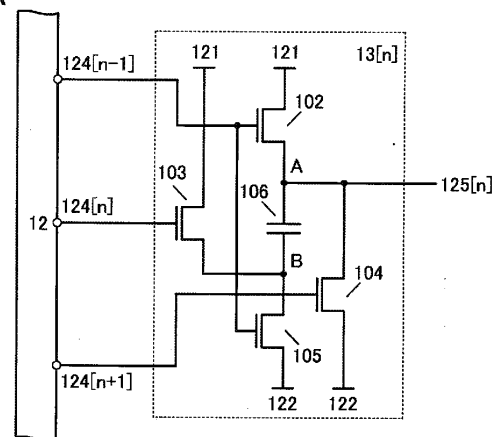
【図1】

図1



【図2A】

図2A



10

20

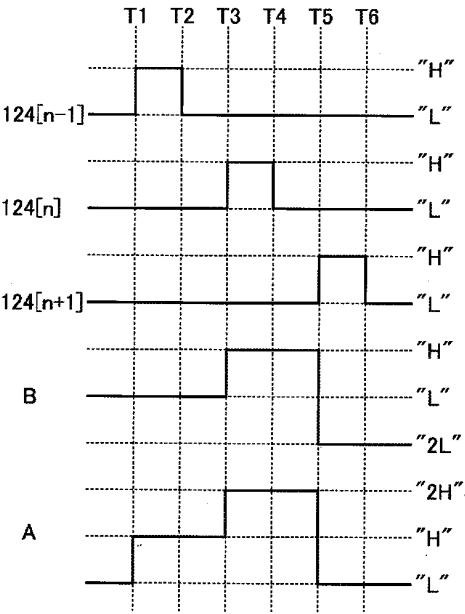
30

40

50

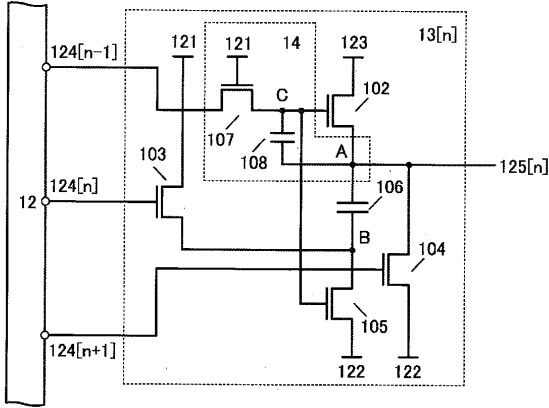
【図 2 B】

図2B



【図 3 A】

図3A

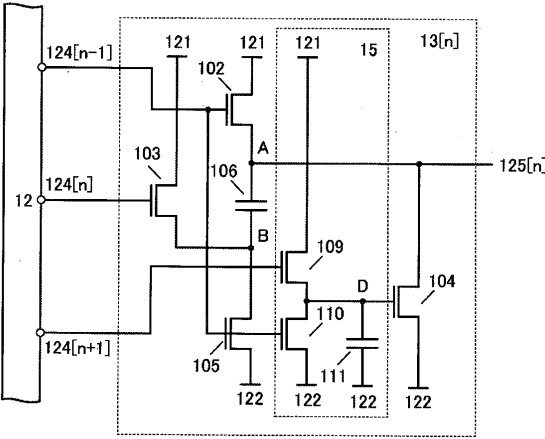


10

20

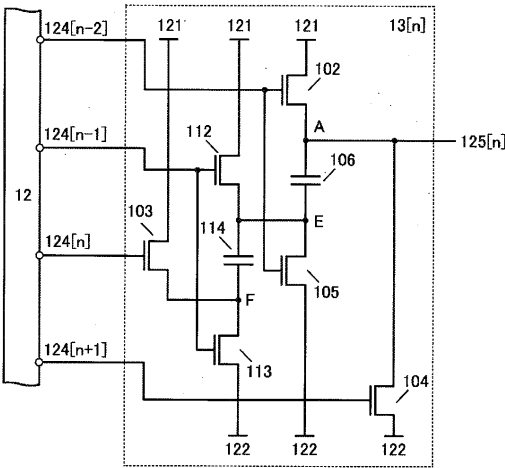
【図 3 B】

図3B



【図 4】

図4



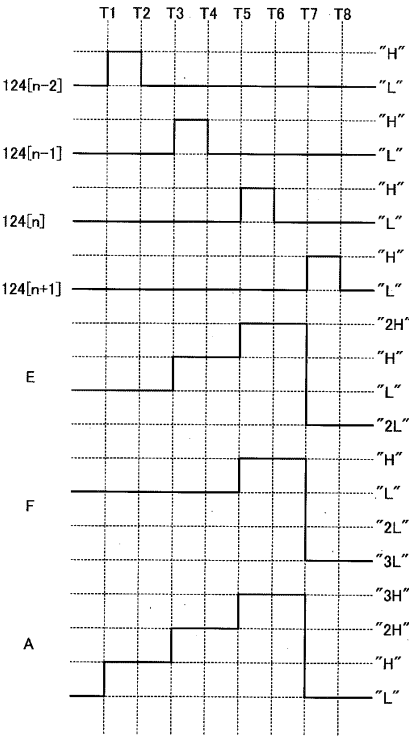
30

40

50

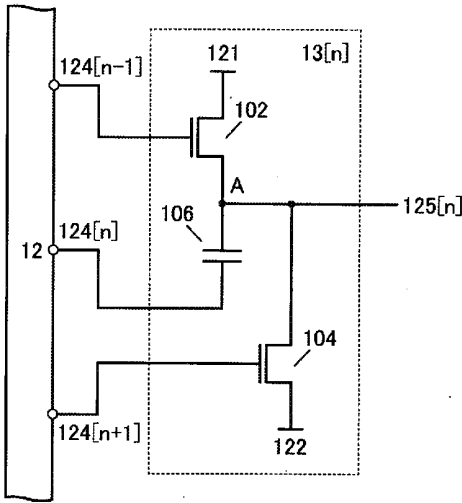
【図 5】

図5



【図 6 A】

図6A

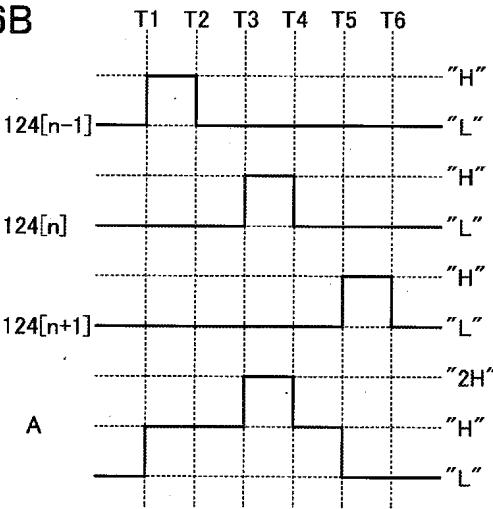


10

20

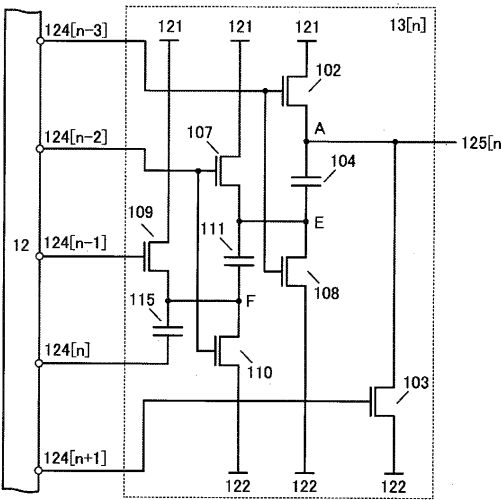
【図 6 B】

図6B



【図 7】

図7



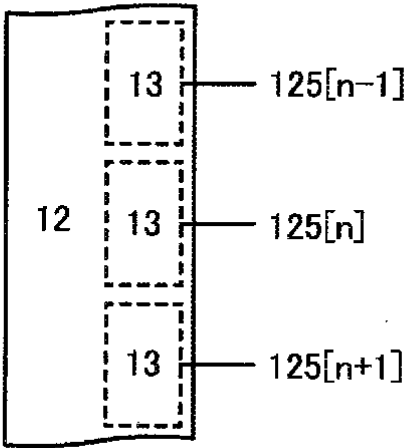
30

40

50

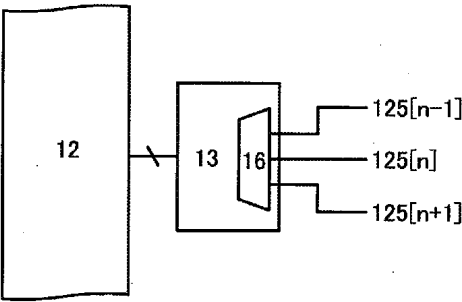
【図 8 A】

図8A



【図 8 B】

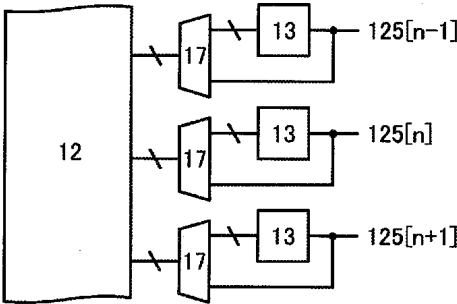
図8B



10

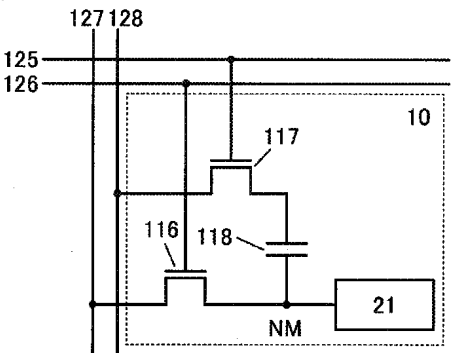
【図 8 C】

図8C



【図 9 A】

図9A



20

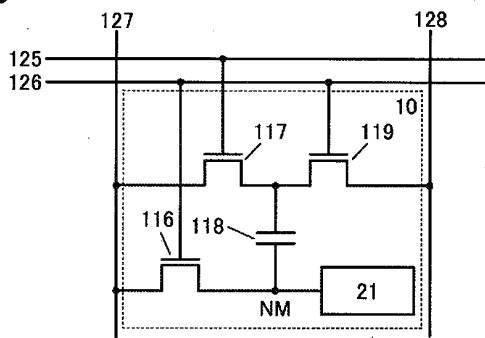
30

40

50

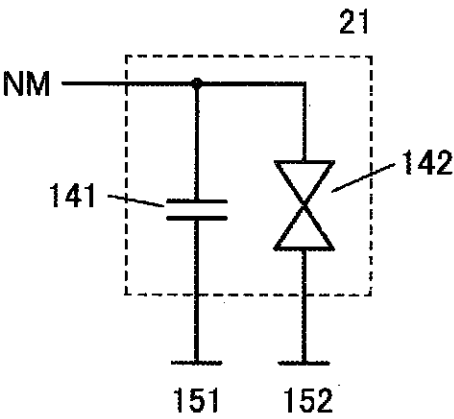
【図 9 B】

図9B



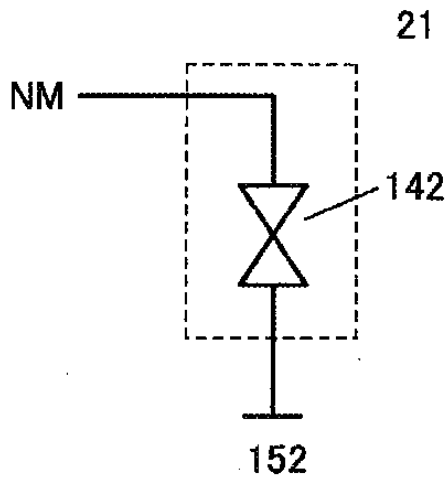
【図 1 0 A】

図10A



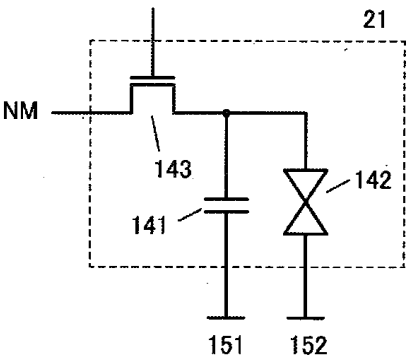
【図 1 0 B】

図10B



【図 1 0 C】

図10C



10

20

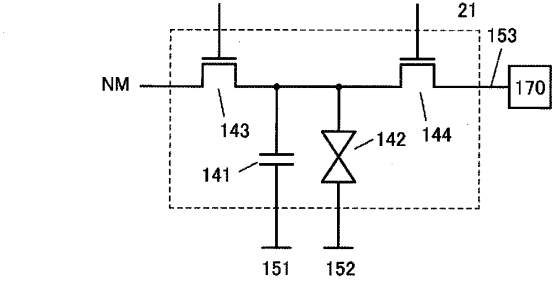
30

40

50

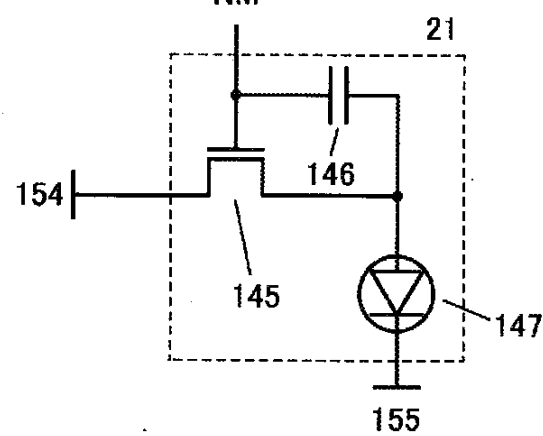
【図 1 0 D】

図10D



【図 1 1 A】

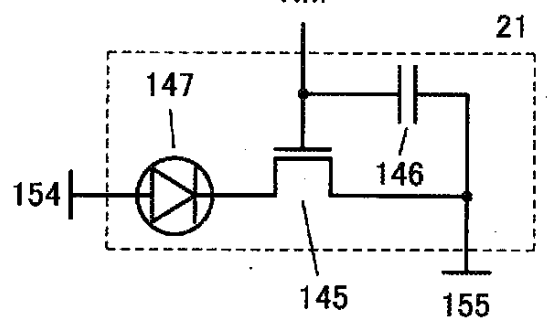
図11A



10

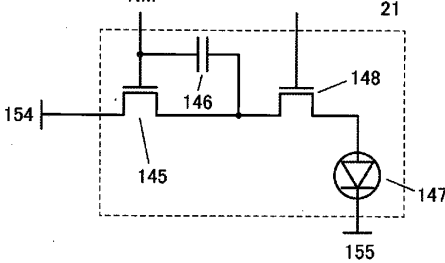
【図 1 1 B】

図11B



【図 1 1 C】

図11C



20

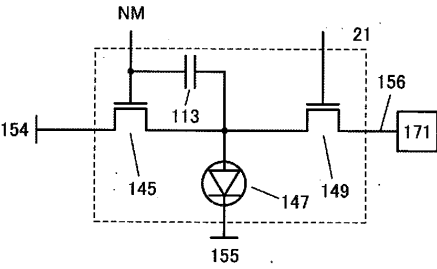
30

40

50

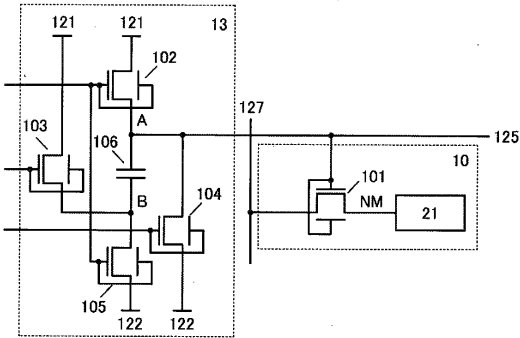
【図 1 1 D】

図11D



【図 1 2】

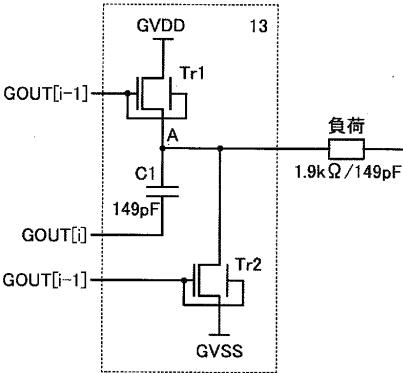
図12



10

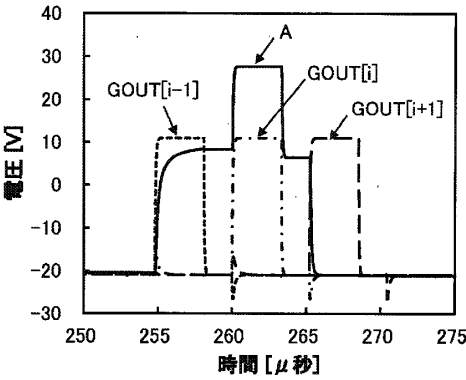
【図 1 3】

図13



【図 1 4】

図14



20

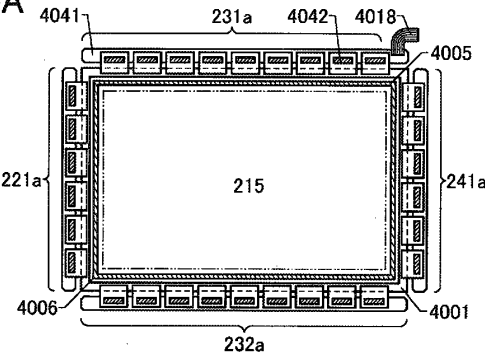
30

40

50

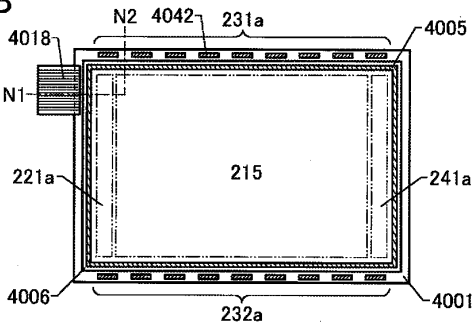
【図 1 5 A】

図 15A



【図 1 5 B】

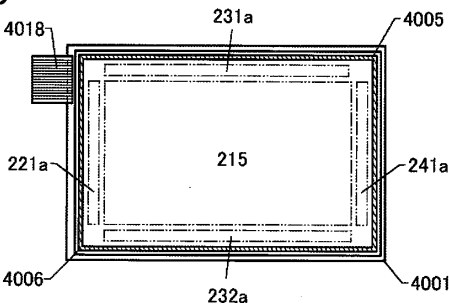
図 15B



10

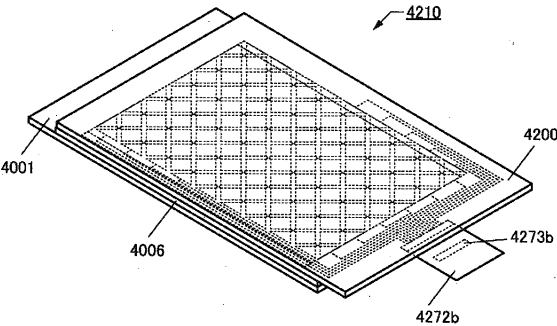
【図 1 5 C】

図 15C



【図 1 6 A】

図 16A



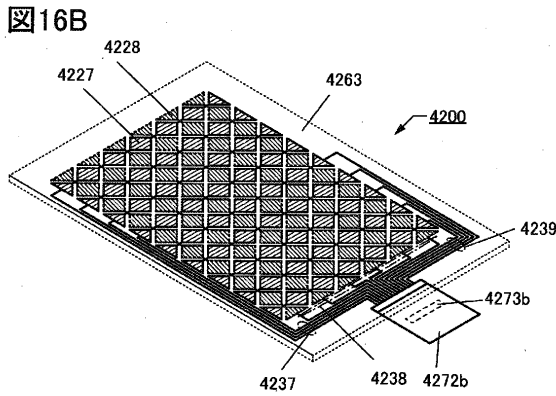
20

30

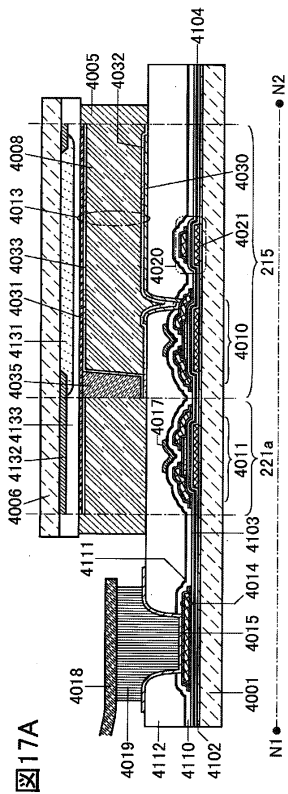
40

50

【図 16 B】



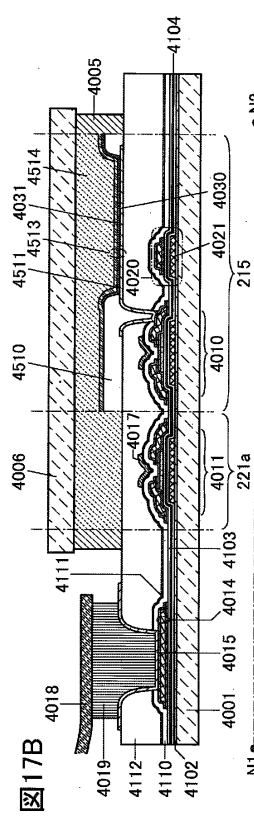
【図 17 A】



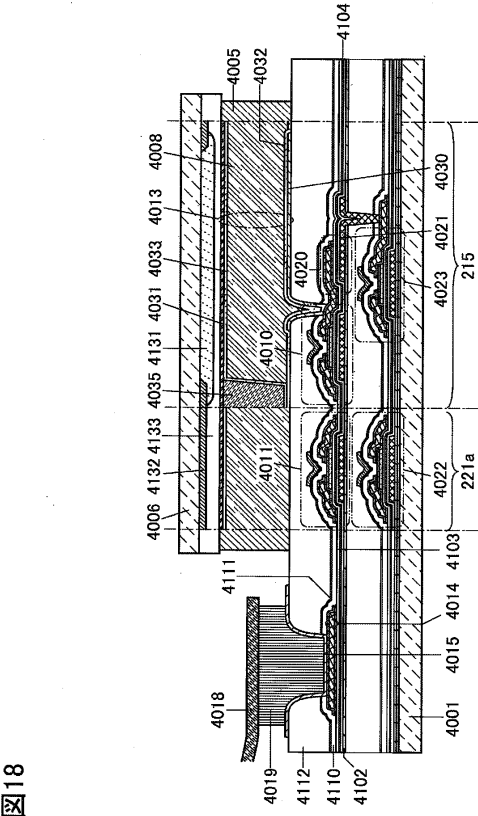
10

20

【図 17 B】



【図 18】

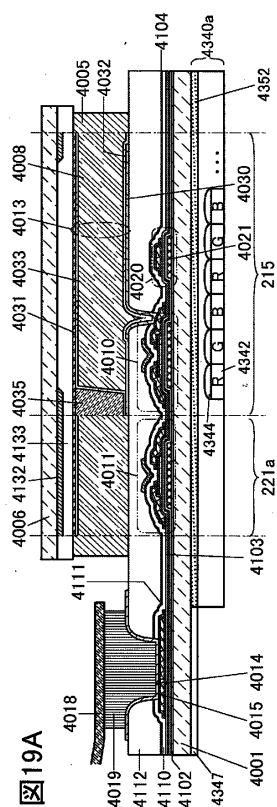


30

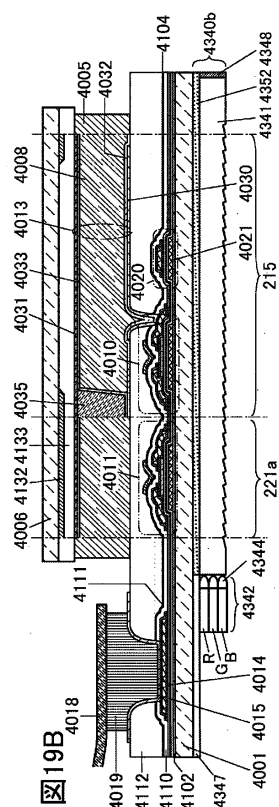
40

50

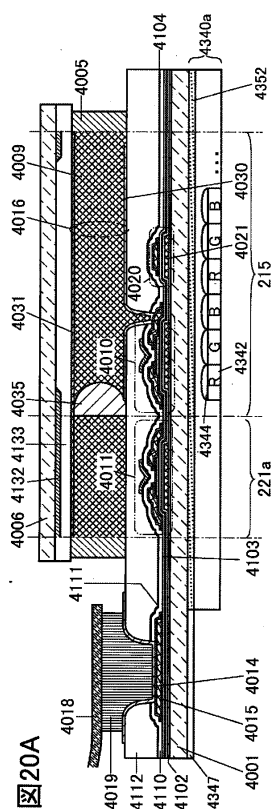
【図 19 A】



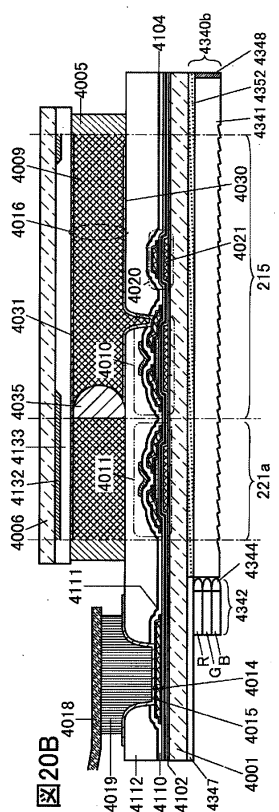
【図 19 B】



【図 20 A】

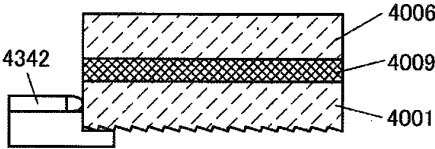


【図 20 B】



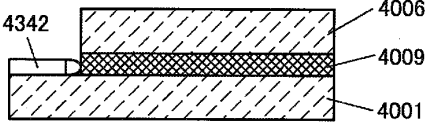
【図 2 1 A】

図21A



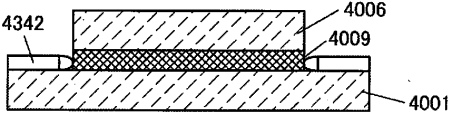
【図 2 1 B】

図21B



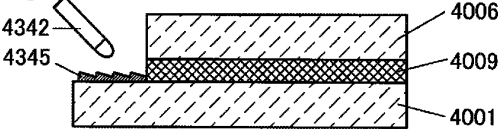
【図 2 1 C】

図21C



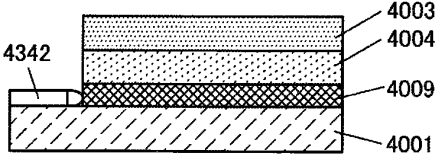
【図 2 1 D】

図21D



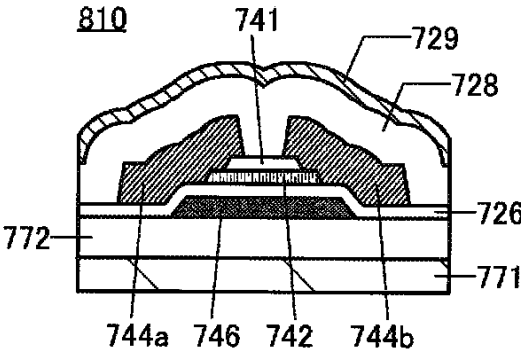
【図 2 1 E】

図21E



【図 2 2 A 1】

図22A1



10

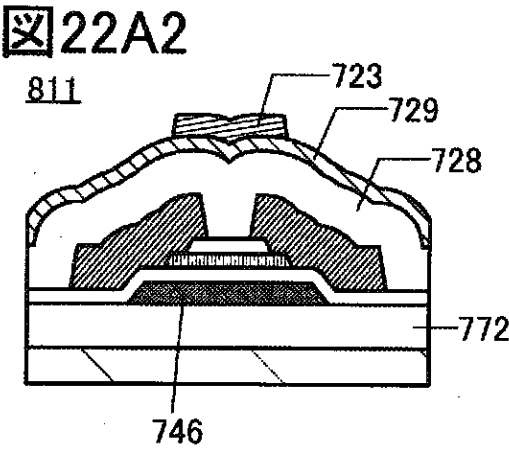
20

30

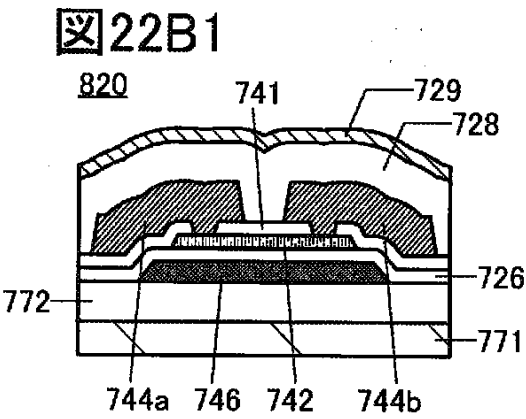
40

50

【図 2 2 A 2】

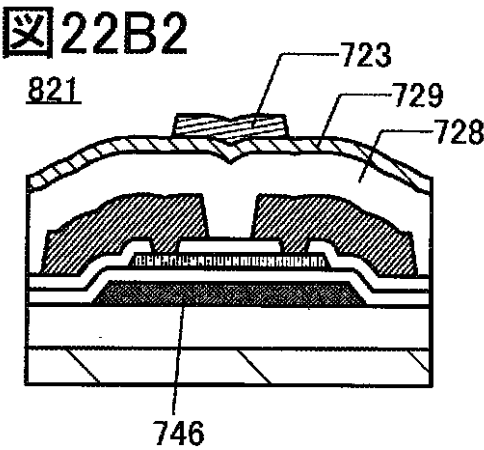


【図 2 2 B 1】

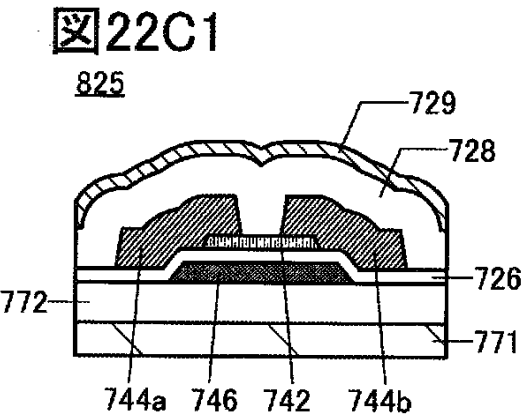


10

【図 2 2 B 2】



【図 2 2 C 1】



20

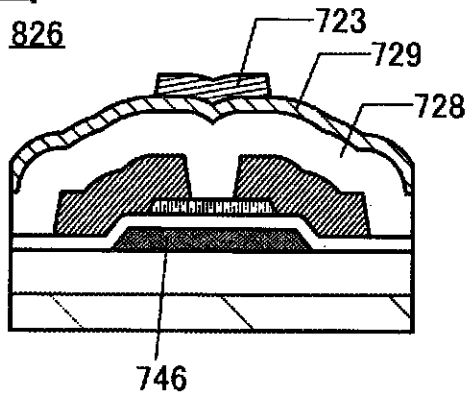
30

40

50

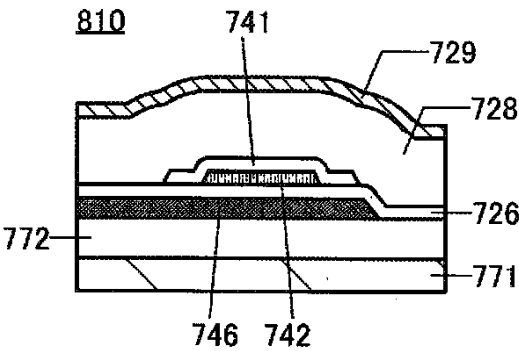
【図 2 2 C 2】

図 22C2



【図 2 3 A 1】

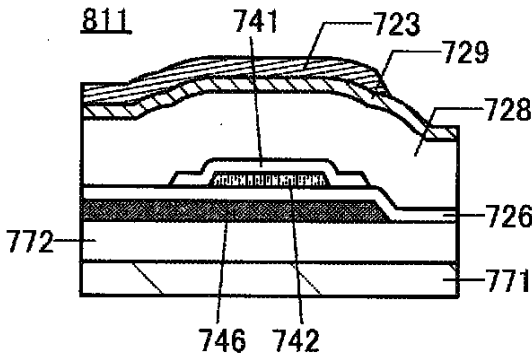
図 23A1



10

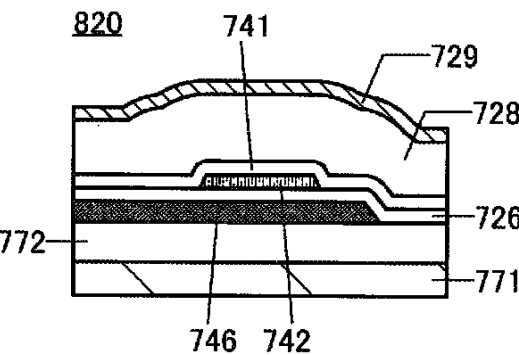
【図 2 3 A 2】

図 23A2



【図 2 3 B 1】

図 23B1



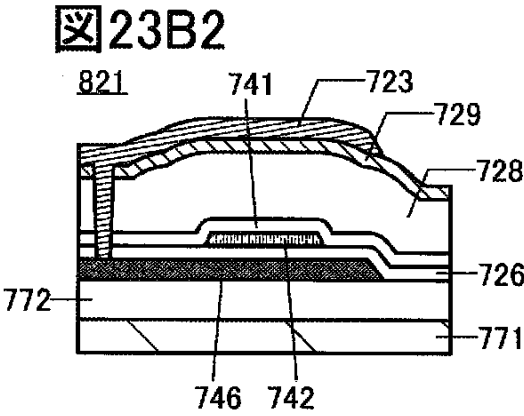
20

30

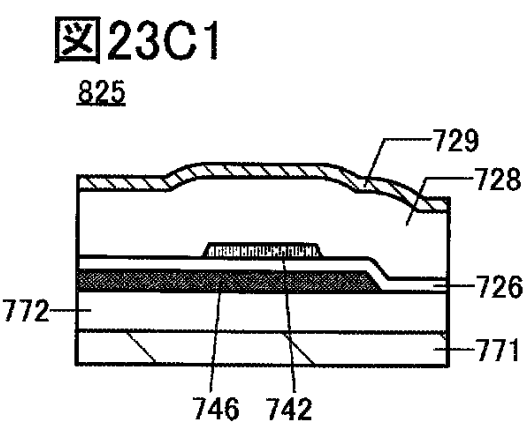
40

50

【図 2 3 B 2】

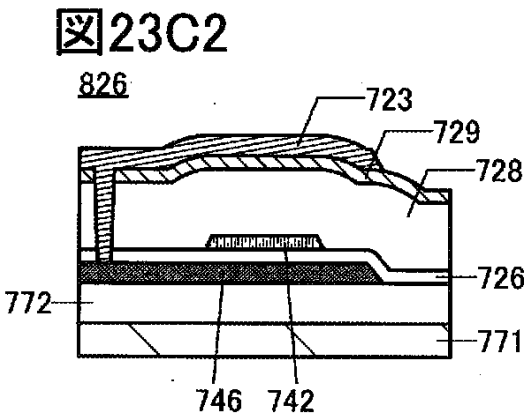


【図 2 3 C 1】

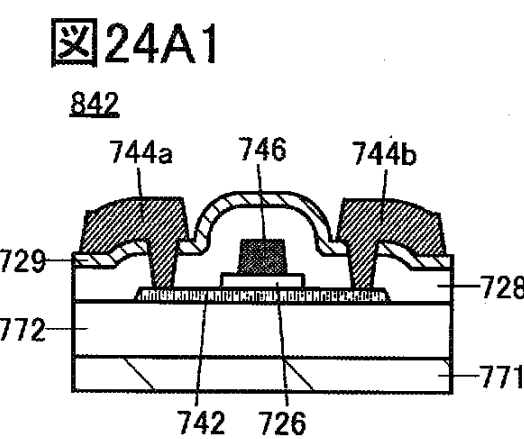


10

【図 2 3 C 2】



【図 2 4 A 1】



20

30

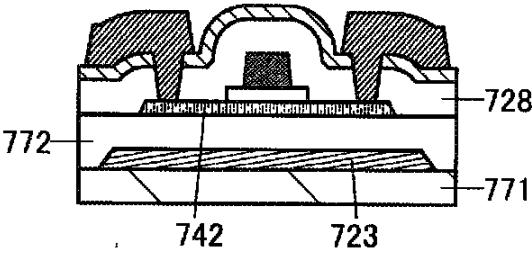
40

50

【図 2 4 A 2】

図24A2

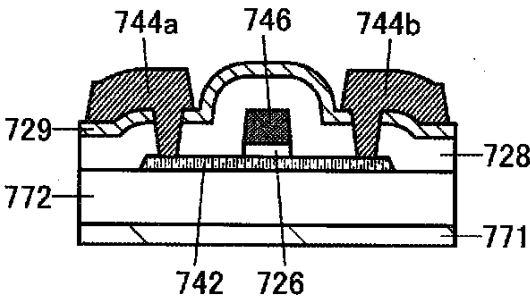
843



【図 2 4 B 1】

図24B1

844

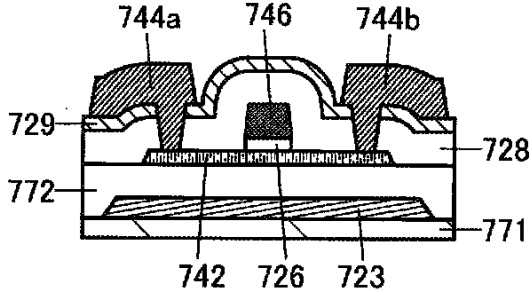


10

【図 2 4 B 2】

図24B2

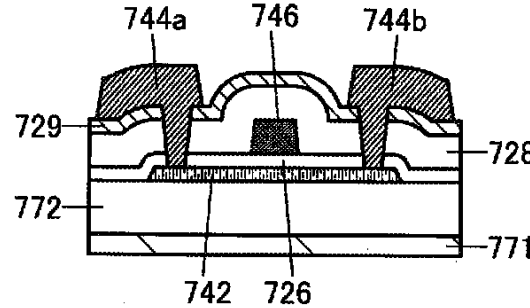
845



【図 2 4 C 1】

図24C1

846



20

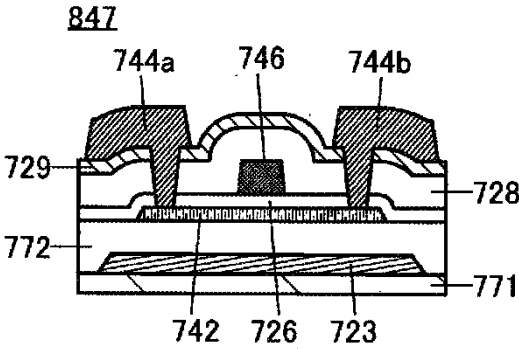
30

40

50

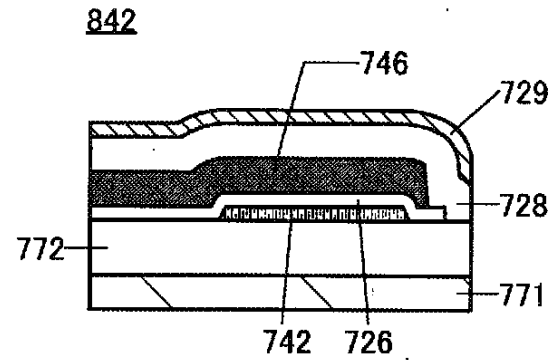
【図 2 4 C 2】

図24C2



【図 2 5 A 1】

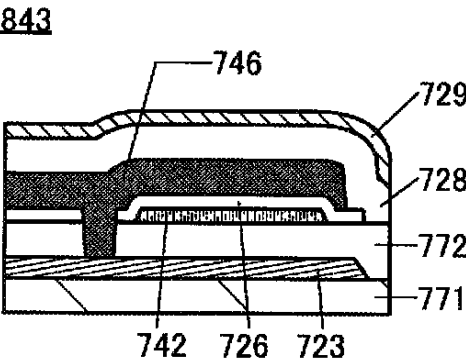
図25A1



10

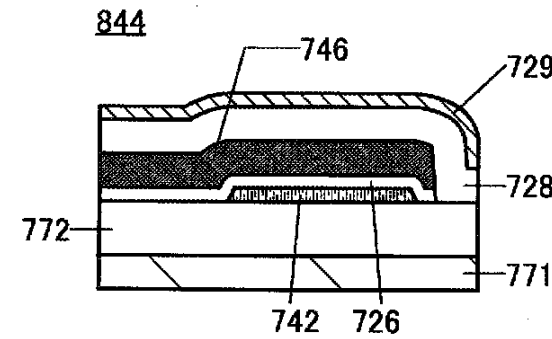
【図 2 5 A 2】

図25A2



【図 2 5 B 1】

図25B1



20

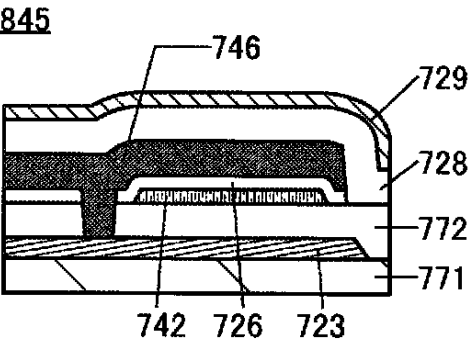
30

40

50

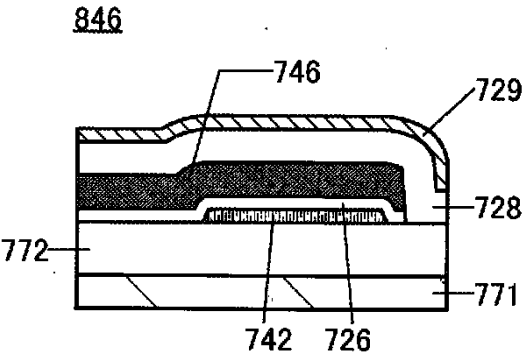
【図 2 5 B 2】

図25B2



【図 2 5 C 1】

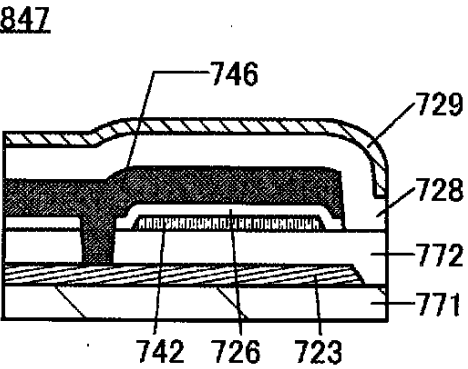
図25C1



10

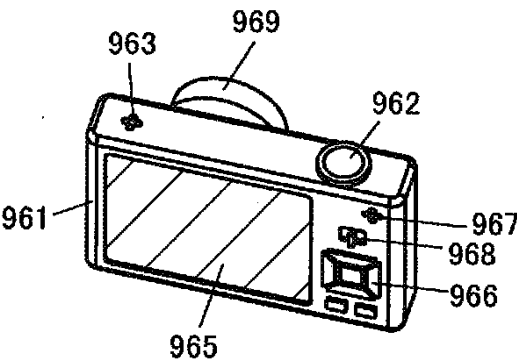
【図 2 5 C 2】

図25C2



【図 2 6 A】

図26A



20

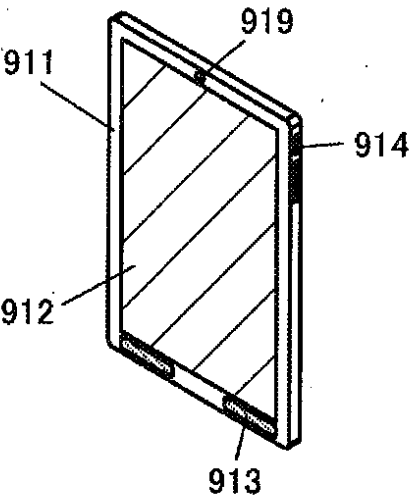
30

40

50

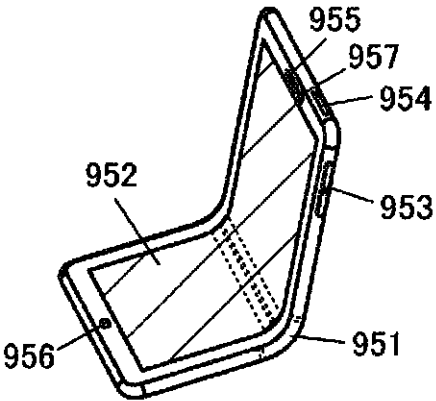
【図 2 6 B】

図26B



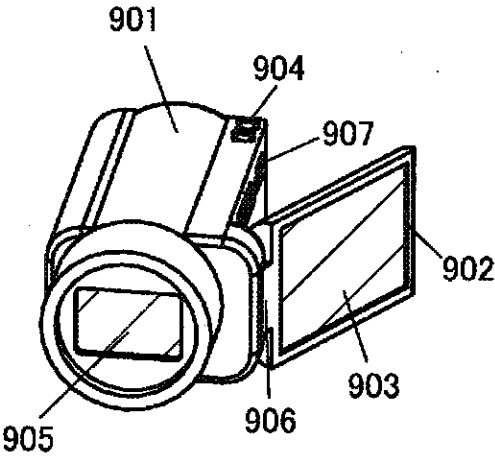
【図 2 6 C】

図26C



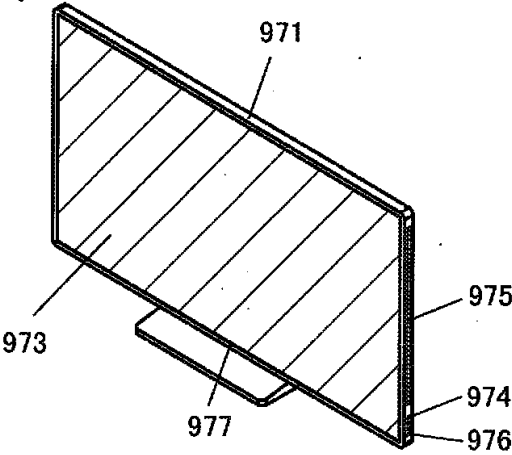
【図 2 6 D】

図26D



【図 2 6 E】

図26E



10

20

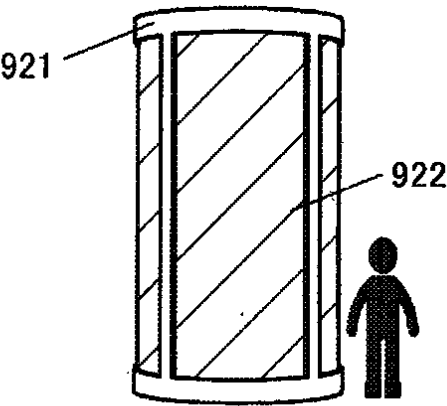
30

40

50

【図 26 F】

図26F



10

20

30

40

50

フロントページの続き

(51)国際特許分類

F I

G 0 9 G	3/20 (2006.01)	G 0 9 G	3/20	6 1 1 A
G 0 9 G	3/3225(2016.01)	G 0 9 G	3/20	6 1 2 D
G 0 9 G	3/3266(2016.01)	G 0 9 G	3/20	6 2 1 H
H 0 1 L	21/822 (2006.01)	G 0 9 G	3/20	6 2 1 L
H 0 1 L	27/04 (2006.01)	G 0 9 G	3/20	6 2 2 B
H 0 1 L	21/8234(2006.01)	G 0 9 G	3/20	6 2 2 E
H 0 1 L	27/06 (2006.01)	G 0 9 G	3/20	6 2 2 G
H 0 1 L	27/088(2006.01)	G 0 9 G	3/20	6 2 4 B
H 0 1 L	29/786(2006.01)	G 0 9 G	3/20	6 8 0 G
H 1 0 K	59/10 (2023.01)	G 0 9 G	3/20	6 9 1 G
		G 0 9 G	3/3225	
		G 0 9 G	3/3266	
		H 0 1 L	27/04	C
		H 0 1 L	27/06	1 0 2 A
		H 0 1 L	27/088	E
		H 0 1 L	27/088	3 3 1 E
		H 0 1 L	29/78	6 1 2 B
		H 0 1 L	29/78	6 1 8 B
		H 1 0 K	59/10	

(56)参考文献

米国特許出願公開第 2 0 0 4 / 0 1 0 9 5 2 6 (U S , A 1)
特開平 0 5 - 2 8 1 5 1 7 (J P , A)
特開 2 0 0 3 - 2 8 8 0 6 2 (J P , A)
米国特許出願公開第 2 0 1 6 / 0 3 3 5 9 6 2 (U S , A 1)
米国特許出願公開第 2 0 1 2 / 0 0 7 6 2 5 6 (U S , A 1)
特開 2 0 0 6 - 1 1 3 5 1 6 (J P , A)
特開 2 0 1 4 - 0 6 4 4 6 2 (J P , A)

(58)調査した分野 (Int.Cl., D B名)

G 0 2 F 1 / 1 3 3
1 / 1 3 6 - 1 / 1 3 6 8
G 0 9 F 9 / 3 0 - 9 / 4 6
G 0 9 G 3 / 0 0 - 3 / 0 8
3 / 1 2 - 3 / 2 6
3 / 3 0 - 3 / 3 8
H 0 1 L 2 1 / 3 3 6
2 1 / 8 2 2
2 1 / 8 2 3 2 - 2 1 / 8 2 3 8
2 1 / 8 2 4 9
2 7 / 0 4
2 7 / 0 6
2 7 / 0 7
2 7 / 0 8 5 - 2 7 / 0 9 2
2 7 / 1 1 8
2 9 / 7 8 6
H 0 5 B 3 3 / 0 0 - 3 3 / 2 8
4 4 / 0 0
4 5 / 6 0
H 1 0 K 5 0 / 0 0 - 9 9 / 0 0