

申請日期	87.03.24.
案 號	87104414
類 別	G06F 7/38

中文說明書修正本(88年10月)

A4
C4

(以上各欄由本局填註)

407245

發明專利說明書

一、發明 名稱	中 文	提供乘法器之純進位保留輸出之方法
	英 文	METHOD FOR PROVIDING PURE CARRYSAVE OUTPUT FOR MULTIPLIER
二、發明 人	姓 名	卡拉費 加納漢 拉那
	國 籍	印度
	住、居所	美國新澤西州凱杉市河流大道420號
三、申請人	姓 名 (名稱)	美商朗訊科技公司
	國 籍	美國
	住、居所 (事務所)	美國新澤西州摩里山丘市山脈大道600號
	代 表 人 姓 名	麥克·R·格林

煩請委員明示88年10月14日所提之修正本有無變更實質內容是否准予修正。

經濟部智慧財產局員工消費合作社印製

裝

訂

線

申請日期	87.03.24.
案 號	87104414
類 別	G06F 7/38

中文說明書修正本(88年10月)

A4
C4

(以上各欄由本局填註)

407245

發明專利說明書

一、發明 名稱	中 文	提供乘法器之純進位保留輸出之方法
	英 文	METHOD FOR PROVIDING PURE CARRYSAVE OUTPUT FOR MULTIPLIER
二、發明 人	姓 名	卡拉費 加納漢 拉那
	國 籍	印度
	住、居所	美國新澤西州凱杉市河流大道420號
三、申請人	姓 名 (名稱)	美商朗訊科技公司
	國 籍	美國
	住、居所 (事務所)	美國新澤西州摩里山丘市山脈大道600號
	代 表 人 姓 名	麥克·R·格林

煩請委員明示88年10月14日所提之修正本有無變更實質內容是否准予修正。

經濟部智慧財產局員工消費合作社印製

裝

訂

線

407245

(由本局填寫)

承辦人代碼：
大類：
I P C 分類：

A6
B6

本案已向：

國(地區) 申請專利，申請日期： 案號： ，☐有 ☐無主張優先權
美國 1997年4月30日 08/841,743 ☒有 ☐無主張優先權

有關微生物已寄存於：

，寄存日期：

，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部智慧財產局員工消費合作社印製

五、發明說明(1)

發明範圍

本申請係關於數字資料之自動化處理技術，特別是在該項處理中實施進位保留乘法之改進方法。

發明背景

在數位電腦中實施之數字資料自動化處理技術中，於過去數十年來為減少某一特定作業之處理時間、或以較少之硬體組合來完成某一特定層次之處理、或為上述兩種目的已發展出多種技術。此等技術中有使用進位保留結構來簡化數位加法器與乘法器以及 2 補數形式中之數字表示，以避免處理負數之問題。此等技術之每一種均經常用於現代化數位電腦進行之數字處理中。

使用進位保留結構之 2 之補數乘法器在自動化數字處理技術中頗為出名，最受歡迎之一為根據 Andrew Booth 於 1951 年所開發出來之演算技術，被稱為 Booth 乘法器。在此種進位保留乘法器中，內部處理係以進位保留形式進行，但輸出係將乘積每一位元之「進位(carry)」項與「和數(sum)」項合併而轉換回成「二進位」形式。但在很多情形下，希望能將乘法器之輸出以進位保留形式進位至另一處理步驟。在合併前可從進位保留乘法器取出一標稱進位保留形式之輸出時，該輸出並非一純進位保留輸出且其使用可能導致在下一步處理中發生錯誤。尤其是該虛擬進位保留輸出無法可靠偵測到滿溢(overflow)情形或允許執行飽合運算。同時也無法對虛擬進位保留輸出作可靠之符號延伸。

五、發明說明(2)

發明概述

本發明之目的為提供一種從 2 之補數進位保留乘法器實現純進位保留輸出之方法。為達此目的，特提供一種方法使得 2 之補數進位保留乘法器中之每一部份乘積及所有部份乘積之和成為純進位保留形式。該方法包括將符號延伸位元加至乘法器之每一部份乘積而得出純進位保留形式。

圖式簡單說明

圖 1 為使用進位保留結構之典型先前技術 Booth 乘法器之線路形式。

圖 2 係顯示根據本發明所修改之 Booth 乘法器之經解碼之部份乘積。

圖 3 係顯示依本發明方法所實施之示例性 12×10 Booth 乘法器之進位保留加法段。

發明之詳細說明

下文中有一部分將討論在一電腦系統中資料位元運算之演算與符號表示。此等演算法為熟於電腦處理技術者通常用來將其工作實質傳達給其他熟於本技術者之方法。

本文中所稱(及一般性而言)之演算可視為導引出所欲結果之內含步驟程序。此等步驟一般地涉及對物理量之操縱。通常地，但非必要地，此種量可能為能加以儲存、移轉、結合、比較及作其他處理之電或磁信號。為便於參考及配合一般使用，此等信號有時會被描述為位元、值、元素(element)、符號(symbol)、字(character)、詞(termin)、數(number)或類似者。但應強調者為此等或類似之名詞係與適

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(3)

當之物理量相關其僅係為施加於量之便利性標示。

任何考慮數字資料機械處理之起點係為決定資料將被表示出來之形式。首先，必須選定數字系統。就歷史上而言，對數字之機械處理曾與 2(二進位)、8(八進位)、10(十進位)及 16(十六進位)有關。因目前對數字之機械處理大多用二進位，此一系統將用於本文中來說明本發明之方法。但熟於此一技術者均知亦可用其他數字系統。

同時亦必須注意自動處理系統中算術運算時對負數之表示與運算方式。雖可用傳統式符號與量(sign and magnitude)之表示(亦即某一數之絕對值連同顯示其為正或負之符號，而正號通常被省略)，但此一表示形式係難(且昂貴)以用於機械處理。因此，在自動算術處理中通常用數之補數連同一顯示該數符號之一個額外位元(通常為最高效位元)。使用補數對數之處理，其形式與優點為眾所週知，在此不再多作討論。

通常使用兩種補數：數基(radix)補數及數基減一(diminished radix)補數，數基係指使用該數字系統之基底(base)。對二進位系統數字而言，數基減一補數被稱為 1 之補數，其形式為對考慮中之二進位數每一位元加以互補(亦即將所有之 1 均改為 0，反之亦然)。二進位中之數基補數被稱為 2 之補數，其形式為對於數之 1 之補數加 1。熟於此一技術者均知形成 1 之補數與 2 之補數之方法為二進位數獨有之簡便方法，對其他數字系統開發此種補數之理論基礎在此不作討論。

五、發明說明(4)

因 1 之補數對 0 值有兩種表示而 2 之補數對 0 僅有一種表示，在數字值之機械處理應用中多選用 2 之補數。因此 2 之補數將用於說明本發明之方法，亦可視為本發明較佳具體實施例之一部分。但熟於此一技術者可知本文所述之方法亦可改用其他補充形式。

數字資料機械處理之基本算術運算為加法，係用稱為邏輯裝置加法器來實施。每一加法器可對三個相加之數值處理 1 位元。為求更有效之作業，加法器通常為並聯(並聯之加法器數目至少等於相加數字中之位元數)，其可使相加數字中之全部位元同時處理。此等並列加法器當然必須處理從一個位元位置至另一位置之進位，且已開發出多種並聯加法器組態來因應此一需求。最有名之加法器組態中有波動加法器(ripple adder)、進位前瞻加法器(look-ahead adder)與進位保留加法器(carry-save adder)。全部此種並聯加法器組態均為業界所熟知，但除了形成本發明較佳具體實施例一部份之進位保留加法器外，其餘在此不再作討論。

已發現進位保留加法器較之波動及進位前瞻加法器在處理時間與硬體複雜度方面有頗大優點，因此被選為大多數機械處理中之並聯加法器。其他並聯加法器必須將在一個位元位置上之和所產生之進位透過該位置左側之全部位元加以傳送，進位保留加法器則提供用於每組相加位元之兩個輸出項、一個和數項及一個進位項。每一位元位置之各進位項均被向下送(並列且向左移動一個位元位置)至另一級而做為另一 n 位元數字(n 為相加數中之位元數)。和數項

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(5)

之「小計(subtotals)」與進位項接著相加而得出加法運算之總和。進位保留加法器之主要優點在用於乘法運算中，下文中將作討論。

機械處理中之乘法運算(一如用紙筆運算)基本上是以乘數中之每一位元乘被乘數之所有位元。對二進位系統中之數字而言，每一位元非 1 即 0，因此當乘數位元為 0 時，每一位元位置中相應於每一乘數位元之部分乘積(partial product)將有一個 0，而當乘數位元為 1 時則有與被乘數每一位元相同之值(1 或 0)。此等部分乘積對乘法器中所處理每一位元而言當然向左移動一個位元位置，然後相加而得出被乘數與乘數之乘積。使用進位保留加法器，部分乘積與前一項之和將以進位保留格式表示(亦即每一位元位置將有一和數(sum)項及一進位(carry)項)。進位與和數項經過所有部分乘積並列相加，且乘積係確定為經過所有部分乘積之和數項總數與所有部分乘積之進位項總數之總和(對和數總數向左移動一位元)。已發現在乘法演算中各部分乘積使用進位保留法相加可大幅節省處理時間。因此該方法普遍用於機械處理中之乘法演算。

就機器處理之乘法而言，使用已開發出之各種演算法已可改善處理之時間，其中各種演算法可發揮表示形式及/或乘法處理之特性。該等演算法之簡單範例有：(1)省去在乘法器中得出「0」之部分乘積及對下一部分乘積移動兩個位元位置之步驟，因而可省去一系列之位元加法器及對每一省去部分乘積之處理時間，及(2)以下一個部分乘積之相應多

五、發明說明(6)

重位移搜尋一串「0」。最常用之此種乘法演算為前述之 Booth 演算法，尤其是改變設計之著名 Nainidzu-Wang 乘法器(見 N. Wang 之數位 MOS 積體電路)。經修改之 Booth 乘法器將用於說明本發明方法之實例。但應知本發明之方法亦可用於其他機械處理乘法運算。

使用部分乘積進位保留加法之 2 之補數 Booth 乘法器線路圖係如圖 1 所示。從圖中可看出，該乘法器按功能分為三段。在頂部段 10 中進行 Booth 編碼處理並產生部分乘積。Booth 編碼處理為業界熟知而不需進一步討論，但僅指出其結果典型地產生大約為乘法器中位元數目一半之部分乘積數。在第二段(進位保留加法)11 中，使用進位保留法將各部分乘積相加，且在最後一段(合併)12 中，全部部分乘積之和與進位項被合併而形成單一值，其為乘法之乘積。

如發明背景所述，數字資料之機械處理存在多種應用，其欲將乘法器之輸出轉移至進位保留格式中之另一功能。當可能在合併緊接前面之一點從乘法器取出一輸出時(圖中 13 所示)，通常為進位保留格式中，該輸出並非純進位保留形式且可能造成某些功能執行之錯誤，諸如偵測滿溢(overflow)狀況或執行飽和運算。此一問題是因為在先前技進位保留加法段中，部分乘積之相加並不處理在最高有效位元符號位元處所隱含之滿溢。

本發明之方法對該種乘法器之進位保留加法處理加以修改，使得此種加法器之進位與和項之總數為此進位保留格式，且因此可用於需要該輸出之其他處理。為達此結果，

五、發明說明(7)

本發明使用一種稱為符號延伸(sign extension)之技術。該技術雖為業界所熟知，但於此仍作簡單說明。

如前所述，對於機械處理而言，一個數字之符號典型地以該數字最高有效位元位置中之一額外位元來表示。機器處理器之邏輯是此一位元並不以對該數字之正常演算方式處理，而是將正確符號保留給算術運算之結果。因為該符號位元在算術運算中不予處理，一個或多個此種位元可被加至一數字之最高有效位元位置之左方，而具有在該數字最高有效位元位置左邊增加 0 同樣之效果。實際上，對正數而言(其符號位元為「0」)，其處理相同，且對符號位元為「1」之負數而言，處理器對負號之處置是「已有符號(signed)」之數值並不因加上一額外符號位元而改變。因此符號延伸通常用於使兩個位元長度不相等之數字中之位元數相等(equalize)，此等同化(equalization)為各種機器處理作業所需。

本發明之方法係由發明人所發現而來，即若每個中間部分乘積和之本身均為純進位保留形式時，乘法器進位保留加法段之輸出(如圖 1 所示)將為純進位保留形式。此一目的之實現，亦即乘法器每一中間部份乘積之和均為純進位保留形式，是根據兩種關鍵概念(key ideas)：

(1)藉由確保和(sum)決不會滿溢而實現任何兩個數字之純進位保留和；及

(2)兩個各為 K 位元長度數字之和，其最大長度將為 K+1 位元，例如兩個 11 位元數字之和不會超過 12 位元。

五、發明說明(8)

利用上述認知(2)，前述(1)中所述結果之實現是依本發明之方法藉由使用符號延伸位元將每一部分乘積預先延伸(pre-extend)至該等部分乘積和之預期最大長度。因符號延伸位元並不改變被延伸數字之值，所以延伸之加法處理之結果不變，但該結果會保證為適當之長度而避免滿溢。此將部分乘積加以預先延伸，典型地在每一部分乘積僅須加上一個符號延伸位元，雖然在某些情形下，尤其是產生初始部分乘積時，須有額外符號延伸位元以使該部分乘積之長度與隨後要相加之部分乘積長度相等。

圖2所示為本發明方法之應用。圖中顯示以Booth編碼步驟為一示例性 12×10 之2之補數Booth乘法器所產生之部分乘積，連同依本發明方法所加之符號延伸位元。五個以Booth編碼產生之部分乘積被標示為 $a_0, a_1 \dots a_{12}$ 、 $b_0, b_1 \dots b_{12}$ 、 $f_0, f_1 \dots f_{12}$ 、 $d_0, d_1 \dots d_{12}$ 與 $e_0, e_1 \dots e_{12}$ 。(在本圖與隨後圖中，仍按照傳統方式用下標「0」指定最高有效位元，該位元亦為符號位元，最低有效位元則下標為被乘數中最大編號之位元，在此為12)。2之補數Booth編碼亦為每一部分乘積產生一整數(round)位元而完成2之互補形式，該整數(round)位元在圖中係以下標「r」表示之。

參看圖中b列之部分乘積(標號為21)為本發明方法之一示例，其中之部分乘積已加上一符號延伸位元 b_0 而加以延伸。然而，可從圖中看出將與「b」列相加之「a」列部分乘積20必須不僅以一個符號延伸位元 a_0 加以預先延伸，而是另加兩個符號延伸位元(一共三個)，此係因為Booth編碼

五、發明說明(9)

處理中每一部分乘積有兩位元之位移，使其保持與相加項同樣之長度。

現在看「f」列之部分乘積 22，按照本發明亦須加一符號延伸位元 f_0 預先延伸，從圖中亦可看出，由於 Booth 編碼位移，此項較之「a」與「b」部分乘積之和要長兩個位元位置。因此，原則上「a」與「b」部分乘積之和在與 f 部分乘積相加前，需要另加兩個符號延伸位元加以預先延伸。然而，按照本發明之另一具體實例，可避免此一「Booth 位移」預先延伸，以及要加至「d」與「e」部分乘積之和。參看圖 3 即明瞭此一具體實例，其顯示依本發明方法之實施用於乘法器之進位保留加法段。

圖 3 顯示四列位元加法器(具有相應於位元位置之標號之圓圈)，其將用於圖 2 中五個部分乘積相加，且係以進位保留加法之組態連接。每一位元加法器有三個輸入，如圖所示係於一既定加法器級(列)相加之部分乘積位元，另有兩個輸出代表該加法器所加位元之和數(sum)項與進位(carry)項。在每一位元位置最後位元加法器輸出處有一匯流排裝置(以▼標示並有兩個輸入與一個輸出)，其運作為將該位元位置之進位與和數項轉換為個別之進位與和數匯流排。此等匯流排之輸出將成為如圖 2 中 25 與 26 處及圖 3 各匯流排裝置輸出處所示之完整和數與進位項。

現在，請看圖 3 第二列加法器(標號 41)。如圖所示，藉著至各位元加法器之輸入，此一加法器級將「f」部分乘積(圖 2)及「a」與「b」部分乘積相加所得之和數與進位項

五、發明說明(10)

加以合併。然而，由於 Booth 編碼位移，「f」部分乘積位元向「a」與「b」部分乘積相加結果之左邊移動兩個位元位置，且因此表示出較該結果大兩個位元長度之數。此係於圖 2 之部分乘積與圖 3 第二加法器級 41 內較高兩個位元加法器中均有顯示。但圖 3 亦顯示本發明如何避免增加兩個符號延伸位元至結果之需要，以提供等同長度之數以便作加法處理。因為已知與增加額外符號延伸位元相關之和數與進位項之值將與增加之第一個符號延伸位元之值相同(亦即圖 3 中第一加法器級 40 內 a_0 與 b_0 項之和)，從加上第一符號延伸位元所得之結果即可跨接至第二加法器級中之較高兩個位元加法器，如圖中 40 與 41 所示。此一跨接處理在加法器級 3 中之 42 與 4 中之 43(或者，更一般化地，在第一級後之所有加法器級)可加以重覆，因此每級可省略兩個位元加法器。

結論

前文已揭示並描述一種用以從使用進位保留加法之乘法器中取得一純進位保留輸出之改良方法。使用本發明之方法，每一部分乘積相加之和即可為純進位保留形式，因此避免進位保留形式位址中有任何滿溢。在此種乘法器內之每一加法器級，使用符號延伸位元將部分乘積位元加以適當延伸，使得不會有資訊之漏失。使用本發明之方法，在加法器級之進位保留輸出中不會有隱含或顯然之滿溢，且因此乘法器之進位保留加法段之最後輸出將為純進位保留形式。

五、發明說明(11)

雖然已對本發明實例作詳細說明，但應瞭解只要不脫離申請專利範圍內所述本發明之精神與範圍，仍可有各種改變、變化與代替。特別是，本發明較佳實例所述之方法係使用 2 之補數進位保留 Booth 乘法器，而本發明亦可立即擴展至其他進位保留乘法器之實施。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

四、中文發明摘要（發明之名稱：提供乘法器之純進位保留輸出之方法）

一種從2之補數進位保留乘法器實現純進位保留之方法。
特別是提供一種使得在2之補數進位保留乘法器中之每一部份乘積及所有部份乘積之和成為純進位保留形式之方法。
該方法包括將符號延伸位元加至乘法器之每一個部份乘積而達成純進位保留形式。

英文發明摘要（發明之名稱：METHOD FOR PROVIDING PURE CARRYSAVE OUTPUT FOR MULTIPLIER）

A method is described for realizing a pure carry-save output from a two's complement carry-save multiplier. In particular, that method provides for causing each partial product, and a sum of all partial products in a two's-complement carry-save multiplier to be in pure carry-save form. The method includes the addition of sign extension bits to each partial product of the multiplier to achieve such pure carry-save form.

六、申請專利範圍

1. 一種從一乘法器取得純進位保留形式輸出之方法，包括下列步驟：
產生一組部分乘積；
對該等部分乘積加以處理而使得一既定部分乘積與一前項相加之結果為純進位保留形式；及
決定反覆應用對該等部分乘積之處理步驟所得之和數項與進位項。
2. 如申請專利範圍第1項之方法，其中之處理步驟為使用符號延伸位元將每個部分乘積預先加以延伸。
3. 如申請專利範圍第2項之方法，其中對部分乘積之預先延伸是使得一既定部分乘積與一前項相加之任何結果不會超限。
4. 如申請專利範圍第2項之方法，其中對部分乘積之預先延伸是對每個部分乘積加上一個符號延伸位元但最初之一個部分乘積除外。
5. 如申請專利範圍第1項之方法，其中之乘法器是根據所處理值之2之補數來表示。
6. 如申請專利範圍第1項之方法，其中乘法器之組態為一Booth乘法器。
7. 一種規畫為實施如申請專利範圍第1項方法之進位保留乘法器。
8. 如申請專利範圍第13項之進位保留乘法器，其中該乘法器所產生之連續部分乘積於最高有效位元位置相加所得之和數項與進位項被跨接至一位元加法器之輸入，該加

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

法器有來自後續部分乘積至少一個較高序之位元位置之一個位元做為輸入。

9. 一種具有一進位保留加法部分之機器實施 (machine implemented) 之乘法器，包括：

用於產生一組部分乘積之裝置；

用於處理該等部分乘積使得該進位保留加法部分將一既定部分乘積與一前項相加之結果成為純進位保留形式之裝置；及

用於對連續部分乘積反覆使用該處理裝置之裝置。

10. 如申請專利範圍第9項之乘法器，其中之處理裝置包括使用符號延伸位元對每個部分乘積預先延伸之裝置。

11. 如申請專利範圍第9之乘法器，其中對部分乘積之預先延伸係使得一既定部分乘積與一前項相加之結果不會有超限情形。

12. 如申請專利範圍第10項之乘法器，其中對部分乘積預先延伸之方式為對每個部分乘積均加上一符號延伸位元但初始之一個部分乘積除外。

13. 如申請專利範圍第9項之乘法器，其中該乘法器是根據所處理值之2之補數來表示。

14. 如申請專利範圍第9項之乘法器，其中該乘法器之組態為Booth乘法器。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

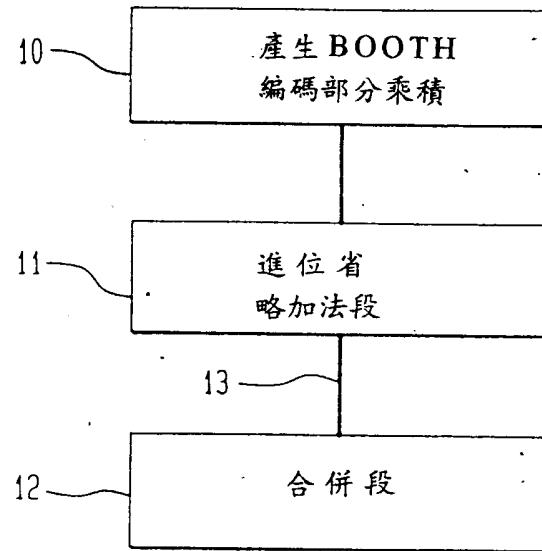


圖 1

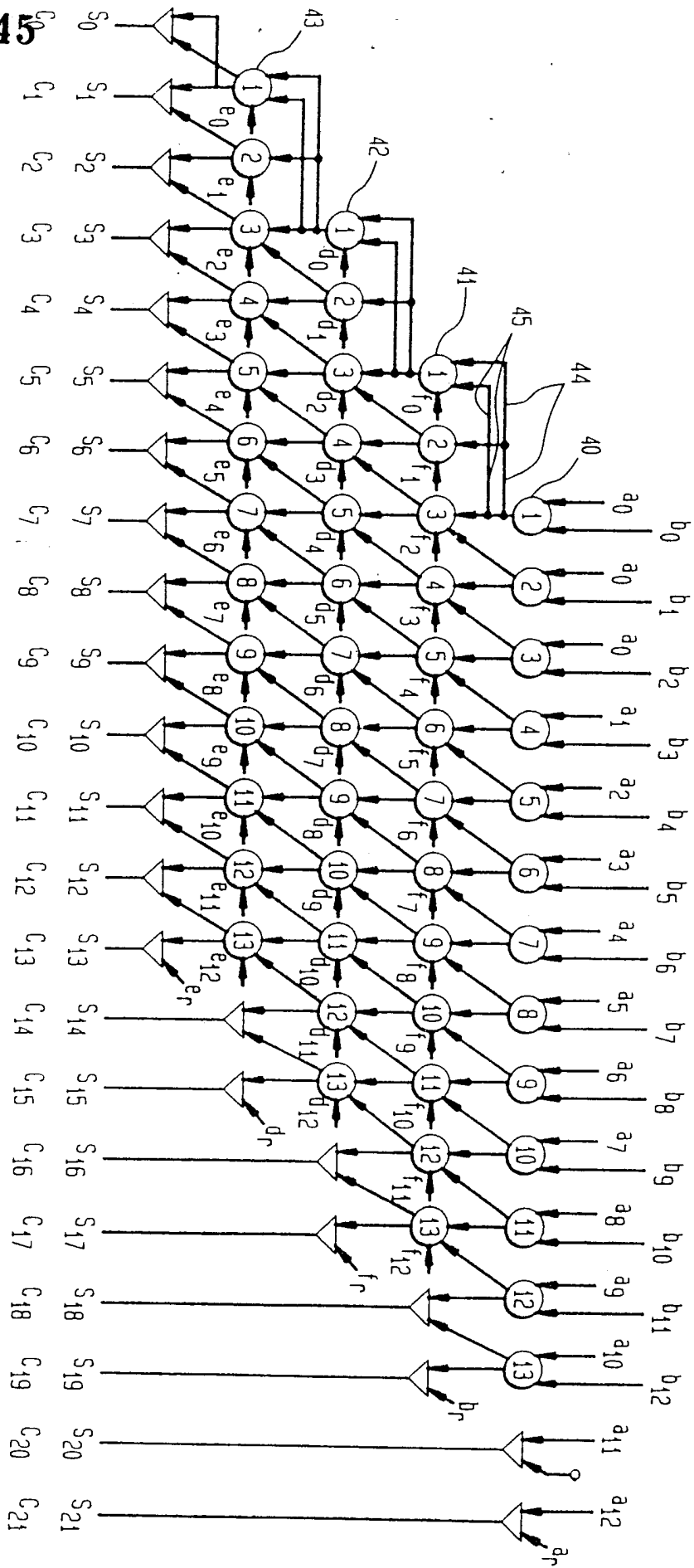


圖 3