

【公報種別】特許法第 17 条の 2 の規定による補正の掲載  
 【部門区分】第 7 部門第 3 区分  
 【発行日】平成 25 年 10 月 31 日 (2013.10.31)

【公開番号】特開 2013-146105 (P2013-146105A)  
 【公開日】平成 25 年 7 月 25 日 (2013.7.25)  
 【年通号数】公開・登録公報 2013-040  
 【出願番号】特願 2013-82428 (P2013-82428)  
 【国際特許分類】

H 0 4 L 1/00 (2006.01)

【F I】

H 0 4 L 1/00 B

【手続補正書】

【提出日】平成 25 年 9 月 17 日 (2013.9.17)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

第 1 の基板部分上に集積回路 (IC) として形成されて、第 2 の基板部分上に形成された別の IC と交換されたデータにおける送信エラーを検出する物理インタフェースであって、

着信符号化データビットを受信するように構成された入力ポートの第 1 の部分集合と、着信復号化データビットを前記別の IC に送信するように構成された出力ポートの第 1 の部分集合とを含む複数の入力ポート及び出力ポートと、

前記複数の入力ポート及び出力ポートの間に結合された 1 つ又はそれよりも多くのエラー・リカバリー・モジュールと、

を含み、

前記 1 つ又はそれよりも多くのエラー・リカバリー・モジュールの第 1 のエラー・リカバリー・モジュールは、前記第 1 の部分集合の入力ポートの少なくとも 1 つと前記第 1 の部分集合の出力ポートの少なくとも 1 つとの間に結合されている、

ことを特徴とする物理インタフェース。

【請求項 2】

前記第 1 のエラー・リカバリー・モジュールは、前記着信符号化データビット内のエラーを検出して前記エラーを訂正するアクションを開始するように構成された物理層 (PHY) 復号器を含むことを特徴とする請求項 1 に記載の物理インタフェース。

【請求項 3】

前記 PHY 復号器は、 $N + 2$  ビット /  $N$  ビット復号器である、請求項 2 に記載の物理インタフェース。

【請求項 4】

前記複数の入力ポート及び出力ポートは、発信未符号化データビットを前記別の IC から受信するように構成された入力ポートの第 2 の部分集合と、発信符号化データビットを送信するように構成された出力ポートの第 2 の部分集合とを含み、

前記 1 つ又はそれよりも多くのエラー・リカバリー・モジュールの第 2 のエラー・リカバリー・モジュールは、前記第 2 の部分集合の入力ポートの少なくとも 1 つと前記第 2 の部分集合の出力ポートの少なくとも 1 つとの間に結合され、前記第 2 のエラー・リカバリー・モジュールは、前記発信符号化データビットに対するエラー検出コードを発生させる

ように構成された P H Y 符号器を含む、

ことを特徴とする請求項 2 に記載の物理インタフェース。

【請求項 5】

前記 P H Y 符号器は、N ビット / N + 2 ビット符号器であり、前記別の I C はコア I C である、請求項 4 に記載の物理インタフェース。

【請求項 6】

前記別の I C はメモリ I C であり、前記出力ポートの前記第 1 の部分集合は前記メモリ I C のアドレスバス入力に接続されてアドレスビットとして前記着信符号化データビットを通信し、前記入力ポートの前記第 2 の部分集合は前記メモリ I C のデータバス出力に接続されてメモリデータビットとして前記発信符号化データビットを通信する、請求項 4 に記載の物理インタフェース。

【請求項 7】

前記第 1 の I C はメモリコントローラである、請求項 6 に記載の物理インタフェース。

【請求項 8】

前記第 1 の基板部分はさらに入出力 ( I / O ) リングを含んでおり、この I / O リングに前記物理インタフェースが形成されており、前記第 1 の基板部分及び第 2 の基板部分は同じ基板上にある、請求項 1 に記載の物理インタフェース。

【請求項 9】

前記第 1 の基板部分及び第 2 の基板部分は、システムオンチップ ( S O C ) の一部として形成されている、請求項 8 に記載の物理インタフェース。

【請求項 10】

物理インタフェースを含み、第 1 の集積回路 ( I C ) として形成された第 1 の基板部分と、

第 2 の I C を含む第 2 の基板部分と、ここで、前記第 1 の I C は前記第 2 の I C と交換されるデータにおける送信エラーを検出するようにされており、

を含む装置であって、前記物理インタフェースは、

着信符号化データビットを受信するように構成された入力ポートの第 1 の部分集合と、着信復号化データビットを前記別の I C に送信するように構成された出力ポートの第 1 の部分集合とを含む複数の入力ポート及び出力ポートと、

前記複数の入力ポート及び出力ポートの間に結合された 1 つ又はそれよりも多くのエラー・リカバリー・モジュールと、

を含み、

前記 1 つ又はそれよりも多くのエラー・リカバリー・モジュールの第 1 のエラー・リカバリー・モジュールは、前記第 1 の部分集合の入力ポートの少なくとも 1 つと前記第 1 の部分集合の出力ポートの少なくとも 1 つとの間に結合されている、

ことを特徴とする装置。

【請求項 11】

前記第 1 のエラー・リカバリー・モジュールは、前記着信符号化データビット内のエラーを検出して前記エラーを訂正するアクションを開始するように構成された物理層 ( P H Y ) 復号器を含むことを特徴とする請求項 10 に記載の装置。

【請求項 12】

前記 P H Y 復号器は、N + 2 ビット / N ビット復号器である、請求項 11 に記載の装置。

【請求項 13】

前記複数の入力ポート及び出力ポートは、発信未符号化データビットを前記別の I C から受信するように構成された入力ポートの第 2 の部分集合と、発信符号化データビットを送信するように構成された出力ポートの第 2 の部分集合とを含み、

前記 1 つ又はそれよりも多くのエラー・リカバリー・モジュールの第 2 のエラー・リカバリー・モジュールは、前記第 2 の部分集合の入力ポートの少なくとも 1 つと前記第 2 の部分集合の出力ポートの少なくとも 1 つとの間に結合され、前記第 2 のエラー・リカバリ

ー・モジュールは、前記発信符号化データビットに対するエラー検出コードを発生させるように構成されたPHY符号器を含む、

ことを特徴とする請求項11に記載の装置。

【請求項14】

前記PHY符号器は、Nビット/N+2ビット符号器であり、前記別のICはコアICである、請求項13に記載の装置。

【請求項15】

前記別のICはメモリICであり、前記出力ポートの前記第1の部分集合は前記メモリICのアドレスバス入力に接続されてアドレスビットとして前記着信符号化データビットを通信し、前記入力ポートの前記第2の部分集合は前記メモリICのデータバス出力に接続されてメモリデータビットとして前記発信符号化データビットを通信する、請求項13に記載の装置。

【請求項16】

前記第1のICはメモリコントローラである、請求項15に記載の装置。

【請求項17】

前記第1の基板部分はさらに入出力(I/O)リングを含んでおり、このI/Oリングに前記物理インタフェースが形成されており、前記第1の基板部分及び第2の基板部分は同じ基板上にある、請求項10に記載の装置。

【請求項18】

前記第1の基板部分及び第2の基板部分は、システムオンチップ(SOC)の一部として形成されている、請求項17に記載の装置。

【請求項19】

第1の基板部分を含む第1の要素であって、前記基板部分が第1の集積回路(IC)として形成された物理インタフェースを含んでいる第1の要素と、

第2のICを含む第2の基板部分を含む第2の要素であって、前記第1のICが前記第2のICと交換されるデータにおける送信エラーを検出するようにされている第2の要素と、

を含み、前記物理インタフェースは、

着信符号化データビットを受信するように構成された入力ポートの第1の部分集合と、着信復号化データビットを前記別のICに送信するように構成された出力ポートの第1の部分集合とを含む複数の入力ポート及び出力ポートと、

前記複数の入力ポート及び出力ポートの間に結合された1つ又はそれよりも多くのエラー・リカバリー・モジュールと、  
を含んでおり、

前記1つ又はそれよりも多くのエラー・リカバリー・モジュールの第1のエラー・リカバリー・モジュールは、前記第1の部分集合の入力ポートの少なくとも1つと前記第1の部分集合の出力ポートの少なくとも1つとの間に結合されている、

ことを特徴とするシステム。

【請求項20】

前記第1のエラー・リカバリー・モジュールは、前記着信符号化データビット内のエラーを検出して前記エラーを訂正するアクションを開始するように構成された物理層(PHY)復号器を含むことを特徴とする請求項10に記載のシステム。

【請求項21】

前記複数の入力ポート及び出力ポートは、発信未符号化データビットを前記別のICから受信するように構成された入力ポートの第2の部分集合と、発信符号化データビットを送信するように構成された出力ポートの第2の部分集合とを含み、

前記1つ又はそれよりも多くのエラー・リカバリー・モジュールの第2のエラー・リカバリー・モジュールは、前記第2の部分集合の入力ポートの少なくとも1つと前記第2の部分集合の出力ポートの少なくとも1つとの間に結合され、前記第2のエラー・リカバリー・モジュールは、前記発信符号化データビットに対するエラー検出コードを発生させる

ように構成されたPHY符号器を含む、  
ことを特徴とする請求項20に記載のシステム。

【請求項22】

集積回路(IC)間でのデータ通信における送信のために物理インタフェースにおけるエラー検出コードを生成する機器であって、 $N$ をデータビットのあらゆる整数を表すものとして、

(1)  $N$ 個のアプリケーションデータビットと共に物理インタフェースエラー検出ビットを挿入して $N+1$ 個の未符号化データビットを形成し、かつ

(2) 前記 $N+1$ 個の未符号化データビットを符号化して $N+2$ 個の符号化データビットを生成する、

ように構成された $N$ ビットから $N+2$ ( $N$ ビット/ $N+2$ )ビット物理層(PHY)符号器と、

前記物理インタフェースエラー検出ビットを含むエラー検出コードを構成するいくつかのビットを発生するように構成されたエラー検出コード発生器と、

を含むことを特徴とする機器。

【請求項23】

さらに、前記 $N+2$ 個の符号化データビットをシリアル化して $N+2$ 個のシリアルな符号化データビットを生成することによって、エラー検出データビットを他のデータビットと交互配置するよう構成されたシリアライザを含む、請求項22に記載の機器。

【請求項24】

さらに、前記 $N$ 個のアプリケーションデータビットを含むデータビットの群を記憶する記憶装置を含み、前記エラー検出コード発生器は、データビットの群を検査してエラー検出コードを発生させるよう構成されている、請求項22に記載の機器。

【請求項25】

さらに、再送信の要求を受信した時にデータビットの前記群の1つ又はそれよりも多くの部分集合を再送信するよう構成された送信機エラー訂正器を含む、請求項24に記載の機器。

【請求項26】

前記 $N$ は、8、12、18、64、又は128のいずれか1つである請求項22に記載の機器。