

[19]中华人民共和国国家知识产权局

[51]Int. Cl⁷

H05K 3/06

H05K 3/18

H05K 1/02

[12] 发明专利说明书

[21] ZL 专利号 96119259.3

[45]授权公告日 2002年7月24日

[11]授权公告号 CN 1088321C

[22]申请日 1996.11.20

[21]申请号 96119259.3

[30]优先权

[32]1995.12.1 [33]US [31]566363

[73]专利权人 国际商业机器公司

地址 美国纽约州

[72]发明人 A·C·巴特 A·C·巴特

R·J·戴 T·P·达菲

J·A·奈特 R·W·马利克

V·R·马科维克

[56]参考文献

EP 0189975A1 1986. 8. 6 H05K3/42

EP 0472158A 1992. 2. 26 H05K3/42

US 3568312A 1971. 3. 9 H05K3/06

审查员 刘红梅

[74]专利代理机构 中国专利代理(香港)有限公司

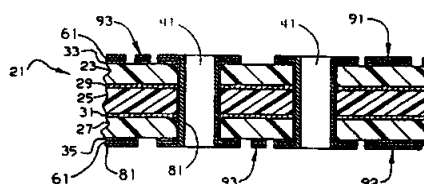
代理人 董江雄 邹光新

权利要求书2页 说明书8页 附图页数7页

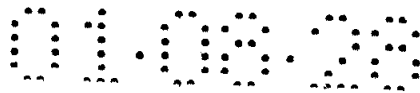
[54]发明名称 使用两种不同的金属化过程制造电路基片的方法

[57]摘要

本发明提供了一种制造电路基片的方法,在此方法中,用了两种不同的过程如沉积过程和退除过程对基片进行处理。这样此方法就能有效地生产基片,通过一个有效的而且快速的方法,使基本具有两种不同程度的分辨能力的导电特性。如高密度的电路线和集成电路块热沉入块,从而确定了最终产品。



ISSN 1008-4274



权 利 要 求 书

1. 一种制造电路基片的方法，此方法包括以下步骤：

5 (a) 提供一个介质部件，此部件的第一介质层上有第一导电材料层；

(b) 用退除金属化工艺除去某些所述第一导电材料层，在所述介质部件的所述第一介质层上，由所述第一导电材料层形成包括多个宽小块和多条窄导线的第一导电部分；

10 (c) 在上述第一介质层和所述第一导电部件上形成第二导电材料层；

(d) 在所述第二导电材料层上形成第二介质层，然后有选择地除去部分所述第二介质层，使覆盖住所述第一导电部件的所述第二导电材料层的各部分外露；

15 (e) 用附加金属化工艺在所述第二导电材料层的所述外露部分上形成多个第二导电部件，其中将所述第二导电部件加到覆盖所述第一导电部件的所述第二导电材料层的各所述外露部分上；

(f) 除去所述第二介质层的剩余部分；以及

(g) 除去通过在步骤(f)中除去所述第二介质层露出的部分所述第二导电材料层，从而形成所述电路基片。

20 2. 权利要求 1 所述的方法，其特征在于用压制法将所述第一导电材料层固定在所述第一介质层上。

3. 权利要求 1 所述的方法，其特征在于所述第二介质层以平板形式固定在所述第二导电材料层上。

25 4. 权利要求 1 所述的方法，其特征在于用蚀刻法去除所述第一导电材料层的某些部分。

5. 权利要求 1 所述的方法，其特征在于所述第二介质层是光致抗蚀剂，用曝光及显象过程除去所述第二介质层部分，在曝光过程中对所述光致抗蚀剂的所选区曝光，在显象过程中所述曝光的选择

区的抗蚀剂被去除。

6. 如权利要求 1 所述的方法，其特征在于，在所述步骤(a)和所述步骤(b)之间还包括这样一个步骤：在所述介质部件中形成至少一个通孔，该通孔穿过所述第一介电层和所述第一导电材料层延伸。

7. 如权利要求 6 所述的方法，其特征在于，所述某些第一导电材料层是用腐蚀法除去的，即用光致抗蚀层有选择地保护所述第一导电部件，其中在所述腐蚀过程中，所述通孔由所述光致抗蚀层加以保护。

10 8. 如权利要求 1 所述的方法，其特征在于，所述附加的第二导电部件是用非电镀法附加到所述第二导电材料的各所述外露部分上的。

9. 如权利要求 8 所述的方法，其特征在于，所述非电镀法是将所述介质部件在自催化非电镀铜溶液中浸渍 5~24 小时进行的。

15 10. 权利要求 1 所述的方法，其特征在于使所述第二导电部件成为一个平面。

11. 权利要求 10 所述的方法，其特征在于用机械方法实现平面化。

12. 权利要求 11 所述的方法，其特征在于机械方法为砂磨。

20 13. 权利要求 6 所述的方法，其特征在于至少一个穿孔用钻孔法提供。

说明书

使用两种不同的金属化过程制造 电路基片的方法

本发明涉及制造电路基片如印刷电路板，尤其是那些能用于信息处理系统（计算机）等的基片的方法，在完整的结构中，这些基片一般都包含一个或多个介质层，介质层与一个或多个导电层交叉重叠，导电层可起电源层，信号层和地线层的作用。

电路基片如印刷电路板的生产是一项现有技术，从下列美国专利证书所描述的这些过程中可得到各种范例。

- 4, 705, 592 - B a h r l e 等
- 4, 925, 525 - O k u 等
- 5, 017, 271 - W h e w e u 等
- 5, 050, 038 - M a l a u r i e 等
- 5, 252, 195 - K o b a y a s h i 等
- 5, 277, 787 - O t a n i 等

其他出版物也描述了这些过程，如I B M技术公报第6期35卷第407页（92年11月）

一般地，用于淀积所需的导电部分如电源层，信号线等的金属化过程属于下列两种类型之一：（1）附加金属化；（2）退除金属化。通常情况下，附加金属化就是加附，例如在介质材料如光致抗蚀剂中用非电覆铜板嵌入限定沟道，而退除金属化就是去除前面淀积的金属如铜的未受保护的部分，在基片的外表面形成所需电路层，这两个过程在下面将作更详细的描述。

在附加金属化过程中使用的起始材料是一种抗导电（介质）材料，如用玻璃纤维（更通常地被称为“聚酯胶片”）压制的环氧树脂，象0.5密耳厚的铜皮层，就压在介质材料的两面，然后用腐蚀的方法去除大部分铜皮，约66%或0.30-0.35密耳厚，此后对表面进行着色，清洗和干燥处理，再按

公开的步骤涂上一层负性光致抗蚀剂，并保持正常状态，接着用穿孔、钻孔，激光切割等方法在板上打出定位孔和穿孔，这些孔的表面再用氯化钯溶液进行活化处理，然后去除负性抗蚀剂（使用“脱模”步骤），基片的暴露面再用苯并噻唑粘结剂处理，最后再涂一层负性抗蚀剂，此光致抗蚀剂按所要求的导电线路图曝光，冲洗，此基片现在就可以用来淀积金属，如铜，以获得此基片的导电电路。

淀积铜的一种典型方法，是将基片浸入一个铜液槽中延续一定期间，如几个小时，在此过程中，铜就非电学地淀积至要求的厚度，如40微米，包括前面提到的在前述工序中留下的5微米铜层，各种孔，特别是穿孔，应使对面电路或一个或两个这种电路与其他内部导电层之间产生电连接，例如电源层或地线层，沉铜之后，一薄层锡就可淀积在铜电路上，然后，去除定界光致抗蚀剂，随着对暴露的镀锡线的处理，如蚀刻去除锡，任何露出的薄层铜（5微米）部分就被蚀刻掉接着是检验和通电试验。

上述淀积过程特别适用于提供高分辨能力的电路表面，如导线，高分辨能力是指对电路而言，仅仅大约1-2密耳（千分之一）厚，小于约3密耳宽且以很近的距离如不超过3密耳的距离布置，用这种过程生产的线路很容易区别开，从而具有良好尺寸的线路在最后的电路板结构中才能起有效的作用，这种过程已经证明效率有些低，可是在提供导电特性，如相对较大（如15平方密耳）而分辨能力较低的铜块，此块也可能是最终基片产品所需的一部分，这时，这种沉积过程就作为一个热沉入部分适用于已定位的半导体器件（芯片）。例如，这样一种工序，一般包含一个或更多湿浸活化法，结果产生出副产品氢，这种氢经常引起基片起泡，穿进介质环氧树脂材料中，或者在后面的过程中停留在基片的外表面，在生产高或低分辨能力的导电表面的基片时，起泡显然是不可接受的。

对于去除金属化过程，典型的起始介质材料也是使用聚“酯胶片”，铜层压制在介质材料的一面或双面，在后面的工序过程中，几个这样的基片可同时封装，然后，用数控自动设备钻出穿孔和清理孔，用单纯的化学方法使铜皮基层淀积于孔表面，再用电镀来加厚铜层，使用照相平版印刷使已压铜皮的基片表面产生光致抗蚀剂图形，在这些图形区中，所需要的导电电路可以形成，将基片分别送到蚀刻系统，在此，未被光致抗蚀剂保护的区域铜层就被蚀刻掉，

也就是这种铜层被去除，即词“退除”的含义，将残留的抗蚀剂清除后，就只剩下印刷电路在环氧树脂基片上了。

这种金属退除法有缺点，就是必须在介质基片上压制相对厚的铜层，在其后的蚀刻过程中，大部分铜层被去除，另外，蚀刻过程中还发生多余的底切，从而，就不能生产出严格的最终导线宽度，厚度和布置，以及那些高分辨能力的情形（如上述）。

由上可见，上述两种金属化过程都不适用于生产这里已提及类型的电路基片，在这种基片中，需要包括高和低分辨能力的导电金属表面。如紧密布置的极薄电路和相对较大的热浸入芯片。

可以肯定，利用所选过程（如前面提到过的沉积和退除金属化过程）的许多优点，而克服它们的一些缺点，能够生产电路基片的过程将形成重大的技术进步。

因此，本发明的一个主要目的是改进生产电路基片的技术，如特别为计算机及其类似环境使用而设计的各种印刷电路板。

本发明的一个特别目的是提供这样一种过程，此过程在某一加速措施中容易执行，从而提出适合于大量产品的过程及其许多优点。

按本发明的一个方面，提供了一种制造电路基片的方法，此方法包含以下步骤：提供一种介质，其上包含一层导电材料，使用第一金属化过程，在首层导电材料的基础上在介质件上形成第一导电部分，在介质材料上提供第一介质材料层，其上至少有一个通道，用不同于第一金属化过程的第二金属化过程在第一层介质材料层的通道上形成第二导电部分。

图1 -1 4 根据本发明的一个实施例，描述了制造电路基片的各个步骤，可选择的步骤（尽需要），如通孔制作也在图3 中表示出来了，图9 -1 2 的图形比例比图1 -8 稍大，而图1 3 和1 4 的比例比图9 -1 2 稍大，图形放大以便说明本发明的目的。

为了更好地理解本发明，以及本发明其他目的，优点及性能，请参照下面与上述图形相关的说明书及权利要求书。

如前所述，根据本发明的一个前述实施例，图1 -1 4 表示出可利用来生产电路基片的各种步骤，此处使用的电路基片这个词，是指在基片部分至少有一个介质层和介质层上至少存一个导电层，显然，本发明能很容易地生产更复

杂的电路基片，如那些具有几个导电层（信号层、电源层和地线层）和用于基片导电层内部相连的数个通孔（PTHs）。这样的电路基片可以按一定方式形成印刷线路板（PCB），以用于各种产品，如计算机，而且本发明对这样的最终使用没有限制。

图1所示的部件21为原始部分，在形成最终产品（电路板）的不同过程中都要提到，它至少包含一个介质层23，此层最好是用玻璃纤维压制的环氧树脂（工业上也称FR4）这种介质材料，在图1的示例中，表示出了两个附加介质层25和27，也表示出了两个内部导电层29和31。另外其外部还有两个导电层33和35。对于部件21，25，29和31部分一开始就应压到一起（使用层压方法），从而作为一个整体结构，在此示例中，此结构可以作为一个核心部分，其整体厚度应控制在20微米的范围之内，介质层25的厚度大约为17.6微米，两个与之相连的导电层29和31每层的厚度约为1.2微米，介质层25的材料是FR4，导电层29和31为铜。

部件21的核心形成后，再将两个介质层23和27分别放在此核心的两面，然后在外边再覆盖导电层33和35。最后采用众所周知的技术将顺序排放的各层压在一起，就形成如图所示的部件21，整块厚度约为30微米，压列在一起的介质层23和27每层厚度约为3.9微米，两个外部导电层33和35每层的厚度约为0.8-1.2微米。

部件21用已知设备及方法进行压制，因此对这种设备及方法不需要更多的说明。

如图2所示的本发明的实施例中，已对外部导电层33和35进行了减小厚度处理，这种处理就是对这些导电层进行液体腐蚀（如使用氯化铜，一种众所周知的腐蚀剂），这样两层的厚度就小于0.2密耳。这种厚度缩减使用现有腐蚀设备和处理参数进行，因此就不需要对此再加描述，然而很清楚，这种液体腐蚀法并不是减小厚度的唯一方法。本发明并不局限于这种腐蚀，在本实施例中，是用装在一个水平传送的蚀刻器中的大约135华氏度（F）的3克分子的氯化铜来进行蚀刻的，传送器的速度可调，直至能获取最终规定铜层厚为1-2密耳。

在图3中，部件21，已减小了外部导电层33和35的厚度，可以进行钻孔或其类似操作，以得到大量孔41，穿孔的应用在电路基片领域中是周知

的，这些部分一般用来连接一个或更多的内部/外部导电层，从而大大提高最后产品的应用能力，根据本发明的广泛应用可清楚这一点，然而，这只是一个可选步骤，不需要重点描述。

孔4 1 最好用钻孔取得，但其他工序如激光切割也可使用，在本发明的一个示例中，长1.4 mm，宽1.4 mm的正方形基片上总共有500个穿孔4 1，钻孔之后，对孔进行去毛刺或用化学法处理如用高锰酸钠涂除，最后使每孔的直径约为1.2密耳，上述工序为已知技术，不需要多描述。

在图4中，部件2 1需进行第一金属化过程，以便在介质层上形成第一导电部分，在上述实施例中，形成了几个这样的部分，包括部件2 1的上表面和下表面，这里给出的描述将只对其中的几个的形成进行特别说明。

在图4中，对部件2 1进行第一步处理，而其各种步骤是已知的类似于前面提到的退除金属化过程的过程，在此过程中，光致抗蚀剂的干胶片4 5用在部件2 1上来覆盖导电层3 3和3 5，而且特别应盖上孔4 1，在这种实施例中，光致抗蚀剂4 5是CFI液抗蚀剂，可从Hercules公司取得，盖住穿孔4 1的两端的意义可从下文中清楚看出。

在图5中，光致抗蚀剂4 5曝光并冲洗，之后，其选取部分被去掉，所有上述应用工序为已知技术，结果，如图5所示，大量的残留光抗蚀剂部分4 5固定在部件2 1的上表面和下表面，可见，这些遗留部分4 5就分别牢固地固定在薄导电层3 3及3 5上，不包括固定于孔4 1上的光致抗蚀剂部分。

在图6中，部件2 1已进行了蚀刻操作，这里的蚀刻剂如氯化铜，用于去除导电层3 3和3 5上的曝光部分，值得注意的是在孔4 1内无导电材料。而且光致抗蚀剂4 5的覆盖部分阻止了潜在的不利的化学物质如氯化铜或其他物质通过孔4 1从而可能损坏孔的内壁。

下一步用氢氧化钠溶液脱去部件2 1上遗留的部分抗蚀剂4 5。由这种退除金属过程形成的导电层3 3和3 5的剩余部分，与后面得到的导电部分相比，相对具有较低的分辨能力。在示例中，一个小块5 1（加上几个其他独立部分5 1'，包括相对孔4 1在部件2 1的外表面周围的平块区）形成，图7中仅示出了一个小块5 1，但根据本说明可知，其他几个也可容易获得，从后面就可清楚，小块5 1形成一个热浸入导电结构块在组成部分2 1的上表面或下表面上，此块设计用于对半导体器件（集成电路块）定位，如果小块5 1与其他

导电部分的导电块5 1' 相连接, 则芯片就与前面形成的部件2 1 内的导电层的其他几个部分相连接了, 在图7 中, 这种连接还没有进行, 将根据后面的说明指出。在图7 中, 可见在导电层3 3 和3 5 内的未受保护的部分金属已从部件2 1 上去除, 从而退除这个词常用于描述这样一种金属化过程。

在示例中, 一个相对较大的边长约为1.5 mm × 1.5 mm 的矩形块1 5 已形成, 另外, 独立的小块5 3 位于孔4 1 上, 也相当于柱状, 其总体外部直径为0.65 mm, 这样可知, 这种大尺寸用来给导体部分如导线或小块限定范围, 相对属于低分辨能力, 更重要的是, 与其他现有技术相比, 用最小的代价和努力, 上面提到的这种过程就可以获得相对低的分辨能力的导电结构。

在图8 中, 现在进行前面已说明的各步骤的第一步, 类似于沉积金属化过程的一部分步骤, 在图8 中, 一薄层钇6 1 牢固地覆盖在部件2 1 的所有暴露的外表面, 在图8 中可见, 钇6 1 扩展到孔4 1 内并进行牢固而均匀的涂覆, 这种粒子层也淀积在暴露出的部分如5 3 和5 1 部分上, 部件2 1 的介质表面都包含有这种薄层金属, 在示例中, 钇层的表面沉积量约为3 mg / cm², 另外可见, 钇也淀积于导电层3 3 和3 5 的遗留部分的表面, 包括穿孔块5 3 。

尽管在上述示例中钇描述为一种特定材料, 但这并不限制使用其他金属, 如可使用铜, 上述获得钇粒层的步骤是采用垂直浸入法, 此方法包括下列使用的一些化学物质: (1) 在碱性清洗剂中浸泡1 - 5 分钟; (2) 在阳离子聚丙烯酰胺溶液中浸泡1 - 2 分钟; (3) 在过硫酸钠溶液中浸0.5 - 2 分钟或在以每分钟蚀刻1 - 2 微米的铜蚀刻剂中浸泡, (4) 在钇-锡胶状液中浸泡1 - 5 分钟, (5) 在1 克分子的氢氧化钠溶液或类似的催化溶液中浸泡1 - 2 分钟, 上述步骤之后再再进行干燥如175 华氏度下干燥20 分钟, 在这些步骤之间可用电离水进行漂洗。

在图9 中, 光致抗蚀剂层7 1 已覆在部件2 1 的上下两个表面, 最好此抗蚀剂采用如图4 中示出的实施例采用的干胶片形式, 这里使用的抗蚀剂是“T - 168”, 可从E. I. du Pont de Nemours 公司得到, 它的最小厚度仅为约1.0 密耳, 光致抗蚀剂7 1 的某些部分曝光, 冲洗并清除剩余部分, 如图10 所示, 值得注意的是, 抗蚀剂从较大部分5 1 和覆盖部分5 1 的对应层6 1 上去除, 从而留下双导电金属层在部件2 1 上, 可见, 依

据本发明的操作需要可生产几个这样的部分。光致抗蚀剂的剩下部分7 1 就起保护其下面的各薄导电层部分6 1 的作用，更应注意的是剩下部分抗蚀剂7 1 的厚度可略为凸出导电层6 1 的表面。

在图1 1 中，导电金属层8 1，如铜层，淀积于部件2 1 的上下外表面，包括穿孔4 1 在内。这样，与其他图示的部件2 1 的上下表面一样，这些穿孔就含有两种金属（钯，铜）。进而可知，在上下表面的某些区域就含有三种金属，如底层的薄铜块5 1，覆盖钯层6 1 及最后加上的铜层8 1。注意铜不再与前面使用的那样，并不淀积干扰蚀剂部分7 1 的上表面，这是因为所使用的方法（电镀）不会将金属如铜淀积在介质材料或者象光致抗蚀剂部分7 1 的材料上。

上述镀铜法是将部件2 1 浸入一种自动催化无电镀铜液中5 -2 4 小时来完成的，标准时间是1 1 小时，即是镀层达到大约1 .0 密耳（25 .4 微米）所需要的时间，注意在图1 1 中，有些铜层8 1 的较粗糙的外表面稍微凸出光致抗蚀剂部分7 1 的外表面，因此，整体的上下外表面都是平面的，这里的平面化方法是机械方法如抛沙等，其他方法如用浮石和硅酸钠溶液打磨也可使用，而本发明并不局限于这些方法，结果，部件2 1 的上下两个表面就为平面的外表面，如图1 2 所示。

在图1 3 中，剩余的光致抗蚀剂部分7 1 已去除以便露出在部件2 1 的上下介质部件上的剩余部分的钯粒层，这些露出部分在图1 3 中用序号6 1' 表示，脱除最好在水平传送的喷射机中使用碳酸丙烯、G - 丁内酯、亚甲基氯等，在此机械中包含有机械擦洗动作。

在件2 1 上进行脱粒操作，在此操作中，露出的钯粒部分6 1' 被去除，进行此过程时，最好将部件2 1 的表面浸入氯化钠溶液（2 克每升5 2 °C）中约2 0 分钟。此过程使用垂直浸入法，此步之后，再放回1 8 0 °C的清洗液中约4 小时，然后再次将部件2 1 放入氯化钠溶液中2 0 分钟，以便最大限度地从介质表面把钯去除。

部件2 1 的上下表面包括前述的小块，在小块之上加上了一层铜，这样，在部件2 1 上就形成了一个相对厚的导电块，此块在图1 4 中用号9 1 表示。当然其他块如图1 4 中号9 2 所表示的也包括在内，另外，较小的块如可以表示异线的块，在图1 4 中用序号9 3 表示，也可以形成，如图1 4 所示，这些

导电小块与具有镀层的穿孔没有沿部件2 1 的上下表面进行电连接，这是由于剩余的导电钯层已去除。上述过程中的大量金属用来形成电路，而产品上的其他导电部分只是沉积金属化过程的一些形式，这种过程完全不同于前面提到的并在前面使用过的退除金属化过程，但是已经证明本发明特别容易适用于所指出的组合过程。图1 4 中的电路基片部分现在可有一个或几个已连接的半导体器件，如在小块9 1 上的器件，前面的沉积过程，最好对电路基本进行各种导电测试。而且小块9 1 可视为“自由疤”，其结果可作为在基片介质表面上的基本形式的第一小块元件，此元件完全覆盖在介质层上，阻止了可能在第二金属化过程由相对高的氢气聚集而发生的“起泡”。

这样已示出并描述了制造电路基片的方法，根据分辨能力的需要，在此方法中至少使用了完全不同的金属化工序，在第一步中（使用类似于在退除金属化过程中使用的那些可选步骤）形成相对具有低分辨能力的导电体。然后，用完全不同的金属化过程如沉积金属化过程的一步可选步骤，来确定较高分辨能力的异电部分，例如，在图1 4 的结构中，电导线（如图1 4 的最左边的序号9 3）的宽度小于3 密耳，厚度仅约1 -2 密耳，此导线与它相邻最近的导体之间的间隙不大于2 .3 密耳。本发明以独特的方式结合了沉积和退除金属化的特征，生产出具有不同分辨能力的导电部分的产品，而节约了相当多的附加消耗，而这些消耗在仅利用沉积金属化过程中所需要的，此金属化过程对于各部分的最终电路层，是主要用来提供所需的高分辨能力导电部分，相信本发明代表了技术的重大进步。

尽管已示出并描述了上述的本发明的实施例，但显而易见，超出权利要求书所指出的本发明的范围，可进行技术上的各种修改和变化。

说明书附图

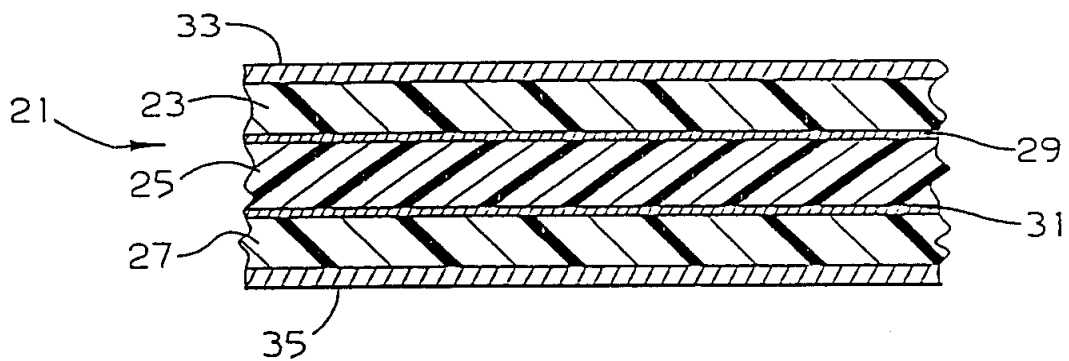


图 1

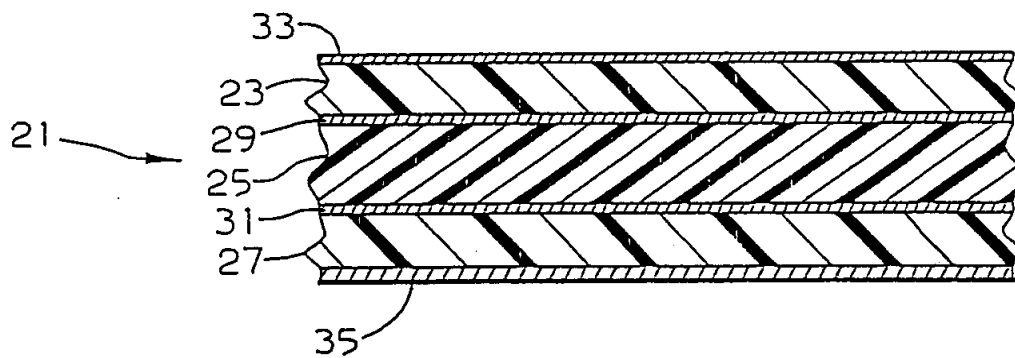


图 2

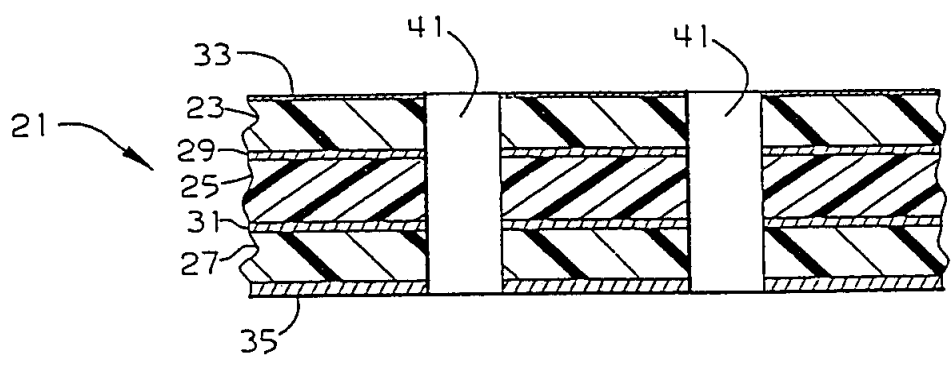


图 3

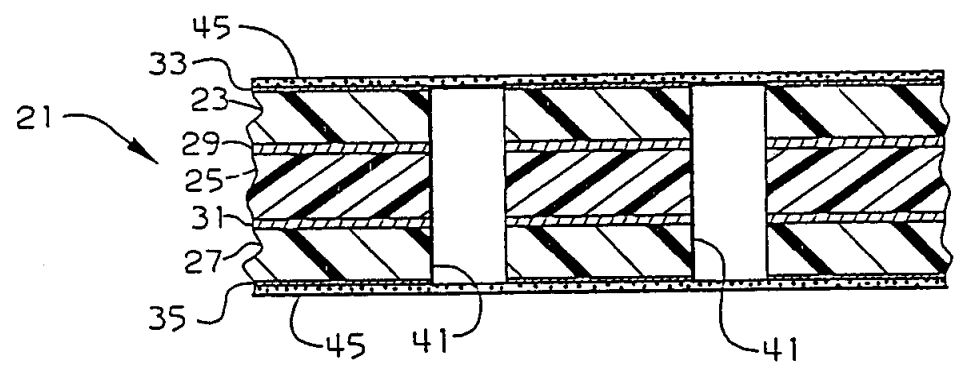


图 4

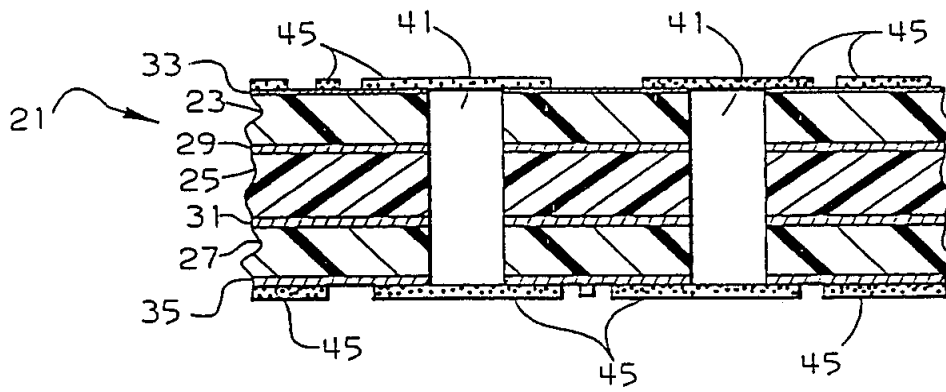


图 5

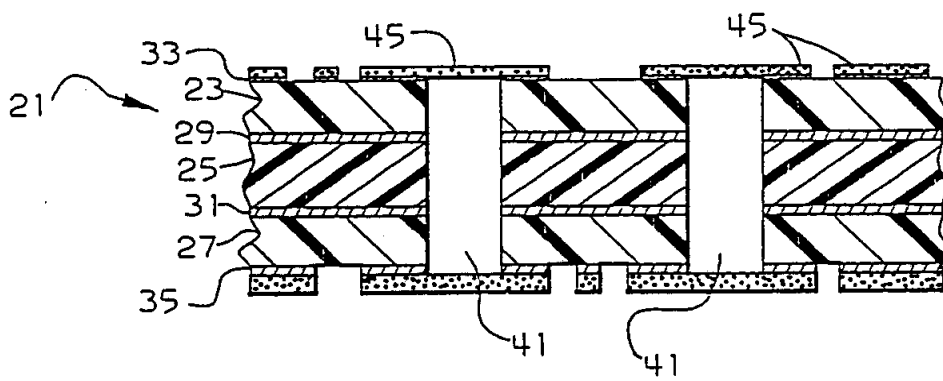


图 6

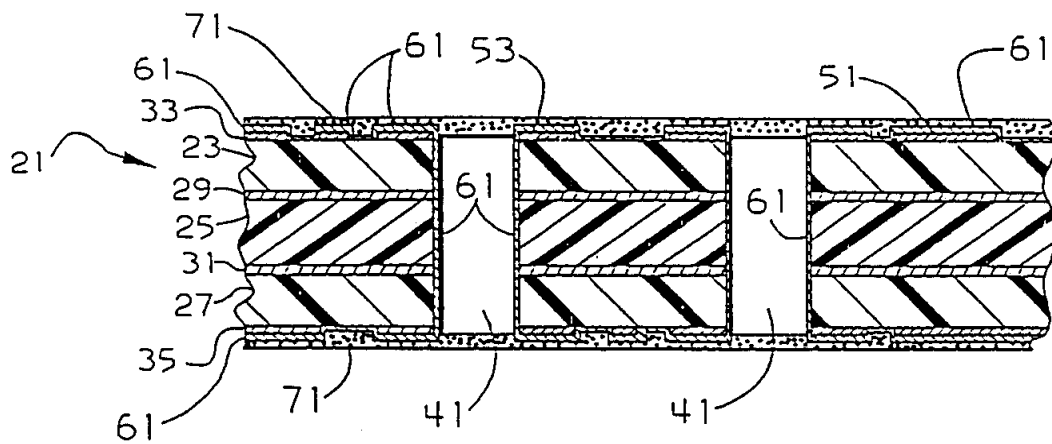


图 9

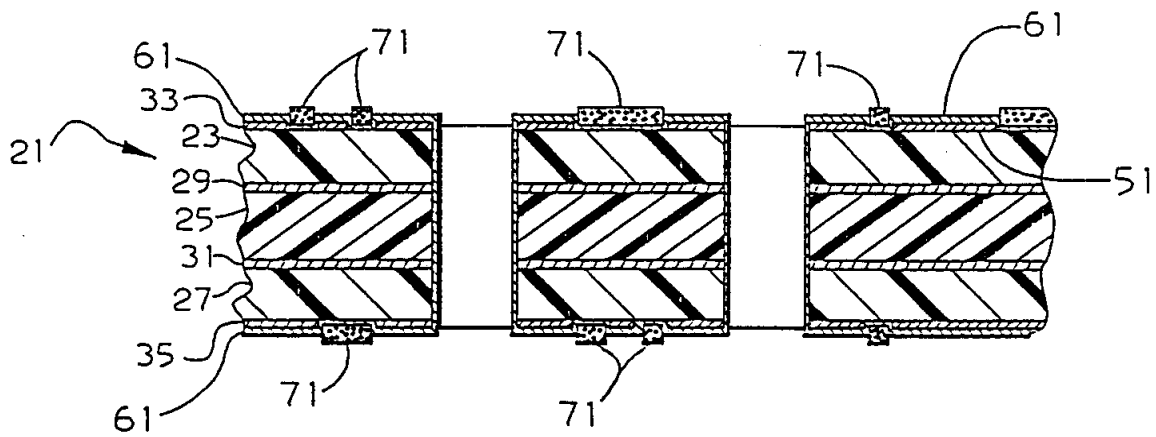


图 10

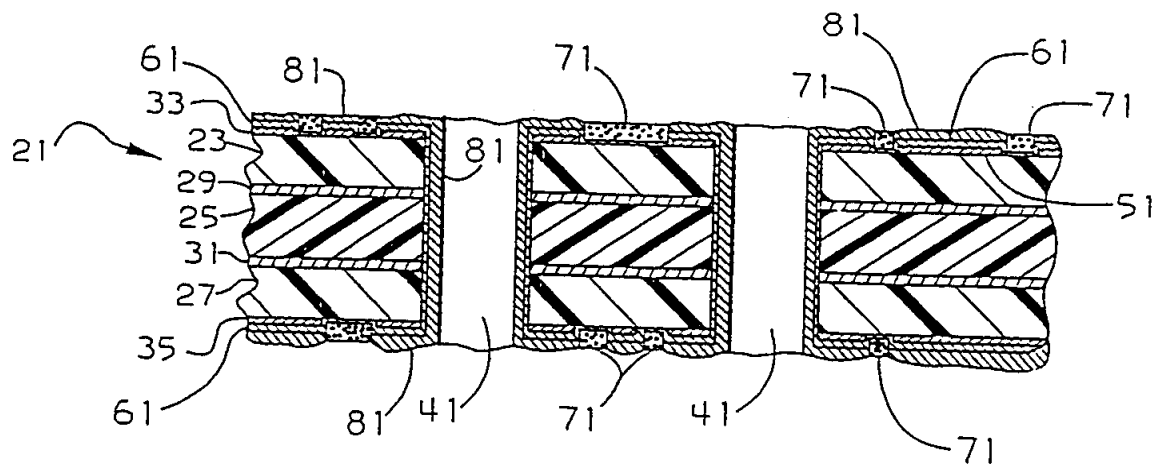


图 11

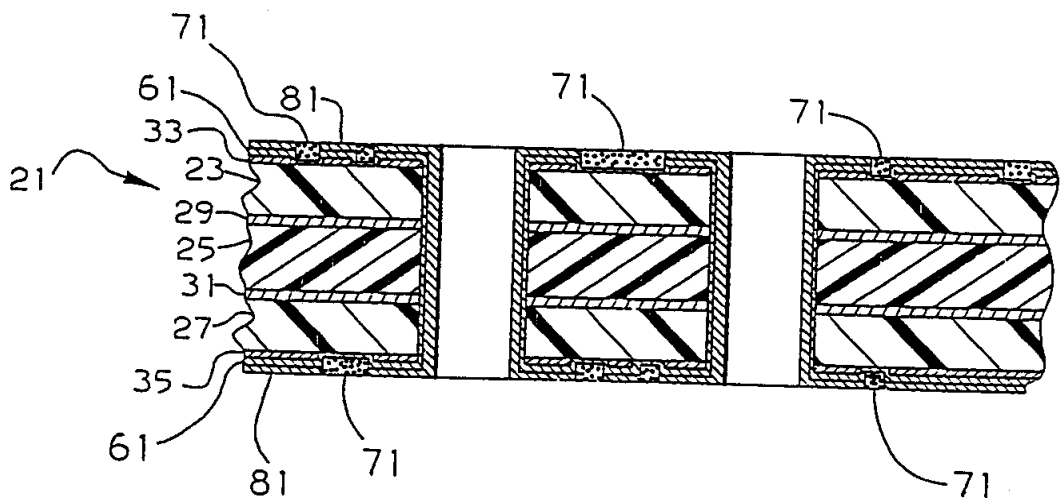


图 12

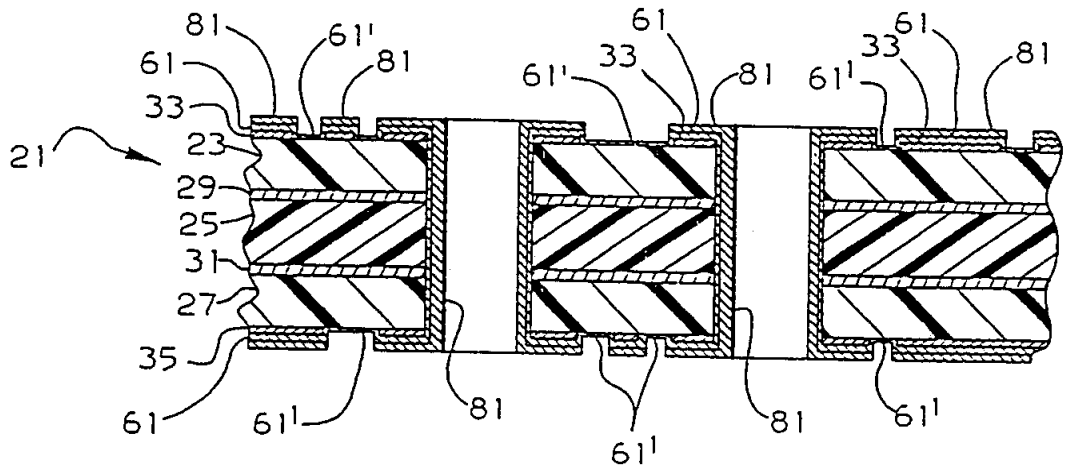


图 13

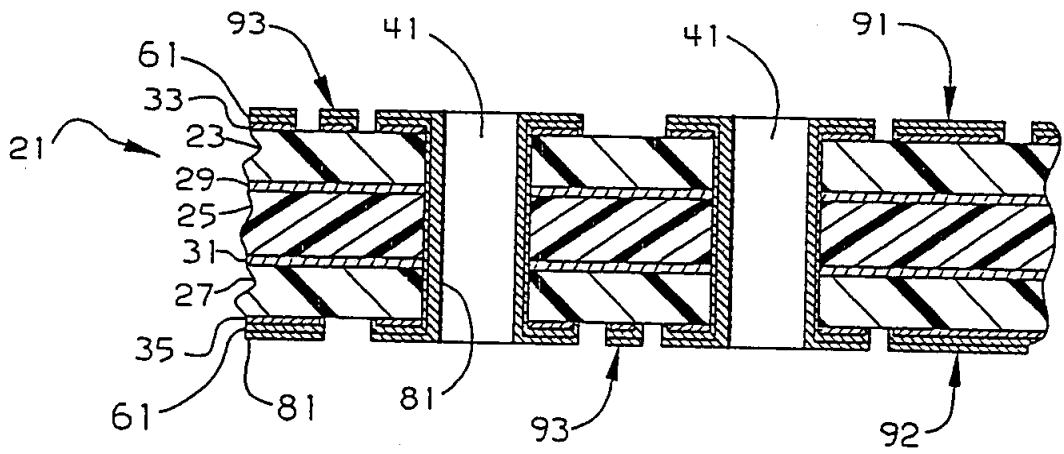


图 14