

TRANSISTOR MOSDomaine de l'invention

La présente invention concerne un transistor MOS et un procédé de fabrication d'un transistor MOS.

Exposé de l'art antérieur

5 Dans le domaine des composants microélectroniques, un objectif constant est d'améliorer les performances des transistors MOS et d'augmenter leur densité d'intégration dans des puces de circuit intégré. On cherche notamment à augmenter le courant à l'état passant et à réduire les courants de fuite
10 des transistors MOS tout en diminuant leurs dimensions.

Avec la miniaturisation des transistors MOS et la réduction de leur longueur de grille, de nouveaux effets apparaissent et il en résulte notamment une augmentation des courants de fuite. Pour atténuer ces effets, on a été amené à
15 adapter les dopages ainsi que l'épaisseur et la nature de l'isolant de grille, par exemple en utilisant un matériau à plus forte permittivité diélectrique que l'oxyde de silicium. Néanmoins, ceci nécessite l'utilisation de techniques complexes et peu fiables.

20 De nouvelles structures de transistors MOS ont également été proposées. Parmi celles-ci, on a proposé des transistors MOS formés dans des couches de silicium sur isolant

de type SOI ("Silicon-On-Insulator") suffisamment minces pour que la grille agisse sur toute l'épaisseur de la couche de silicium lorsqu'elle est activée. Ces structures sont couramment désignées dans la technique par le sigle FDSOI ("Fully Depleted
5 Silicon-On-Insulator"). On a également proposé des structures dites à ailettes (Fin). Ces structures permettent d'obtenir un meilleur contrôle électrostatique de la grille sur le canal. Néanmoins, elles présentent généralement l'inconvénient d'induire des capacités parasites de valeur non négligeable par
10 rapport à la capacité à l'état passant entre la grille et le canal du transistor MOS. Il en résulte une réduction de la vitesse de passage de l'état passant à l'état bloqué et inversement du transistor MOS.

Il existe donc un besoin pour un transistor MOS
15 présentant des performances accrues et palliant certains des inconvénients des structures de transistors MOS décrites ci-dessus.

Résumé

Pour satisfaire ce besoin, un mode de réalisation de
20 la présente invention prévoit un transistor MOS comprenant une région semiconductrice de formation de canal en forme de "U" et des régions de source et de drain de même forme de "U" accolées de part et d'autre de la région de formation de canal, la surface interne de la région semiconductrice de formation de canal étant revêtue d'une grille conductrice avec interposition
25 d'un isolant de grille.

Selon un mode de réalisation de la présente invention, les surfaces internes des régions de source et de drain sont revêtues d'un matériau isolant.

30 Selon un mode de réalisation de la présente invention, la région de formation de canal et les régions de source et de drain sont formées dans une zone active d'un substrat semiconducteur délimitée par des tranchées d'isolement.

Selon un mode de réalisation de la présente invention, le transistor MOS est formé dans une couche semiconductrice recouvrant une couche isolante.

5 Selon un mode de réalisation de la présente invention, les régions de source et de drain sont en un matériau différent de celui de la région de formation de canal.

Selon un mode de réalisation de la présente invention, la longueur de la grille conductrice est comprise entre 5 nanomètres et 5 micromètres.

10 Selon un mode de réalisation de la présente invention, la dimension du fond de la région de formation de canal en forme de "U" est comprise entre 0,05 micromètres et 5 micromètres, et la hauteur des branches de la région de formation de canal est comprise entre 5 nanomètres et 5 micromètres.

15 Selon un mode de réalisation de la présente invention, le matériau isolant recouvrant les surfaces internes des régions de source et de drain comprend un matériau à faible permittivité diélectrique.

Un mode de réalisation de la présente invention
20 prévoit en outre un procédé de fabrication d'un transistor MOS dans une zone active délimitée par un anneau d'isolement d'une couche semiconductrice d'un premier type de conductivité, comprenant les étapes suivantes consistant à former une ouverture dans la zone active de façon à conserver des première
25 et seconde bandes semiconductrices parallèles de part et d'autre de l'ouverture ; remplir l'ouverture d'un matériau sacrificiel ; éliminer partiellement le matériau sacrificiel de façon à conserver une bande centrale de matériau sacrificiel s'étendant de la première bande à la seconde bande perpendiculairement à la
30 première et à la seconde bande ; implanter des éléments dopants dans les première et seconde bandes et dans la zone active de façon à obtenir des première et deuxième régions en forme de "U" fortement dopées du second type de conductivité de part et d'autre d'une troisième région en forme de "U" dopée du premier
35 type de conductivité, la surface interne de la troisième région

étant recouverte du matériau sacrificiel ; revêtir les surfaces internes des première et deuxième régions d'un matériau isolant ; éliminer complètement le matériau sacrificiel ; et revêtir la surface interne de la troisième région d'une grille conductrice isolée.

Selon un mode de réalisation de la présente invention, le procédé comprend en outre une étape de siliciuration des première et deuxième régions.

Selon un mode de réalisation de la présente invention, la couche semiconductrice est la partie supérieure d'un substrat semiconducteur.

Selon un mode de réalisation de la présente invention, la couche semiconductrice repose sur une couche isolante reposant elle-même sur un substrat semiconducteur.

Un mode de réalisation de la présente invention prévoit en outre un inverseur comprenant deux transistors MOS du type décrit ci-dessus.

Un mode de réalisation de la présente invention prévoit en outre une mémoire SRAM comprenant six transistors MOS du type décrit ci-dessus.

Selon un mode de réalisation de la présente invention, les transistors MOS de la mémoire SRAM présentent des régions de source et de drain en commun.

Brève description des dessins

Ces caractéristiques et avantages, ainsi que d'autres seront exposés en détail dans la description suivante de modes de réalisation particuliers faite à titre non limitatif en relation avec les figures jointes parmi lesquelles :

les figures 1A et 1B sont des vues en perspective représentant de façon schématique un transistor MOS, et la figure 1C est une vue de dessus correspondant à la figure 1A ;

la figure 2 est une vue en perspective représentant deux transistors MOS de même type en parallèle ;

les figures 3A à 3J sont des vues en coupe et en perspective illustrant des étapes successives d'un procédé de fabrication du transistor MOS des figures 1A à 1C ;

les figures 4A et 4B sont respectivement un schéma électrique et une vue de dessus représentant un inverseur constitué de deux transistors MOS du type illustré en figures 1A à 1C ;

les figures 5A et 5B sont respectivement un schéma électrique et une vue de dessus représentant une mémoire SRAM constituée de six transistors MOS du type illustré en figures 1A à 1C ; et

la figure 6 est une vue de dessus représentant de façon schématique une variante d'une mémoire SRAM constituée de six transistors MOS du type illustré en figures 1A à 1C.

Par souci de clarté, de mêmes éléments ont été désignés par de mêmes références dans les différentes figures et, de plus, comme cela est habituel dans la représentation des composants microélectroniques, les diverses figures ne sont pas tracées à l'échelle.

Description détaillée

La figure 1A est une vue en perspective représentant de façon schématique un transistor MOS. La figure 1B est une vue partielle correspondant à la figure 1A coupée au niveau de la grille du transistor MOS. La figure 1C est une vue de dessus correspondant à la figure 1A.

Une région 1 en forme de "U" en un matériau semiconducteur, par exemple en silicium, est dopée de type P. La région 1 en forme de "U" comprend deux faces principales parallèles au plan de coupe de la figure 1B. L'une de ces faces principales, la face 2, est la face avant de la figure 1B. Outre ces faces principales, la région 1 a une surface interne 4 et une surface externe 5.

Deux régions 7 et 13 en forme de "U", du même matériau semiconducteur que la région 1 ou en un autre matériau, sont fortement dopées de type N. Comme la région 1, les régions 7 et

13 comprennent chacune deux faces principales parallèles. L'une des faces principales de la région 7, la face 8, est la face avant de la figure 1A. La région 7 a une surface interne 10 et une surface externe 11, et la région 13 a une surface interne 16 et une surface externe 17. Les régions 7 et 13 sont accolées à la région 1 de part et d'autre de celle-ci.

L'ouverture définie par la surface interne 4 de la région en U 1 et par des plans parallèles aux faces principales de cette région 1, est remplie d'un matériau conducteur 19 isolé de la surface interne 4 par une couche isolante 21. Le matériau conducteur 19 est par exemple du silicium polycristallin fortement dopé ou un matériau métallique. Les ouvertures définies par la surface interne 10 de la région en U 7 et par la surface interne 16 de la région en U 13 sont remplies d'un matériau isolant 23. Le matériau isolant 23 comprend par exemple un matériau à faible permittivité diélectrique.

Dans ce transistor MOS, la grille correspond au matériau conducteur 19 et l'isolant de grille à la couche isolante 21. Les régions de source et de drain du transistor MOS correspondent aux régions 7 et 13.

Sous certaines conditions de polarisation de la grille et des régions de source et de drain, il se forme un canal de conduction dans la région 1. Ce canal de conduction a une forme de "U". On désigne par d1 les largeurs des branches des régions en U 1, 7 et 13 et par d2 la hauteur du fond de ces régions. On pourra choisir ces dimensions d1, d2 de façon que, lorsqu'une tension nominale est appliquée sur la grille, la région 1 soit complètement désertée.

Dans un tel transistor MOS, la longueur de grille correspond à l'épaisseur L de la région 1. La largeur de grille W correspond à la valeur du périmètre interne du U, soit $W=2W_2+W_1$, W2 désignant la hauteur des branches et W1 la dimension du fond du U (voir figure 1B).

La longueur de grille L peut être comprise entre 5 nm et quelques micromètres, par exemple entre 5 nm et 5 μm , par

exemple de l'ordre de 100 nm. La dimension W1 peut être comprise entre 0,05 μm et quelques micromètres, par exemple entre 0,05 μm et 5 μm , par exemple de l'ordre de 100 nm. La dimension W2 peut être comprise entre quelques nanomètres et quelques micromètres, par exemple entre 5 nm et 5 μm , par exemple de l'ordre de 100 nm.

La structure illustrée en figure 1A est formée dans la partie supérieure d'un substrat semiconducteur de type P et est délimitée par des tranchées d'isolement. Le fond de la structure, à la distance $t=W2+d2$ de la surface supérieure de la structure, repose sur une couche semiconductrice ou, dans le cas d'une technologie de type SOI (silicium-sur-isolant, "Silicon-On-Insulator"), sur une couche isolante ou sur une couche semiconductrice recouvrant une couche isolante.

Un avantage d'un transistor MOS du type de celui décrit en relation avec les figures 1A à 1C réside dans le fait que, pour une surface de zone active donnée, la largeur de grille effective W du transistor MOS est nettement supérieure à celle d'un transistor MOS classique (de largeur de grille W1).

Un autre avantage d'un transistor MOS du type de celui décrit en relation avec les figures 1A à 1C réside dans le fait que les capacités parasites entre la grille et les régions de source et de drain sont réduites.

Un autre avantage d'un transistor MOS du type de celui décrit en relation avec les figures 1A à 1C est lié au fait que la surface supérieure de ce transistor est plane, la surface de la grille 19 et celles des régions de source et de drain en U 7 et 13 étant au même niveau. Les contacts de grille, de source et de drain du transistor MOS peuvent alors être formés plus facilement que dans le cas d'un transistor MOS classique dans lequel la surface supérieure de la grille est au-dessus de la surface supérieure des régions de source et de drain. Il en résulte que les connexions entre plusieurs transistors MOS du type décrit en relation avec les figures 1A à 1C sont particulièrement simples à réaliser.

On a décrit en relation avec les figures 1A à 1C un transistor MOS isolé. Ce transistor MOS peut être utilisé seul ou constituer une cellule élémentaire d'un ensemble multicellulaire de transistors MOS connectés en série ou en
5 parallèle.

La figure 2 est une vue en perspective représentant un ensemble de deux transistors MOS du type de celui illustré en figures 1A à 1C accolés par l'une des branches de leurs régions en U et pouvant être connectés en parallèle.

10 Les figures 3A à 3J sont des vues en coupe et en perspective illustrant de façon schématique des étapes successives d'un procédé de fabrication sur substrat massif d'un transistor MOS du type de celui illustré en figures 1A à 1C.

La figure 3A représente une portion d'un substrat
15 semiconducteur 31, dopé de type P, comprenant une zone active 33 délimitée par un anneau d'isolement 35, par exemple en oxyde de silicium. La portion de l'anneau d'isolement 35 située en avant du plan de coupe n'est pas visible. Eventuellement, une couche isolante enterrée (non représentée) peut également délimiter la
20 zone active 33 en profondeur pour l'isoler du reste du substrat 31.

A l'étape illustrée en figure 3B, une ouverture parallélépipédique 37 a été formée dans la zone active 33 à partir de la surface supérieure du substrat. Dans une des deux
25 directions du plan, notée y, l'ouverture a été formée sur toute la longueur de la zone active 33 de sorte que les bords de l'ouverture 37 coïncident avec les bords internes de l'anneau d'isolement 35. Dans la direction perpendiculaire, notée x, l'ouverture 37 a été formée sur une largeur plus faible que
30 celle de la zone active 33 de sorte que deux bandes parallèles de matériau semiconducteur 39 et 41 d'épaisseur d_1 soient conservées de part et d'autre de l'ouverture 37. L'ouverture a été formée dans le substrat 31 jusqu'à atteindre une profondeur W_2 .

A l'étape illustrée en figure 3C, l'ouverture 37 a été remplie d'un matériau sacrificiel 43, par exemple du silicium-germanium.

5 A l'étape illustrée en figure 3D, le matériau sacrificiel 43 a été partiellement éliminé de façon à conserver uniquement une bande centrale 51 du matériau sacrificiel s'étendant dans la direction x de la bande 39 à la bande 41 de matériau semiconducteur. Pour cela, une bande de résine 49 a été
10 préalablement disposée au-dessus de la bande 51 du matériau sacrificiel 43 qu'on ne veut pas éliminer. Après gravure sélective et anisotrope du matériau sacrificiel 43, on obtient deux ouvertures 45 et 47 de profondeur W2 de part et d'autre de la bande 51 de matériau sacrificiel dans la direction y.

A l'étape illustrée en figure 3E, des éléments dopants
15 de type N ont été implantés dans le substrat 31 de type P, dans les portions des bandes 39 et 41 d'épaisseur d1 non protégées par la bande de résine 49 et sur une profondeur d2 dans la zone active 33 entre les bandes parallèles 39 et 41. Après implantation, on obtient deux régions 55 et 57 en forme de "U"
20 fortement dopées de type N, de part et d'autre d'une région 53 en forme de "U" dopée de type P. Ces régions 55 et 57 correspondent aux régions de source et de drain du transistor MOS en cours de formation, et la région 53 à la région de formation du canal de conduction.

25 A l'étape illustrée en figure 3F, les ouvertures 45 et 47 formées à l'étape illustrée en figure 3D ont été remplies d'un matériau isolant 59. Le matériau isolant 59 comprend par exemple un matériau à faible permittivité diélectrique. Eventuellement, le matériau isolant 59 recouvre la surface
30 interne des régions 55 et 57 et les faces en regard de matériau sacrificiel 43 et de matériau isolant 35 sans remplir complètement les ouvertures 45 et 47.

A l'étape illustrée en figure 3G, la bande de résine 49 et le matériau sacrificiel 43 ont été éliminés. On obtient

une nouvelle ouverture 61 découvrant la surface interne de la région 53 en forme de "U".

A l'étape illustrée en figure 3H, une fine couche 63 d'un matériau isolant a été formée sur les parois et le fond de l'ouverture 61, c'est-à-dire sur la surface interne de la région 53 et éventuellement sur les faces en regard de matériau isolant 59. La couche isolante 63 est par exemple en un matériau à forte permittivité diélectrique, par exemple en oxyde d'hafnium (HfO_2) ou en oxyde de zirconium (ZrO_2), ou en une combinaison de plusieurs matériaux à forte permittivité diélectrique. Après la formation de la fine couche isolante 63, il reste une ouverture 65.

A l'étape illustrée en figure 3I, l'ouverture 65 a été remplie d'un matériau conducteur 67, par exemple du silicium polycristallin ou un matériau métallique. Le matériau conducteur 67 correspond à la grille du transistor MOS, et la fine couche isolante 63 à l'isolant de grille du transistor MOS. Eventuellement, le matériau conducteur 67 recouvre la surface interne de la région 53 revêtue de la couche isolante 63 sans remplir complètement l'ouverture 65.

La figure 3J illustre un exemple d'une étape optionnelle de siliciuration des régions de source et de drain 55, 57. On a procédé à un masquage et à une gravure pour éliminer des parties du matériau isolant 59 remplissant les ouvertures 45 et 47 (voir figure 3D). Cette élimination est réalisée de sorte qu'il reste des portions de matériau isolant contre le matériau conducteur 67 et de sorte que les parois internes des régions de source et de drain en U 55 et 57 soient dénudées et éventuellement légèrement creusées. Un métal est ensuite déposé dans les ouvertures 69, 71 ainsi réalisées. On procède ensuite à une siliciuration au moins partielle des régions de source et de drain 55, 57.

Des transistors du type ci-dessus sont particulièrement simples à interconnecter comme l'illustrent la figure 4B

dans le cas d'un inverseur et les figures 5B et 6 dans le cas d'une mémoire SRAM à six transistors.

Les figures 4A et 4B sont respectivement un schéma électrique et une vue de dessus représentant un inverseur
5 constitué de deux transistors MOS dont chacun est du type décrit précédemment.

La figure 4A représente un inverseur comprenant un transistor MOS T1 à canal N et un transistor MOS T2 à canal P. On appelle S1 la source, D1 le drain et G1 la grille du
10 transistor T1, et S2 la source, D2 le drain et G2 la grille du transistor T2.

Dans la réalisation illustrée en figure 4B, les transistors MOS T1 et T2 ont la même structure que le transistor MOS illustré en vue de dessus en figure 1C. Les types de
15 conductivité sont tous inversés pour le transistor MOS T2. On désigne par la référence 81 la région de formation de canal du transistor MOS T2, et par les références 87 et 93 ses régions de drain et de source. Les transistors MOS T1 et T2 ont respectivement été formés dans des zones actives 71 et 73 d'un
20 substrat semiconducteur.

La région de source 13 (S1) du transistor T1 est reliée à la masse (GND). La région de source 93 (S2) du transistor T2 est reliée à un potentiel positif V_{DD} . Les grilles 19 (G1, G2) des transistors T1 et T2 sont reliées entre elles et
25 à l'entrée IN de l'inverseur. La région de drain 7 (D1) du transistor T1 et la région de drain 87 (D2) du transistor T2 sont reliées entre elles et à la sortie OUT de l'inverseur.

Les pistes conductrices d'interconnexion des transistors MOS T1 et T2 sont représentées en traits gras sur la figure
30 4B. Comme la surface supérieure des transistors MOS T1 et T2 est plane, ces connexions sont particulièrement simples.

Les figures 5A et 5B sont respectivement un schéma électrique et une vue de dessus représentant une mémoire SRAM ("Static Random Access Memory") constituée de six transistors
35 MOS dont chacun est du type décrit précédemment.

Comme l'illustre la figure 5A, la mémoire SRAM comprend quatre transistors MOS T3, T5, T7, T9 à canal N et deux transistors MOS T4, T6 à canal P. On appelle Si la source, Di le drain et Gi la grille du transistor Ti (i étant égal à 3, 4, 5, 6, 7 ou 9).

Comme l'illustre la figure 5B, les transistors MOS à canal P T4 et T6 sont disposés côte à côte au-dessus des transistors MOS à canal N T7, T3, T5, T9, également côte à côte.

Les régions de source 13 (S3 et S5) des transistors T3 et T5 à canal N sont reliées à la masse. Les régions de source 93 (S4 et S6) des transistors T4 et T6 à canal P sont reliées à un potentiel positif V_{DD} . Les régions de drain 7 (D3) du transistor T3 et 87 (D4) du transistor T4 sont reliées entre elles, et sont reliées aux grilles 19 (G5, G6) des transistors T5 et T6 elles-mêmes reliées entre elles. De même, les régions de drain 7 (D5) du transistor T5 et 87 (D6) du transistor T6 sont reliées entre elles, et sont reliées aux grilles 19 (G3, G4) des transistors T3 et T4 elles-mêmes reliées entre elles.

Les grilles 19 (G3, G4) des transistors T3 et T4 sont reliées à la source S7 du transistor T7. Les grilles 19 (G5, G6) des transistors T5 et T6 sont reliées à la source S9 du transistor T9. Le drain D7 du transistor T7 et le drain D9 du transistor T9 sont respectivement reliés à des lignes de bits BL1 et BL2 ("bitlines"). Les grilles 19 (G7, G9) des transistors T7 et T9 sont reliées à une ligne de mots WL ("wordline").

Les pistes conductrices d'interconnexion des transistors MOS T3, T4, T5, T6, T7, T9 sont représentées en traits gras sur la figure 5B. Comme la surface supérieure des différents transistors MOS est plane, ces connexions sont particulièrement simples.

La figure 6 est une vue de dessus représentant de façon schématique une variante d'une mémoire SRAM constituée de six transistors MOS dont chacun est du type décrit précédemment. Dans cette variante, la mémoire SRAM est constituée de quatre transistors MOS T13, T15, T17, T19 à canal N accolés et de deux

transistors MOS T14, T16 à canal P accolés, les transistors MOS présentant des régions de source et de drain en commun. Les transistors MOS à canal P sont disposés au-dessus des transistors MOS à canal N.

5 Les transistors T13 et T15 à canal N présentent une région de drain 13 en commun, cette région de drain étant reliée à la masse. Les transistors T14 et T16 à canal P présentent une région de drain 93 en commun, cette région de drain étant reliée à un potentiel V_{DD} . Les transistors T13 et T17 présentent une
10 région de source 7 en commun, et les transistors T15 et T19 présentent une région de source 7 en commun.

Les régions de source 7 du transistor T13 et 87 du transistor T14 sont reliées entre elles, et sont reliées aux grilles 19 des transistors T15 et T16 elles-mêmes reliées entre
15 elles. Comme la région de source 7 du transistor T13 est aussi la région de source du transistor T17, les grilles 19 des transistors T15 et T16 sont également reliées à la source du transistor T17. De même, les régions de source 7 du transistor T15 et 87 du transistor T16 sont reliées entre elles, et sont
20 reliées aux grilles 19 des transistors T13 et T14 elles-mêmes reliées entre elles. Les grilles 19 des transistors T13 et T14 sont également reliées à la source du transistor T19. Le drain 13 du transistor T17 et celui du transistor T19 sont respectivement reliés à des lignes de bits BL1 et BL2. Les
25 grilles 19 des transistors T17 et T19 sont reliées à une ligne de mots WL.

Un avantage d'une mémoire SRAM du type de celle illustrée en figure 6 réside dans le fait que, comme les transistors MOS présentent des régions de source et de drain en
30 commun, le nombre de connexions entre les transistors MOS est réduit ainsi que la surface occupée par la mémoire. En outre, comme pour la mémoire SRAM illustrée en figure 5B, les pistes conductrices d'interconnexion des transistors MOS, représentées en traits gras, sont particulièrement simples car la surface
35 supérieure des transistors est plane.

Des modes de réalisation particuliers de la présente invention ont été décrits. Diverses variantes et modifications apparaîtront à l'homme de l'art. En particulier, bien que l'on ait décrit des transistors MOS formés dans un substrat semiconducteur dopé de type P, les transistors MOS peuvent bien
5 entendu être formés dans un substrat semiconducteur dopé de type N.

Le matériau conducteur 19 constituant les grilles des transistors MOS peut être différent pour les transistors MOS à canal N et pour les transistors MOS à canal P. Le matériau
10 conducteur 19 peut être constitué d'un empilement de différents matériaux conducteurs.

Bien que l'on ait décrit un transistor MOS comprenant des régions de source et de drain et une région de formation de canal en un même matériau semiconducteur, les régions de source
15 et de drain pourront éventuellement être en un matériau métallique, par exemple formé par une étape de siliciuration.

Bien que l'on ait décrit un transistor MOS formé dans un substrat semiconducteur massif, le transistor MOS pourra bien
20 entendu être formé dans la couche semiconductrice supérieure d'un substrat de type silicium-sur-isolant (SOI, "Silicon-On-Insulator"). Les régions en U 1, 7 et 13 d'un transistor MOS du type de celui illustré en figures 1A à 1C seront alors formées dans la couche semiconductrice supérieure du substrat SOI.

Bien que l'on ait décrit un procédé de fabrication d'un transistor MOS utilisant un matériau sacrificiel en silicium-germanium, on pourra bien entendu utiliser tout
25 matériau pouvant être gravé sélectivement par rapport au matériau isolant 59 et par rapport au matériau semiconducteur du substrat massif ou de la couche supérieure du substrat de type SOI dans lequel est formé le transistor MOS.
30

REVENDICATIONS

1. Transistor MOS comprenant une région semiconductrice de formation de canal (1) en forme de "U" et des régions de source et de drain (7, 13) de même forme de "U" accolées de part et d'autre de la région de formation de canal, la surface
5 interne (4) de la région semiconductrice de formation de canal étant revêtue d'une grille conductrice (19) avec interposition d'un isolant de grille (21).

2. Transistor MOS selon la revendication 1, dans lequel les surfaces internes (10, 16) des régions de source et
10 de drain (7, 13) sont revêtues d'un matériau isolant (23).

3. Transistor MOS selon la revendication 1 ou 2, dans lequel la région de formation de canal (1) et les régions de source et de drain (7, 13) sont formées dans une zone active d'un substrat semiconducteur délimitée par des tranchées
15 d'isolement.

4. Transistor MOS selon la revendication 1 ou 2, formé dans une couche semiconductrice recouvrant une couche isolante.

5. Transistor MOS selon la revendication 1 ou 2, dans lequel les régions de source et de drain (7, 13) sont en un
20 matériau différent de celui de la région de formation de canal (1).

6. Transistor MOS selon l'une quelconque des revendications 1 à 5, dans lequel la longueur (L) de la grille conductrice (19) est comprise entre 5 nanomètres et
25 5 micromètres.

7. Transistor MOS selon l'une quelconque des revendications 1 à 6, dans lequel la dimension (W1) du fond de la région de formation de canal (1) en forme de "U" est comprise entre 0,05 micromètres et 5 micromètres, et dans lequel la
30 hauteur (W2) des branches de la région de formation de canal est comprise entre 5 nanomètres et 5 micromètres.

8. Transistor MOS selon l'une quelconque des revendications 2 à 7, dans lequel le matériau isolant (23) recouvrant les surfaces internes (10, 16) des régions de source

et de drain (7, 13) comprend un matériau à faible permittivité diélectrique.

9. Procédé de fabrication d'un transistor MOS dans une zone active (33) délimitée par un anneau d'isolement (35) d'une
5 couche semiconductrice (31) d'un premier type de conductivité, comprenant les étapes suivantes :

former une ouverture (37) dans la zone active de façon à conserver des première et seconde bandes semiconductrices parallèles (39, 41) de part et d'autre de l'ouverture ;

10 remplir l'ouverture d'un matériau sacrificiel (43) ;
éliminer partiellement le matériau sacrificiel de façon à conserver une bande centrale (51) de matériau sacrificiel s'étendant de la première bande à la seconde bande perpendiculairement à la première et à la seconde bande ;

15 implanter des éléments dopants dans les première et seconde bandes et dans la zone active de façon à obtenir des première (55) et deuxième régions (57) en forme de "U" fortement dopées du second type de conductivité de part et d'autre d'une troisième région (53) en forme de "U" dopée du premier type de
20 conductivité, la surface interne de la troisième région étant recouverte du matériau sacrificiel ;

revêtir les surfaces internes des première et deuxième régions d'un matériau isolant (59) ;

éliminer complètement le matériau sacrificiel ; et
25 revêtir la surface interne de la troisième région d'une grille conductrice (67) isolée.

10. Procédé selon la revendication 9, comprenant en outre une étape de siliciuration des première (55) et deuxième (57) régions.

30 11. Procédé selon la revendication 9 ou 10, dans lequel la couche semiconductrice (31) est la partie supérieure d'un substrat semiconducteur.

12. Procédé selon la revendication 9 ou 10, dans lequel la couche semiconductrice (31) repose sur une couche isolante
35 reposant elle-même sur un substrat semiconducteur.

13. Inverseur comprenant deux transistors MOS selon l'une quelconque des revendications 1 à 8.

14. Mémoire SRAM comprenant six transistors MOS selon l'une quelconque des revendications 1 à 8.

5 15. Mémoire SRAM selon la revendication 14, dans laquelle les transistors MOS présentent des régions de source et de drain en commun.

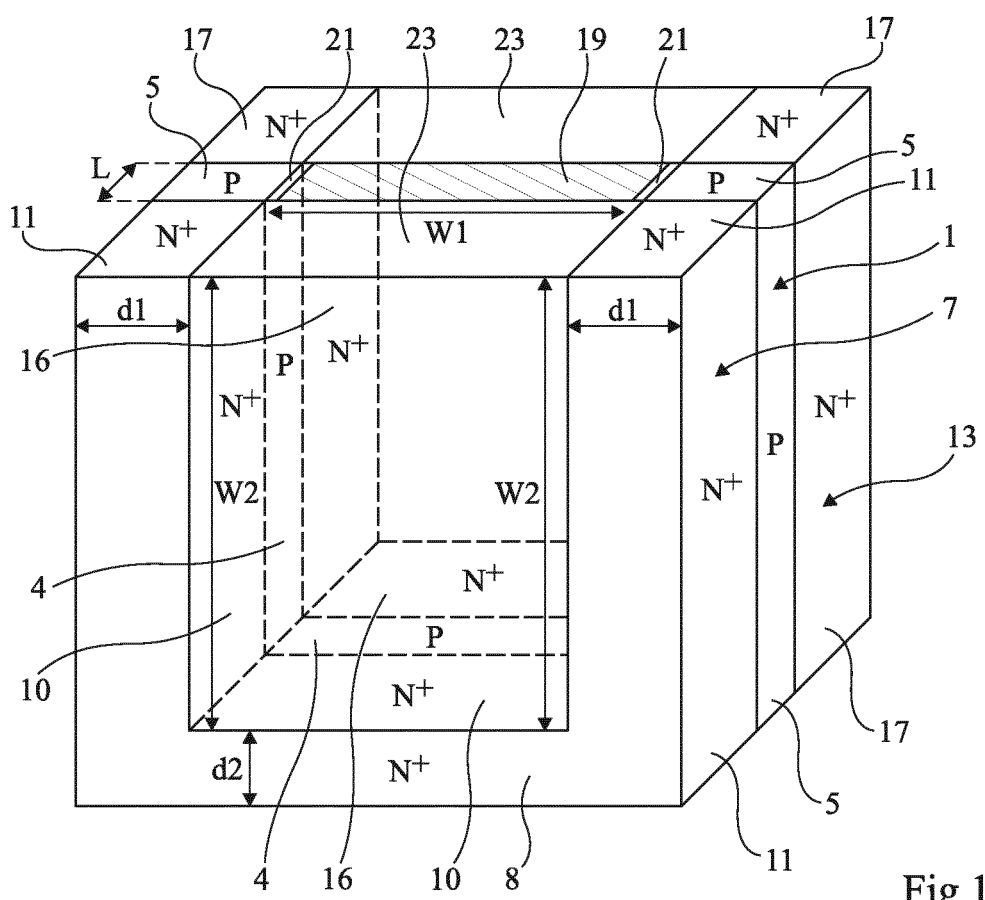


Fig 1A

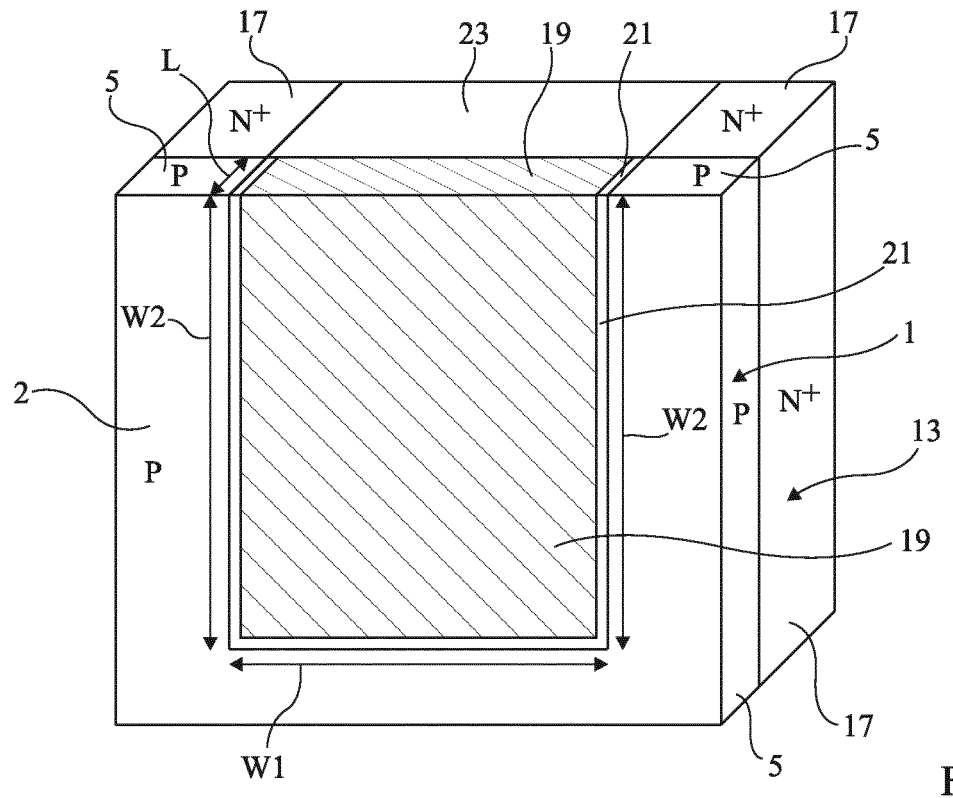


Fig 1B

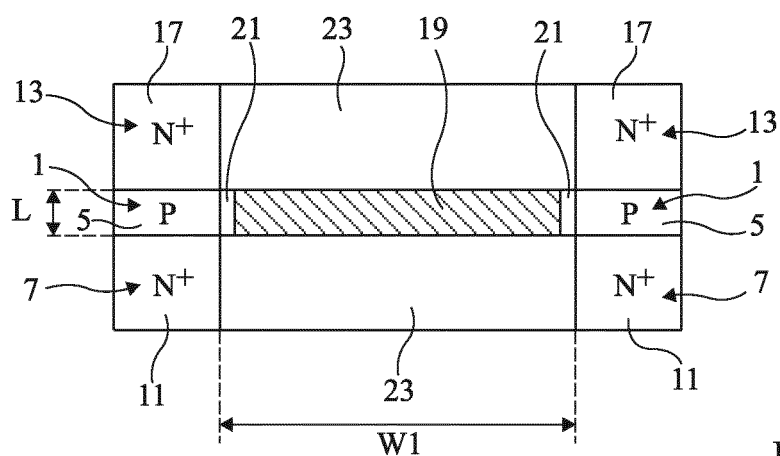


Fig 1C

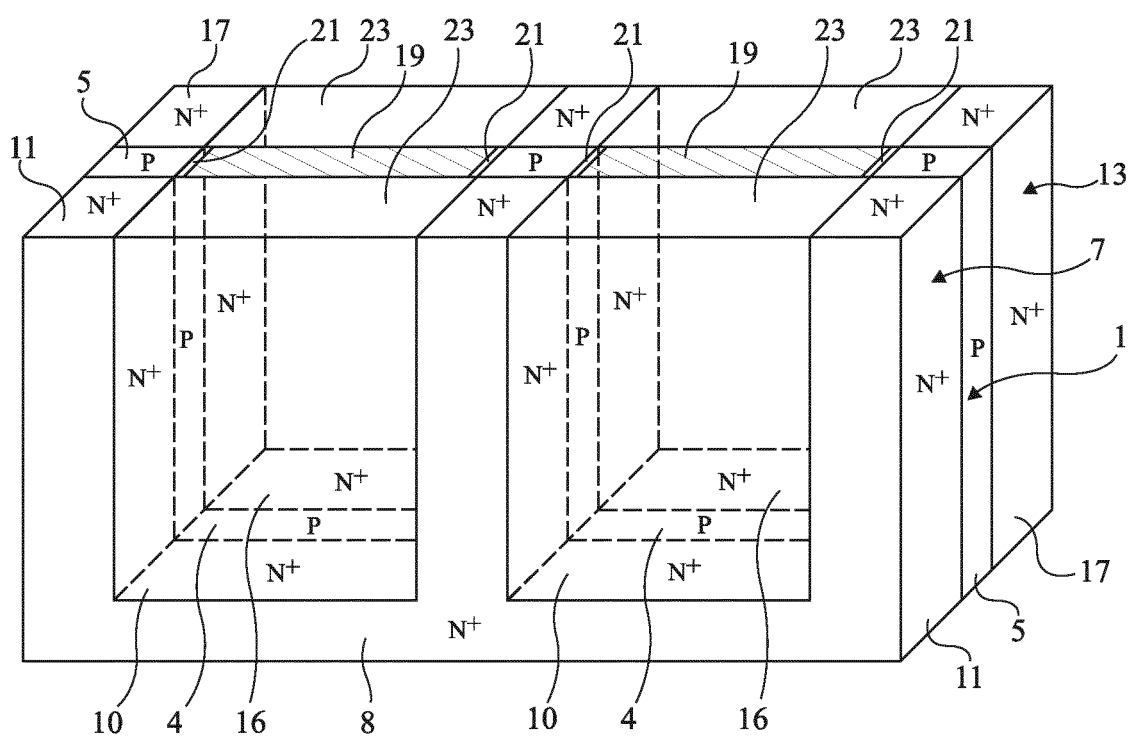


Fig 2

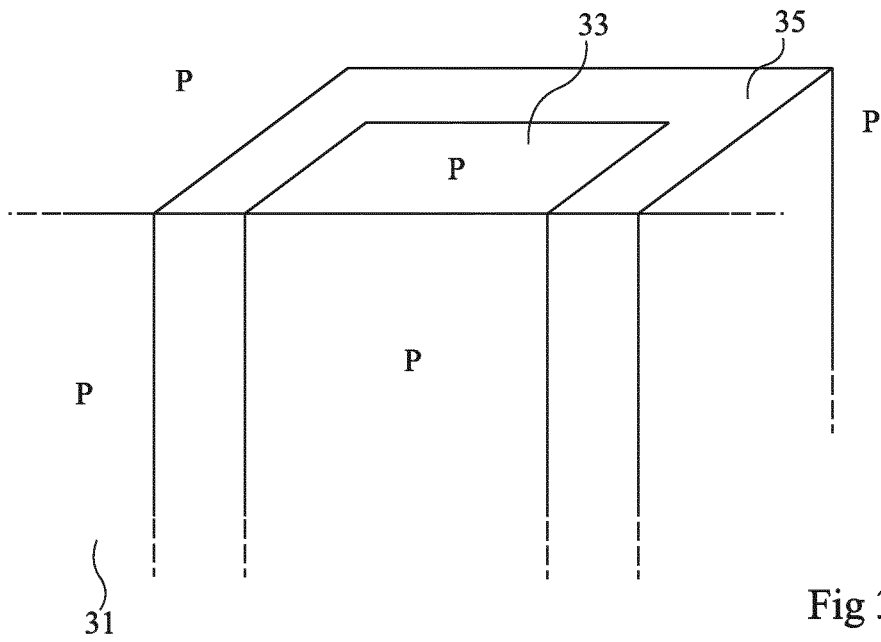


Fig 3A

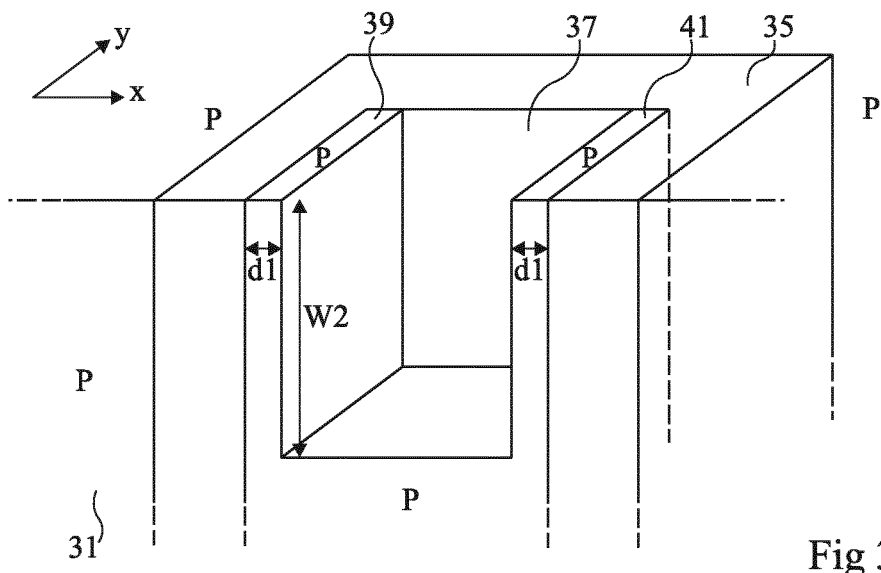


Fig 3B

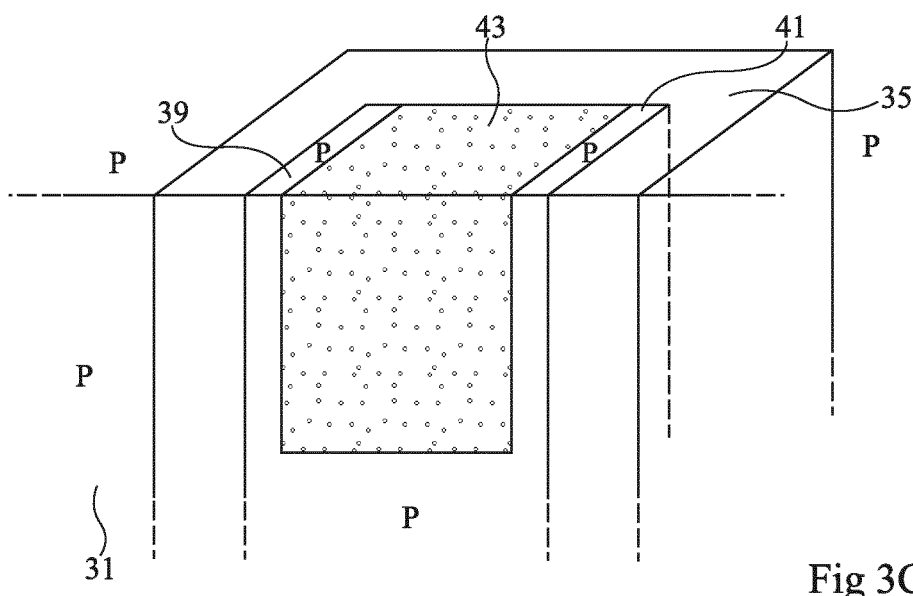


Fig 3C

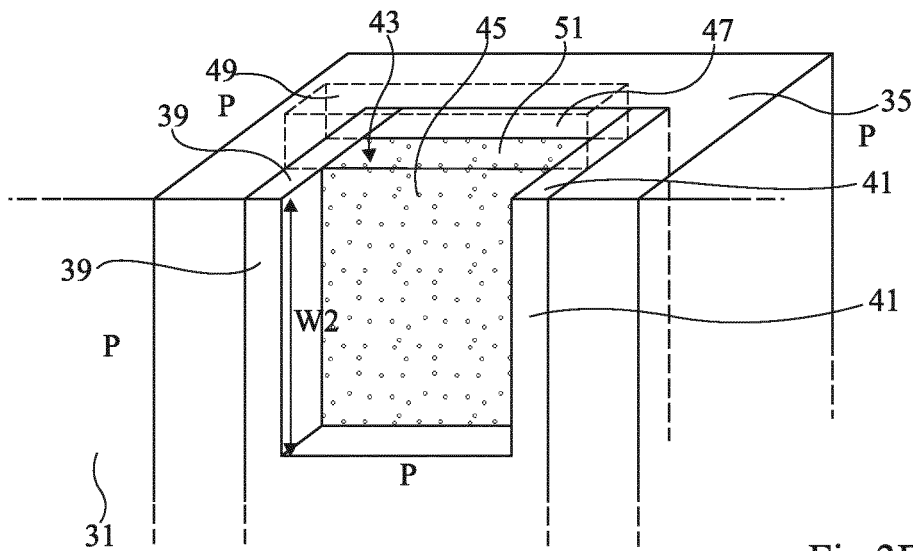


Fig 3D

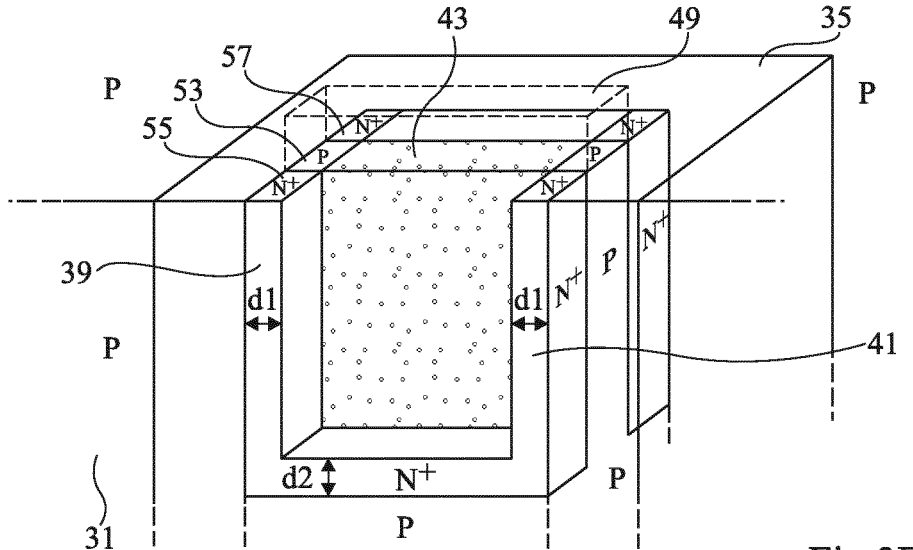


Fig 3E

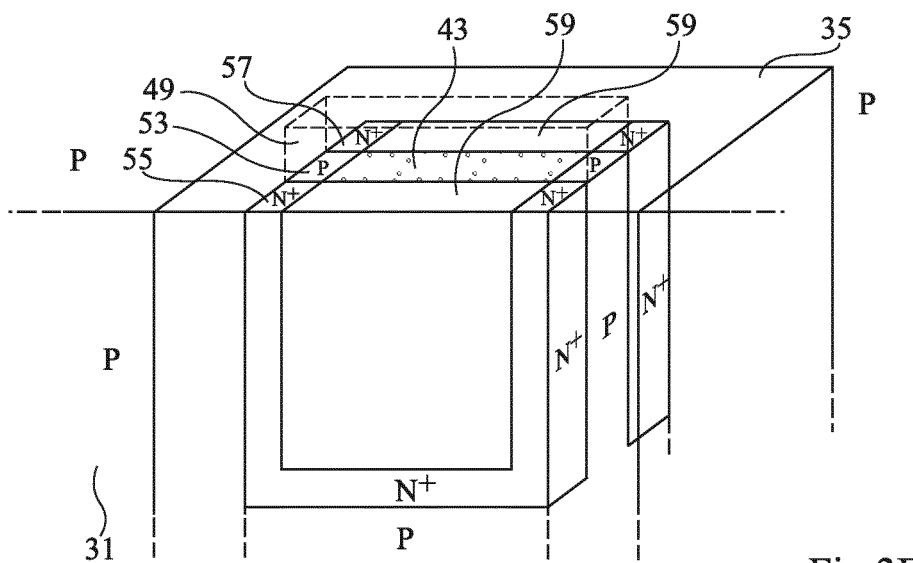


Fig 3F

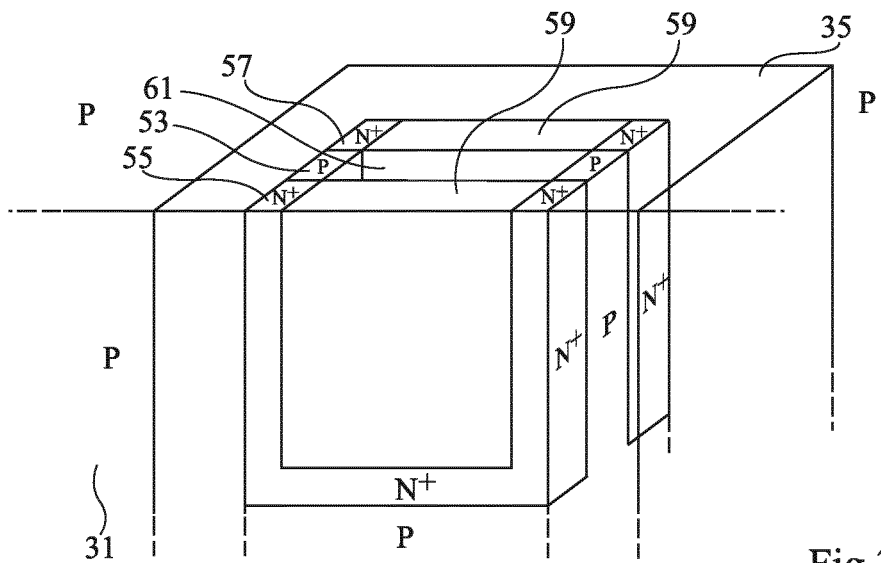


Fig 3G

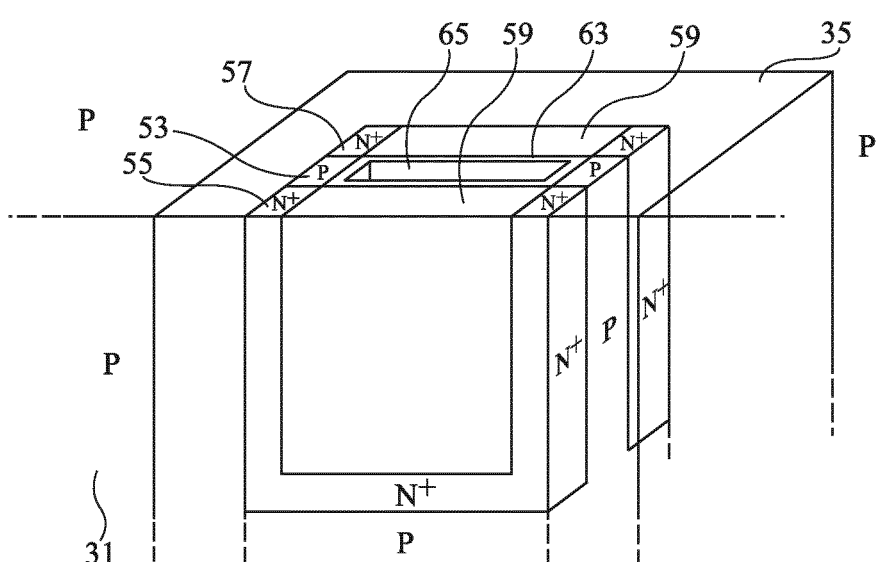


Fig 3H

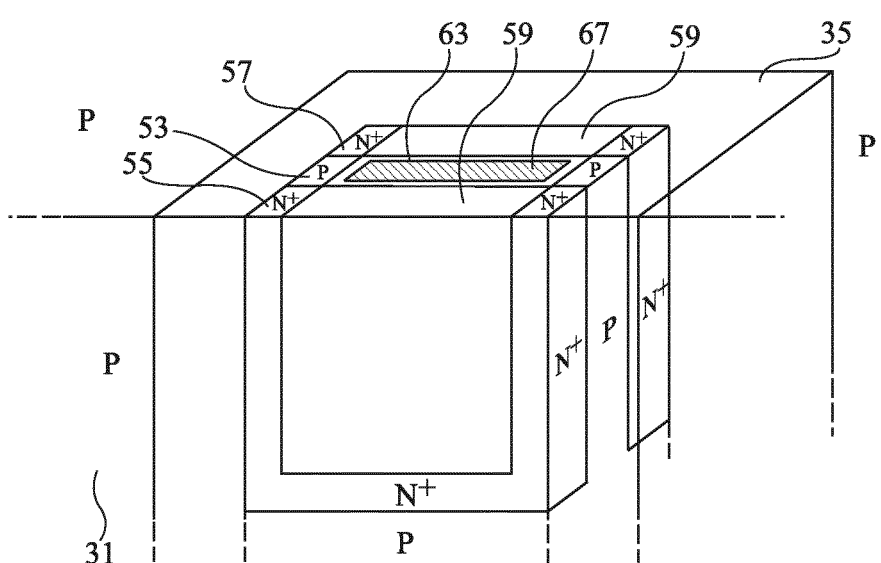


Fig 3I

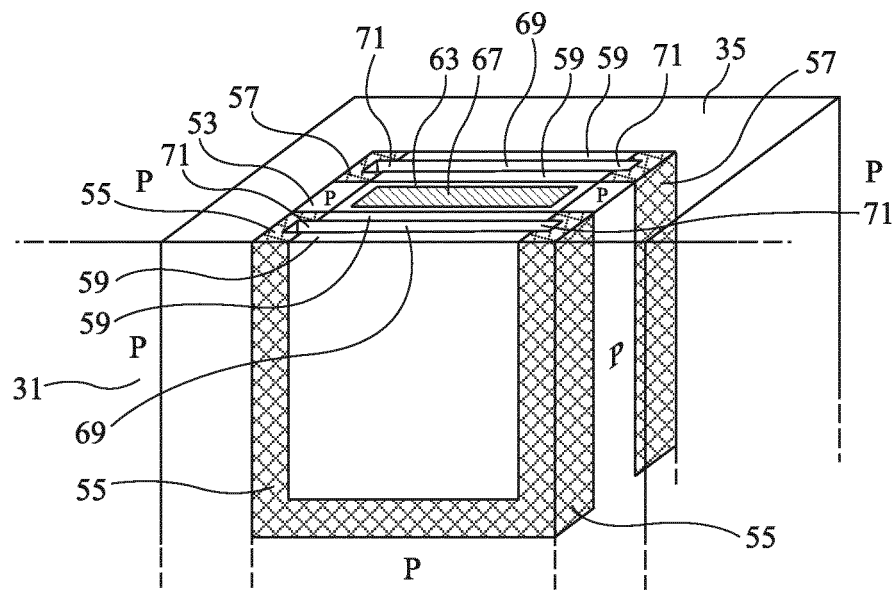


Fig 3J

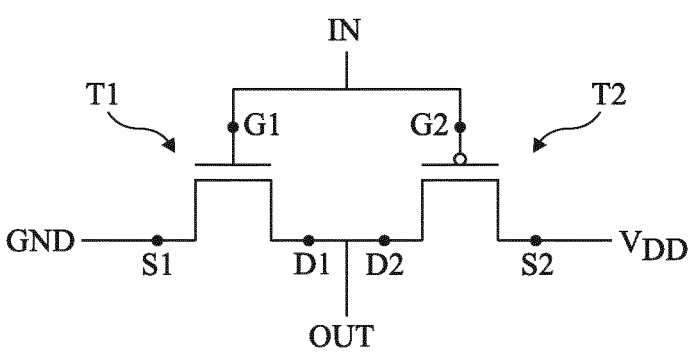


Fig 4A

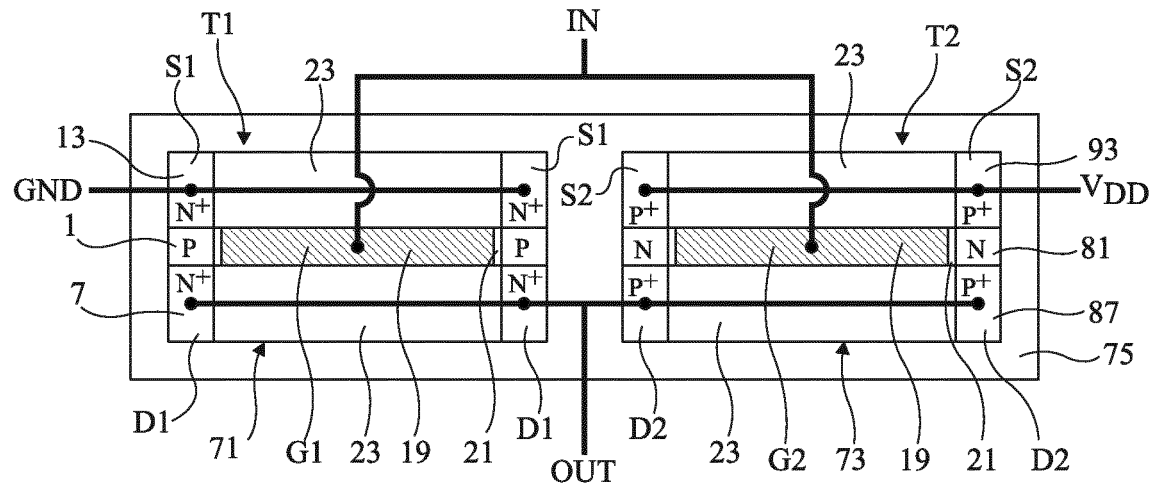


Fig 4B

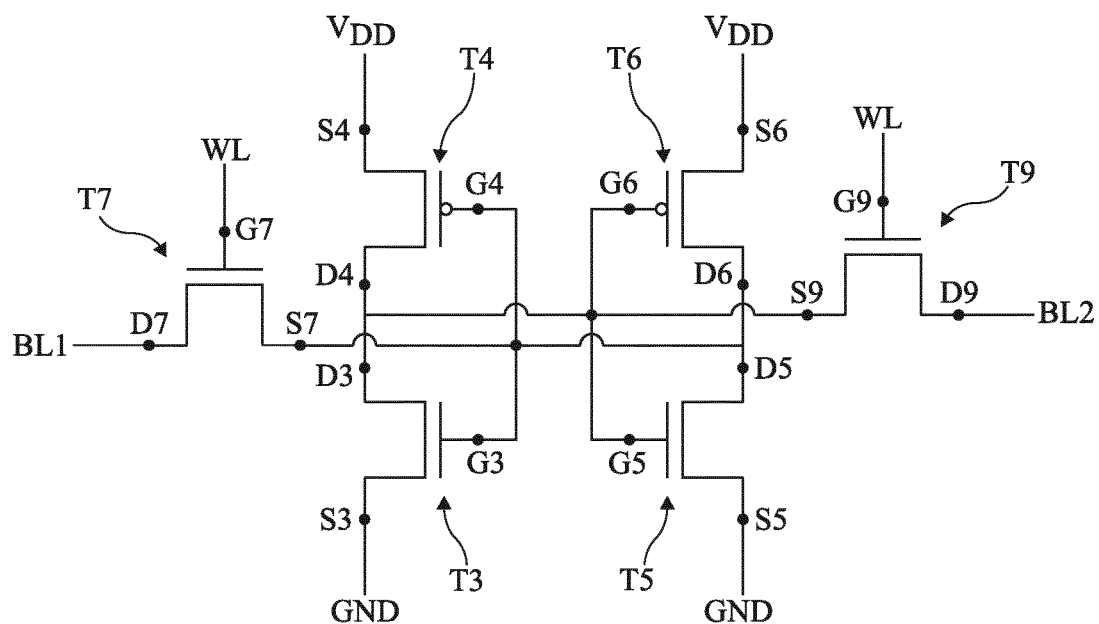


Fig 5A

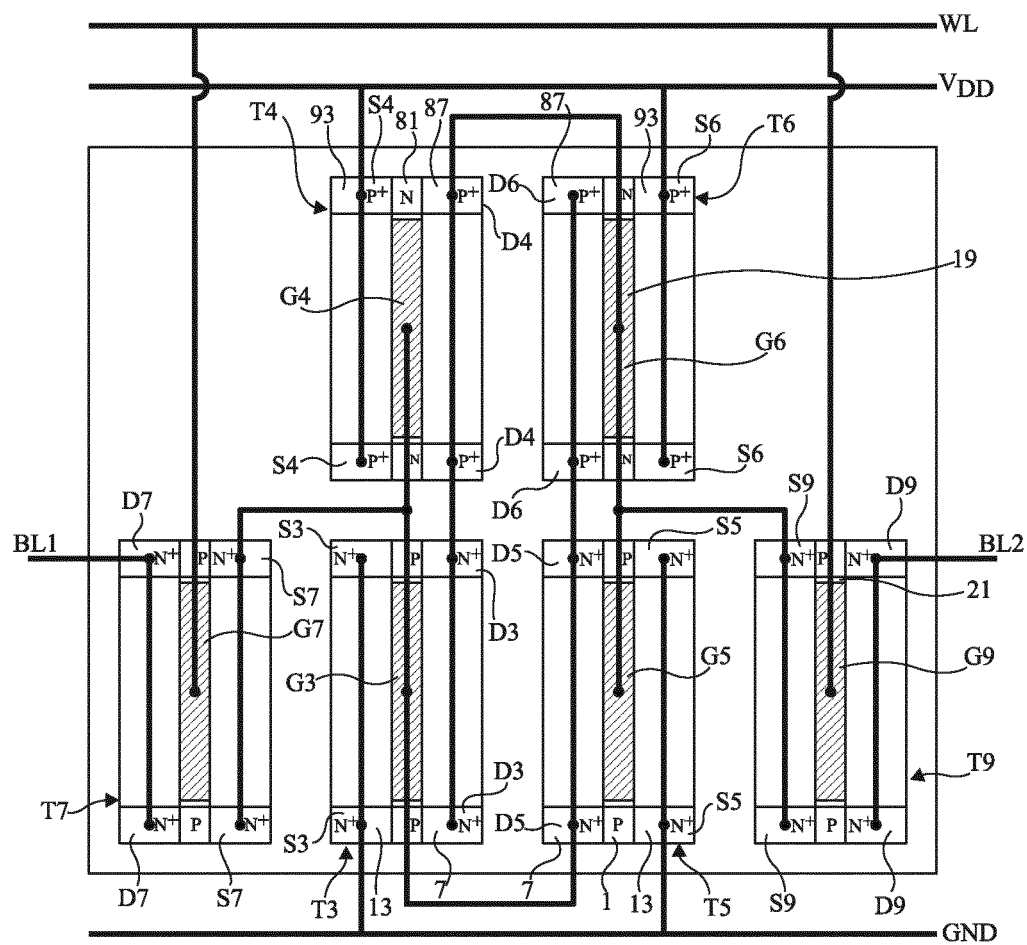


Fig 5B

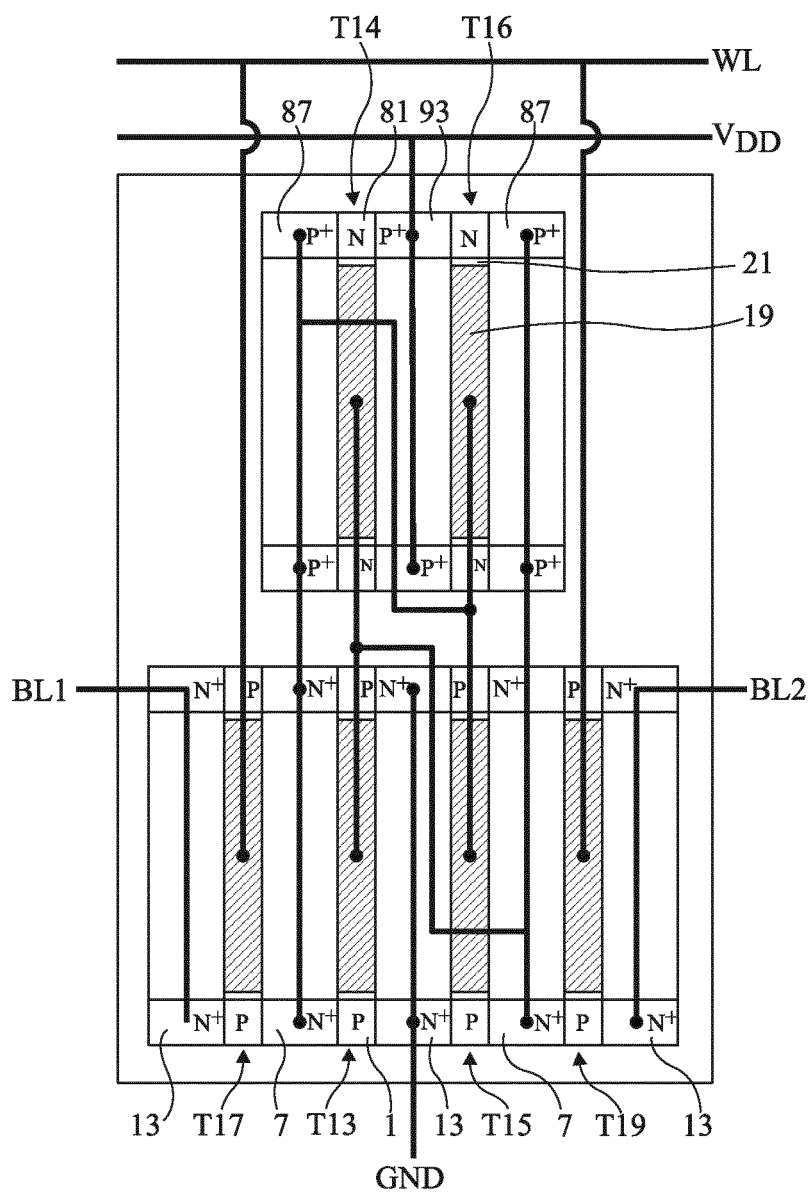


Fig 6



RAPPORT DE RECHERCHE PRÉLIMINAIRE

établi sur la base des dernières revendications
déposées avant le commencement de la recherche

N° d'enregistrement
national

FA 772743
FR 1258240

DOCUMENTS CONSIDÉRÉS COMME PERTINENTS		Revendication(s) concernée(s)	Classement attribué à l'invention par l'INPI
Catégorie	Citation du document avec indication, en cas de besoin, des parties pertinentes		
X	US 2011/068394 A1 (SANADA KAZUHIKO [JP] ET AL) 24 mars 2011 (2011-03-24) * figures 19,20 *	1-8, 13-15	H01L29/78 H01L27/088 H01L29/06 H01L27/11
A	EP 2 187 431 A1 (SEIKO INSTR INC [JP]) 19 mai 2010 (2010-05-19) * figures 3,4 *	1-15	
A	US 2009/212375 A1 (RISAKI TOMOMITSU [JP] ET AL) 27 août 2009 (2009-08-27) * figure 1 *	1-15	
A	US 2009/085106 A1 (MATSUNAGA SHINICHIRO [JP]) 2 avril 2009 (2009-04-02) * figures 1-10 *	1-15	
A	US 5 391 506 A (TADA YOSHIHIDE [JP] ET AL) 21 février 1995 (1995-02-21) * figures 5-7 *	1-15	
			DOMAINES TECHNIQUES RECHERCHÉS (IPC)
			H01L
Date d'achèvement de la recherche		Examineur	
5 mars 2013		Nesso, Stefano	
CATÉGORIE DES DOCUMENTS CITÉS		T : théorie ou principe à la base de l'invention E : document de brevet bénéficiant d'une date antérieure à la date de dépôt et qui n'a été publié qu'à cette date de dépôt ou qu'à une date postérieure. D : cité dans la demande L : cité pour d'autres raisons & : membre de la même famille, document correspondant	
X : particulièrement pertinent à lui seul Y : particulièrement pertinent en combinaison avec un autre document de la même catégorie A : arrière-plan technologique O : divulgation non-écrite P : document intercalaire			

ANNEXE AU RAPPORT DE RECHERCHE PRÉLIMINAIRE
RELATIF A LA DEMANDE DE BREVET FRANÇAIS NO. FR 1258240 FA 772743

La présente annexe indique les membres de la famille de brevets relatifs aux documents brevets cités dans le rapport de recherche préliminaire visé ci-dessus.

Les dits membres sont contenus au fichier informatique de l'Office européen des brevets à la date du **05-03-2013**

Les renseignements fournis sont donnés à titre indicatif et n'engagent pas la responsabilité de l'Office européen des brevets, ni de l'Administration française

Document brevet cité au rapport de recherche	Date de publication	Membre(s) de la famille de brevet(s)	Date de publication
US 2011068394 A1	24-03-2011	JP 2011071232 A	07-04-2011
		US 2011068394 A1	24-03-2011

EP 2187431 A1	19-05-2010	CN 101796620 A	04-08-2010
		EP 2187431 A1	19-05-2010
		JP 2009054840 A	12-03-2009
		KR 20100065152 A	15-06-2010
		TW 200931665 A	16-07-2009
		US 2010289078 A1	18-11-2010
		WO 2009028375 A1	05-03-2009

US 2009212375 A1	27-08-2009	CN 101521230 A	02-09-2009
		JP 2009206145 A	10-09-2009
		KR 20090092232 A	31-08-2009
		TW 200945586 A	01-11-2009
		US 2009212375 A1	27-08-2009
		US 2011156138 A1	30-06-2011

US 2009085106 A1	02-04-2009	JP 2009081397 A	16-04-2009
		US 2009085106 A1	02-04-2009
		US 2011204437 A1	25-08-2011

US 5391506 A	21-02-1995	AUCUN	
