(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2011-0083135
(43) 공개일자 2011년07월20일

(51) Int. Cl.
H03K 3/3562 (2006.01)
(21) 출원번호 10-2010-0003196
(22) 출원일자 2010년01월13일
심사청구일자 2010년01월13일

(71) 출원인
경희대학교 산학협력단
경기도 용인시 기흥구 서천동 1 경희대학교 국제캠퍼스내
(72) 발명자
조영민
경기도 수원시 영통구 매탄2동 111-101 202호
김진상
경기도 용인시 수지구 죽전1동 반도보라아파트 104-803
(뒷면에 계속)
(74) 대리인
서재승

전체 청구항 수 : 총 10 항

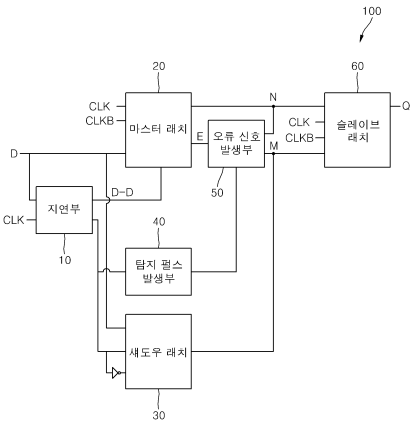
(54) 소프트 에러 탐지 및 정정 기능을 구비한 플립 플롭

(57) 요 약

본 발명은 플립 플롭(flip-flop)에 관한 것으로, 보다 구체적으로 1 클럭 사이클에 소프트 에러(soft error)를 탐지하고 탐지한 소프트 에러를 정정할 수 있는 펄스 기반 플립 플롭에 관한 것이다.

본 발명에 따른 플립 플롭은 내부 소프트 에러, 외부 소프트 에러 및 PVT 소프트 에러를 모두 탐지하고, 내부 소프트 에러, 외부 소프트 에러 및 PVT 소프트 에러에 의한 오류값을 정확하게 정정할 수 있으며, 1 클럭 신호 주기 동안에 소프트 에러를 탐지하고 소프트 에러에 의한 오류값을 정확하게 정정함으로써 데이터의 고속 처리가 가능하다. 또한 본 발명에 따른 플립 플롭은 적은 수의 트랜지스터를 이용하여 내부 소프트 에러, 외부 소프트 에러 및 PVT 소프트 에러를 모두 탐지하고 정정함으로써, 소비 에너지를 줄일 수 있으며 작은 면적으로 제작할 수 있다.

대 표 도 - 도3



(72) 발명자

윤창노

서울특별시 강동구 명일1동 현대아파트 101동 303호

조원경

경기도 수원시 영통구 영통동 살구골 성지아파트 713-1003

특허청구의 범위

청구항 1

입력 데이터와 클럭 신호를 지연시키는 지연부;

상기 입력 데이터, 지연된 상기 입력 데이터 및 상기 클럭 신호를 입력받아 제1 출력 데이터를 생성하는 마스터 래치;

상기 지연 입력 데이터와 지연된 상기 클럭 신호를 입력받아 제2 출력 데이터를 생성하는 섀도우 래치;

상기 제1 출력 데이터와 상기 제2 출력 데이터를 비교하여 상기 제1 출력 데이터와 상기 제2 출력 데이터가 서로 상이한 경우 오류 신호를 생성하는 오류 신호 발생부;

상기 오류 신호에 의해 상기 입력 데이터를 입력받아 상기 마스터 래치로부터 출력되는 새로운 제1 출력 데이터와 상기 제2 출력 데이터를 입력받아 제3 출력 데이터를 생성하는 슬레이브 래치를 포함하는 것을 특징으로 하는 플립 플롭.

청구항 2

제 1 항에 있어서, 상기 플립 플롭은

상기 오류 신호 발생부를 활성화시키는 탐지 신호를 발생시키는 탐지 펄스 발생부를 더 포함하는 것을 특징으로 하는 플립 플롭.

청구항 3

제 2 항에 있어서, 상기 탐지 펄스 발생부는

상기 지연 클럭 신호(D-CLK)에 동기화되어 상기 지연 클록 신호의 데이터 입력 구간 이후, 데이터 유지 구간에서 소정 간격으로 상기 오류 신호 발생부를 활성화시키기 위한 탐지 펄스를 생성하는 것을 특징으로 플립 플롭

청구항 4

제 2 항에 있어서,

상기 마스터 래치, 상기 섀도우 래치 및 슬레이브 래치는 각각 동일한 데이터가 입력되는 경우에만 활성화되는 시-엘리먼트(C-element) 회로인 것을 특징으로 하는 플립 플롭.

청구항 5

제 4 항에 있어서, 상기 마스터 래치는

상기 지연 입력 신호, 상기 입력 신호, 상기 클럭 신호가 각각 게이트로 입력되는 제1 내지 제3 p-mos 트랜지스터;

반전 클럭 신호, 상기 지연 입력 신호, 상기 입력 신호가 각각 게이트로 입력되는 제1 내지 제3 n-mos 트랜지스터;

상기 오류 신호가 게이트로 입력되는 제4 n-mos 트랜지스터; 및

반전된 상기 오류 신호가 게이트로 입력되는 제4 p-mos 트랜지스터를 포함하는 것을 특징으로 하는 플립 플롭.

청구항 6

제 5 항에 있어서, 상기 마스터 래치에서

상기 제1 p-mos 트랜지스터의 드레인과 소스는 각각 구동 전압과 제2 p-mos 트랜지스터의 드레인에 접속되어 있으며,

상기 제2 p-mos 트랜지스터의 소스는 제3 p-mos 트랜지스터의 드레인에 접속되어 있으며,

상기 제3 p-mos 트랜지스터의 소스는 제1 n-mos 트랜지스터의 드레인에 접속되어 있으며,

상기 제1 n-mos 트랜지스터의 소스는 제2 n-mos 트랜지스터의 드레인에 접속되어 있으며,

상기 제2 n-mos 트랜지스터의 소스는 제3 n-mos 트랜지스터의 드레인에 접속되어 있으며,

상기 제3 n-mos 트랜지스터의 소스는 접지되어 있으며,

제4 p-mos 트랜지스터의 소스와 드래인은 각각 제2 p-mos 트랜지스터의 소스와 제4 n-mos 트랜지스터의 소스와 접속되어 있으며,

제4 n-mos 트랜지스터의 드래인은 제2 n-mos 트랜지스터의 드레인과 접속되어 있는 것을 특징으로 하는 플립 플롭.

청구항 7

제 4 항에 있어서, 상기 섀도우 래치는

상기 입력 신호와 상기 지연 클럭 신호가 각각 게이트로 입력되는 제5 및 제6 p-mos 트랜지스터; 및

상기 입력 신호와 반전된 상기 지연 클럭 신호가 각각 게이트로 입력되는 제5 및 제6 n-mos 트랜지스터를 포함하는 것을 특징으로 하는 플립 플롭.

청구항 8

제 7 항에 있어서, 상기 섀도우 래치에서

상기 제5 p-mos 트랜지스터의 드레인과 소스는 각각 구동 전압과 제6 p-mos 트랜지스터의 드레인에 접속되어 있으며,

상기 제6 p-mos 트랜지스터의 소스는 제5 n-mos 트랜지스터의 드레인에 접속되어 있으며,

상기 제5 n-mos 트랜지스터의 소스는 제6 n-mos 트랜지스터의 드레인에 접속되어 있으며,

상기 제6 n-mos 트랜지스터의 소스는 접지되어 있는 것을 특징으로 하는 플립 플롭.

청구항 9

제 4 항에 있어서, 상기 슬레이브 래치는

상기 제2 출력 데이터, 제1 출력 데이터 및 상기 반전 클럭 신호가 각각 게이트로 입력되는 제7 내지 제9 p-mos 트랜지스터; 및

상기 클럭 신호, 상기 제2 출력 데이터, 상기 제1 출력 데이터가 각각 게이트로 입력되는 제7 내지 제9 n-mos 트랜지스터를 포함하는 것을 특징으로 하는 플립 플롭.

청구항 10

제 5 항에 있어서, 상기 슬레이브 래치에서

상기 제7 p-mos 트랜지스터의 드레인과 소스는 각각 구동 전압과 제8 p-mos 트랜지스터의 드레인에 접속되어 있으며,

상기 제8 p-mos 트랜지스터의 소스는 제9 p-mos 트랜지스터의 드레인에 접속되어 있으며,

상기 제9 p-mos 트랜지스터의 소스는 제7 n-mos 트랜지스터의 드레인에 접속되어 있으며,

상기 제7 n-mos 트랜지스터의 소스는 제8 n-mos 트랜지스터의 드레인에 접속되어 있으며,

상기 제8 n-mos 트랜지스터의 소스는 제9 n-mos 트랜지스터의 드레인에 접속되어 있으며,

상기 제9 n-mos 트랜지스터의 소스는 접지되어 있는 것을 특징으로 하는 플립 플롭.

명 세 서

기 술 분 야

[0001] 본 발명은 플립 플롭(flip-flop)에 관한 것으로, 보다 구체적으로 1 클럭 사이클에 소프트 에러(soft error)를 탐지하고 탐지한 소프트 에러를 정정할 수 있는 펄스 기반 플립 플롭에 관한 것이다.

배 경 기 술

[0002] 최근 트랜지스터 공정이 45 nm 공정까지 적용되고 있으며 점차적으로 더 작은 공정까지 적용될 것이라 예상한다. 고성능의 반도체 설계에 있어 속도, 전력소모, 강인함, 클럭 스큐 내구력과 면적은 중요한 변수이다. 이러한 반도체를 구성하는 소자들 중에 플립플롭은 변수에 가장 큰 영향력을 받는 소자이다.

[0003] 나노공정을 적용하는 회로에서 대기 중의 작은 입자의 충돌만으로도 회로 내부 값이 일시적인 변화를 일으켜 오류를 발생시킬 수 있는 확률이 높아지게 된다. 이와 같은 오류를 SEU(Single Event Upset) 또는 소프트 에러(soft error)라 한다. 노드 커패시턴스 값이 감소하면서 최소 임계전하(Q critical) 값이 낮아지며, 낮아진 공급전압과 작아진 공정으로 인해 노드의 값은 작은 전하만으로도 변할 수 있다.

[0004] 플립 플롭에서 발생하는 소프트 에러는 다음과 같이 세 가지 형태로 회로에 영향을 줄 수 있다. 첫 번째 형태로 플립 플롭 내부에서 발생된 글리치(glitch) 형태의 일시적인 상승 또는 하강 노이즈 펄스가 플립 플롭에 저장된 데이터를 변경시키거나 잘못된 데이터를 저장하여 출력 오류 또는 시스템 충돌을 일으킨다(이하 첫번째 소프트 에러를 내부 소프트 에러라 언급한다). 두번째 형태로 플립 플롭 외부에서 발생한 글리치 형태의 일시적인 상승 또는 하강 노이즈 펄스가 플립 플롭의 입력 노드로 전달되어 나타나는 오류이다(두번째 소프트 에러를 외부 소프트 에러라 언급한다). 마지막 세번째 형태로 플립 플롭의 앞단에 연결된 로직 회로에서 PVT(Process Voltage Temperature) 변화(variation)에 의해 오류가 발생하여 플립 플롭으로 입력되는 데이터가 지연됨으로써, 플립 플롭에 저장되는 데이터에 오류가 발생하는 경우이다(이하 세번째 형태의 소프트 에러를 PVT 소프트 에러라 언급한다). 이러한 소프트 에러로 인하여 플립 플롭에 저장되어 있던 데이터가 변하여 잘못된 데이터를 기억하고 오작동을 유발할 가능성이 커진다.

[0005] 도 1은 소프트 에러 중 내부 소프트 에러와 외부 소프트 에러를 설명하기 위한 도면이며, 도 2는 PVT 소프트 에러를 설명하기 위한 도면이다.

[0006] 펄스 클럭 신호에 기반하여 작동하는 플립 플롭에서 플립 플롭에 저장되는 데이터는 전체 펄스 클럭 신호(CLK) 중 상승 에지 또는 하강 에지의 셋업 타임(T_{SETUP})에 입력되는 데이터(D) 값에 따라 결정된다. 도 1을 참고로 살펴보면, 상승 에지를 셋업 타임으로 하는 플립 플롭에서 펄스 클럭 신호(CLK)의 셋업 타임에 플립 플롭의 내부 또는 외부에서 발생한 글리치 형태의 상승 에지가 데이터 신호(D)로 입력되는 경우, 플립 플롭은 하이값의 데이터(Q)를 출력한다. 즉, 플립 플롭의 셋업 타임에 오류로 발생한 글리치 형태의 상승 에지로 인하여 플립 플롭은 로우값의 데이터 대신 하이값의 데이터를 출력하거나 로우값으로 저장되어 있는 데이터를 하이값으로 잘못 저장하게 된다.

[0007] 한편, 도 2를 참고로 살펴보면, 플립 플롭의 앞단에 연결되어 있는 로직 회로에서 데이터 신호가 플립 플롭으로 입력되는 경우, 펄스 클럭 신호(CLK)의 셋업 타임(T_{SETUP})에 정확하게 동기화되어 도착한 데이터 신호(D)로 인하여 플립 플롭은 하이값의 데이터(Q1)를 출력한다. 그러나 PVT 변화에 의해 지연된 데이터 신호(D_D)가 플립 플롭으로 입력되는 경우, 지연된 데이터 신호는 펄스 클럭 신호의 셋업 타임에 동기화되지 못하고 셋업 타임 구간에 로우값을 가지며, 전체 펄스 신호 중 상승 에지의 셋업 타임에 입력되는 로우값의 데이터 신호에 따라 플립 플롭은 잘못된 로우값의 데이터(Q2)를 출력한다.

발명의 내용

해결하려는 과제

[0008] 위에서 살펴본 바와 같이, 상승 에지 또는 하강 에지 중 어느 하나의 에지를 셋업 타임으로 하는 플립 플롭에서 소프트 에러가 발생하는 경우, 발생한 소프트 에러를 탐지하고 소프트 에러로 인하여 발생하는 잘못된 데이터를 정확한 데이터로 정정하여야 한다. 소프트 에러에 강인한 플립플롭 설계에 대한 연구는 하드웨어 중복을 통해 오류를 탐지 및 정정하는 방법, 스캔 플립플롭을 이용하는 방법, TMR(triple modular redundancy)를 이용한 방법 등이 존재한다. 그러나 하드웨어 중복을 이용한 방법의 경우 시-엘리먼트(c-element) 회로의 특성을 이용하여 내부에서 발생한 오류 값을 출력 값으로 전달하지 못하도록 하는 기능만 있을 뿐 오류 값을 정정하는 기능이

없다. 또한 스캔 플립플롭을 이용하는 방법의 경우 스캔 목적의 플립플롭을 별도로 구비하여야 하기 때문에 많은 수의 트랜지스터를 사용하여 제작 비용이 높으며 전력 소비도 높다는 단점을 가진다. TMR를 이용한 방법은 내부 소프트 에러에서 오류 값 정정이 다른 방법들 보다 뛰어나 우주선 등의 특수한 설계 목적으로 이용될 수 있지만 PVT 소프트 에러 및 외부 소프트 에러를 정확하게탐지하고 정정하지 못한다는 단점을 가진다.

[0009] 따라서 본 발명이 이루고자 하는 목적은 1 클럭 신호 주기 동안에 소프트 에러를 탐지하고 소프트 에러에 의한 오류값을 정확하게 정정할 수 있는 플립 플롭을 제공하는 것이다.

[0010] 본 발명이 이루고자 하는 다른 목적은 내부 소프트 에러, 외부 소프트 에러 및 PVT 소프트 에러를 모두 탐지하고, 내부 소프트 에러, 외부 소프트 에러 및 PVT 소프트 에러에 의한 오류값을 정확하게 정정할 수 있는 플립 플롭을 제공하는 것이다.

[0011] 본 발명이 이루고자 하는 또 다른 목적은 적은 수의 트랜지수터를 사용하여 제작 비용과 소비 전력이 작으며, 1 클럭 신호 주기 동안에 빠르게 소프트 에러를 탐지하고 오류값을 정정할 수 있는 플립 플롭을 제공하는 것이다.

과제의 해결 수단

[0012] 본 발명의 목적을 달성하기 위하여, 본 발명에 따른 플립 플롭은 입력 데이터와 클럭 신호를 지연시키는 지연부와, 입력 데이터, 지연된 입력 데이터 및 클럭 신호를 입력받아 제1 출력 데이터를 생성하는 마스터 래치(master latch)터와 지연된 클럭 신호를 입력받아 제2 출력 데이터를 생성하는 섀도우 래치(shadow latch)와, 제1 출력 데이터와 제2 출력 데이터를 비교하여 제1 출력 데이터와 제2 출력 데이터가 서로 상이한 경우 오류 신호를 생성하는 오류 신호 발생부와, 오류 신호에 의해 마스터 래치로부터 출력되는 새로운 제1 출력 데이터와 제2 출력 데이터를 입력받아 제3 출력 데이터를 생성하는 슬레이브 래치(slave latch) 및 오류 신호 발생부를 활성화시키는 탐지 신호를 발생시키는 탐지 펄스 발생부를 포함한다.

[0013] 여기서 마스터 래치, 상기 섀도우 래치 및 슬레이브 래치는 각각 동일한 데이터가 입력되는 경우에만 활성화되는 시-엘리먼트(C-element) 회로인 것을 특징으로 한다.

[0014] 마스터 래치는 지연 입력 신호, 입력 신호, 클럭 신호가 각각 게이트로 입력되는 제1 내지 제3 p-mos 트랜지스터와, 반전 클럭 신호, 지연 입력 신호, 입력 신호가 각각 게이트로 입력되는 제1 내지 제3 n-mos 트랜지스터와, 오류 신호가 게이트로 입력되는 제4 n-mos 트랜지스터 및 반전된 오류 신호가 게이트로 입력되는 제4 p-mos 트랜지스터를 포함하는 것을 특징으로 한다.

[0015] 섀도우 래치는 입력 신호와 지연 클럭 신호가 각각 게이트로 입력되는 제5 및 제6 p-mos 트랜지스터 및 입력 신호와 반전된 지연 클럭 신호가 각각 게이트로 입력되는 제5 및 제6 n-mos 트랜지스터를 포함하는 것을 특징으로 한다.

[0016] 슬레이브 래치는 제2 출력 데이터, 제1 출력 데이터 및 반전 클럭 신호가 각각 게이트로 입력되는 제7 내지 제9 p-mos 트랜지스터 및 클럭 신호, 제2 출력 데이터, 제1 출력 데이터가 각각 게이트로 입력되는 제7 내지 제9 n-mos 트랜지스터를 포함하는 것을 특징으로 한다.

발명의 효과

[0017] 본 발명에 따른 플립 플롭은 종래 플립 플롭과 비교하여 다음과 같은 다양한 효과들을 가진다.

[0018] 첫째 본 발명에 따른 플립 플롭은 내부 소프트 에러, 외부 소프트 에러 및 PVT 소프트 에러를 모두 탐지하고, 내부 소프트 에러, 외부 소프트 에러 및 PVT 소프트 에러에 의한 오류값을 정확하게 정정할 수 있다.

[0019] 둘째, 본 발명에 따른 플립 플롭은 1 클럭 신호 주기 동안에 소프트 에러를 탐지하고 소프트 에러에 의한 오류값을 정확하게 정정함으로써, 데이터의 고속 처리가 가능하다.

[0020] 셋째, 본 발명에 따른 플립 플롭은 적은 수의 트랜지스터를 이용하여 내부 소프트 에러, 외부 소프트 에러 및 PVT 소프트 에러를 모두 탐지하고 정정함으로써, 소비 에너지를 줄일 수 있으며 작은 면적으로 제작할 수 있다.

도면의 간단한 설명

[0021] 도 1은 소프트 에러 중 내부 소프트 에러와 외부 소프트 에러를 설명하기 위한 도면이다.

도 2는 PVT 소프트 에러를 설명하기 위한 도면이다.

도 3은 본 발명의 일 실시예에 따른 플립 플롭의 기능 블록도를 도시하고 있다.

도 4는 본 발명에 따른 플립 플롭의 회로도를 도시하고 있다.

도 5는 PVT 소프트 에러가 발생하여 플립 플립으로 지연된 입력 신호가 입력되는 경우 입출력되는 신호를 도시하고 있다.

도 6은 외부 소프트 에러가 발생하여 외부에서 플립 플립으로 글리치 형태의 상승 노이즈 펄스가 입력되는 경우 입출력되는 신호를 도시하고 있다.

발명을 실시하기 위한 구체적인 내용

[0022] 이하 첨부한 도면을 참고로 본 발명에 따른 플립 플롭에 대해 보다 구체적으로 살펴본다.

[0023] 도 3은 본 발명의 일 실시예에 따른 플립 플롭의 기능 블록도를 도시하고 있다.

[0024] 도 3을 참고로 살펴보면, 지연부(10)로 입력 데이터(D)와 펄스 클럭 신호(CLK)가 입력되며, 지연부(10)는 입력 데이터(D)와 펄스 클럭 신호(CLK)를 시간 지연시켜 지연 입력 데이터(D-D)와 지연 클럭 신호(D-CLK)를 생성한다.

[0025] 마스터 래치(20)로 입력 데이터(D), 지연 입력 데이터(D-D), 펄스 클럭 신호(CLK) 및 반전된 펄스 클럭 신호(CLKB)가 입력되며, 마스터 래치(20)는 펄스 클럭 신호(CLK)와 반전된 펄스 클럭 신호(CLKB)에 동기화되어 입력 데이터(D)와 지연 입력 데이터(D-D)에 따라 제1 출력 데이터(N)를 생성하거나 저장된 제1 출력 데이터(N)를 유지한다. 마스터 래치(20)는 시-엘리멘트 회로로 동일한 값의 데이터가 입력되는 경우에만 활성화되는데, 입력 데이터(D)와 지연 입력 데이터(D-D)가 동일한 값의 데이터인 경우 반전된 값의 데이터를 출력 데이터(N)로 출력하며, 입력 데이터(D)와 지연 입력 데이터(D-D)가 서로 상이한 값의 데이터인 경우 기존에 저장되어 있는 데이터 값을 유지한다.

[0026] 섀도우 래치(30)로 입력 데이터(D), 지연 펄스 클럭 신호(D-CLK) 및 반전된 지연 펄스 클럭 신호(D-CLKB)가 입력되며, 섀도우 래치(30)는 지연 펄스 클럭 신호(D-CLK)와 반전 지연 펄스 클럭 신호(D-CLKB)에 동기화되어 지연 입력 데이터(D-D)에 따라 제2 출력 데이터(M)를 생성하거나 저장된 제2 출력 데이터(M)를 유지한다. 즉, 섀도우 래치(30)는 지연 펄스 클럭 신호(D-CLK) 또는 반전 지연 펄스 클럭 신호(D-CLKB)에 동기화되어 제2 출력 데이터(M)를 생성하거나 유지함으로써, 비록 플립 플롭으로 입력되는 입력 데이터(D)가 지연되더라도 지연 펄스 클럭 신호(D-CLK) 또는 반전 지연 펄스 클럭 신호(D-CLKB)에 따라 입력 데이터(D)를 정확하게 인식할 수 있다. 섀도우 래치(30)는 시-엘리멘트 회로로 동일한 값의 데이터가 입력되는 경우에만 활성화되는데, 입력 데이터(D)와 지연 펄스 클럭 신호 또는 반전 지연 펄스 신호가 동일한 값의 데이터인 경우 반전된 값의 데이터를 출력 데이터(M)로 출력하며, 입력 데이터(D)와 지연 펄스 클럭 신호 또는 반전 지연 펄스 신호가 서로 상이한 값의 데이터인 경우 기존에 입력된 데이터를 유지한다.

[0027] 탐지 펄스 발생부(40)는 지연 펄스 클럭 신호(D-CLK)에 동기화되어 지연 펄스 클록 신호(D-CLK)의 데이터 입력 구간 이후 데이터 유지 구간, 즉 지연 펄스 클록 신호(D-CLK)의 상승 에지에서 소정 시간 간격동안만 제1 출력 데이터(N)와 제2 출력 데이터(M)의 동일 여부를 판단하기 위한 탐지 펄스를 생성하고 생성한 탐지 펄스를 오류 신호 발생부(50)로 제공한다. 오류 신호 발생부(50)는 탐지 펄스의 로직값에 따라 제1 출력 데이터(N)와 제2 출력 데이터(M)가 동일한지 판단하여 오류 신호(E)를 생성한다. 즉, 오류 신호 발생부(50)는 제1 출력 데이터(N)와 제2 출력 데이터(M)가 서로 상이한 경우와 제1 출력 데이터(N)와 제2 출력 데이터(M)가 서로 동일한 경우 서로 상이한 로직값의 오류 신호(E)를 생성한다.

[0028] 제1 출력 데이터(N)와 제2 출력 데이터(M)가 서로 상이한 경우 생성된 오류 신호(E)의 로직값에 따라 입력 데이터(D)가 다시 마스터 래치(20)로 입력되며, 마스터 래치(20)는 입력 데이터(D)의 지연 오류로 인하여 클럭 신호(CLK)의 상승 에지에서 정확하게 입력되지 못한 입력 데이터를 정정하여 새로운 제1 출력 데이터(N)를 생성한다.

[0029] 슬레이브 래치(60)로 제1 출력 데이터(N), 제2 출력 데이터(M), 펄스 클럭 신호(CLK) 및 반전된 클럭 신호(CLKB)가 입력되며, 슬레이브 래치(60)는 펄스 클럭 신호(CLK)와 반전된 클럭 신호(CLKB)에 동기화되어 제1 출력 데이터(N)와 제2 출력 데이터(M)에 따라 최종 출력 데이터(Q)를 생성하거나 저장된 최종 출력 데이터(Q)를 유지한다. 슬레이브 래치(60)는 시-엘리멘트 회로로 동일한 값의 데이터가 입력되는 경우에만 활성화되는데, 제1 출력 데이터(N)와 제2 출력 데이터(M)가 동일한 값의 데이터인 경우 반전된 값의 데이터를 최종 출력 데이

터(Q)로 출력하며, 제1 출력 데이터(N)와 제2 출력 데이터(M)가 서로 상이한 값의 데이터인 경우 기존에 저장된 최종 출력 데이터를 유지한다.

[0030] 도 4는 본 발명에 따른 플립 플롭의 회로도를 도시하고 있다.

[0031] 도 4를 참고로 살펴보면, 마스터 래치(20)는 지연 입력 신호(D-D), 입력 신호(D), 클럭 신호(CLK)가 각각 게이트로 입력되는 제1 p-mos 트랜지스터(21), 제2 p-mos 트랜지스터(22) 및 제3 p-mos 트랜지스터(23)를 구비하고 있으며, 반전 클럭 신호(CLKB), 지연 입력 신호(D-D), 입력 신호(D)가 각각 게이트로 입력되는 제1 n-mos 트랜지스터(24), 제2 n-mos 트랜지스터(25) 및 제3 n-mos 트랜지스터(26)를 구비하고 있다. 한편, 오류 신호 발생부(50)의 오류 신호가 게이트로 입력되는 제4 n-mos 트랜지스터(27) 및 반전된 오류 신호가 게이트로 입력되는 제4 p-mos 트랜지스터(28)를 포함하고 있다.

[0032] 제1 p-mos 트랜지스터(21)의 드레인과 소스는 각각 구동 전압과 제2 p-mos 트랜지스터(22)의 드레인에 접속되어 있으며, 제2 p-mos 트랜지스터(22)의 소스는 제3 p-mos 트랜지스터(23)의 드레인에 접속되어 있으며, 제3 p-mos 트랜지스터(23)의 소스는 제1 n-mos 트랜지스터(24)의 드레인에 접속되어 있으며, 제1 n-mos 트랜지스터(24)의 소스는 제2 n-mos 트랜지스터(25)의 드레인에 접속되어 있으며, 제2 n-mos 트랜지스터(25)의 소스는 제3 n-mos 트랜지스터(26)의 드레인에 접속되어 있으며, 제3 n-mos 트랜지스터(26)의 소스는 접지되어 있다. 한편, 제4 p-mos 트랜지스터(28)의 소스와 드래인은 각각 제2 p-mos 트랜지스터(22)의 소스와 제4 n-mos 트랜지스터(27)의 소스와 접속되어 있으며, 제4 n-mos 트랜지스터(27)의 드래인은 제2 n-mos 트랜지스터(25)의 드레인과 접속되어 있다.

[0033] 섀도우 래치(30)는 입력 신호(D)와 지연 클럭 신호(D-CLK)가 각각 게이트로 입력되는 제5 p-mos 트랜지스터(31)와 제6 p-mos 트랜지스터(32), 반전된 지연 클럭 신호(D-CLKB)와 입력 신호(D)가 각각 게이트로 입력되는 제5 n-mos 트랜지스터(33)와 제6 n-mos 트랜지스터(34)를 포함하고 있다.

[0034] 제5 p-mos 트랜지스터(31)의 드레인과 소스는 각각 구동 전압과 제6 p-mos 트랜지스터(32)의 드레인에 접속되어 있으며, 제6 p-mos 트랜지스터(32)의 소스는 제5 n-mos 트랜지스터(33)의 드레인에 접속되어 있으며, 제5 n-mos 트랜지스터(33)의 소스는 제6 n-mos 트랜지스터(34)의 드레인에 접속되어 있으며, 제6 n-mos 트랜지스터(34)의 소스는 접지되어 있다

[0035] 슬레이브 래치(60)는 제2 출력 데이터(M), 제1 출력 데이터(N) 및 반전 클럭 신호(CLKB)가 각각 게이트로 입력되는 제7 p-mos 트랜지스터(61), 제8 p-mos 트랜지스터(62) 및 제9 p-mos 트랜지스터(63)와 클럭 신호(CLK), 제2 출력 데이터(M), 제1 출력 데이터(N)가 각각 게이트로 입력되는 제7 n-mos 트랜지스터(64), 제8 n-mos 트랜지스터(65) 및 제9 n-mos 트랜지스터(66)를 포함하고 있다.

[0036] 제7 p-mos 트랜지스터(61)의 드레인과 소스는 각각 구동 전압과 제8 p-mos 트랜지스터(62)의 드레인에 접속되어 있으며, 제8 p-mos 트랜지스터(62)의 소스는 제9 p-mos 트랜지스터(63)의 드레인에 접속되어 있으며, 제9 p-mos 트랜지스터(63)의 소스는 제7 n-mos 트랜지스터(64)의 드레인에 접속되어 있으며, 제7 n-mos 트랜지스터(64)의 소스는 제8 n-mos 트랜지스터(65)의 드레인에 접속되어 있으며, 제8 n-mos 트랜지스터(65)의 소스는 제9 n-mos 트랜지스터(66)의 드레인에 접속되어 있으며, 제9 n-mos 트랜지스터(66)의 소스는 접지되어 있다.

[0037] 도 5는 PVT 소프트 에러가 발생하여 플립 플립으로 지연된 입력 신호가 입력되는 경우 도 4의 회로도에서 입출력되는 신호를 도시한 도면으로서, 도 4와 도 5를 참고로 PVT 소프트 에러가 발생하는 경우 PVT 소프트 에러를 탐지하고 정정하는 본원 발명의 일 예를 살펴본다.

[0038] 플립 플롭(100)의 전단에 위치하는 로직 회로(미도시)에서 플립 플롭(100)으로 PVT 소프트 에러에 의해 입력 데이터(D)가 지연되어 전송되는 경우, 클럭 신호(CLK)의 셋업 타임(T_{SETUP})에 동기되어 입력 데이터(D)의 상승 에지가 정확하게 마스터 래치(20)로 입력되지 못하며, 클럭 신호(CLK)의 셋업 타입(T_{SETUP})을 경과하여 상승 에지가 발생한다. 따라서 마스터 래치(20)는 클럭 신호(CLK)의 셋업 타임(T_{SETUP})에 입력 데이터(D)의 상승 에지를 감지하지 못하여 하이값의 클럭 신호 기간 동안 계속해서 이전에 입력된 데이터 값을 유지하며, 마스터 래치(20)는 로우값의 클럭 신호가 발생할 때까지 하이값을 가지는 제1 출력 데이터(N)를 생성하여 출력한다.

[0039] 섀도우 래치(30)는 입력 데이터(D)와 지연 클럭 신호(D-CLK)를 제공받아 제2 출력 데이터(M)을 생성하는데, 지연 클럭 신호(D-CLK)는 입력 데이터(D)의 상승 에지에 지연 클럭 신호(D-CLK)의 셋업 타입(T_{SETUP})이 동기화되도록 입력 데이터(D)의 상승 에지 구간에 로우값을 가진다. 따라서 섀도우 래치(30)는 지연 클럭 신호(D-CLK)의

셋업 타임(T_{SETUP})에 입력 데이터(D)의 상승 에지를 감지하여 로우값을 가지는 제2 출력 데이터(M)를 출력한다.

[0040] 탐지 펄스 발생부(40)는 지연 클럭 신호(D-CLK)에 동기화되어 지연 클럭 신호(D-CLK)의 상승 에지 구간에서 PVT 소프트 에러를 탐지하도록 탐지 펄스를 생성하여 오류 신호 발생부(50)를 활성화한다. 즉, 로우값을 가지는 탐지 펄스 구간에서 오류 신호 발생부(50)는 입력된 제1 출력 데이터(N)와 제2 출력 데이터(M)의 값이 서로 상이한 경우 하이값을 가지는 오류 신호(E)를 생성하며 제2 출력 데이터(N)와 제2 출력 데이터(M)의 값이 서로 동일한 경우 로우값을 가지는 오류 신호(E)를 생성한다.

[0041] 따라서 로우값을 가지는 탐지 펄스 구간에서, 오류 신호 발생부(50)는 입력된 제1 출력 데이터(N)와 제2 출력 데이터(M)의 상이 여부에 따라 PVT 소프트 에러를 탐지하고, 오류 신호 발생부(50)는 입력된 제1 출력 데이터(N)와 제2 출력 데이터(M)가 상이한 경우 하이값을 가지는 오류 신호를 생성한다.

[0042] 하이값을 가지는 오류 신호에 의해 마스터 래치(20)의 제4 p-mos 트랜지스터(27)와 n-mos 트랜지스터(28)는 활성화되어 입력 데이터(D)가 계속해서 마스터 래치(20)로 입력되며, 마스터 래치(20)는 클럭 신호(CLK)의 셋업 타임(T_{SETUP})에 잘못 인식한 입력 데이터를 정정하여 로우값을 가지는 새로운 제1 출력 데이터를 생성한다. 슬레이브 래치(60)는 새로운 제1 출력 데이터(N)와 제2 출력 데이터(M)를 입력받아 제3 출력 데이터(Q)를 생성한다.

[0043] 도 6은 외부 소프트 에러가 발생하여 외부에서 플립 플립으로 글리치 형태의 상승 노이즈 펄스가 입력되는 경우도 4의 회로도에서 입출력되는 신호를 도시한 도면으로서, 도 4와 도 6를 참고로 외부 소프트 에러가 발생하는 경우 외부 소프트 에러를 탐지하고 정정하는 본원 발명의 일 예를 살펴본다.

[0044] 플립 플립의 외부에서 글리치 형태의 상승 노이즈 신호(G)가 플립 플롭으로 입력되는 경우, 입력된 상승 노이즈 신호(G)가 클럭 신호의 셋업 타임(T_{SETUP})에 동기화되면 플립 플롭에 저장되어 있던 데이터 또는 출력되는 데이터는 변경되어 오류가 발생한다.

[0045] 마스터 래치(20)는 상승 노이즈 신호(G)와 지연부(10)에서 출력되는 지연 상승 노이즈 신호(D-G)를 입력받는다. 마스터 래치(20)는 상승 노이즈 신호(G)와 지연 상승 노이즈 신호(D-G)에 기초하여 상승 노이즈 신호(G)와 지연 상승 노이즈 신호(D-G)가 서로 상이한 경우, 상승 노이즈 신호(G)와 지연 상승 노이즈 신호(D-G)가 서로 상이한 구간(T_P) 동안 이전에 저장되어 있는 데이터 값을 그대로 유지한다.

[0046] 한편, 내부 소프트 에러로 인하여 플립 플롭 내부에서 글리치 형태의 상승 노이즈 펄스가 발생하고 슬레이브 래치(60)로 제1 출력 데이터(N) 또는 제2 출력 데이터(M) 중 어느 하나로 상승 노이즈 펄스가 입력되는 경우, 제1 출력 데이터(N)와 제2 출력 데이터(M)을 비교하여 제1 출력 데이터(N)와 제2 출력 데이터(M)가 서로 상이하면 슬레이브 래치(60)는 이전 저장되어 있는 데이터 값을 그대로 유지한다.

[0047] 본 발명은 도면에 도시된 실시예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 등록청구범위의 기술적 사상에 의해 정해져야 할 것이다.

부호의 설명

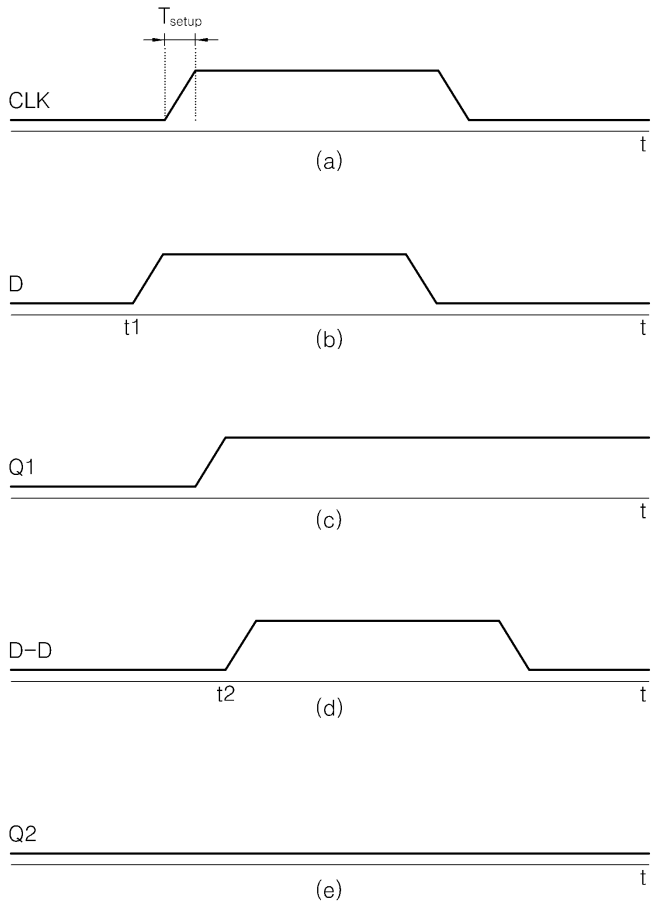
[0048] 10: 지연부 20: 마스터 래치

30: 섀도우 래치 40: 탐지 펄스 발생부

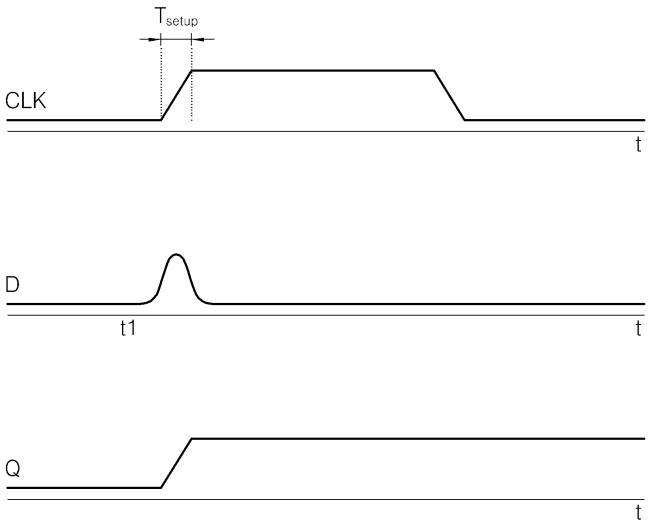
50: 오류 신호 발생부 60: 슬레이브 래치

도면

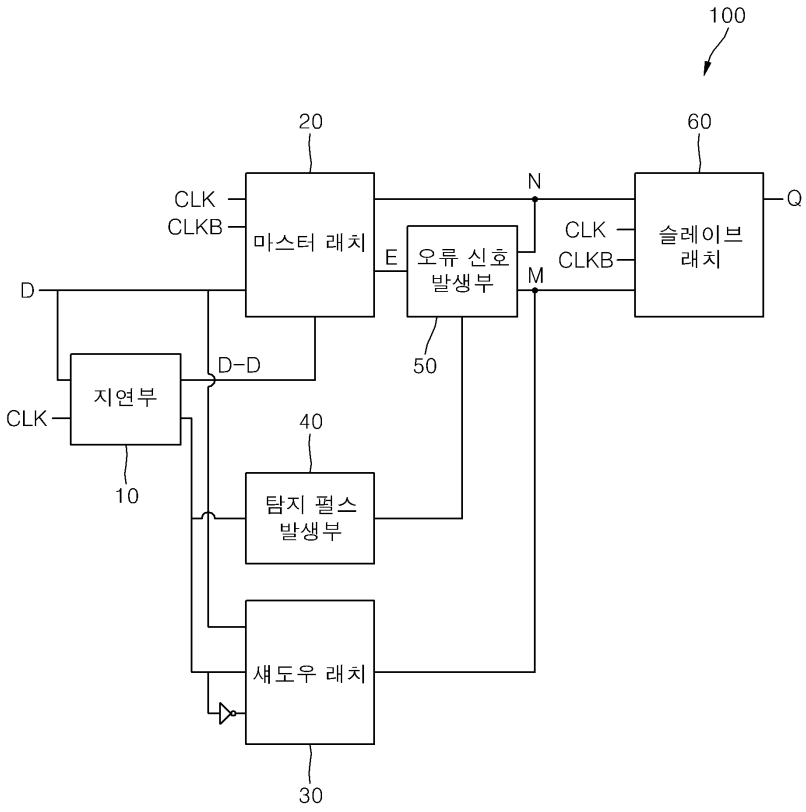
도면1



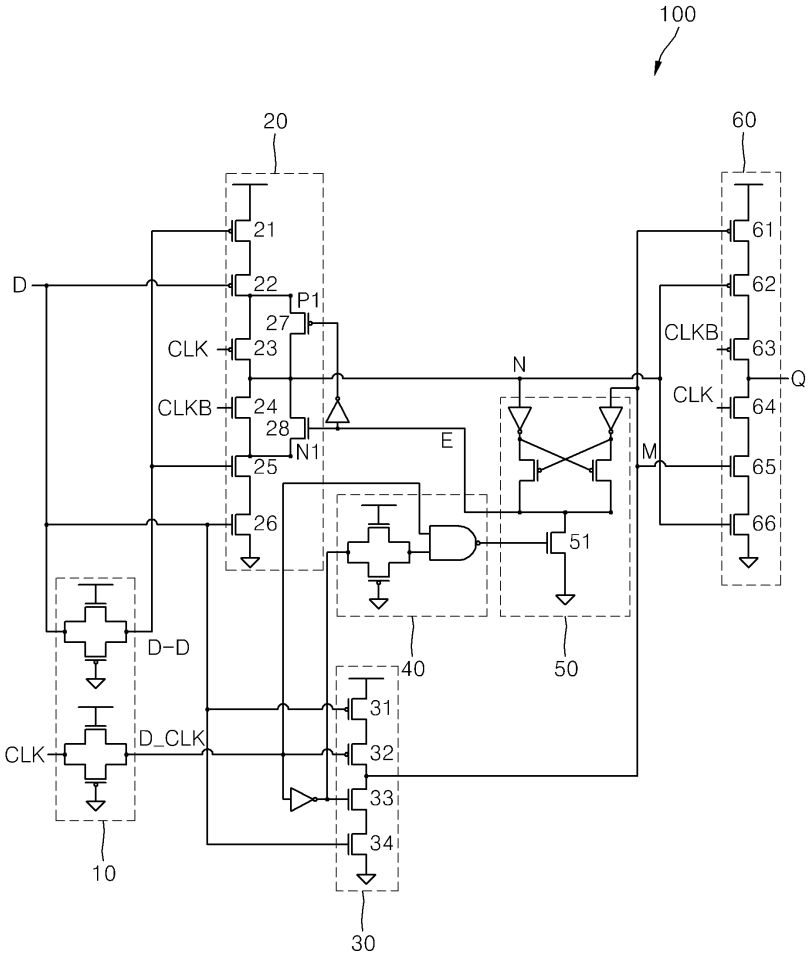
도면2



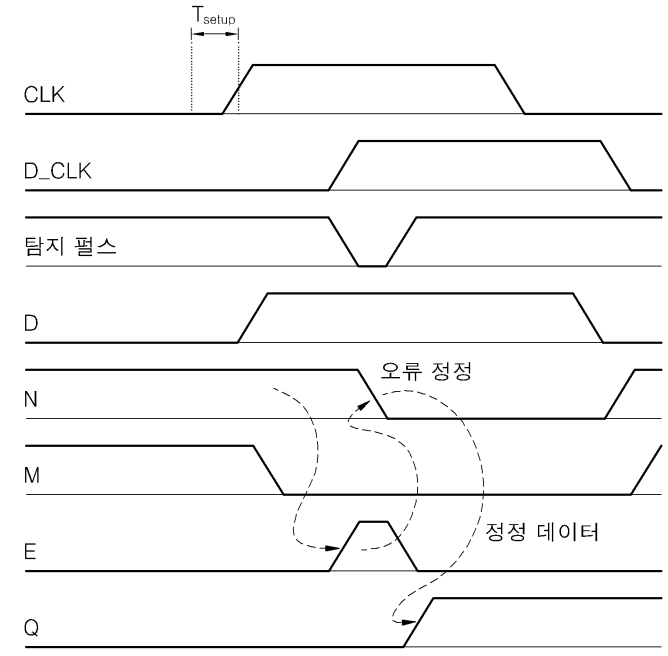
도면3


100
20
60
CLK
CLKB
마스터 래치
N
Q
E
오류 신호
발생부
CLK
CLKB
슬레이브
래치
M
D
D-D
50
지연부
CLK
40
10
탐지 펄스
발생부
섀도우 래치
30

도면4


100
20
60
21
22
P1
27
CLK
23
CLKB
24
28
N1
25
26
D
N
E
M
Q
CLKB
CLK
61
62
63
64
65
66
51
40
50
D-D
D_CLK
CLK
31
32
33
34
10
30

도면5


Tsetup
CLK
D_CLK
탐지 펄스
D
오류 정정
N
M
정정 데이터
E
Q

도면6

