



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201214439 A1

(43)公開日：中華民國 101 (2012) 年 04 月 01 日

(21)申請案號：100119653

(22)申請日：中華民國 100 (2011) 年 06 月 03 日

(51)Int. Cl. : **G11C16/04 (2006.01)**
G06F17/30 (2006.01)

H03M13/15 (2006.01)

(30)優先權：2010/06/04 美國

12/794,706

(71)申請人：美光科技公司 (美國) MICRON TECHNOLOGY, INC. (US)

美國

(72)發明人：艾森胡特 羅伯 B EISENHUTH, ROBERT B. (US) ; 范阿肯 斯蒂芬 P VAN AKEN,
STEPHEN P. (US)

(74)代理人：陳長文

申請實體審查：有 申請專利範圍項數：44 項 圖式數：10 共 123 頁

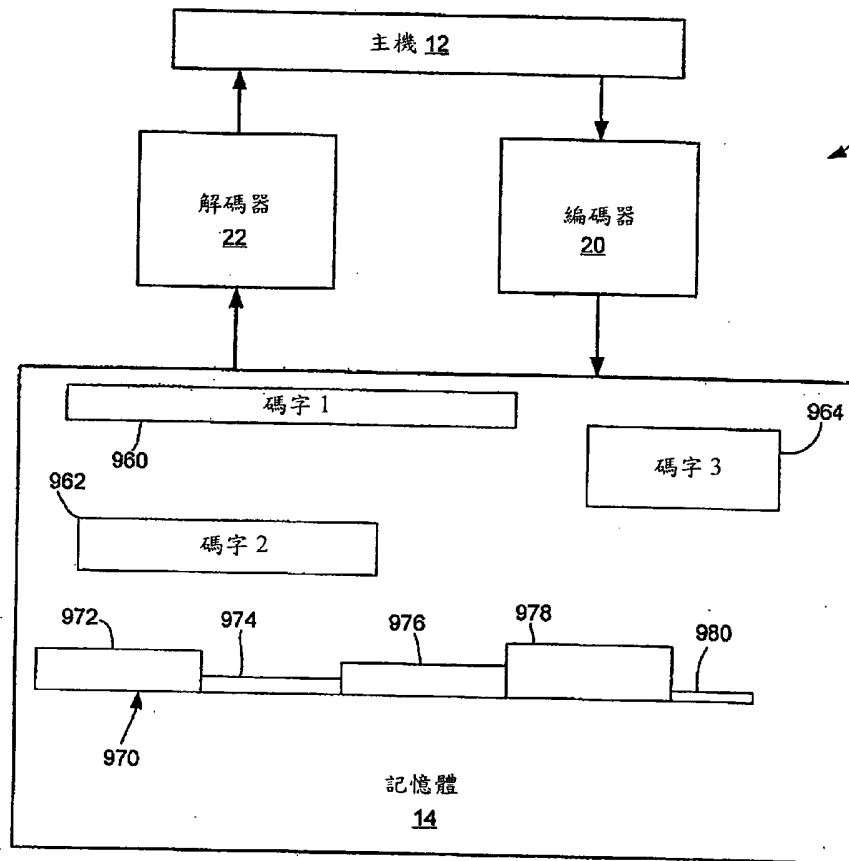
(54)名稱

在具有非揮發性記憶體之多層系統中的先進逐位元操作及裝置

ADVANCED BITWISE OPERATIONS AND APPARATUS IN A MULTI-LEVEL SYSTEM WITH
NONVOLATILE MEMORY

(57)摘要

本發明揭示一種組態有用於使用碼字來儲存數位資料之非揮發性記憶體之數位系統、組件及方法。使用該記憶體之每記憶體胞多個位元將該資料儲存於該記憶體中。出於關於該記憶體之寫入操作及讀取操作之目的，可基於輸入參數而逐碼字地改變一碼效率。可基於改變包含由該記憶體儲存之位元密度之該等輸入參數中之任一者而改變該碼效率。亦闡述儲存及讀取分率位元密度。



- 10：系統
- 12：主機
- 14：非揮發性記憶體
- 20：編碼區段
- 22：解碼區段
- 960：第一碼字
- 962：第二碼字
- 964：第三碼字
- 970：資料結構
- 972：碼字
- 974：碼字
- 976：碼字
- 978：碼字
- 980：碼字



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201214439 A1

(43)公開日：中華民國 101 (2012) 年 04 月 01 日

(21)申請案號：100119653

(22)申請日：中華民國 100 (2011) 年 06 月 03 日

(51)Int. Cl. : **G11C16/04 (2006.01)**
G06F17/30 (2006.01)

H03M13/15 (2006.01)

(30)優先權：2010/06/04 美國

12/794,706

(71)申請人：美光科技公司 (美國) MICRON TECHNOLOGY, INC. (US)

美國

(72)發明人：艾森胡特 羅伯 B EISENHUTH, ROBERT B. (US) ; 范阿肯 斯蒂芬 P VAN AKEN,
STEPHEN P. (US)

(74)代理人：陳長文

申請實體審查：有 申請專利範圍項數：44 項 圖式數：10 共 123 頁

(54)名稱

在具有非揮發性記憶體之多層系統中的先進逐位元操作及裝置

ADVANCED BITWISE OPERATIONS AND APPARATUS IN A MULTI-LEVEL SYSTEM WITH
NONVOLATILE MEMORY

(57)摘要

本發明揭示一種組態有用於使用碼字來儲存數位資料之非揮發性記憶體之數位系統、組件及方法。使用該記憶體之每記憶體胞多個位元將該資料儲存於該記憶體中。出於關於該記憶體之寫入操作及讀取操作之目的，可基於輸入參數而逐碼字地改變一碼效率。可基於改變包含由該記憶體儲存之位元密度之該等輸入參數中之任一者而改變該碼效率。亦闡述儲存及讀取分率位元密度。

六、發明說明：

【發明所屬之技術領域】

本申請案大體而言係關於多位階資訊系統，且更特定而言係關於與一多位階系統中之逐位元操作有關之一裝置及方法。

【先前技術】

2009年3月13日提出申請且標題為「BITWISE OPERATIONS IN A MULTI-LEVEL SYSTEM」之美國專利申請案第12/403,546號與2009年9月24日公佈之美國專利申請公開案第2009/0241006 A1號(在下文中稱為'546申請案)與本申請案為共同所有且因此以全文引用之方式併入本文中。由於該'546申請案提供申請人視為優先於隨後存在之技術狀態之徹底優勢，因此申請人認為本申請案提供更進一步之優勢。

相關技術之前述實例及與其相關之限制意欲係例示性而非窮盡性的。在讀取該說明書及研究該等繪圖之後，熟習此項技術者將顯而易見相關技術之其他限制。

【發明內容】

結合意在實例性及例示性而非限制範疇之系統、工具及方法闡述並圖解說明以下實施例及其態樣。在各種實施例中，已減少或消除上述問題中之一或多者，而其他實施例係旨在其他改良。

大體而言，一數位系統組態有用於儲存數位資料之非揮發性記憶體。在本發明之一個態樣中，形成該數位系統之

部分之一裝置及一相關聯方法係組態用於使用一裏德所羅門(Reed Solomon)編碼器接收包含透過該數位系統提供之輸入資料之一輸入資料串流，以產生由一系列裏德所羅門符號組成之一經裏德所羅門編碼之串流。使用一壓縮配置接收該經裏德所羅門編碼之串流以用於產生一經區塊重組之輸出資料串流，以使得該經區塊重組之輸出資料串流之至少一個部分但非全部經組態以服從基於一迴旋碼之一碼效率。該經區塊重組之輸出資料串流經該壓縮配置修改，以基於改變提供至該壓縮配置之一或多個輸入參數之一或多個值而支援與該輸入串流中之預定數目個裏德所羅門符號相關聯之迴旋碼之碼效率改變。使用一映射配置接收該經區塊重組之輸出資料串流以應用一格狀編碼調變(TCM)碼來產生一經TCM編碼之輸出資料串流。根據該迴旋碼之碼效率使用形成該映射配置之部分之一迴旋編碼器迴旋編碼該經TCM編碼之輸出串流之部分，以基於該等輸入參數之該等值支援碼效率之改變，以產生一經映射之輸出資料串流供引導至該非揮發性記憶體以用於儲存於該非揮發性記憶體中作為所儲存資料。在一項特徵中，將該經TCM編碼之輸出資料之部分迴旋編碼為透過壓縮配置與映射配置之間的合作組成該經TCM編碼之輸出串流之複數個TCM符號中之每一者之一最低有效位元。在另一特徵中，每一TCM符號係由複數個位元組成，且將該經TCM編碼之輸出資料之部分迴旋編碼為透過該壓縮配置與該映射配置之間的合作組成該經TCM編碼之輸出串流之複數個TCM符號中

之每一者之至少一最低有效位元但少於所有位元。在再一特徵中，基於讀取所儲存資料，使用一解映射配置資料自該非揮發性記憶體接收一記憶體輸出串流，並基於提供至該映射配置之該等輸入參數之值中之對應者根據該碼效率將其迴旋解碼，以將該經TCM編碼之輸出資料串流重現為一經解映射之輸出串流。使用一解壓縮配置接收該經解映射之輸出串流以便以回應於基於提供至該壓縮配置之一或多個輸入參數之值中之對應者而改變與預定數目個裏德所羅門符號相關聯之迴旋碼之碼效率之一方式基於該碼效率自該經解映射之輸出串流重現該經裏德所羅門編碼之串流。使用一裏德所羅門解碼器自該解壓縮配置接收該經裏德所羅門編碼之串流以自該經裏德所羅門編碼之串流解碼包含輸入資料之一讀取資料串流以供該數位系統用作讀取資料。

在本發明之另一態樣中，形成該數位系統之部分之一裝置及一相關聯方法係組態用於使用一區塊碼編碼器接收包含透過該數位系統提供之輸入資料之一輸入資料串流，以產生由一系列區塊碼符號組成之一經區塊碼編碼之串流。使用一壓縮配置接收該經區塊碼編碼之串流以用於產生一經區塊重組之輸出資料串流，以使得該經區塊重組之輸出資料串流之至少一個部分但非全部經組態以服從基於一迴旋碼之一碼效率。該經區塊重組之輸出資料串流經該壓縮配置修改，以基於改變提供至該壓縮配置之一或多個輸入參數之一或多個值而支援與該輸入串流中之預定數目個區

塊碼符號相關聯之迴旋碼之碼效率之改變。使用一映射配置來接收該經區塊重組之輸出資料串流以應用一TCM碼來產生一經TCM編碼之輸出資料串流。根據該迴旋碼之碼效率使用形成該映射配置之部分之一迴旋編碼器迴旋編碼該經TCM編碼之輸出串流之部分，以基於該等輸入參數之該等值支援碼效率之改變，以產生一經映射之輸出資料串流供引導至該非揮發性記憶體之用於儲存於其中作為所儲存資料。

在本發明之另一態樣中，形成該數位系統之部分之一裝置及一相關聯方法係組態用於使用一壓縮配置接收一經裏德所羅門編碼之串流，以產生一經區塊重組之輸出資料串流，以使得該經區塊重組之輸出資料串流之至少一個部分經組態以服從基於一迴旋碼之一碼效率。該壓縮配置及相關聯方法經調適以用於基於作為準備將輸入資料儲存於非揮發性記憶體中之一中間步驟而提供至壓縮配置之一或多個輸入參數之既定值而使與該輸入串流中之預定數目個裏德所羅門符號相關聯之該迴旋碼之碼效率改變。

在本發明之再一態樣中，形成該數位系統之部分之一裝置及一相關聯方法係組態用於使用包含用於儲存數位資料之複數個記憶體胞之一非揮發性記憶體。形成該裝置之部分之一壓縮配置及一相關聯方法經組態以用於接收由該系統提供之一輸入資料串流以用於產生一輸出資料串流(其係基於針對該等記憶體胞中之儲存之一區塊大小)，且選擇性地可基於一或多個輸入參數而以一第一模式操作以產

生針對該等記憶體胞中之儲存之一第一區塊大小，且可至少回應於該等輸入參數之一改變而以一第二模式操作以產生不同於該第一區塊大小之一第二區塊大小用於在其操作期間選擇性地改變區塊大小。

在本發明之再一態樣中，形成該數位系統之部分之一裝置及一相關聯方法係組態用於使用包含用於儲存數位資料之複數個記憶體胞以使得該等記憶體胞中之至少某些可儲存一個以上位元之一非揮發性記憶體。形成該裝置之部分之一編碼器配置及一相關聯方法經組態以接收由該系統提供之一輸入資料串流以用於產生一輸出資料串流(其係基於針對該等記憶體胞中之儲存之每胞編碼之一選定位元數目)，且選擇性地可基於一或多個輸入參數而以一第一模式操作以產生針對該等記憶體胞中之儲存之一第一位元密度作為每胞該選定位元數目，且至少回應於該等輸入參數之一改變而以一第二模式操作以產生不同於該第一位元密度之一第二位元密度用於在其操作期間選擇性地改變每胞編碼之位元數目。

在本發明之再一態樣中，形成該數位系統之部分之一裝置及一相關聯方法係組態用於使用包含用於儲存數位資料之複數個記憶體胞以使得該等記憶體胞中之至少某些可儲存一個以上位元之一非揮發性記憶體。形成該裝置之部分之一編碼器配置及一相關聯方法經組態以接收由該系統提供為一系列輸入符號之一輸入資料串流以用於產生一輸出資料串流(其係基於針對該等記憶體胞中之儲存之每胞編

碼之一選定位元數目)且可基於一或多個輸入參數來重組態以至少改變欲儲存於該非揮發性記憶體之記憶體胞中之每胞編碼之該選定位元數目。

在本發明之一延續態樣中，形成該數位系統之部分之一裝置及一相關聯方法係組態用於使用包含用於儲存數位資料之複數個記憶體胞以使得該等記憶體胞中之至少某些可儲存一個以上位元之一非揮發性記憶體。形成該裝置之部分之一解碼器配置及一相關聯方法經組態以用於接收回應於讀取儲存於該非揮發性記憶體中之一資料結構而提供之一讀取資料串流以提供含有一使用者資料串流之一系列讀取符號，該使用者資料串流係在一寫入操作期間被原始編碼為該資料結構之部分並儲存於一系列該等記憶體胞中用於基於儲存於該系列記憶體胞中之若干個每胞編碼之不同位元密度中之一選定一者而重現該使用者資料串流。作為重現該使用者資料串流之部分，該解碼器配置及相關聯方法可基於一或多個輸入參數重組態以改變該等位元密度中之至少選定一者來匹配儲存於該系列之記憶體胞中之該等位元密度。

在本發明之另一態樣中，形成該數位系統之部分之一裝置及一相關聯方法係組態用於使用包含用於儲存數位資料之複數個記憶體胞以使得該等記憶體胞中之至少某些可儲存一個以上位元之一非揮發性記憶體。形成該裝置之部分之一解映射配置及一相關聯方法係組態以用於基於自該非揮發性記憶體讀取所儲存資料而接收一記憶體輸出串流，

其中該記憶體輸出串流係呈一經TCM編碼之輸出資料串流之形式，在一編碼操作期間使該經TCM編碼之輸出資料串流之一個部分但非全部服從藉由一組參數之既定值建立之一碼效率，且用於基於在編碼操作期間提供之輸入參數之既定值中之對應者而基於該碼效率迴旋解碼該經TCM編碼之輸出資料串流，以將該經TCM編碼之輸出資料串流重現為一經解映射之輸出串流，該經解映射之輸出串流含有一經裏德所羅門編碼之串流。一解壓縮配置及相關聯方法係組態用於接收該解映射器輸出串流，及基於該碼效率並回應於基於在該編碼操作期間提供之一或多個輸入參數之既定值中之對應者而改變與預定數目個裏德所羅門符號相關聯之迴旋碼之碼效率而自該解映射器輸出串流重現經裏德所羅門編碼之串流。一裏德所羅門解碼器及相關聯方法係組態用於自該解壓縮配置接收經裏德所羅門編碼之串流以自該經裏德所羅門編碼之串流解碼包含輸入資料之一讀取資料串流以供由該數位系統用作讀取資料。

在本發明之另一態樣中，形成該數位系統之部分之一裝置及一相關聯方法係組態用於使用包含用於回應於一主機器件儲存數位資料之複數個記憶體胞之一非揮發性記憶體。形成該裝置之部分之一編碼器/解碼器配置及一相關聯方法經組態以介接該主機裝置與該非揮發性記憶體，用於以一系列碼字在其間傳送讀取資料及寫入資料，其中每一碼字具有一碼字大小以使得自該主機器件流動至該非揮發性記憶體之一經編碼資料流及自該非揮發性記憶體至該

主機器件之一經解碼資料流各自至少服從基於一迴旋碼之一碼效率，且該編碼器/解碼器配置係組態用於接收一或多個輸入參數，以使得可逐碼字地回應於該等輸入參數之一改變而改變該碼效率。在一項特徵中，每一碼字係由組成一碼字長度之複數個符號組成，其中每一符號表示欲儲存於該等記憶體胞中之一者中之一值，且結合相關聯方法之該編碼器/解碼器配置係組態用於以一第一模式操作以在一既定系列之碼字中之一第一碼字中產生一第一碼效率，及用於以一第二模式操作以在該既定系列之碼字中之第二碼字中產生一第二碼效率。

在本發明之再一態樣中，在組態有用於儲存數位資料之非揮發性記憶體之一數位系統中，將一資料結構儲存於該非揮發性記憶體中。該資料結構包含儲存於該非揮發性記憶體中之一系列TCM符號，其每一者表示至少兩個位元，至少使每一TCM符號之最低有效位元服從一迴旋碼且每一符號之至少一個其他位元未經迴旋編碼，且該等TCM符號組成形成一系列碼字之一系列裏德所羅門符號，以使得該資料結構中之至少一個碼字之迴旋碼之一碼效率不同於該資料結構中之一毗鄰碼字之碼效率。

在本發明之再一態樣中，闡述一種用於與一數位系統一起使用之方法，該數位系統組態有用於將數位資料儲存於該非揮發性記憶體中之一資料結構中之非揮發性記憶體。該方法包含將一系列TCM符號寫入至該非揮發性記憶體，該等TCM符號中之每一者表示至少兩個位元，至少使每一

TCM符號之最低有效位元服從一迴旋碼且每一符號之至少一個其他位元未經迴旋編碼，且該等TCM符號組成形成一系列碼字之一系列裏德所羅門符號以使得該資料結構中之至少一個碼字之迴旋碼之一碼效率不同於該資料結構中之一毗鄰碼字之碼效率。

在本發明之一延續態樣中，在組態有用於儲存數位資料之非揮發性記憶體之一數位系統中，將一資料結構儲存於該非揮發性記憶體中。該資料結構包含一系列TCM符號，其儲存於該非揮發性記憶體中形成該非揮發性記憶體之部分之一系列記憶體胞中，其中每一TCM符號包含至少一個位元且組成先前寫入至該非揮發性記憶體之一資料傳送，以使得該系列記憶體胞至少平均地儲存每胞分率數目個位元以表示該資料傳送。

在本發明之一進一步態樣中，闡述一種用於與組態有用於儲存數位資料之非揮發性記憶體之一數位系統一起使用之方法。該方法包含將一系列TCM符號作為一資料傳送寫入至該非揮發性記憶體在形成該非揮發性記憶體之部分之一系列記憶體胞中，其中每一TCM符號包含至少一個位元以使得由該系列記憶體胞至少平均地儲存每胞分率數目個位元以表示該資料傳送。在一項特徵中，該資料傳送包含使用者資料且該方法進一步包含基於每胞該分率數目個位元自該非揮發性記憶體讀取該系列之TCM符號以復原該使用者資料。

在本發明之另一態樣中，一裝置形成組態有用於儲存數

位資料之非揮發性記憶體之一數位系統之部分。該裝置包含用於在一資料傳送操作中將一資料結構寫入至該非揮發性記憶體作為形成該非揮發性記憶體之部分之一系列記憶體胞中之一系列TCM符號之一寫入配置，其中每一TCM符號包含至少一個位元且該資料結構包含使用者資料以使得由該系列之記憶體胞至少平均地儲存每胞分率數目個位元。在一項特徵中，一讀取配置經組態以用於基於每胞該分率數目個位元而自該非揮發性記憶體讀取該系列TCM符號以復原該使用者資料。

除上述實例性態樣及實施例外，藉由參照繪圖及藉由研究以下詳細闡述將更明瞭進一步之態樣及實施例。

【實施方式】

下述說明係提供用於使熟習此項技術者能夠製作及使用本發明，且係以一專利申請案及其要求為上下文來提供。熟習此項技術者將易於瞭解對所述實施例之各種修改，且本文教示之大體原理可適用於其他實施例。因此，本發明並不意欲限制至所展示之實施例，而是欲使本文所述之包含修改及等效物之原理及特徵與最寬廣之範疇相一致，如在隨附申請專利範圍之範疇內所界定。應注意，該等繪圖並非按比例繪示，且本質上係以最佳地圖解說明所關注特徵之方式概略。可參照該等圖表中提供之各種視圖出於加強讀者理解之目的採用描述性術語，且該等描述性術語絕不意欲限制。

本發明提供申請人相對於資料儲存及擷取系統基於非揮

發性記憶體之效能視為顯著之改良。本發明係關於如(舉例而言)在上文併入之'546申請案中所述之一多位元編碼系統，其中兩個單獨位元群組係與形成一系列(舉例而言)格狀編碼調變(TCM)符號中之每一者之不同部分之兩個單獨位元群組一起編碼。可稱為每一TCM符號之LSB之一個位元群組至少包含最低有效位元，且可包含具有相繼增大之有效性之額外位元，但並非TCM符號之所有位元。可稱為MSB之另一位元群組包含除LSB外之TCM符號之所有剩餘位元，且可包含最高有效位元及可包含具有相繼減小有效性之額外位元但並非TCM符號之所有位元。在一項實施例中，針對每胞編碼3個位元存在兩個MSB。在另一實施例中，針對每胞編碼4個位元存在三個MSB。熟習此項技術者在獲知此總的揭示內容之情況下易於組態其他實施例。

根據本發明之效能裨益包含針對既定量之非揮發性記憶體增加之儲存容量，以及已應用本文所揭示之教示之資料儲存系統之可靠性及壽命有關之增強。使用(舉例而言)NAND快閃記憶體之先前技術系統要求包含一機構以校正在記憶體器件中自然出現之錯誤。本發明提供相對於採用非揮發性記憶體之先前技術系統引起一效能增益之一強大的錯誤偵測及校正機制。申請人認識到，此等記憶體器件中之錯誤率可量化為可作為統計量，其可依據器件技術以及藉由環境及使用統計針對特定記憶體器件而預測。知曉此等錯誤率及其隨一記憶體器件之壽命而改變之方式可

用於建構為每一記憶體器件提供最佳效能之錯誤偵測及校正系統。此外，申請人認識到，可設計一種通用錯誤校正系統，其可經參數化以藉助各種特定記憶體器件中之每一者最佳地操作且藉助每一記憶體器件在彼記憶體器件之壽命期間操作。

本發明利用涉及代數錯誤校正及格狀編碼調變(TCM)之一組合的編碼及解碼方法以藉助應用程式將資料儲存至非揮發性記憶體器件及自非揮發性記憶體器件擷取。在一項實施例中，由具有對一主機電腦、編碼及解碼通道及資訊儲存媒體的連接之一資料儲存系統利用所述編碼及解碼技術。該儲存媒體係以一或多個非揮發性記憶體器件之形式提供，該一或多個非揮發性記憶體器件可符合能夠進行資料之非揮發性保留之任一適合技術。今日之可自本文所述先進技術受益之資料儲存系統可使用NAND快閃作為儲存媒體，但此先進技術相對於基於當前可用或尚待開發之任一其他適合形式之非揮發性記憶體之器件亦同等地適用。此等其他形式之非揮發性部件可實現類似於藉助NAND快閃可見之彼等裨益之裨益。

本文可使用之非揮發性記憶體器件係基於胞之器件，其中每一胞能夠儲存一單元之資訊。此單元可儲存一單個位元或多個位元。一個位元在一非揮發性記憶體胞中之儲存要求一資料儲存系統在該胞中之兩個可能狀態之間可靠地轉變。更多位元之儲存要求額外狀態及在該等狀態之間解析之能力。在一胞中之資料量根據所感測電壓而轉變之情

況下，舉例而言，每胞儲存2個位元要求在四個相異電壓之間轉變；每胞3個位元之儲存要求在八個相異電壓之間轉變，且依此類推。提議先前技術系統僅在使用具有極高可靠性及相對於所儲存之位元數目之轉變能力之記憶體時在快閃記憶體中儲存兩個以上位元。換言之，先前技術已採取嘗試消除任何錯誤之可能性以使得幾乎完全消除對校正之任何需要之方法。然而，申請人已認識到，諸如(舉例而言)NAND快閃器件之非揮發性器件係有缺陷之器件。因此，在使用此等器件時難以使每胞多個電壓一貫地轉變至使得本發明附帶之裨益係顯著的之程度。應瞭解，在每胞之此多個電壓之間轉變之能力與電壓及正轉變之位階之數目成反比。本發明使得在先前技術系統中將不能可靠地儲存及擷取每胞多個位元之記憶體裝置能夠儲存每胞相同數目個位元。申請人認識到，代數編碼及TCM編碼之一組合之應用涵蓋：針對每胞多個位元之儲存，在一既定胞中具有較低有效性之位元比彼同一胞中具有較高有效性之位元更可能出現錯誤。本發明提供儲存每胞4個位元之一系統之一實例性說明。然而，此說明不意欲作為限制。舉例而言，藉由使參數發生變化，該等相同教示仍可應用於儲存少達每胞3個位元或多於每胞4個位元。

現轉至該等圖表，其中相同元件符號可係指相同組件，首先關注圖1，其係通常由元件符號10指示之一系統之一方塊圖，其中系統組件提供用於每胞儲存多個位元及資料擷取。在系統10中，一主機電腦12使用組成一非揮發性記

記憶體14之儲存胞儲存及擷取資料。讀取及寫入係分別由一編碼區段20及一解碼區段22啟用，該等區段可靠地將資料自主機運送至非揮發性記憶體及自記憶體運送至主機。主機以使得可在資料返回至主機之前藉由解碼過程識別在主機讀取該資料時出現之位元錯誤並自該資料移除彼等位元錯誤之一方式執行資料至記憶體內之儲存。

仍參照圖1，非揮發性記憶體14可由一或多個個別記憶體器件組成，該等記憶體器件中之每一者可由可交替地稱為一編碼器之編碼區段20或可交替地稱為一解碼器之解碼區段22存取。該非揮發性記憶體之器件技術可係能夠儲存每胞一個以上位元之任一非揮發性媒體。NAND快閃將係典型的，但任一非揮發性技術亦將同等地應用，如上文論述。

主機12可係將讀取及寫入命令發佈至資料儲存及擷取系統之任一適合裝置。其在正常情況下係一處理器，且可係一電腦系統之部分，但亦可係一嵌入式系統之部分。編碼器20在自主機12至記憶體14之資料傳送過程期間進行操作。編碼器之功能係以使得可在主機請求自記憶體14讀取該主機時偵測及校正錯誤之一方式對主機提交之資料執行一變換。解碼器22在自記憶體14至主機12之資料傳送過程期間操作。該解碼器之功能係對以由該記憶體儲存該資料之形式自記憶體擷取之資料執行一變換並將該資料轉換成主機將其原始地提交至編碼器之形式。儲存於記憶體14中之資料之形式包含使得解碼器22偵測及校正由於記憶體14

缺陷而出現的資料中之位元錯誤。

根據本發明產生之實施例可應用於編碼器、解碼器及非揮發性記憶體之實施，以及應用於其中主機藉由將導致資料之傳送以儲存於記憶體中之命令及儲存於記憶體中之資料之傳送之彼結果發送至主機來引導操作之一系統環境。

現在關注圖2，其概略地圖解說明通常由元件符號100指示且根據本發明可儲存於非揮發性記憶體14(圖1)中之一資料結構之一項實施例。特定而言，圖2圖解說明指定為RS1至RS13之複數個裏德所羅門(RS)符號，針對每胞4個位元之密度及針對一特定削減(puncture)型樣將該等RS符號分配至一TCM符號串流上，如下文將闡述。應瞭解，一裏德所羅門碼係一種形式之一區塊碼。就此而言，可利用任一適合形式之區塊碼，諸如(舉例而言)一逐位元BCH碼。在獲知此總的揭示內容之情況下，熟習此項技術者可易於基於諸如一逐位元BCH碼之一區塊碼實施其他系統、技術及資料結構。該等TCM符號中之某些係個別地指定為(舉例而言)TCM1、TCM2、TCM3及TCM15。每一TCM符號之位元有效性係指定為 b_0 至 b_3 ，其中 b_0 係最低有效位元。在資料傳送之一初始部分102中，裏德所羅門符號RS1、RS7及RS12(僅部分地展示)係排他地由自相關聯TCM符號獲取之最低有效位元 b_0 組成。RS2至RS6、RS8至RS11及RS13(僅部分地展示)係由MSB位元 b_1 至 b_3 組成。該資料結構係圖解說明為具有初始部分102及一終止部分104。TCM符號

TCM1至TCM32組成該結構之初始部分102，包含RS1至RS13之所圖解說明部分。該資料結構之終止部分係由一RS符號群組組成，以RS(N)結束且具有一TCM符號TCM(N')，如將進一步闡述。應瞭解，圖2之資料結構對應於儲存於該非揮發性記憶體中之一特定但實例性結構。儘管LSB之數目可大於1，但圖2圖解說明其中三個MSB(b_1 至 b_3)與自每一4位元TCM符號獲取之一個LSB(b_0)配對之一實施例。如將看出，LSB位置中之「X」符號以及LSB位置中之非「X」符號表示在將該資料結構實際儲存於記憶體中之前藉由迴旋編碼而產生之碼位元。就此而言，在「X」位元位置中攜載之資料可稱為外加碼位元(extra code bit)。應注意，儘管本發明及隨附申請專利範圍可將記憶體指定為儲存TCM符號，但應瞭解，實際上所儲存的係可視為表示一TCM符號之一記憶體目標或目標位階之一位階。

繼續參照圖2，將N個RS符號[RS1、RS2、...、RS(N-1)、RS(N)]之串流壓縮於4位元TCM符號之一串流上。術語「壓縮」係指將位元自一個符號格式重新編組成另一符號格式。於此情形下，將包括(舉例而言)每符號10個位元之一RS符號串流「壓縮」至一4位元TCM符號串流上係自第一TCM符號之LSB之第一RS符號擷取一個位元及自第一TCM符號之MSB之第二RS符號擷取三個位元之一過程。該第二TCM符號係由來自第二TCM符號之LSB之第一RS符號之一額外位元及來自第二TCM符號之MSB之第二RS符號之

三個額外位元建構。為接收第一RS符號之所有10個位元，創建15個TCM符號。在本實施例中，與此15個TCM符號相關聯之LSB中之5個將係迴旋外加碼位元之X預留位置，而該等LSB之10個係組成第一RS符號之實際資料位元。應注意，RS6超出RS1之末端。一旦一當前RS MSB符號超出一完整LSB RS符號之末端，則下一RS符號係專用作一LSB RS符號。當在圖2中創建前30個TCM符號時，以RS2至RS5、RS1、RS6、RS8至RS11及RS7之次序完成該等RS符號，其中RS7及RS11係在創建TCM 30時同時完成。由於前30個TCM符號之創建表示一完整壓縮型樣，因此以類似方式建構額外TCM符號，根據需要自後續RS符號獲取位元直至已將所有RS符號轉換成TCM符號。只要存在源符號(亦即，RS符號)該壓縮過程就繼續。在由於來自RS符號串流之所有位元已被用完而使得最後一4位元TCM符號要求額外位元來完成之情況下，則插入額外填充位元以填滿最後一4位元符號。該圖展示將該N個符號放置於該4位元串流上之方式。每一4位元符號係由一經垂直陣列之四位元片表示，如所展示。每一RS符號之位元出於編碼目的在TCM符號串流上之配置次序可係任一便利次序，只要一解碼器可在一合作解碼功能期間完全地重建該符號之原始位元序列。該TCM輸出串流係序列[TCM1、TCM2、...、TCM(N'-1)、TCM(N')]。應注意，長度為N之TS符號之一輸入串流產生具有N'個符號之一TCM串流。N與N'之間的關係使得針對可藉由非限制性實例包含位元密度、RS資料長度、

RS奇偶長度、欲採用之一迴旋多項式及欲採用之一削減多項式之一組既定參數， N 之一特定值產生 N' 之一特定值，以使得已知 N 會實現 N' 之判定。因此，相對於輸出位元數目對輸入位元數目，RS至TCM變換係精確的。

應瞭解，一輸入串流中之第一RS符號可合理地分配至MSB或至LSB。只要一合作解碼功能能夠完全地重建該序列，LSB或MSB之間的選擇就是任意的。在本實施例中，基於在編碼操作期間比MSB符號更慢地消耗LSB符號而總是將一串流中之第一RS符號分配至該結構之LSB側。接續該初始RS符號，由該特定實施例判定RS符號使用之序列。在該圖中展示之組態下，將第一RS符號(RS1)選擇為一LSB符號，且然後將第二RS符號(RS2)選擇為一MSB符號。基於使用率將後續RS符號分配至MSB或LSB。在圖2中，在將第一RS符號(RS1)放置為LSB之後將五個RS符號(RS2至RS6)分配至MSB。在將RS6分配至MSB使用之後，將RS7分配為一第二LSB符號。該圖中第一LSB符號與第二LSB符號之間的邊界係TCM符號TCM15與TCM16之間的邊界。該分配序列以此方式進行，直至已使用等於一RS資料長度(其中RS資料長度係組成完整輸入資料串流之RS符號之數目)之若干符號。如將看出，根據本發明產生之一系統經組態以監測傳入RS資料串流並在LSB與MSB之間適當地分配該等傳入RS符號。

應注意，在圖2中，用於填充MSB之每一RS符號係由10個方形組成，其中每一方形表示一位元(使用在每一RS符

號內部之虛線分離)。在此符號之所提及組態下，此等位元對應於該RS符號長度之10個位元。然而，在LSB位置中，繪示15個位元方形(替代10)。該擴充係藉由以尚待闡述之一方式迴旋編碼該LSB位元串流而創建且已被添加至LSB RS符號之額外或外加碼位元之結果。在圖2中，包含一「X」之位元框指示外加碼位元。在本實施例中，每一LSB RS符號包含五個外加碼位元。該外加碼位元之特定值係基於非預留位置位元之值(亦即，組成每一LSB RS符號之原始位元)。應注意，最初藉由將X指示項作為預留位置(稍後由該外加碼位元取代)插入而在LSB之迴旋編碼之前產生圖2之資料結構。每一RS LSB符號中之哪些位元係預留位置及插入多少預留位置係界定該組態之系統參數之功能；就此而言，最重要的參數係削減多項式，其指定被忽略之某些位元及在迴旋編碼之後包含哪些額外或外加碼位元，如將進一步闡述。然而，目前足以瞭解，要求LSB串流中之圖2之資料結構容納比僅由饋送至LSB串流內之相關聯RS符號所含有之位元數目更多之位元。

在具有指定為一RS碼字長度之一任意長度之一傳入RS符號串流末端，可必需插入額外位元以便在僅使用所提交RS碼字中之精確數目個RS符號時自一TCM編碼及解碼立場達成該序列之閉合。對此閉合存在兩個態樣，如將隨即在下文中闡述。

於一第一態樣中，完成該資料結構要求在TCM符號TCM(N')中之TCM符號串流末端添加兩個位元 b_1 及 b_2 以彌

補最後的RS符號[RS(N)]僅填充於最後一TCM符號之位元 b_3 中之事實。另一情況可係其中LSB位置中之最後一RS符號缺乏由最後一MSB RS符號[RS(N)]之最後若干位元劃分之邊界之一情況。於此情形下，可將額外位元填充於最後一LSB RS符號之末端外的LSB位置中以便為終止TCM符號提供LSB位元。

在根據本實施例之一第二態樣中，LSB串流以一組連續0結束，該等0之數目等於該迴旋編碼器之一約束長度K或超出比該約束長度K小1。在圖2之實施例中，可由於與最後一LSB符號中之若干最後預留位置混雜之五個最後0而給出該約束長度為6。當在編碼期間提供此等連續0時，其在解碼時提供一已知且無歧義終止序列，以使得避免在解碼功能期間出現之相關聯錯誤。為此，圖2展示以TCM(N')結束之LSB之最後五個資料位元係0。就此而言，由於本實施例中要求最後K-1個位元為0而假設約束長度K=6。應注意，該五個0位元係連續的，意指其係連續資料位元。然而，此等連續資料或碼位元可藉由外加碼位元間隔開，其每一者係使用一X指定，乃因該等外加碼位元係藉由回應於預編碼資料位元之迴旋編碼過程建立之額外位元。

圖3係圖解說明通常由元件符號300指示之一迴旋編碼器之一項實施例之一方塊圖。透過削減之應用，可增加編碼器之輸出之碼速率。通常，不使用削減之一迴旋編碼器針對每一輸入位元產生兩個輸出位元；於此情形下，碼速率

係一半，乃因該碼速率之一個定義係針對每一輸出(經編碼)位元之輸入位元(未經編碼位元)之數目。期望相對於輸入位元之數目減少由一編碼器產生之輸出位元之數目以使得碼速率增加。出於此目的，應用削減：此意味著自編碼器之輸出位元串流移除某些輸出位元以使得輸入位元對輸出位元之比率增加。此提高編碼器之效率，且在其可在無過量位元校正效能損失之情況下實現之情況下，效率增益可係一期望折衷。

圖3之編碼器300係一可程式化單位元迴旋編碼器之一項實施例。該編碼器接收一循序輸入資料串流302(由一波形指示)作為根據一系列時間遞增量 t 提供之單位元輸入之一循序進展。此編碼器可針對具有多達移位暫存器元件之數目加1之一約束長度的任一迴旋碼來程式化。針對一既定約束長度，該編碼器可容納任何迴旋多項式係數及削減多項式係數。

一移位暫存器304(在一虛線內展示)在一當前時間遞增結束時藉助一當前資料位元輸入更新，同時根據時間遞增量 t 以一習知方式移位先前儲存之資料位元。在該移位暫存器更新之後，在對移位暫存器之輸入處提供該序列中之下一資料輸入。該移位暫存器係由 $K-1$ 個單位元寬之儲存元件組成，其中 K 係迴旋編碼器之約束長度。將當前輸入狀態指定為 $Dt(0)$ ，而將該等移位暫存器元件指定為 $Dt(1)$ 、... $Dt(K-2)$ 、 $Dt(K-1)$ 以表示順序接收次序。該 $K-1$ 個暫存器位元與當前輸入資料位元一起用於自編碼器產生

下一輸出。

如所展示，指定為 $Cb(K-1)$ 至 $Cb(0)$ 之所儲存位元表示兩個迴旋多項式中之一第一者。如所展示，組合當前輸入資料位元 $Dt(0)$ 與移位暫存器 304 內容以針對每一輸入位元產生兩個輸出值中之一者。應瞭解，圖 3 概述以使得表示係數 $Cb(K-1)$ 至 $Cb(0)$ 之任一位元組合可被程式化為第一迴旋多項式之一方式使用該迴旋多項式。將第一迴旋多項式之每一位元提供至一對應「與」(AND)閘 320 以使得將一值 1 提供至「與」閘之一既定者致使彼「與」閘將可係當前位元 $Dt(0)$ 或每一延遲位元 $Dt(1)$ 至 $Dt(K-1)$ 之一相關聯輸入資料位元傳遞至一「互斥或」(XOR) 322。「互斥或」322 之一輸出 324 對應於該兩個輸出值中之一第一者。相反地，在該等「與」閘之該既定者接收一 0 位元作為該迴旋多項式之部分之情況下，該對應輸入資料位元(當前或經延遲)將不利於由「互斥或」322 判定一輸出位元。在一項實施例中，可將 $Cb(K-1)$ 至 $Cb(0)$ 儲存於一暫存器中。可在操作該迴旋編碼器之前將此等暫存器值作為一總組態之部分寫入。「互斥或」322 組合來自邏輯「與」功能 320 之輸出。而且，由邏輯「互斥或」功能 322 產生之值係針對每一 $Dt(0)$ 由迴旋編碼器產生之兩個經編碼位元中之一者。是否將此所得位元插入至輸出資料串流($Eoutb$)中相依於該位元是由尚待闡述之一削減功能啟用還是禁止。

類似地，如所展示，標記為 $Ca(K-1)$ 至 $Ca(0)$ 之所儲存位元表示第二迴旋多項式。如第一迴旋多項式之情形，表示

係數 $Ca(K-1)$ 至 $Ca(0)$ 之任一位元組合可被程式化為第二迴旋多項式。將該第二迴旋多項式之每一位元提供至一對應「與」閘 330 以使得將一值 1 提供至「與」閘之一既定者致使彼「與」閘將可係當前位元 $Dt(0)$ 或每一延遲位元 $Dt(1)$ 至 $Dt(K-1)$ 之一相關聯輸入資料位元傳遞至一「互斥或」332。「互斥或」332 之一輸出 334 對應於該兩個輸出值之一第二者。相反地，在「與」閘 330 之既定者接收一 0 位元作為迴旋多項式之部分之情況下，對應輸入資料位元(當前或經延遲)將不利於由「互斥或」332 判定一輸出位元。在一項實施例中，可將 $Ca(K-1)$ 至 $Ca(0)$ 儲存於一暫存器中。可在操作該迴旋編碼器之前將此等暫存器值作為一總組態之部分寫入。當前輸入資料位元 $Dt(0)$ 及移位暫存器 304 內容與此等值(如所展示)組合在一起以針對每一輸入位元 $Dt(0)$ 使用「與」閘 330 及「互斥或」332 產生第二輸出值。「互斥或」332 組合來自邏輯「與」功能 330 之該等輸出。而且，由邏輯「互斥或」功能 332 產生之值係針對每一 $Dt(0)$ 由迴旋編碼器產生之兩個經編碼位元中之第二者。是否將此所得位元插入至輸出資料串流($Eout_a$)中相依於尚待闡述之削減功能。

在本實施例中，削減功能係由一削減型樣計數器區段 338 使用一第一削減移位暫存器 340(在一虛線矩形內展示)及第二削減移位暫存器 342(在一虛線矩形內展示)執行。第一削減移位暫存器 340 含有指定為 $Pa(x)$ 之一第一削減多項式之係數。將 $Pa(x)$ 表示為「 x 」之一函數說明構成 $Pa(x)$ 之

值係相對於該資料串流來排序之事實。每一係數值係由一單個位元組成，且組成 $Pa(x)$ 之位元數目等於約束長度 K 。已認識到，約束長度與削減型樣長度之等效僅對圖3係實例性的；實施例可選擇具有更大或更小長度之削減型樣。不考量長度，削減型樣之循環應用係如所闡述。在該圖中展示之可程式化實施例中，針對移位暫存器340使用之位元數目與 K 之值相同，且因此係由迴旋編碼器之組態判定。針對循序輸入資料串流302之每一時間遞增量 t 更新移位暫存器340。在接收第一循序資料輸入之前，藉助 $Pa(x)$ 之值以使得一最左側移位暫存器位置344載入有 $Pa(x)$ 中之最高有效位元且一最右側移位暫存器位置346載入有 $Pa(x)$ 中之最低有效位元之一方式初始化移位暫存器340。在該輸入資料串流開始之後，在每一時間遞增量之後遞增削減移位暫存器340：存在移位暫存器之內容之一逐位元自左至右移動，且同時，將最低有效移位暫存器位元之內容傳送至該移位暫存器之最高有效位元（此係最低有效移位暫存器位元之一端迴移位）。以此方式，在一第一輸出切換功能350之控制下一次一個位元地使用 $Pa(x)$ 之值。只要該迴旋編碼器接收資料， $Pa(x)$ 之值就繼續循環。移位暫存器340中之最高有效位元總是用作對提供至輸出切換350之削減之一控制。在最高有效移位暫存器位元係一邏輯「1」之情況下，則將「互斥或」功能332之輸出插入至輸出串流 E_{outa} 中。另一方面，在最高有效移位暫存器位元344係一邏輯「0」之情況下，則禁止（削減）「互斥或」輸出332

進入輸出串流Eouta。

以使得反映與第一削減移位暫存器340有關之操作之方式使用第二削減移位元暫存器342進一步執行該削減功能。因此，可出於簡要之目的不整體地重複此等操作之說明。第二削減移位暫存器342含有指定為 $P_b(x)$ 之一第二削減多項式之係數。如 $P_a(x)$ 之情形，將 $P_b(x)$ 表示為「 x 」之一函數說明構成 $P_b(x)$ 之值係相對於該資料串流排序之事實。每一係數值係由一單個位元組成，且組成 $P_b(x)$ 之位元數目等於約束長度 K 。進一步地，在接收第一循序資料輸入之前，藉助 $P_b(x)$ 之值以使得一最左側移位暫存器位置360載入有 $P_b(x)$ 中之最高有效位元且一最右側移位暫存器位置362載入有 $P_b(x)$ 中之最低有效位元之一方式程式化移位暫存器342。在該輸入資料串流開始之後，在每一時間遞增量之後遞增削減移位暫存器342。以與參照第一削減移位暫存器340所述之方式實質相同之方式進行移位以使得一次一個位元地使用 $P_b(x)$ 之值控制一第二輸出切換功能364。移位暫存器342中之最高有效位元總是用作對提供至第二輸出切換364之削減之一控制。在該最高有效移位暫存器位元係一邏輯「1」之情況下，則將「互斥或」功能322之輸出插入至輸出串流Eoutb中。另一方面，在最高有效移位暫存器位元344係一邏輯「0」之情況下，則禁止(削減)「互斥或」輸出332進入輸出串流Eoutb。應瞭解，第一輸出切換350及第二輸出切換364係由熟習此項技術者在獲知此總的揭示內容之情況下可以任一適合方式

(諸如(舉例而言)在軟體、硬體或其任一適合組合中)實施之切換功能之概略表示。

應注意，與圖3有關之所述削減過程可導致在每一時間遞增處產生之輸出之數目變化。舉例而言，在暫存器位置344及360中之最高有效位元皆係邏輯「1」之情況下，則將針對當前時間遞增添加兩個位元。然而，在此等位元中之一者係邏輯「1」且一者係一邏輯「0」之情況下，則將僅針對當前時間遞增量添加一個位元；且在兩個位元皆係邏輯「0」之情況下則不針對當前時間遞增量添加任何輸出位元。該削減動作約束輸出串流相對於輸入串流之大小，以使得針對其中 $P_a(x)$ 及 $P_b(x)$ 之所有位元皆係「1」之無削減情形該編碼器之最大可能擴充係2:1。該輸出串流大小隨 $P_a(x)$ 及 $P_b(x)$ 中之「0」值之數目增加而減小。通常，迴旋編碼器之實施方案利用輸出串流相對於輸入串流之某一擴充以使得在解碼期間出現一期望的錯誤校正行為。一個有利的擴充率係3:2，且此係圖2中圖解說明之情形，其中每一RS LSB符號含有15個位元而非10個。圖2中之LSB符號中添加之「X」圖解說明TCM符號中之此擴充。

圖4係圖解說明圖1之編碼器區段20之一項實施例之一方塊圖。應注意，支援組件區塊之間的資料流動之線具有與每一線所輸送之位元數目以及該圖表之約束內之數字指示項成比例變化之線厚度。應瞭解，編碼器區段20實施圖2之所儲存資料結構。就此而言，藉助非限制性實例，圖4

藉由在非揮發性記憶體14中實施每胞儲存4個位元而與圖2係一致的。出於創建圖2之資料結構之目的，如將看出，編碼器20自RS符號之一輸入串流產生預編碼TCM符號。通常，在每胞4位元之組態下，每一預編碼TCM符號係由四個位元組成。此等位元又由一個LSB及三個MSB構成。在某些情形下，LSB可係為稍後之迴旋編碼做準備而插入之一預留位置X，以使得稍後由一外加碼位元填充該預留位置。應注意，迴旋編碼過程分別藉助外加碼位元及碼位元來取代預留位置及預編碼資料位元二者。如所提及，稍後藉由針對MSB之一映射功能及針對LSB之迴旋編碼來對該預編碼TCM符號編碼。在每一預編碼TCM符號中，藉由將該三位元欄位變換成其經編碼形式之一映射功能來編碼該三個MSB位元。將該LSB位元添加至一迴旋編碼器輸入串流並由來自該迴旋編碼器之輸出之下一位元取代其。在該LSB位元創建功能期間，根據針對該組態選擇之削減型樣插入預留位置欄位X。稍後在應用於預編碼LSB之迴旋編碼過程期間用來自該迴旋編碼器之位元取代此等預留位置欄位。

鑒於一編碼器區段與一解碼器區段之間的合作之需要，應瞭解，一既定解碼器實施方案可對某些控制參數之範圍應用限制以使得該既定解碼器能夠支援某些編碼組態(舉例而言，每胞之位元數目)而非其他組態。在某些實施例中，一特定解碼器可經設計以以特定組態為目標而捨棄其他組態。舉例而言，一解碼器可支援每胞3個位元及每胞4

個位元之密度設定，但不支援每胞5個或5個以上位元之密度設定。以此方式使解碼器設計彼此不同之功能呈現皆被視為在本發明範疇內之實施例，乃因每一實施例仍然包含對錯誤校正之一共用方法。

參照圖1且在繼續圖4之詳細說明之前，應注意，自一個系統子區塊至另一系統子區塊之資訊移動通常被組織為符號之串流。在自主機12至NV記憶體14及自NV記憶體14至主機12之反方向之進展中，資料經歷各種表示：自使用者資料形式通過裏德所羅門符號、然後在編碼器功能期間在NV記憶體胞目標中達到頂峰之中間符號、及在解碼器功能期間自NV記憶體胞目標返回至使用者資料形式。在編碼器及解碼器功能兩者中，在每一步驟處之資料作為一經排序之符號串流經歷其產生至其消耗，其中每一串流包括特定數目個符號。

再次關注圖4之編碼器20。一裏德所羅門(RS)編碼器402接收由主機12(見圖1)提供至編碼器之使用者資料404。在正常情況下，使用者資料404可係彼此具有一經排序關係之特定數量個8位元單元(位元組)。該使用者資料可根據其他位元數量來組織，同時容易地仍在本文已揭示之教示之範圍內。因此，可在下文中將使用者資料論述為由位元組構成，同時認識到熟習此項技術者對任何其他適合單元之使用將對實施方案無實質性影響。用於任一編碼操作之使用者資料單元之數量係由編碼器使用之一參數且適用於RS編碼器402之操作。在一項實施例中，將使用者資料單元

之數量(使用者資料長度)程式化至如一參數暫存器區段410所繪示之一暫存器中。在RS符號單元與呈位元組形式之使用者資料具有不同數目個位元組之情況下，在RS編碼器可對該等使用者資料位元組進行操作之前將該等使用者資料位元組轉換成一組RS符號。在本發明中提供之實例性形式之RS單元(符號)係10位元，但其他RS單元大小亦係可能的且在本文教示之範疇內。在本實例中，使用者資料至RS符號轉換係位元組至10位元符號之一簡單轉換；實際上，轉換後之結果針對每五個使用者資料位元組(5x8個位元)產生四個RS符號(4x10個位元)。由於任一既定數目個使用者資料位元組必須可轉換成整數數目個RS符號，因此可將某些「任意值(don't care)」位元插入至RS結果之最後符號中。由使用者資料至RS轉換所導致之RS符號之數目(稱為「RS資料長度」)係由一微處理器或CPU 412程式化至參數暫存器區段410中之一額外參數。如所展示，執行階段RS資料長度414係對編碼器之一執行階段輸入。特定而言，將RS資料長度414提供至一RS計數器420。在正常情況下，執行階段RS資料長度414之值源自儲存於參數暫存器區段410中之RS資料長度之值。執行階段RS資料長度與儲存於參數暫存器區段410中之RS資料長度之間的連接可係直接或不直接(經修改)的，其在一特定實施例中總是最適合的，如將進一步闡述。

應注意，作為RS編碼器402及迴旋編碼器300兩者執行之編碼功能之一必要部分，其皆擴充其編碼之資料大小。此

擴充係由冗餘資訊之添加造成，隨後將使用該等冗餘資訊藉由解碼過程移除可能已造成之錯誤。由RS編碼器402進行編碼會添加RS奇偶符號，而由迴旋編碼器300進行編碼會將額外位元添加至所編碼之位元串流。本發明中使用之碼效率係此冗餘相對於所儲存及所擷取之使用者資料量之一量測。碼效率可被解譯為通常針對較低冗餘量較佳而針對較高冗餘量較差之一相對值。可將碼效率之一個經驗量測視為一使用者資料單元中之總位元數目與圖4之編碼器在編碼彼使用者資料單元時所產生之總位元數目之一比率。作為一簡單實例，考量由一編碼功能編碼之512個位元組之一使用者資料單元，將該4096個輸入位元擴充600個位元。該600個位元係添加至該4096個資訊位元之冗餘。則碼效率係 $4096/(4096 + 600)$ 或87.2%。熟習此項技術者在實踐性領域中使用各種經驗量測來量測碼效率。在本發明中已先前論述之此等經驗量測中之一者係碼速率。

進一步應瞭解，在至少某些實施例中，碼效率可係變化的。與一相對較低的碼效率相比，較佳碼效率之效應大體分別係較低錯誤校正容量與較高錯誤校正容量之差。編碼組態係由隨後將闡述之一組可程式化參數界定，且此等可程式化參數之值可經調整以產生相異的碼效率。參數暫存器410中之值對一較大或較小程度之碼效率而言皆係決定性的，因此碼效率係在必要時可逐碼字地調整之一組態屬性。

RS資料長度係自長達使用者資料長度單元之一組使用者

資料符號(通常為位元組)建構之RS符號之數目。圖4之使用者資料符號可各自被視為8個位元寬，且每一RS符號可被視為10個位元寬。因此，使用者資料長度8位元符號至各自10位元寬之RS資料長度RS符號之轉換係使用者資料長度乘以 $8/10$ 。當在執行此乘法之後剩餘一分率RS單元(亦即，少於10個位元)之情況下，藉由添加使該最後一符號長度達到10個位元之任意數目個位元來將該分率部分完成為10個位元。因此，在某些實施例中，可自使用者資料長度直接導出RS資料長度。在其他實施例中，RS資料長度可實施為一獨立的暫存器值。任一形式之實施例皆可係適合的。

RS編碼器20使用由使用者資料404產生之RS符號並計算稱為奇偶符號之一組額外符號。該等奇偶符號係長度為「RS奇偶長度」之一組額外的經排序RS符號，其係附加至自該使用者資料轉換獲得之RS符號。該RS奇偶長度之值在正常情況下可自參數暫存器區段410獲得。使用者資料符號及奇偶符號之所得組合稱為一RS碼字。該RS碼字之長度係一系統參數，其可在參數暫存器區段410中獲得但亦可作為亦可在參數暫存器區段410中獲得之值RS資料長度與RS奇偶長度之一簡單總和而獲得。術語「RS碼字」在用於裏德所羅門編碼及解碼之上下文中時具有一特定含義；其亦為相關學科之從業者所充分瞭解，且因此出於簡要之目的將不再大體重複對裏德所羅門編碼之理論之細節[舉例而言，見Wicker、Stephen B.之「*Error Control*

Systems for Digital Communication and Storage」(1995, Prentice-Hall, 238至239頁)]。編碼器使用該碼字長度以完成編碼操作。應注意, RS奇偶長度與RS編碼器所添加之冗餘量成比例, 且係由稱為「T」(其係一目標符號校正容量)之一參數判定。大體而言, 針對具有一既定符號校正容量之一既定RS碼字, 該系統能夠校正彼RS碼字中之多達某一數目個RS符號。增加該T值導致校正該碼字中之額外RS符號之能力。該RS碼字係來自RS編碼器402之輸出。RS資料長度、RS奇偶長度及RS碼字長度之參數係由隨後接收RS編碼器結果之組件使用。

結合圖4參照圖2, 一多工器424將自RS編碼器402出現之RS符號指示至兩個路徑中之一者: 一MSB路徑426或一LSB路徑428。在已完成該RS編碼過程之後, 編碼器20經組態以隨之格式化該資料串流用於TCM及迴旋編碼。針對不同編碼實施例, 該RS符號輸入串流相對於TCM要求之配置導致以不同比例將RS符號分配至LSB區段及MSB區段, 如在圖2之資料結構100中所見。亦即, 與分配至LSB路徑之數目相比, 將多得多個RS符號分配至MSB路徑。在圖2之實施例中, 在一每胞4位元之情形中針對10位元RS符號將RS符號分配至TCM編碼。兩個計數器(一MSB計數器430及一LSB計數器432)判定每一傳入RS符號之目的地為在MSB路徑426與LSB路徑428之間。大體而言, MSB計數器及LSB計數器之狀態判定是否要求另一RS符號, 且在是的情況下指示該符號所至之目的地(MSB側或LSB側)。在

MSB及LSB計數器兩者之狀態指示要求另一RS符號之情況下，首先針對LSB側獲取一RS符號，且其次針對MSB側獲取一RS符號。更特定而言，一特定RS符號是變成MSB編碼之部分還是LSB編碼之部分係由可自以下各項導出之一MSB/LSB序列型樣判定：(i)一組編碼參數，包含(舉例而言)RS符號寬度，(ii)TCM迴旋編碼之態樣，(iii)削減多項式，及(iv)位元密度，其將進一步闡述。基於該序列型樣，在每一RS符號值變得可用於供應一MSB緩衝器440或一LSB緩衝器442時使用該MSB及LSB計數器。

MSB計數器430追蹤MSB緩衝器440中之位元數目。在自RS編碼器402獲取第一RS符號之前將MSB計數器初始化為0。本實施例中之MSB計數器針對第一RS符號及針對獲取至MSB緩衝器中之每一額外RS符號遞增10。該MSB計數器針對在緩衝器外傳送之每一3位元欄位遞減3以沿MSB路徑426繼續。在該MSB緩衝器係在小於3之一計數處或邏輯偵測到其將在下一使用週期上遞減至0時，自輸入串流獲取下一RS符號以分配至MSB路徑且計數器值遞增10。

LSB計數器432追蹤LSB緩衝器442中之位元數目。在自RS編碼器402獲取第一RS符號之前將LSB計數器初始化為0且針對獲取至LSB緩衝器中之每一額外RS符號遞增10。該LSB計數器針對在緩衝器外傳送之每一位元遞減1以在LSB路徑428上繼續。當該LSB計數器遞減至0，或邏輯偵測到其將在下一使用週期上遞減至0時，自輸入串流獲取下一RS符號以分配至LSB路徑且計數器值遞增10。在MSB計數

器 430 及 LSB 計數器 432 兩者進入同時請求另一 RS 符號之狀態之情況下，優先將該下一 RS 符號獲取至 LSB 緩衝器中，而將一後續 RS 符號分配至 MSB 緩衝器。

MSB 緩衝器 440 自多工器 424 接收指示至此區段之 RS 符號。將該等符號寫入至此緩衝器以用於在 MSB 編碼路徑 426 中之後續使用。在一每胞 4 個位元組態之實例性實施例中，如所繪示，MSB 緩衝器 440 中之位元係一次 3 個位元地消耗，亦即在每一使用週期上創建一額外預編碼 TCM 符號，其中自 MSB 緩衝器獲取 3 個位元用作下一 TCM 符號之 3 個 MSB 同時自 LSB 緩衝器獲取一個 LSB 位元。然而，在其中欲插入一預留位置之事件中，一位元並非自該 LSB 緩衝器獲取。而且，此實施例僅係實例性的，乃因可藉由變更控制參數而將其他組態應用於同一編碼器。舉例而言，可程式化一每 TCM 符號 3 位元之實施例，其中 MSB 緩衝器消耗係以每 TCM 符號 2 個位元替代 3 個位元之速率。

來自 MSB 緩衝器之一輸出 446 係針對每一 TCM 符號之一 3 位元值。3 個位元之 MSB 群組對此圖表係實例性的。某些實施例可採用此值以及其他值。舉例而言，一每胞 3 位元之位元密度設定可具有一 3 位元 TCM 符號，其中存在每 TCM 符號 1 個 LSB 位元及 2 個 MSB 位元。亦認識到 MSB 寬度及 LSB 寬度兩者具有變化之其他 TCM 符號格式。MSB 緩衝器輸出 446 係進入尚待闡述之編碼邏輯之資料路徑之部分。將該等 MSB 位元輸入至尚待闡述之一 MSB 映射功能 450。

LSB緩衝器442自多工器424接收RS符號並寫入至LSB緩衝器用於在LSB編碼路徑428中之後續使用。在所繪示之每胞4位元之實施例中，以每TCM符號小於1個位元之速率消耗LSB緩衝器中之位元作為欲應用之迴旋編碼之一結果。由於在使用MSB路徑426及LSB路徑428產生TCM符號時尚未應用迴旋編碼，因此在此階段處之TCM符號可稱為預編碼符號。某些預編碼TCM符號之創建要求自LSB緩衝器提取一位元，且該等預編碼TCM符號之某些不要求額外LSB緩衝器位元，乃因在此節點處係插入一預留位置位元而非基於該使用者資料之一位元。讀者將回想起，作為資料結構100之部分，此等預留位置位元可由圖2之LSB RS符號中之符號X表示，且此等預留位置位元稍後係由藉由迴旋編碼產生之外加碼位元取代。如下文將詳細闡述，削減多項式型樣控制在一TCM符號序列中之一LSB緩衝器位元或一預留位置位元之間的選擇。

如上文論述，一LSB符號位元係每週期一個位元或0位元地自LSB緩衝器獲取並被斷定至LSB路徑428。出於本論述之目的，術語「區塊」對應於在414處儲存之值「TCM符號之數目」。在0之一約束長度係一區塊之最後LSB之區塊保證結束時，一限制比較器454及限制邏輯456迫使在該區塊之最後K個位元期間之此等位元值為0，其中K係欲應用之迴旋碼之約束長度，如上文參照圖2所論述。特定而言，在圖2中將TCM符號 $TCM(N')$ 、 $TCM(N'-2)$ 、 $TCM(N'-3)$ 、 $TCM(N'-4)$ 及 $TCM(N'-6)$ 之LSB位元迫使至

0。

MSB映射功能450在MSB路徑426上接收該等MSB且可將MSB位元型樣自一未經編碼之表示(如所接收)轉換成意欲減少在回讀時出現錯誤之事件中可出現之位元故障之數目之一表示。在一項實施例中，該映射係自一格雷碼表示至一二進制表示之一轉換。應注意，將該傳入資料處理為經格雷編碼係可選的。進一步地，應瞭解，可採用任一適合的可逆映射功能且藉由非限制性實例闡述格雷編碼之使用。映射功能450成群組地接收MSB(在本實施例中，三個之群組)並針對由相同數目個位元組成之每一群組產生一輸出462。輸出462與藉由前述迴旋編碼器300產生之一對應LSB串連，並轉發至一位階轉數位轉類比轉換器(DAC)472。該LSB可係回應於如圖2之RS LSB中所展示及上文所闡述之使用者資料或一X位置中之一碼位元之一位元。

結合圖4參照圖3，迴旋編碼器300可藉由限制邏輯456自LSB緩衝器442接收一當前LSB位元。該迴旋編碼器在接收到該等LSB時一次一個位元地對其起作用。編碼係服從輸入至迴旋編碼器300之各種參數。此等參數包含其中約束長度本身可係一參數之迴旋多項式及削減多項式。在具有一單個LSB之一系統中，按照本實施例，在正常情況下存在兩個迴旋多項式(見圖2中之 $Ca(0)$ 至 $Ca(K-1)$ 及 $Cb(0)$ 至 $Cb(K-1)$)及兩個削減多項式(舉例而言，儲存為圖2中之 $Pa(x)$ 及 $Pb(x)$)。此等多項式中之每一者之值可在一既定實

施例中發生變化。在併入有多於一個LSB之一系統中，存在要求作為參數之額外迴旋多項式及削減多項式。在某些實施例中，系統微處理器412可將此等參數程式化至與迴旋編碼器相關聯之暫存器中，如該微處理器所執行之韌體480所指示。

參照圖4，位階轉DAC轉換器472之一輸入482針對每一TCM符號接收該MSB群組及一相關聯LSB。該等經編碼之LSB及MSB串流可分別自迴旋編碼器300及MSB映射器450獲得。此兩個所得資料串流與現在在轉換器472之輸入482處完成TCM符號之串流之效果合併。參照展示用於MSB之3個位元及用於LSB之1個位元之事實，此圖表中之資料路徑寬度係實例性的；參照MSB及LSB兩者之其他組態係可能的。每一TCM符號可包含多於或少於3個MSB，且每一TCM符號可包含多於1個LSB位元。位階轉DAC之一輸出484係指向圖1之NV記憶體14。位階轉DAC 472可根據不得不處理於將寫入至每一NV記憶體胞中之資料位元之類比值有關之要求的參數對每一TCM符號執行一最終調整。舉例而言，該調整可涉及將一偏差值應用於TCM符號及/或該調整亦可係相對於一胞目標範圍壓縮或擴充TCM符號值之一按比例變換。位階轉DAC 472可由參數暫存器410中之由微處理器412結合系統韌體480來程式化之參數控制。

現關注參照RS計數器420之額外細節。此計數器可藉助將自RS編碼器402提供之RS符號414之運行時間數目來初始化。儲存為RS符號之執行階段數目之值可多達整個碼字

或更長，其中該碼字係一RS碼字或某一整數數目個RS碼字。在採用交錯之情況下，該數目可係由儲存於參數暫存器區段410中之交錯因數所暗示之碼字之一整數數目。RS符號計數器420針對由多工器424接收之每一RS符號遞減1。出於本論述之目的，在RS計數器遞減至0以傳訊該當前傳送之結束時，指示RS區塊之結束，其中術語「RS區塊」對應於RS符號之執行階段數目之值。特定而言，LSB限制490係一常數，且係與RS計數器420中之值相比較。該RS計數器最初以作為大於LSB限制490之一值開始。由於該RS計數器針對所傳送之每一RS符號而遞減，因此由RS計數器儲存之值最終遞減至變得等於LSB限制計數之點處，如RS/LSB限制比較器454所判定。在RS計數變得小於LSB限制時插入零/補零。如上文所述，出於指示記憶體中之資料結構之末端之目的，補該等0作為預編碼TCM符號串流之LSB以形成資料結構100(圖2)之部分。

如上文所述，執行階段RS長度輸入414可係自參數暫存器410提供。該執行階段RS長度輸入之值可用於在藉助一使用者資料輸入序列定序之前初始化RS符號計數器420。該值標示RS編碼器402將藉由RS編碼該使用者資料串流而產生之RS符號之數目。

在一使用者資料串流進入編碼器20之前藉助來自一執行階段削減型樣輸入488之一值初始化削減型樣計數器486，並由削減型樣計數器486實施圖3之削減型樣計數器區段338。型樣輸入488可儲存自參數暫存器區段410獲得之第

一及第二削減多項式。削減型樣計數器486控制預留位置位元產生(在圖2之RS LSB符號中之X位置)，以產生組成預編碼TCM符號之LSB串流。該削減型樣係具有在圖2中與迴旋編碼器300之約束長度相同之一長度的一位元型樣，然而，其他實施例可使用比該約束長度更大或更小之一削減位元型樣長度。在處置一使用者資料符號串流之前藉助削減型樣值來預設削減型樣計數器486。如上文關於圖3之削減型樣計數器區段338所闡述，削減型樣計數器486針對所創建之每一TCM符號將削減型樣之值旋轉一個位元位置以使得同一削減型樣計數器位元位置(亦即，圖3中之 $P_a(x)$ 及 $P_b(x)$ 之最左側位元)總是應用於當前編碼。在缺少削減時，由於迴旋編碼器針對每一輸入位元產生兩個輸出位元，因此添加削減型樣會將此比率減少至小於2:1之某一值。該削減型樣計數器控制每一預編碼TCM符號之LSB是一擴充位元(預留位置X)還是來自輸入LSB串流之一位元。該削減型樣計數器將一輸出提供至迴旋編碼器300以及LSB緩衝器486，以使得該削減型樣計數器及LSB緩衝器出於在LSB緩衝器之輸出處產生LSB路徑中之預留位置之目的而合作。

RS/LSB限制比較器454在TCM編碼之一RS區塊之末端開始起作用，其中必須將經預編碼之TCM符號串流之最後K-1個LSB位元斷定為0(其中K係迴旋編碼器之約束長度)，如藉由圖2中之實例及上文所述可見。該LSB限制計數係作為一LSB限制值490獲得並基於逐時間遞增量地與RS符號

計數器 420 之計數相比較以提供何時將預編碼 LSB 串流迫使至 0 之一指示。此允許迴旋編碼器 300 將一已知閉合序列編碼成經編碼 TCM 符號序列，其中結果係在解碼之後避免 RS 區塊末端閉合位元解碼錯誤。LSB 限制值 490 可自(舉例而言)參數暫存器區段 410 中之迴旋約束長度產生，且可在使用 RS/LSB 限制比較器 454 處理一使用者資料串流之前作為一初始值應用。

在編碼一使用者資料符號串流之前初始化一 TCM 計數器 492。此值對應於將由根據參數暫存器區段 410 所反映之該組組態參數來編碼一完整使用者資料串流所致之 TCM 符號之數目。可自一 TCM 區塊計數輸入 494 初始化該 TCM 計數器。該 TCM 計數器值控制該 TCM 編碼之定序並提供 TCM 區塊準則之一末端用於終止 TCM 符號之每一序列。作為一參數值，該 TCM 符號計數可自其它組態參數計算並表示根據該組組態參數自具有特定長度之一使用者資料串流產生之 TCM 符號之精確數目。舉例而言，該 TCM 計數器將序列準則之末端提供至 CPU 412。該 TCM 計數器提供將在一特定傳送中傳遞之符號之精確數目之一量測。此計數器可藉助彼數目來初始化並減序計數至 0，或該計數器可最初被清零並增序計數至該預期值。該 TCM 計數器藉助任一方式將一序列信號之末端提供至該系統。

TCM 區塊計數輸入 494 係自參數暫存器區段 410 中所提供之 TCM 碼字長度之值導出，並在編碼一使用者資料符號串流之前供應藉以初始化 TCM 計數器 492 之一 TCM 區塊計數

值。

如上文所述，限制邏輯456係由RS/LSB限制比較器454控制，且允許將預編碼LSB自LSB緩衝器不加修改地傳遞至迴旋編碼器，或出於提供一序列結束指示以終止一總RS符號傳送之目的在上文所述之補零(zero stuffing)程序中將迴旋編碼器輸入LSB選擇性地迫使至0。出於本文之目的，應注意，在裏德所羅門編碼器402之輸出所至之且包含MSB緩衝器440及限制邏輯456之組件與相關聯組件可稱為一壓縮配置496。包含映射器450、迴旋編碼器300及相關聯組件之組件可稱為一映射配置498。該壓縮配置可被視為產生一經重新組塊之輸出資料串流以使得該經重新組塊之輸出資料串流之至少一個部分而非全部經組態以服從基於一迴旋碼之一碼效率。此外，該壓縮配置適於修改該經重新組塊之輸出資料串流，以基於改變提供至該壓縮配置之一或多個輸入參數之一或多個值支援與該輸入串流中之預定數目個裏德所羅門符號相關聯之迴旋碼之碼效率之改變。

參照圖1及圖4，微處理器/CPU 412可係以任一適合形式提供，諸如(舉例而言)以一嵌入式控制件之形式，其中該處理器在來自主機12(圖1)之指令下專用於操作編碼器20、解碼器22(圖1)及NV記憶體14(圖1)，且該微處理器/CPU 412充當韌體480之一執行平臺。韌體480係使用一嵌入式控制器之一項實施例之軟體組件。該韌體在來自主機12(圖1)之指令下實施編碼器20(圖1)、解碼器22(圖1)及NV

記憶體(圖1)之控制。

參照圖4，參數暫存器區段410可在韌體480控制下構成微處理器412可存取之一暫存器群組。儲存於此等暫存器中之值起到界定編碼組態並經由CPU 20及韌體480或經由可直接存取至該編碼器之某些組件之暫存器控制編碼器之動作。應注意，已在上文論述之上下文中闡述某些該等暫存器參數。然而，出於提供更進一步清晰度之目的，將在接下來的部分中更詳細地闡述參數暫存器區段410。

進一步闡述圖4之參數暫存器區段410中所展示之參數值如下：

使用者資料長度：一使用者資料區塊之長度(以位元組為單位)或使用者資料之單元長度。藉由非限制性實例，適合的使用者資料長度包含512個位元組、1024個位元組或由編碼器/解碼器之一特定實施例支援之任一其他適合長度。

RS校正容量：亦稱為「T」，界定RS錯誤校正碼在一單個碼字中能夠校正之RS符號之一最大數目。此值乘以2界定每一RS碼字中之奇偶符號之數目。

RS資料長度：一使用者資料區塊在已自位元組轉換成RS符號之後的長度。因此，在使用者資料長度與RS資料長度之間存在一直接關係。然而，由於在使用者資料串流不映射至整數數目個RS符號之情況下必須將位元添加至經轉換之RS符號串流，因此在正常情況下將該RS資料長度作為一獨立值維持於該參數暫存器區段中。

RS奇偶長度：附加至RS資料長度以建構一單個RS碼字之RS奇偶符號之數目。RS奇偶長度之值係直接由RS校正容量(T)之值暗示。實施例可將此值維持於一獨立暫存器中，或其值可自RS校正容量(T)導出。

RS交錯因數：在應用RS編碼中之常見做法係藉由交錯來編碼及解碼每RS區塊一個以上RS碼字。舉例而言，在上文併入之'546申請案之圖12及圖13中展示此交錯。當在該組態下呈現交錯之情況下，此參數之值係一簡單整數。由於可藉由一特定實施例來約束交錯，因此可存在對交錯數目之相對小的限制。在針對一特定實施例界定交錯之情況下，RS資料長度、RS奇偶長度及RS碼字長度之值可應用於組合交錯之各別長度，或此等組合可反映單個交錯之各別長度。關於交錯處置之此等變化形式係相依於實施例的。

迴旋約束長度：在該迴旋編碼器可程式化(如圖3之實施例300)之情況下，則迴旋約束長度之值(K)可程式化及儲存於參數暫存器區段中。另一方面，在迴旋編碼器組態用於一固定約束長度之情況下，則可不需要登記該K值。

第一迴旋多項式：由迴旋編碼器使用之兩個迴旋多項式中之第一者。針對一迴旋編碼器如何使用迴旋多項式之圖解說明及闡釋查看圖3。

第二迴旋多項式：由迴旋編碼器使用之兩個迴旋多項式中之第二者。針對一迴旋編碼器如何使用迴旋多項式之圖解說明及闡釋查看圖3。

第一削減多項式：由迴旋編碼器使用之兩個削減多項式中之第一者。針對一迴旋編碼器如何使用削減多項式之圖解說明及相關闡釋查看圖3。

第二削減多項式：由迴旋編碼器使用之兩個削減多項式中之第二者。針對一迴旋編碼器如何使用削減多項式之圖解說明及相關闡釋查看圖3。

位元密度設定：標示當前作業組態下之位元密度設定。大體而言，該值係表示每記憶體胞儲存之資料位元數目之一簡單整數。然而，在使用一分率的每胞位元設定(例如，3.8)時，該值可不同於一簡單整數。於此一情形下，基於由邏輯解譯之經編碼值提供該位元密度設定。舉例而言，可藉由以每胞3個位元來程式化該等記憶體胞中之一半並以每胞4個位元來程式化該等記憶體胞中之另一半而達成每胞3.5個位元之一平均位元密度設定。諸如圖2中所展示之TCM編碼之使用在正常情況下針對位元密度設定使用每胞至少3個位元。在下文中之一適當點處將進一步詳細論述分率位元編碼。

TCM中之MSB寬度：每一TCM符號中之MSB位元之數目。除其中提供至每一儲存胞之TCM值係自位元密度設定調高之下一最高整數值之情形中之分率位元密度設定外，位元密度設定之值給出整個TCM符號之寬度。則MSB位元之數目係分配至該符號之MSB部分之TCM符號之彼部分。TCM中之MSB寬度係TCM符號寬度與LSB數目之間的差。舉例而言，在每TCM符號4個位元處，其中一單個位元係

針對該符號之LSB部分，作為TCM寬度之部分之MSB寬度係 $4-1=3$ 。

TCM中之LSB寬度：每一TCM符號中之LSB位元之數目。除其中提供給每一儲存胞之TCM值係自位元密度設定調高之下一最高整數值之情形下之分率位元密度設定外，該位元密度設定之值給出TCM符號本身之寬度。則LSB位元之數目係分配至該符號之LSB部分之TCM符號之彼部分。TCM中之LSB寬度係TCM符號寬度與MSB數目之間的差。舉例而言，在每TCM符號4個位元處，其中3個位元係針對該符號之LSB部分，則TCM值中之LSB寬度係 $4-3=1$ 。

TCM碼字長度：根據上文所述參數之一特定組合而界定之組態組成位元組之一經編碼使用者資料長度之TCM符號之總數目。由於TCM碼字長度之值係RS與迴旋碼參數之一函數，因此其可作為參數暫存器區段之部分儲存於一獨立暫存器中。

應瞭解，該碼效率係藉由參數暫存器區段410所給出之參數之組合值建立。因此，藉由修改參數暫存器區段中之一或多個參數值，將回應於參數值之改變而改變碼效率。申請人不知曉用於與提供盡可能快地基於逐碼字地修改碼效率之靈活性之非揮發性記憶體一起使用之任何系統。此靈活性參照(舉例而言)資料輸送量、記憶體儲存容量及記憶體隨時間降級之調適來增強該系統之操作。大體而言，可藉由添加冗餘而達成較高的位元密度。後者趨於藉助較高的RS容量設定及較少的削減而變得較大。較高密度通常

與較高冗餘相關。記憶體降級之調適通常可藉助較高冗餘但較少強調密度而達成，以使得較有力的編碼及解碼設定可抵消對受降級影響之記憶體所展現的錯誤之較高趨向。

下文表1提供使用建立TCM碼字長度之參數值之模擬實例。該等參數包含位元密度、使用者位元組數目、RS交錯數目、T(RS校正容量)、RS資料符號之數目、RS奇偶符號之數目、迴旋多項式及削減多項式、MSB及數目及TCM碼字長度。應注意，該約束長度與迴旋多項式中之係數的數目相同。於此等實例中，在迴旋多項式中存在6個係數(位元)，因此迴旋編碼器/解碼器之約束長度係6。

表 1

參數名稱	實例1	實例2
位元密度	4	3
使用者資料長度	2048	2048
交錯數目	4	4
軟T	10	10
RS資料長度	1639	1639
RS奇偶長度	80	80
第一迴旋多項式	110101	110101
第二迴旋多項式	101111	101111
第一削減多項式	111111	111111
第二削減多項式	101010	101010
MSB之數目	3	2
TCM碼字長度	4690	6350

此等模擬實例係使用具有表1中指定之參數的編碼器及解碼器組態之一模型來實施。鑒於本文提供之細節，考量

熟習此項技術者可易於就其對任何影響參數之相依性來判定TCM碼字長度。

圖5圖解說明通常由元件符號500指示之一種方法之一項實施例，該方法可在圖4之編碼器20上操作且同等地可應用於其他實施例。舉例而言，方法500可應用於使用除每胞4個位元外的位元密度之實施例。

方法500在開始步驟502處開始，且進行至設定504。在步驟504中，可將各種參數載入至圖4之參數暫存器區段410中以及任何其他期望的暫存器位置中。應瞭解，某些該等參數可係使用者指定的，諸如(舉例而言)使用者資料長度、RS校正容量，而其他參數(諸如，舉例而言，RS奇偶長度)可基於使用者指定參數來判定。資料流再由方法500處置時以具有通常以8位元的位元組為單位之使用者資料單元之使用者資料開始。如將所見，方法500之結果係呈經TCM編碼之值的形式，其中此等值中之每一者表示該儲存媒體之一個胞之目標值。輸出值係基於每胞3個位元或更多之編碼器之組態之一函數。

在壓縮步驟506處，將具有長度『使用者資料長度』(見圖4中之參數暫存器區段410)之使用者資料轉換成由RS符號組成之『RS資料長度』(見圖4中之參數暫存器區段410)。在該『使用者資料長度』的使用者資料符號不映射至整數數目個『RS資料長度』的RS符號之情況下，將具有已知值(亦即，皆為0或皆為1)之位元插入至最後一RS符號之一非映射部分。因此，產生一RS符號串流。

步驟508藉由最初判定一RS奇偶值來起始該RS符號串流之處置。藉由計算『RS奇偶長度』(見圖4中之參數暫存器區段410)來編碼自步驟506獲得之具有長度『RS資料長度』之RS符號。RS奇偶計算已為熟習此項技術者所熟知。在該組態經由RS交錯因數(見圖4中之參數暫存器區段410)指定一個以上交錯之情況下，針對該組態下給定之交錯數目計算RS奇偶符號。由步驟508所致之輸出係具有長度『RS資料長度』加『RS奇偶長度』之一組RS符號。

步驟510將自步驟508所致之RS符號分離成一MSB子組及一LSB子組。然後藉由步驟511a隨後處理該LSB子組，同時藉由步驟511b隨後處理該MSB子組。在每胞4個位元之位元密度之實例性情形下，以與圖2一致之一方式彼此成比例地創建MSB及LSB符號。

步驟511a藉由計算提供用於將藉由步驟512處之迴旋編碼對LSB位元串流做出之加法之預留位置來擴充LSB符號。預留位置可如參照圖3所述來判定。該預留位置創建操作創建除自LSB RS符號獲取之LSB資料外的空位元。

步驟511b將LSB RS符號壓縮成一組3位元之MSB欄位，其中每一MSB欄位對應於一個TCM符號。此刻，尚未編碼該等3位元欄位。在藉由步驟511c結束壓縮時，所創建之3位元欄位之總數目等於添加有該等預留位置之LSB位元之總數目。

自步驟508所致之RS符號藉由步驟510壓縮成一預編碼TCM格式，其插入有在圖2之LSB中所見之X預留位置。此

步驟將該組RS符號轉換成『TCM碼字長度』(見圖4中之參數暫存器區段410)數目個經預編碼之TCM符號。於此上下文中，「預編碼」係指各自具有一MSB部分及一LSB部分但尚未由圖4之MSB映射區段450及迴旋編碼區段300格式化之TCM符號之格式。因此，該等LSB係呈與X預留位置混雜之一系列未經迴旋編碼之資料位元之形式。

步驟512及步驟514回應於步驟510以合作方式操作。在步驟512中，對『TCM碼字長度』(見圖4中之參數暫存器區段410)的LSB執行迴旋編碼(見圖3及圖4中之物項300)，以產生『TCM碼字長度』的經迴旋編碼LSB。亦即，由碼位元取代圖2中之LSB之X指示項。在該組態經由『位元密度設定』、『TCM中之MSB寬度』及『TCM中之LSB寬度』(見圖4中之參數暫存器區段410)指定每TCM符號一個以上LSB之情況下，則可指定一適當的編碼器配置，藉助其編碼每時序增量一個以上LSB。舉例而言，圖2之位元 b_0 及 b_1 二者皆可經受迴旋編碼。步驟512產生具有數目『TCM碼字長度』(見圖4中之參數暫存器區段410)作為該串流中之LSB符號之數目之一LSB符號串流。該等LSB符號具有寬度『TCM中之LSB寬度』(見圖4中之參數暫存器區段410)。應瞭解，針對一個LSB之情形(亦即， b_0 係如圖2中所展示之唯一LSB)，LSB符號各自由一個位元組成。

在步驟514中，藉由將每一MSB之值變換成以TCM編碼為目標之經變換值來執行MSB映射。如上文所述，經由圖2，3位元MSB係實例性，且可在本發明之範疇內使用任一

其他適合編組。在本實例中，該映射係自一個3位元值至符合TCM編碼準則之另一3位元值，如熟習此項技術者在獲知此總的揭示內容之後將瞭解。於此處，作為一可選步驟，將傳入之3位元值視為經格雷碼之值並映射成二進制值(見圖4中之映射器450)。在本發明範疇內之實施例中，該映射功能可係經由邏輯閘或使用一查詢表實施。可針對此映射功能實施其他變化形式。步驟514產生具有長度『TCM碼字長度』之一MSB符號串流(見圖4中之參數暫存器區段410)。每一MSB符號具有對應於『TCM中之MSB寬度』之一寬度(見圖4中之參數暫存器區段410)。

在步驟516中，將來自步驟512之經迴旋編碼之LSB及來自步驟514之經映射MSB合併成一單個經編碼TCM符號串流，其具有對應於『TCM碼字長度』(見圖4中之參數暫存器區段410)之值的一長度。該等經編碼之TCM符號具有對應於『位元密度設定』(見圖4中之參數暫存器區段410)之值的一寬度。來自此步驟之輸出符號係欲應用於該記憶體中之個別胞位置之目標位階。如上文參照圖4所述，可將該位階之一額外比例縮放應用於經編碼符號。然而，此比例縮放係可選的，且可應用或可不應用。

步驟518將該等目標位階轉換成類比值，寫入至該等記憶體胞之個別一者，且該方法在520處結束，用於重新開始經受一後續資料操作。

圖6係根據本發明產生之圖1之解碼器22之一項實施例之一方塊圖。大體而言，解碼器22以使得不僅獲得原始使用

者資料作為一結果亦偵測及消除在反向過程(解碼)期間遭遇之錯誤的方式反轉圖4之編碼器20之變換。考量可鑒於此總的揭示內容由熟習此項技術者產生其他實施例。

如圖6中展示之解碼器在一輸入602上接收TCM符號。TCM符號係由感測為讀取該記憶體之結果的電壓之類比至數位轉換所產生之值。輸入602接收該等ADC值，乃因此等值係由回應於讀取一記憶體胞而產生每一ADC值之一類比至數位轉換器(未展示)產生。該類比至數位轉換功能通常位於NV記憶體14中，如圖1中展示，然而，某些實施例可將該類比至數位轉換功能定位於解碼器22中。儘管圖6不展示該記憶體本身，但該記憶體相對於解碼器之配置與圖1中所展示之配置相同，其中相對於解碼器22存在來自NV記憶體14之一輸入連接。此連接可被理解為包含用於多工之佈建以使得可存取完全程度之該記憶體。應瞭解，事實上該等ADC值係根據圖2之資料結構儲存之TCM符號。因此，一系列ADC值表示欲經受解碼之一TCM符號串流，如自圖2之資料結構所讀取。在解碼後，在該圖之右側上之一輸出604上出現一使用者資料符號串流。

以一特定方式組態用於將資料儲存於記憶體14中之一編碼器之一實施例將在彼資料之讀回之後導致提供給該解碼器各自具有特定數目個位元之特定數目個TCM符號。因此，該讀回之控制參數與相對於圖2及圖4所論述之彼等控制參數相同。儘管圖6之實施例係實例性且繪示具有每胞4位元之密度及每TCM符號1個LSB位元之一組態，但可在

本文教示之範疇內組態其他解碼器實施例以藉助其他位元密度設定(例如，每胞3個位元、或每胞5個位元)及藉助每TCM符號一個以上LSB位元來操作。此外，根據本發明之實施例可針對TCM符號之一輸入串流之長度容納諸多可能性。藉由回應於諸如(舉例而言)由參數暫存器區段410提供之參數之參數組態該解碼器之一特定實施例而至少部分地提供此靈活性。就此而言，應瞭解，參數值可出於編碼或解碼之目的至少逐碼字地回應於一傳入符號串流而即時改變。

一既定解碼器實施例可對某些控制參數之範圍應用限制以使得解碼器能夠支援某些資料組態但不支援其他資料組態。因此，一特定解碼器實施例可經設計以以特定資料組態為目標且可捨棄其他資料組態。舉例而言，一解碼器實施例可支援每胞3位元及每胞4位元之密度設定但不支援每胞5位元或更多位元之密度設定。然而，以此方式彼此區分解碼器實施例之功能表明在本文教示之範疇內之對錯誤校正之一常見方法且因此表明類似裨益。

參照圖6，一Viterbi解碼器/偵測器610在一LSB路徑612上自傳入之TCM符號串流接收LSB，該TCM符號串流係由自記憶體讀取之胞值之類比至數位轉換所致。熟習通信工程技術者將熟悉此一Viterbi偵測器，且因此將出於簡要之目的不在本文中重複此等說明。自該類比至數位轉換接收之TCM符號中之每一者與原始的經編碼串流具有相同結構(見圖2)，但可將額外位元附加至每一符號之最低有效部

分。此等額外位元係由高解析度類比至數位轉換所致，且提供具有關於每一LSB之精確度之額外位元。換言之，可藉助比寫入該等TCM符號之解析度更高之一位元解析度讀回該等TCM符號。此等額外位元稱為「軟位元」且由Viterbi偵測器用於藉助比在沒有該等軟位元之情況下可能的解析度更高的解析度來感測每一LSB之值。使用軟位元之Viterbi偵測器之某些實施例可使用三個或四個額外位元，但亦可使用更多或更少。然而，應瞭解，並不要求使用軟位元以達成本文所揭示之諸多裨益，但仍藉助此等軟位元之使用進一步增強錯誤校正效能。該Viterbi偵測器硬體之一實施例可設計用於一個特定解碼組態，或可支援一個以上解碼組態，於此情形下，該Viterbi偵測器可在經由韌體480由微處理器412程式化時透過參數暫存器區段410中之各種暫存器來參數化。不考量是否參照組態而固定或係可程式化的，一Viterbi偵測器實施例包含第一及第二迴旋多項式與第一及第二削減多項式，其皆在參數暫存器區段410中可用。該等迴旋多項式判定實施於該Viterbi偵測器中之一解碼晶格，且該等削減多項式識別該LSB串流中相對於在不使用削減多項式之情況下將由一迴旋編碼器（在本實例中，圖3及圖4之迴旋編碼器300）產生之非削減位元串流之一位元子組。作為該Viterbi偵測器之輸出，該Viterbi偵測器產生反映提供至編碼器之原始LSB串流之內容之一經解碼位元串流。自一實踐立場，某些位元錯誤將出現在TCM LSB串流中，且使得Viterbi偵測器之行為保持

為一錯誤校正偵測器，此等位元中之某些將由該 Viterbi 偵測器校正。然而，可通過其他位元錯誤，且偵測器中之後續功能之任務係偵測及校正此等通過的錯誤。

一解映射器 620 將在一 MSB 路徑 623 上自類比至數位轉換接收之 MSB 串流轉換回預編碼 MSB 形式。舉例而言，在該編碼器應用格雷至二進制編碼之情況下，該解映射器轉換回至格雷碼形式。該解映射器亦提供該編碼器之位階轉 DAC 功能 472 (見圖 4) 之一反轉。應注意，來自 Viterbi 解碼器 610 之經迴旋解碼之 LSB 係指向尚待闡述之一重編碼器 622 及一 LSB 緩衝器 624。由於位階轉 DAC 472 可提供經解碼 TCM 符號至胞目標值之比例縮放之選項，因此在使用盡可能近地反映原始胞目標之讀回值時可增強解碼過程準確度以便獲得一適當地無錯誤 TCM 解碼。來自 ADC 值及來自重編碼器 622 之 MSB 之一組合將輸入值提供至允許此增強準確度之解映射器。該解映射器之一輸出 625 係經解映射之 MSB。經解碼 TCM 符號之 LSB 係自一 Viterbi 解碼器輸出 626 獲取。

重編碼器 622 基於由 Viterbi 解碼器 610 提供之結果重建意欲係一原始經編碼位元串流之串流。由於某些偶然錯誤可出現在 Viterbi 偵測器輸出中，因此在 630 處之一經重編碼之串流可係該原始經編碼位元串流之近似值。期望盡可能接近地獲得經迴旋編碼 LSB 之 LSB 之原始編碼以針對由圖 4 之位階轉 DAC 472 最初執行之正向變換找出一適當精確的反向變換。以一稍微不同的方式陳述，Viterbi 解碼器 610

將錯誤校正應用於自ADC值獲取之傳入LSB，以使得Viterbi解碼器之輸出626上之經解碼LSB更精確地反映編碼器側上之原始無錯誤LSB。重編碼器622本質上係另一迴旋編碼器300(見圖3及圖4)，其重現包含由解映射器620使用之碼位元之LSB以更精確地重現MSB。因此，重編碼器622將包含碼位元之原始經迴旋編碼LSB至少在該等組件之精確度限制範圍內提供至解映射器620。該解映射器基於傳入MSB及來自重編碼器622之經迴旋編碼LSB在輸出625上產生MSB。MSB及LSB資料路徑中之除解映射器620、Viterbi解碼器610及重編碼器622外之組件可稱為一解映射配置641。

一MSB緩衝器640自解映射器620之輸出接收經解映射之MSB。在回應於一MSB計數器644請求該等MSB時此後一緩衝器接收該等MSB位元並將其轉發至一MSB FIFO 642。每次MSB計數器644藉由將10個位元之累積報數至MSB緩衝器時，MSB緩衝器640即將具有RS符號大小之位元群組輸出至MSB FIFO 642。該RS符號大小之群組直接對應於在圖4中之編碼功能期間原始創建之RS符號。在圖6中圖解說明之每胞4位元組態將該MSB緩衝器利用為3個位元寬(與圖2一致)，但此係實例性且可相依於MSB寬度之參數設定針對此緩衝器(及針對有關資料路徑之剩餘部分)建立其他寬度。同樣地，RS符號寬度係10個位元(如圖2中所見)，但在自RS符號至TCM符號及自經解碼TCM符號返回至RS符號之轉換中可使用其他RS符號寬度(及其他壓縮配

置)。

LSB緩衝器624自Viterbi偵測器610接收經解碼LSB串流。此緩衝器接收該等LSB位元並在一LSB計數器648請求額外LSB位元時將位元輸出至多工器646。LSB計數器648控制多工器646之操作。在LSB計數器將10個位元之累積計數至LSB緩衝器中時，該多工器將一LSB RS符號自LSB緩衝器透過多工器646發送至RS解碼器650。在所有其他時間處，將MSB RS符號累計至MSB FIFO中。在透過多工器646將一LSB RS符號傳送至RS解碼器650之後立即將MSB FIFO之內容透過多工器646傳送至RS解碼器650。由於多個MSB RS符號將包括此傳送，因此可每區塊間隔一個符號地將MSB RS符號傳送該MSB緩衝器直至已透過多工器646將所有可用符號傳送至RS解碼器650。儘管在圖6之實施例中，該LSB緩衝器係一個位元寬，但可相依於LSB寬度之參數設定針對此緩衝器(及針對有關資料路徑之剩餘部分)建立一個以上位元之寬度之實施例。

在MSB計數器644之控制下，MSB FIFO(先入先出)642自MSB緩衝器640接收RS符號。此等符號當在MSB FIFO中重新累積時與在圖4之編碼器20中自使用者資料輸入串流及藉助RS編碼器402(圖4)之動作原始創建之RS MSB符號相同。該MSB FIFO確保由解碼器之TCM部分返回之所有RS符號係以同一次序重新累積，藉以在編碼過程期間將其分派至TCM編碼器。在某些實施例中，由於MSB資料路徑以一較快資料速率(每TCM符號3個MSB位元對在具有削減之

情況下每一LSB位元少於1位元)操作，因此該MSB FIFO提供一RS符號管理功能。在圖2之資料結構實施例中，在該序列中存在其中LSB符號邊界與MSB符號邊界與TCM符號邊界一致之點。在編碼模式下，可做出任一任意決策：是將一LSB RS符號還是一MSB RS符號傳輸至TCM編碼器：可先發送該MSB RS符號還是先發送該LSB符號。任一情形皆可係有效的，但在解碼模式下，重建序列必須與該編碼模式所產生之序列完全地相同。該MSB FIFO允許相對快速移動的MSB符號之暫時儲存以使得可以正確次序選擇MSB RS符號。就此而言，應瞭解，該等MSB RS符號在完成時不能簡單地傳送至RS解碼器，乃因MSB RS符號係以比LSB RS符號更快之一速率完成，導致一不正確的重建序列。舉例而言，如上文參照圖2所述，在完成RS1之前完成RS2至RS5。因此，該MSB FIFO將保留RS2至RS5直至RS1完成。在將RS2至RS5傳送至解碼器650之前將RS1傳送至RS解碼器650。每次該MSB緩衝器取得RS符號長度之若干位元時，該MSB FIFO即自該MSB緩衝器接收一額外RS MSB符號，並在每次多工器646啟用自MSB FIFO至RS解碼器650之路徑時將一RS MSB符號發送至多工器646，此發生於MSB及LSB計數器之控制下以維持RS符號在RS解碼器650處之正確序列。

MSB/LSB符號多工器646合併來自MSB FIFO 642及LSB緩衝器624之分別表示由Viterbi解碼器610及解映射器620產生之解碼後TCM符號之MSB及LSB部分兩者之經重建RS

符號。經重建之RS符號係由MSB FIFO 642及LSB緩衝器624產生，如上文所述。在MSB計數器644及LSB計數器648之控制下，自MSB FIFO輸出及LSB緩衝器輸出選擇10位元數量，並將其合併成意欲同樣地匹配由圖4之編碼器20之RS編碼功能原始產生之序列之一RS符號序列。

MSB計數器644係一增序計數器，其增序計數直至一完整MSB RS符號可自MSB FIFO 642獲得。當一完整MSB RS符號可用時，該MSB計數器傳訊多工器646且經由該多工器將該十位元符號傳送至一RS解碼器650。針對每一時間遞增量 t ，三個MSB位元對多工器646可用。因此該MSB計數器每一時間遞增量遞增一值3。在本實施例中，由於每一RS MSB符號係由十個位元組成，因此該MSB計數器將要求4個時間遞增量以最初允許在MSB FIFO 642中累積一完整RS符號。此刻，計數器係12。該計數器將一完整MSB RS符號之可用性傳訊至多工器646，並將其計數遞減10以使得當前計數為2。由於4個時間遞增量累積總計12個MSB位元，因此留下兩個位元用於分配至下一MSB RS符號。因此，3個時間遞增則提供額外9個位元以使得11個位元可用，其中此等位元中之1個留下用於下一MSB RS符號。此刻，計數為11。該計數器將一完整MSB RS符號之可用性傳訊至多工器646並將其計數遞減10以使得當前計數為1。在留下1個位元之情況下，接下來的三個時間遞增將提供9個位元以提供一完整MSB RS符號以及1個留下的位元。此刻，計數為10。該計數器將一完整MSB RS符號之可用性

傳訊至多工器 646 並將其計數遞減 10 以使得當前計數為 0。因此，此過程繼續，其中每次該 MSB 計數器將一完整 MSB RS 符號之可用性傳訊至多工器 646 時其將其計數遞減 10。在其中存在每記憶體胞兩個 MSB 之一實施例中，每一時間遞增該 MSB 計數器將遞增 2。類似地，在其中存在每記憶體胞四個 MSB 之一實施例中，每一時間遞增該 MSB 計數器將遞增 4。

LSB 計數器 648 以除了經每一時間遞增該 LSB 計數器遞增一值 1 外與 MSB 計數器之計數類似之一方式增序計數。因此，該 LSB 計數器指示回應於每 10 個時間遞增之一完整 LSB RS 符號之可用性。該 LSB 計數器然後重設至 0 並重新計數至值 10。在一完整 LSB RS 符號可用時，該 LSB 計數器傳訊多工器 646 且經由該多工器將 10 位元符號傳送至 RS 解碼器 650。在該 LSB 計數器及該 MSB 計數器同時指示一 RS 符號之可用性時，多工器 646 將優先權賦予 LSB RS 符號並首先獲取彼符號以重建原始 RS 符號串流。在其中存在每記憶體胞兩個 LSB 之一實施例中，每一時間遞增該 LSB 計數器將遞增 2。類似地，在其中存在每記憶體胞三個 LSB 之一實施例中，每一時間遞增該 LSB 計數器將遞增一值 3。

藉助等於 TCM 符號 654 之數目之值『TCM 碼字長度』初始化一 TCM 計數器 652，其中該值『TCM 碼字長度』表示組成將執行之傳送之 TCM 符號之精確數目。亦可在該解碼開始接收一 ADC 值串流之前直接自參數暫存器區段 410 獲得 TCM 符號之數目。該 TCM 計數器之計數針對每一 TCM 符

號經解碼而遞減1。在該計數變為0時，將該當前區塊之解碼過程結束之一指示指示至CPU 412，以使得已達到該序列之末端。相依於該實施例，此事件可實現CPU 412設定可要求或可不要求重新載入參數暫存器區段410之另一編碼序列之動作。應注意，TCM計數器之當前計數值以及改變為0兩者皆由TCM計數器用作控制指示。舉例而言，大於0之值標示一序列相對於由『TCM碼字長度』標示之總長度之進度，且改變為0指示序列完成。

藉助直接獲得或自儲存於參數暫存器區段410中之第一削減多項式及第二削減多項式導出之一值661初始化一削減型樣計數器660。出於解碼目的，該削減型樣計數器值用於識別Viterbi解碼器如何處置所接收LSB串流中之每一位元。亦即，一既定位元是一資料位元還是一碼位元。該削減型樣計數器計數亦由重編碼器622用於重建解映射器620所使用之經重編碼LSB串流。

可在解碼器22開始接收一ADC值串流之前藉助一RS碼字中之符號數目來初始化一RS計數器662。符號數目可在一RS符號數目暫存器664中初始化，其值係直接自參數暫存器區段410獲得或自儲存於參數暫存器區段410中之值導出。參數暫存器區段410中之判定欲載入於RS符號數目暫存器664中之值的值包含『RS資料長度』及『RS奇偶長度』，通常為此兩個值之總和。此等值係以RS符號為單位。在解碼器22產生一RS符號串流時，RS計數器在在MSB FIFO 642及LSB緩衝器624之輸出處產生RS符號時對

其減序計數。該RS計數器在已藉由在本實施例中遞減至0而計數最後一RS符號之後產生標示序列結束之一信號。此條件可用作RS解碼器之指示當前傳送結束之一終止控制。在其他實施例中，MSB計數器、LSB計數器及RS符號計數器可經組態以增序計數或以增序計數及減序計數之某一適合組合。

在一解碼上下文中，在接近一傳送序列之末端處使用RS/LSB限制比較器454以確認組成若干最後LSB RS符號之最後位元係若干0。該比較器偵測該RS計數器自大於LSB限制值之值至小於或等於LSB限制值之一轉變。此轉變又致使多工器646合作以不再自LSB緩衝器624獲取位元及用0值位元完成所有剩餘LSB RS符號，如下文將參照LSB限制490進一步闡述。該等LSB及MSB資料路徑中之組件及自LSB緩衝器624及MSB緩衝器640達至多工器646且包含多工器646之支援組件可稱為一解壓縮配置668。

在多工器646及前置邏輯組成一RS碼字之後，RS解碼器650接收該碼字。一旦該RS解碼器已擁有一完整RS碼字，該RS解碼操作即可進行。該RS解碼器之功能係在接收該等RS碼字後將其解碼並偵測及校正可出現於所接收RS符號中之任何錯誤。熟習此項技術者在獲知本揭示內容之情況下將瞭解該RS解碼器之操作。目前，足以注意到該RS解碼器能夠校正每一RS碼字內之某一數目個符號。如在本發明中先前論述，一RS碼字係由一資料部分及一奇偶部分組成。該RS解碼器使用該RS碼字之奇偶部分偵測及移除

該資料部分之錯誤。該RS解碼器僅需返回對應於提交至圖4之編碼器20之原始使用者資料之該資料部分。該RS解碼器產生具有等於在參數暫存器區段410中識別之RS資料長度之值之一長度之一RS符號串流。在斷定該RS解碼器偵測到之任何錯誤係至輸出之前將其應用於該等輸出符號。

在藉助交錯來儲存該等傳入ADC值時，可以一交錯方式將多個RS碼字提供至RS解碼器。在一單個碼字或交錯碼字組態下，參數暫存器區段410中之RS交錯因數之值界定一特定交錯組態。RS解碼器650藉由將其接收之RS符號串流解碼為非交錯式或交錯式來適當地回應。

在選擇一交錯組態時，如RS交錯因數值大於1所證明，參數暫存器區段410中之『RS資料長度』及『RS奇偶長度』之值對應於交錯長度。舉例而言，在RS交錯因數為4之情況下，『RS資料長度』對應於四個交錯資料部分之長度，且『RS奇偶長度』之值係四個奇偶部分之長度。應注意，上述併入之'546申請案之圖12、圖13、圖15及圖16圖解說明具有四個交錯之一資料結構。

LSB限制490指定LSB部分中在解碼序列末端處被迫使為0之位元之數目。LSB限制490之值作為一計數值係以RS符號單元來命名，且在RS計數器遞減至0時與RS計數器值相比較。該LSB限制之值通常係一小的整數，且對應於在最後RS LSB符號之補零開始之時該序列中剩餘之RS符號之數目。此一實例係在圖2中之其中RS(N-1)符號出現時展示。RS(N-1)之出現對應於其中該等最後LSB符號位元[在

RS(N-7)中]為0之時。

在RS計數器針對供應至RS解碼器650之每一RS符號遞減時，比較該LSB限制與RS計數器662中之值。在該RS計數器遞減至小於或等於該LSB限制之一值時，如RS/LSB比較器454所判定，將0插入至發送至RS解碼器之LSB RS符號中。亦即，其中LSB限制與RS計數器之間的等式比較出現之時標示藉由開始補零來建構LSB符號之方式之一模式改變。儘管該RS計數大於LSB限制值，但用Viterbi解碼器610所產生之位元來填充RS LSB符號中之位元。在該RS計數器變得等於或小於限制計數時，如RS/LSB比較器454所判定，用0來填充額外LSB RS符號之資料位元。此繼續直至最後LSB RS符號已被填充為止。

RS至使用者資料壓縮670係組成解碼裝置之最後區段。將長度『RS資料長度』(見參數暫存器區段410)之該組RS符號自RS格式轉換成使用者資料格式。在圖7之實施例中，此轉換係自10位元符號至8位元符號之一轉換，如所指示。當然，在RS格式不同於10位元或使用者資料格式不同於8位元之情況下，則該轉換將係基於當前組態下此等寬度之定義而自RS符號格式至使用者資料符號格式。

韌體480在由微處理器412執行時指示解碼器22之操作。特定而言，該微處理器與參數暫存器區段410介接。該微處理器可將值寫入至暫存器以制定欲應用於供應至解碼器之ADC值之當前串流之諸多可能解碼組態中之一者。微處理器在執行韌體480指令時可被指示在該解碼器未積極解

碼一ADC值串流時隨時修改值以改變該解碼器自一個組態至另一組態之程式化。以此方式，可將參數暫存器區段410中展示之所有參數之諸多組合應用於解碼器22之一特定實施例。作為一個實例，可改變該解碼器組態以反映傳入ADC值之位元密度之一改變。

應注意，參數暫存器區段410參照所儲存之各種值係未經改變的，不論是將執行一解碼資料操作還是一編碼資料操作。然而，自韌體480之觀點，可稍微不同地檢視各種參數。因此，該等參數將在下文中在一解碼操作之架構內至少部分地立即論述，儘管可出於更進一步闡釋性目的而提供額外細節。

使用者資料長度：在解碼之後必須施加至輸出之使用者資料長度。此值之單位在正常情況下係位元組，因此使用者資料長度意指一使用者資料單元中之位元組數目。

RS校正容量(T)：RS解碼器在一個RS碼字中能夠成功地偵測及校正之符號錯誤之數目。在應用交錯之情況下，則將此值應用於一單個交錯，且可藉由交錯而校正之符號之總數目係此數目乘以RS交錯因數。

RS資料長度：此係將一使用者資料單元變換成之RS符號之數目。在一RS符號中之位元數目不同於一使用者資料符號中之位元數目之情況下，則此數目不同於『使用者資料長度』。在圖6之上下文中，使用者資料符號單元係一位元組且RS符號含有10個位元，因此於此情形下『RS資料長度』將小於『使用者資料長度』一因數8/10。

RS資料長度：在RS交錯因數大於1之情況下所有交錯之組合長度。

RS奇偶長度：根據當前組態一RS碼字之奇偶部分所要求之RS符號之數目。此值可係自RS校正容量導出，但可作為一獨立暫存器值實施於某些實施例中。

RS交錯因數：組成構成儲存於參數暫存器區段410中之『RS資料長度』及『RS奇偶長度』值之總和的RS符號長度之交錯RS碼字之數目。交錯數目通常係一相對小的整數。

迴旋約束長度：接受一迴旋編碼器中之資料之移位暫存器(見圖3，移位暫存器304)中之位元數目加1。來自該迴旋編碼器之每一輸出位元係至該編碼器之當前輸入位元加上移位暫存器中之最新近先前位元之某一組合。

第一迴旋多項式：兩個迴旋多項式中之一者。此多項式中之係數數目與迴旋約束長度相同。在解碼情形下，第一迴旋多項式建立欲由Viterbi偵測器610應用於相對於應用第一迴旋多項式而出現之輸入串流中之彼等位元之解譯。在某些實施例中，可將此多項式應用於Viterbi解碼器中之選擇對應於特定迴旋多項式之分支決策組態之實施方案特徵。包括一Viterbi偵測器之特徵之實施方案係由熟習此項技術者所熟知。舉例而言，見Wicker、Stephen B之「*Error Control Systems for Digital Communications and Storage*」(1995，Prentice-Hall，第12章(290至332頁))，其以引用的方式併入本文中。

第二迴旋多項式：兩個迴旋多項式中之第二者，其係數用於使用當前輸入位元及移位暫存器計算兩個迴旋編碼器輸出位元中之第二者。在解碼情形下，第二迴旋多項式建立由Viterbi偵測器應用於相對於應用第二迴旋多項式而出現之輸入串流中之彼等位元之解譯。在某些實施例中，可將此多項式應用於Viterbi解碼器610中之選擇對應於該特定迴旋多項式之一分支決策組態之實施特徵。包括一Viterbi偵測器之特徵之實施係由熟習此項技術者所熟知。舉例而言，再次見Wicker、Stephen B之「*Error Control Systems for Digital Communications and Storage*」(1995，Prentice-Hall，第12章(290至332頁))。

第一削減多項式：參照削減與第一迴旋多項式合作地建立對Viterbi偵測器610之每一輸入之解譯之兩個多項式其中之一者。作為自一個以上可能的第一削減多項式進行選擇之一項實施例，可以使得將適當的解碼步驟應用於一經削減輸入串流以重建適當的解碼序列之一方式參照來自多個可能削減多項式其中之一者之選擇藉助組態Viterbi解碼器操作之能力實施該Viterbi偵測器。在Viterbi偵測之上下文中應用削減係由熟習此項技術者所熟知。舉例而言，再次見Wicker、Stephen B之「*Error Control Systems for Digital Communications and Storage*」(1995，Prentice-Hall，第12章(290至332頁))。針對如何參照一可程式化迴旋編碼器應用上文之一圖解說明見圖3。

第二削減多項式：此係判定削減之兩個多項式中之第二

者。該值與該第二迴旋多項式一起建立對 Viterbi 偵測器 610 之每一輸入之解譯。作為自一個以上可能的第二削減多項式進行選擇之一項實施例，可以使得將適當的解碼步驟應用於一經削減輸入串流以重建適當的解碼序列之方式參照來自多個可能的削減多項式中之一者之選擇藉助組態 Viterbi 解碼器操作之能力來實施該 Viterbi 偵測器。在 Viterbi 偵測之上下文中應用削減係由熟習此項技術者所熟知。舉例而言，再次見 Wicker、Stephen B 之「*Error Control Systems for Digital Communications and Storage*」(1995，Prentice-Hall，第 12 章(290 至 332 頁))。針對如何參照一可程式化迴旋編碼器來應用上文之一圖解說明見圖 3。

位元密度設定：NV 記憶體中之每胞所儲存之位元數目。至少部分地藉由位元密度設定之值判定該參數暫存器區段中之諸多其他參數。應注意，伴隨使用本文已揭示之教示之優勢參照在一記憶體胞所儲存之不同位階之間轉變之準確度與將位元密度至少增加至某一實際限制成正比。該位元密度設定係 MSB、LSB 與編碼器及解碼器中之組合 TCM 符號資料路徑之寬度之主要決定因素。圖 6 之解碼器及圖 4 之編碼器係參照位元密度設定係 4 個位元之事實的實例性實施例。其他編碼器及解碼器實施方案可使用每胞 3 個位元，其中 TCM 符號寬度變成 3 個位元而非 4 個位元。亦可應用大於 4 之位元密度設定。在選擇等於 5 之一位元密度設定之情況下，分別地，每一 TCM 符號之 MSB 部分可由 3

個或4個位元組成且該LSB區段可由2個位元或1個位元組成。該LSB部分中大於1位元則將要求能夠處置2位元寬之編碼的一迴旋編碼器及Viterbi解碼器。迴旋多項式及削減多項式之應用類比於單位元迴旋編碼器(見圖3之迴旋編碼器300)。

TCM中之MSB寬度：從屬於位元密度設定之一值(見上文關於位元密度設定之論述)。圖6之解碼器22使用一位元密度設定為4，其中每一TCM符號之MSB部分之寬度等於3個位元，且每一TCM符號之LSB部分之寬度等於1個位元。如上文所述，可使用其他組合。

TCM中之LSB位元寬度：從屬於位元密度設定之另一值。圖4之解碼器22使用一位元密度設定為4，其中每一TCM符號之MSB部分之寬度等於3個位元且每一TCM符號之LSB部分之寬度等於1個位元。如文中所述，舉例而言，參照上述位元密度設定之其他組合亦係適合的。其他實施例及組態可包含在TCM符號之LSB部分中使用一個以上LSB。在如此做之彼等組態下，LSB位元寬度值作為由微處理器412程式化之一值指定每一LSB部分大於1之一組態。一特定實施例將能夠具有最大數目個LSB。某些實施例可僅接受一值1；而其他實施例可接受值2或更大。應瞭解，使用者指定資訊(舉例而言，見圖5之步驟504)可包含：使用者資料長度、RS容量(T)、RS交錯因數、位元密度設定及迴旋與削減參數。此等物項皆係變數，其可合作以判定序列大小及一伴隨的錯誤控制附加項。可自此等基

本參數導出其他或次級參數。該等次級參數可包含RS資料長度、RS奇偶長度、TCM長度及約束長度。使用者選擇可能不是指一終端使用者本身，而是指可由與基於在(舉例而言)製造一特定系統時做出之某些外部判定而建立之使用模式有關的考量而判定之組態變數。應瞭解，可鑒於此總的揭示內容以任一適合方式組織各種參數並使其相互關聯。

TCM碼字長度：發送至NV記憶體及/或自NV記憶體擷取之一資料傳送單元之總長度。在一既定儲存組態下，此值係常數且不在儲存(亦即，寫入)操作與讀取操作之間變化。其與包含以下各項之其他參數中之多數參數有關：『使用者資料長度』、『RS校正容量』、『RS資料長度』、『RS奇偶長度』、『RS交錯因數』、『迴旋約束長度』、『迴旋多項式』、『削減多項式』及『位元密度設定』。其通常由微處理器412儲存為一獨立值，且將參照恰好傳送TCM碼字中之若干TCM值而控制編碼器功能。

應瞭解，本文已揭示之解碼裝置及相關聯方法各自合作以提供所有該等裨益，該等裨益中之至少某些係參照基於逐碼字地改變碼效率之能力在上文闡述。

圖7圖解說明通常由元件符號700指示之一種方法之一項實施例，其可在圖6之編碼器22上操作且可同等地應用於其他實施例。舉例而言，方法700可應用於使用除每胞4個位元外之位元密度之實施例。

方法700在開始步驟702處開始並進行至設定704。在步

驟704中，可將各種參數載入至圖4之參數暫存器區段410中以及任何其他期望的暫存器位置中。應瞭解，該等參數中之某些可係使用者指定的，諸如(舉例而言)RS校正容量及迴旋多項式，而其他參數(諸如，舉例而言，TCM RS奇偶長度及TCM碼字長度)可基於使用者指定參數來判定。資料流在由方法700處置時以自圖1之記憶體14讀取之ADC值開始。

在步驟706處，自至NV記憶體之介面接收ADC值(見圖1，物項14)。接收總計『TCM碼字長度』(在圖6之參數暫存器區段410中指定)個ADC值，其中每一ADC值對應於一個TCM符號。應瞭解，該等ADC值與圖5之編碼方法500所產生之經編碼TCM符號不同之處為，該等ADC值反映由具有附加『軟位元』之解碼器接收之符號。此一組態可反映以比最初將該等ADC值寫入至記憶體中之解析度高之一解析度讀取該等值。在支援軟解碼之情況下，軟位元之數目可發生變化，但某些實施例可使用自1個位元至4個位元中之任一者。在使用軟位元進行解碼之情況下，可在本發明之範疇內使用各種實施例。在圖6中(其係藉由舉例而提供之一實施例)，軟位元可計入所接收「與」值中之3個位元中以使得總計接收7個位元。軟位元係表明為「次LSB」值，其中其佔據比ADC串流中之最低有效LSB之有效性更低之一算術有效性。Viterbi解碼器300在使用軟位元之情況下辨識此等軟位元並在其解碼過程中使用該等軟位元。軟位元增強該位元串流(若使用)中之LSB錯誤之偵測及校

正。軟 Viterbi 解碼器係由熟習此項技術者所熟知，且因此將出於簡要之目的不在本文中重複關於其之細節。就此而言向讀者提及(舉例而言)Wicker、Stephen B.之「*Error Control Systems for Digital Communications and Storage*」(1995，Prentice-Hall，301至305頁)，其以引用的方式併入本文中以提供額外細節。

步驟706之結果係兩個符號串流：『TCM碼字長度』個MSB之一串流，其中每一MSB具有由參數暫存器區段410中指定之當前組態所界定之一寬度，及『TCM碼字長度』個LSB之一串流，其中每一LSB具有由當前組態類似地界定之寬度。在當前組態使用軟位元之情況下，該等軟位元表現為LSB欄位之一『次LSB』擴充，如先前章節中所述。

在步驟708中，在一項實施例中，LSB串流係由Viterbi迴旋解碼器610解譯及解碼，如圖6之解碼器實施例22中所展示。在本實施例中，該迴旋解碼器可藉由程式化而重組態以便能夠解碼由『迴旋約束長度』值、第一及第二迴旋多項式與第一及第二削減多項式(其皆可在參數暫存器區段中獲得)界定之不同迴旋碼組態。解碼導致產生『TCM碼字長度』之解碼後LSB之一串流。該等資料位元在其存在於經解碼位元串流中時係Viterbi解碼器選擇為最可能組成先前由圖5之RS至TCM壓縮前步驟510所接收之原始LSB位元串流之位元。由於藉由解碼來操作之串流已通過編碼(圖5)且然後儲存於記憶體14(圖1)中，因此在與ADC值分

離之後提交至 Viterbi 解碼步驟 708 之 LSB 位元可在由 Viterbi 解碼 708 解譯該串流時已取得錯誤。然而，該解碼器之行為係意欲偵測及移除此等錯誤之某些部分以使得 Viterbi 解碼器輸出展現比出現於 Viterbi 解碼器輸入處之錯誤數目更少比例之錯誤。在諸多情形下，Viterbi 解碼器輸出將係無錯誤的，且然後在此過程之剩餘部分期間不需要額外錯誤校正。然而，在任一情形下，剩餘的處理步驟可用於移除在 708 處之 Viterbi 解碼之後仍剩餘的錯誤。

在步驟 708 之後，將該『TCM 碼字長度』之解碼後 LSB 符號輸入至一重編碼步驟 710，該重編碼步驟 710 使用經 Viterbi 解碼之 LSB 嘗試重建一『編碼後』（亦即，經編碼）LSB 位元串流。亦即，重編碼步驟 710 有效地操作為一 Viterbi 編碼步驟以重現最初在圖 5 之編碼過程 500 期間插入之碼位元。執行該重編碼步驟以出於重編碼串流與『預解碼』串流相比錯誤更少之原因產生一重編碼串流供用於替換進入 Viterbi 解碼步驟 708 之原始『預解碼』LSB 串流。如所提及，該重編碼步驟與一迴旋編碼步驟類似之處為，以一迴旋編碼序列應用相同參數（參數暫存器區段 410 之迴旋約束長度、第一及第二迴旋多項式與第一及第二削減多項式）。來自重編碼步驟 710 之輸出係解碼器對『TCM 碼字長度』之 LSB 之原始『編碼後』LSB 序列之最佳估計。

步驟 712 在由圖 6 之解映射器 620 執行時鑒於由步驟 710 產生之重編碼串流對步驟 706 所產生之 MSB 進行操作。MSB 在解碼過程中之此刻形成在參數暫存器區段 410 中指定之

『TCM碼字長度』之MSB部分。執行MSB值自一經編碼形式至未經編碼形式之一解映射變換，且其係圖5之步驟514之反向變換。步驟712可如步驟514之情形依據邏輯閘或一查詢表來實施。應瞭解，在正向及反向例項之情形下，分別參照映射器450(圖4)及解映射器620(圖6)以及映射步驟514(圖5)及解映射步驟712(圖7)，在輸入與輸出之間存在一對一關係。每一輸入針對映射器及解映射器二者具有一個且僅一個正確輸出值。亦即，映射器與解映射器之間的關係係彼此完全反向的。在本實施例中，該映射係可由熟習此項技術者鑒於此揭示內容而易於實施之二進制至格雷碼轉換。而且，僅在對編碼器側應用一反向的格雷碼轉二進制轉換之情況下執行此轉換。該經重編碼LSB串流之使用藉由致使解映射輸出更緊密地匹配在編碼期間由步驟514產生之原始經編碼MSB串流之原始MSB來達成一改良結果。來自步驟712之輸出係一組『TCM碼字長度』之MSB符號。

在步驟714中，自步驟708接收解碼LSB串流，且出於合併成『TCM碼字長度』之解碼後TCM符號之一單個串流之目的自步驟712接收該MSB串流。此刻，將該串流復原成由圖2之一實例性情形中所呈現之同一格式，其中一TCM符號串流覆疊一RS符號配置。進一步地，多工器646與涉及圖6之MSB緩衝器640、MSB FIFO 642、LSB緩衝器624、MSB計數器644及LSB計數器648之有關操作容納該兩個串流之合併。步驟714之結果係一TCM符號串流，其

係作為具有經由參數暫存器區段410之寬度『位元密度設定』之一符號序列來輸出。

於此處，將『TCM碼字長度』之解碼後TCM符號轉換成RS表示。該過程與圖2中展示之實例性情形相同。將MSB及LSB轉換成其各別RS符號表示，且在位元位置處將來自MSB及LSB二者之對應位元取代成對應RS符號以使得至少在系統能力內可獲得RS符號及其內之位元作為由編碼序列創建之原始未經編碼序列(見圖6)之精確配置。

在步驟716處，將來自步驟714之經合併MSB/LSB串流壓縮成預解碼RS符號之一經重建串流。應注意，此步驟係透過圖6之多工器646自MSB路徑及LSB路徑選擇性地饋送至RS解碼器650中之操作來實施。由步驟716所致之經重建串流包含使用者資料(以RS符號格式)及RS奇偶符號兩者。輸出串流之長度係經由參數暫存器區段410之『RS資料長度』與『RS奇偶長度』之總和。此RS符號串流與原始的TCM編碼前符號串流之間的差存在於當前串流之含有回應於迄今為止之寫入及讀回過程而剩餘的錯誤之潛能中。涉及RS解碼之後續步驟起到偵測及移除當前輸出符號中之錯誤符號之作用。

RS解碼包含步驟718及720。最初，步驟718接收由步驟716產生之RS符號串流以便計算稱為症狀碼之一組值。症狀碼計算以長度為『RS符號長度』加上『RS奇偶長度』之該組RS符號開始，並使用此等來計算症狀碼。作為一RS解碼步驟，症狀碼計算係為熟習RS解碼技術者所熟

知。因此，將出於簡要的目的不再提供某些細節。出於此目的，足以注意到症候碼之數目總是與相對於一既定大小之RS碼字之奇偶符號之數目相同，因此參數『RS奇偶長度』適用於症候碼之管理。在選擇交錯之情況下，奇偶符號(及症候碼)之數目對應於由經由參數暫存器區段410之『RS奇偶長度』除以『RS交錯因數』之值。

將在步驟718中判定之RS症候碼應用於步驟720中以偵測及校正可出現於每一『RS資料長度』之RS符號單元中之任何錯誤符號。該等『RS奇偶長度』症候碼由一演算法程序用於在任一症候碼具有非零值之情況下計算錯誤之位置及值。在所有症候碼皆係零值之情況下，則跳過該代數校正程序，乃因所有症候碼中之一零值係所有RS符號輸入之正確性(無錯誤)之一指示。

在不滿足全零準則之情況下，在將每一『RS資料長度』之串流作為步驟720之一輸出發佈之前應用校正過程。在滿足全零準則之情況下，略過校正程序並將『RS資料長度』之符號之相關聯串流作為步驟720之一輸出來發佈。

步驟722自步驟720接收『RS資料長度』之RS符號單元並藉由將RS符號資料壓縮成使用者資料符號之一輸出串流而將經校正之RS符號轉換成使用者資料格式。應注意，步驟722係圖5之步驟506之一反轉。於此處，將『RS資料長度』之符號轉換成『使用者資料長度』之使用者資料符號，其中此等參數係經由參數暫存器區段410指定。在圖5之步驟506之正向轉換要求將額外位元插入至最後RS符號

之情況下，則此步驟在將彼符號轉換回至使用者資料格式時自最後RS符號移除相同數目個位元。可應用不同組態，其中RS符號寬度及使用者資料符號寬度兩者皆可變化。圖6之解碼器22展示一解碼器22之一實施例之一組態，其中RS符號大小係10個位元(如離開RS解碼器650所指示)，且使用者資料符號大小係8個位元(如針對離開RS至使用者資料壓縮器670之使用者資料所指示)。一既定實施例之其他組態或其他實施例可採用不同大小之RS符號及使用者資料符號。

如上文提及，在某些實施例中，參數可針對編碼及解碼兩者而即時改變。為此，在圖8中展示參數暫存器區段之一項實施例，且其通常由元件符號410'指示。該參數暫存器區段之此實施例併入有展示為暫存器組0至3之多個暫存器記憶體庫。將該等暫存器組連接至一匯流排800，該匯流排又連接至CPU 412。每一暫存器組與一多工器810介接。分別由元件符號812及814指示之模式選擇線0及1提供用於使用多工器810選擇該等暫存器組中之任一者。每一暫存器組可由CPU 412獨立地程式化。每一暫存器組或記憶體庫可出於基於模式選擇線812及814即時選擇該等記憶體庫中之個別一者之目的由CPU 412選擇。因此，可藉由停用一作用中記憶體庫並啟用另一記憶體庫來實現在最小延遲(動態地)內之組態改變。只要已將必要的參數暫存器載入至欲使用之暫存器記憶體庫，就可藉由改變模式選擇線所指定之值來達成暫存器記憶體庫之間的切換。應瞭

解，可針對一特定實施例使用任意適合數目個暫存器記憶體庫，且藉由舉例而不意欲限制地提供使用圖8之四個暫存器記憶體庫之實施例。

藉助匯流排800，CPU 412可回應於所選擇之操作模式之一改變而管理任何必要暫存器。舉例而言，該CPU可回應於改變一參數(諸如，使用者資料長度及迴旋多項式及其他)及回應於主機器件而改變該模式。應瞭解，可以此方式盡可能快地逐碼字地反映參數之改變。在一項實施例中，暫存器可用於產生記憶體庫選擇信號，且此等暫存器可在判定記憶體庫中之一改變係必要的時由微處理器寫入。舉例而言，可基於記憶體胞之一配置而發生模式改變以使得意欲根據一組參數寫入及讀取該等記憶體胞之一個子組，且意欲根據另一組參數寫入及讀取該等記憶體胞之一不同子組。記憶體胞子組可被處置為藉由格式化一電腦儲存器件而創建之分割區。

參照編碼器及解碼器功能，在記憶體庫選擇0與記憶體庫選擇1狀態改變及資料序列之間的關係中存在暫時考量在使用記憶體庫化架構(banked architectures)之實施例中實現即時組態改變。在一項實施例中，將僅在無資料定序活動週期期間允許記憶體庫選擇改變。亦即，該系統係閒置的，或可使該系統閒置。此適用於受影響功能之外部信號活動及內部狀態活動兩者。只要此兩者係處於一閒置條件下，即可在不影響先前資料定序之情況下實現自一個暫存器組態至另一個之一快速改變，且然後當前暫存器改變

可將選定組態應用於下一資料序列。改變之潛在變化足夠廣泛以至少涵蓋使用者資料長度、RS容量、T(其亦暗示RS奇偶長度)、RS交錯因數、迴旋多項式、削減多項式、位元密度設定及TCM碼字長度之改變，其係由前述參數之一組合判定，但可被明確地程式化至參數暫存器區段中。應瞭解，慮及為最先進技術提供決定性優勢之一靈活性程度，可同時改變一或多個參數中之任意數目個參數。如上文所述，藉由改變參數值來以一直接方式影響碼效率並藉以作為暫存器組之間的切換之一結果。

現直接關注圖9，其係圖解說明一種用於包含圖8之記憶體庫化參數暫存器配置之一系統之操作之方法之一項實施例之一流程圖，該方法通常以元件符號900指示。在圖9中，由編碼器及解碼器兩者共用該等暫存器記憶體庫中之參數。然而，在其他實施例中，解碼器及編碼器可單獨地由各別專用暫存器記憶體庫支援。該過程開始於開始步驟902處。針對欲支援之任一特定組態，在904處，CPU 412(圖4及圖6)及韌體480建立是否已將一期望暫存器組態程式化至該等暫存器記憶體庫中之一者中。在判定欲使用一新組態之情況下，操作進行至步驟906，其中針對該新組態選擇一暫存器記憶體庫。可以任一適合方式做出此選擇：首先，可選擇先前未藉助一組態程式化之一暫存器記憶體庫；在不存在此種未佔用之暫存器記憶體庫可用之情況下，則做出可藉助該新組態覆寫哪一暫存器記憶體庫之一決策。在已選擇一暫存器記憶體庫之後，在908處，確

認選定暫存器記憶體庫是否是作用中記憶體庫。該「作用中」記憶體庫係當前選擇用以控制編碼器及解碼器之記憶體庫。應瞭解，可僅存在一個「作用中」暫存器記憶體庫。按照定義，不是作用中的所有暫存器記憶體庫皆係非作用中的。可期望僅自非作用中暫存器記憶體庫中間做出一暫存器記憶體庫之選擇。但在做出該選擇以使得該選擇係作用中暫存器記憶體庫之情況下，則該過程返回至906以做出另一選擇。另一方面，在由906選擇之暫存器記憶體庫不是作用中之情況下則操作前進至910。在910處，CPU將各種參數暫存器程式化或寫入至所選記憶體庫中，其中每一記憶體庫儲存一組針對前述參數暫存器區段410之該等值中之每一者。一旦已將該組態寫入至所選暫存器記憶體庫，則其就緒以供編碼器或解碼器使用。在CPU判定將在下一編碼器或解碼器序列期間使用新程式化之組態之情況下，則CPU在912處判定該編碼器或解碼器當前是否以一先前序列接合。在答案為是之情況下，則CPU必須在914處等待當前活動完成。暫時返回至步驟904，在選擇一現有組態之事件中，操作進行至步驟912。

一旦判定編碼器及解碼器兩者皆係非作用中的，則自步驟914或自步驟912之一「否」決策進入步驟916。步驟916可首先禁止編碼器及解碼器以一新資料序列接合。該方法假設在啟動新暫存器記憶體庫組態或下一暫存器記憶體庫組態之前不起始新序列。

結合圖8參照圖9，在CPU藉由使用圖8中之線812及814

來改變記憶體庫選擇之值時在918處完成下一組態之啟動。在應用步驟916以禁止編碼器或解碼器中之序列起始之情況下，則步驟920針對新序列啟用編碼器及解碼器。只要已啟用編碼器及解碼器二者，該過程便在920處完成。一後續組態改變可由該CPU回應於來自該主機之一請求而觸發，以自其它組態設定所指定之胞讀取或寫入至該等胞且將致使在步驟902處再入。

應瞭解，一旦已完成步驟904至914，步驟916至920僅在多達CPU執行一指令以更新記憶體庫選擇812及814(圖8)所需之時間中完成組態改變。換言之，通常非常快速地做出組態改變，而對接下來的實際資料定序幾乎或完全無影響。

再次轉至圖1，鑒於上文，應瞭解，非揮發性記憶體14在稱為碼字之單元中儲存及擷取資料。每一碼字係由編碼器20執行之編碼過程之結果。在自非揮發性記憶體14擷取一碼字時，由解碼器22執行之解碼過程將使用者資料返回至主機電腦12。一碼字係具有一特定長度及一特定位元密度設定之多位階符號之一集合，其每一者可在不同碼字之間變化。位元密度設定判定儲存於每一記憶體胞中之位元數目。在每記憶體胞儲存整數數目個位元之實施例中，一個胞之內容構成來自該碼字之一個TCM符號。該碼字之長度係組成該碼字之TCM符號之數目。舉例而言，在圖1中概略地圖解說明三個碼字，其中一水平長度表示每一碼字中之記憶體胞之數目，且一垂直寬度表示對應於位元密度

之每一記憶體胞中之位元數目。展示一第一碼字960、一第二碼字962及一第三碼字964。可看出，碼字962含有比碼字960相對少個符號，但含有每符號相對多個位元。可看出，碼字964含有比碼字960或碼字962相對少個符號，但含有每符號比碼字960或碼字962相對多個位元。因此，明顯將具有不同TCM符號寬度及不同長度之碼字同時儲存於非揮發性記憶體中。就此而言，記憶體14可表示一單個積體電路晶粒，其中該晶粒之不同區域可儲存具有不同碼效率(例如，在相異位元密度處)之資料。在另一實施例中，可在複數個積體記憶體電路晶粒之間劃分記憶體14。

仍參照圖1，概略地展示寫入至記憶體14中之一完整資料結構並由元件符號970指示。應瞭解，此資料結構係回應於含有既定使用者資料之一單個寫入操作而產生，且僅在一讀取操作中易於讀取以重現該既定使用者資料。在本實例中，資料結構970係由元件符號972、974、976、978及980指示之五個碼字組成。碼字972、974、976及978可各自具有一不同長度。在本實例中，碼字972、976及978具有相同的第二長度，由相同數目個TCM符號組成，而碼字974具有一不同的第二長度。終止碼字980比資料結構970之其他碼字更短，具有一第三長度。就此而言，應瞭解，鑒於本文之教示，不必(舉例而言)藉由將最後一碼字中之空位填充達至某一要求的碼字長度而使一傳送中之每一碼字具有相同長度，乃因最後碼字或終止碼字可透過如上文所述之一終止或補零序列而結束。進一步地，如資料

結構970所示範，資料結構中之後續碼字即使存在於記憶體中之毗鄰記憶體胞組中，仍可以包含在不同位元密度處之不同碼效率來儲存資料。舉例而言，碼字972可以每記憶體胞4個位元之一位元密度儲存資料，碼字974可以每記憶體胞2個位元之一位元密度儲存資料，碼字976可以每記憶體胞3個位元之一位元密度儲存資料，碼字978可以每記憶體胞3個位元之一位元密度儲存資料，及碼字980可以每記憶體胞1個位元之一位元密度儲存資料。參照在不同碼字之間改變碼效率所提供之靈活性，基本上不引入任何限制。

現參照分率位元編碼來關注額外細節。大體而言，可藉由獲取B個輸入位元之一群組並將彼等位元組合映射至若干胞之不同位階值中而容易地實施，該等胞各自具有L個可能位階值。該映射之要求給出如下：

$$L^C \geq 2^B \quad (1)$$

舉例而言，藉由將7個輸入位元映射至兩個胞中，將每一胞設定為12個可能位階中之一者，將產生每胞 $7 \div 2 = 3.5$ 個位元。

此等教示可在本文已提供之架構內有效地實施。應注意，一映射功能不能由圖4之映射器450結合一分率位元密度之應用來應用。在位階L之期望數目係一偶數數字之情況下，則可不加修改地處置LSB，舉例而言在每胞3個位元或4個位元之情形下，其中削減及預留位置不改變以使得在僅具有MSB之情況下處置分率編碼。在每胞3.5個位

元之實例中，將5個MSB位元映射至兩個胞中之 $12 \div 2 = 6$ 個可能位階中。應瞭解，上文所述之將傳入MSB值視為經格雷編碼之可選步驟不應結合分率編碼來應用。

在壓縮期間，其中產生未經映射之TCM符號，壓縮配置將在每TCM符號2個MSB位元(每胞3個位元之模式)與3個MSB位元(每胞4個位元之模式)之間變化。藉由如此做，以對C個胞之正確比例平均獲得期望之分率位元密度。而且，藉助此實例，編碼區塊C係2個胞，因此壓縮器在每TCM符號3個MSB位元與每TCM符號2個MSB位元之間交替。針對該兩個胞，存在 $3+2$ 個MSB位元 $+2$ 個LSB位元 $=7$ 個使用者位元，產生每胞3.5個位元。

就MSB映射而言，共同獲取B個未經映射之TCM符號之群組且將其作為整體映射成具有 $L \div 2$ 個位階之C個組。在本實例中，將 $3+2$ 個MSB位元映射至2個胞中，每一胞具有6個可能位階值。針對該5個MSB位元，可基於自二進制值至C胞值之一映射由兩個記憶體胞之 $6^2=36$ 個可能編碼表示該 $2^5=32$ 個輸入值。針對此實施例，將存在該等胞位階值之四個未使用組合，可將該等胞位階值映射至最近的有效二進制輸入值。該等胞位階值之四個未使用組合係 $6^2=36$ 個可用位階對 $2^5=32$ 個實際使用的位階之間的差。鑒於上文，熟習此項技術者將易於實施各種各樣的分率位元配置。

轉至圖10，概略地圖解說明通常由元件符號100'指示之一資料結構之另一實施例，其可儲存於圖1之非揮發性記

憶體 14 中。資料結構 100' 包含一初始部分 102' 及一終止部分 104'。應瞭解，資料結構 100' 例示正上方之論述。舉例而言，不同 TCM 符號之 MSB 在三個 MSB 與兩個 MSB 之間交替。進一步地，資料結構 100' 與圖 2 之資料結構 100 之比較揭示資料結構 100' 通常與資料結構 100 一致，但資料結構 100' 實施每胞 3.5 個位元之一分率位元密度。因此，鑒於本發明已揭示之教示，熟習此項技術者可易於實施利用分率位元編碼之各種各樣的系統及方法。

上文已出於圖解說明及闡述之目的提供對本發明之描述。本發明並不意欲窮盡或將本發明限於所揭示之一或多個精確形式，且其他修改及變化形式根據上述教示可係可能的，其中熟習此項技術者將辨識某些修改、排列、添加及其子組合。

【圖式簡單說明】

在該等繪圖之參考圖表中圖解說明實例性實施例。本文揭示之實施例及圖表意欲為例示性而非限制性。

圖 1 係根據本發明產生之一系統之一方塊圖，其提供用於一記憶體中之每胞儲存多個位元且參照資料可儲存之方式圖解說明某些細節。

圖 2 係可儲存於圖 1 之系統之記憶體中之一資料結構之一項實施例之一概略圖解說明，展示該資料結構之細節。

圖 3 係圖解說明可作為圖 1 之系統之部分來使用之一迴旋編碼器之一項實施例之一方塊圖。

圖 4 係圖解說明參照圖 1 之系統之編碼區段之細節之一方

塊圖。

圖5係圖解說明可由圖4之編碼區段操作之一編碼方法之一項實施例之一流程圖。

圖6係圖解說明參照圖1之系統之解碼區段之細節之一方塊圖。

圖7係圖解說明可由圖6之解碼區段操作之一解碼方法之一項實施例之一流程圖。

圖8係圖解說明一參數暫存器區段之一項實施例之一方塊圖，該參數暫存器區段可形成圖1之系統之部分且可由圖4之編碼區段以及圖6之解碼區段使用，在本文中經展示以圖解說明具有多個暫存器記憶體庫之一記憶體庫化組態之細節。

圖9係圖解說明用於關於圖8之記憶體庫化參數區段實施例之操作之一方法之一項實施例之一流程圖。

圖10係可儲存於圖1之記憶體區段中之一資料結構之另一實施例之一概略圖解說明，其在本文中經展示以圖解說明參照分率位元密度之進一步細節。

【主要元件符號說明】

10	系統
12	主機
14	非揮發性記憶體
20	編碼區段
22	解碼區段
100	資料結構

100'	資料結構
102	初始部分
102'	初始部分
104	終止部分
104'	終止部分
300	迴旋編碼器
302	資料串流
304	移位暫存器
320	「及」閘
322	「互斥或」功能
324	輸出
330	「及」閘
332	「互斥或」功能
334	輸出
338	削減型樣計數器區段
340	第一削減移位暫存器
342	第二削減移位暫存器
344	最左側移位暫存器位置
346	最右側移位暫存器位置
350	第一輸出切換功能
360	最左側移位暫存器位置
362	最右側移位暫存器位置
364	第二輸出切換功能
402	裏德所羅門編碼器

404	使用者資料
410	參數暫存器區段
410'	參數暫存器區段
412	微處理器
414	執行階段裏德所羅門資料長度
420	裏德所羅門計數器
424	多工器
426	MSB路徑
428	LSB路徑
430	MSB計數器
432	LSB計數器
440	MSB緩衝器
442	LSB緩衝器
446	輸出
450	MSB映射功能
454	限制比較器
456	限制邏輯
462	輸出
472	位階轉數位轉類比轉換器
480	韌體
482	輸入
484	輸出
486	削減型樣計數器
488	執行階段削減型樣輸入

490	LSB限制值
492	格狀編碼調變計數器
494	格狀編碼調變區塊計數輸入
496	壓縮配置
498	映射配置
602	輸入
604	輸出
610	Viterbi解碼器/偵測器
612	LSB路徑
620	解映射器
622	重編碼器
623	MSB路徑
624	LSB緩衝器
625	輸出
626	Viterbi解碼器輸出
640	MSB緩衝器
641	解映射配置
642	MSB先入先出
644	MSB計數器
646	多工器
648	LSB計數器
650	裏德所羅門解碼器
652	格狀編碼調變計數器
654	格狀編碼調變符號

660	削減型樣計數器
661	值
662	裏德所羅門計數器
664	裏德所羅門符號數目暫存器
668	解壓縮配置
670	裏德所羅門至使用者資料壓縮
800	匯流排
810	多工器
812	模式選擇線0
814	模式選擇線1
960	第一碼字
962	第二碼字
964	第三碼字
970	資料結構
972	碼字
974	碼字
976	碼字
978	碼字
980	碼字

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：100119653

G11C 16/04 (2006.01)

※ 申請日：100.6.3

H03M 13/15 (2006.01)

※IPC 分類：G06F 17/30 (2006.01)

一、發明名稱：(中文/英文)

在具有非揮發性記憶體之多層系統中的先進逐位元操作及裝置

ADVANCED BITWISE OPERATIONS AND APPARATUS IN A
MULTI-LEVEL SYSTEM WITH NONVOLATILE MEMORY

二、中文發明摘要：

本發明揭示一種組態有用於使用碼字來儲存數位資料之非揮發性記憶體之數位系統、組件及方法。使用該記憶體之每記憶體胞多個位元將該資料儲存於該記憶體中。出於關於該記憶體之寫入操作及讀取操作之目的，可基於輸入參數而逐碼字地改變一碼效率。可基於改變包含由該記憶體儲存之位元密度之該等輸入參數中之任一者而改變該碼效率。亦闡述儲存及讀取分率位元密度。

三、英文發明摘要：

A digital system, components and method are configured with nonvolatile memory for storing digital data using codewords. The data is stored in the memory using multiple bits per memory cell of the memory. A code efficiency, for purposes of write operations and read operations relating to the memory, can be changed on a codeword to codeword basis based on input parameters. The code efficiency can change based on changing any one of the input parameters including bit density that is stored by the memory. Storing and reading fractional bit densities is described.

七、申請專利範圍：

1. 一種在組態有用於儲存數位資料之一非揮發性記憶體之一數位系統中之裝置，其包括：

一裏德所羅門編碼器，其用於接收包含透過該數位系統提供之輸入資料之一輸入資料串流，以產生由一系列裏德所羅門符號組成之一經裏德所羅門編碼之串流；

一壓縮配置，其接收該經裏德所羅門編碼之串流以用於產生一經區塊重組之輸出資料串流，以使得該經區塊重組之輸出資料串流之至少一個部分但非全部經組態以服從基於一迴旋碼之一碼效率，且該壓縮配置經調適以修改該經區塊重組之輸出資料串流，以基於改變提供至該壓縮配置之一或多個輸入參數之一或多個值而支援與該輸入串流中之預定數目個裏德所羅門符號相關聯之該迴旋碼之該碼效率之改變；及

一映射配置，其用於接收該經區塊重組之輸出資料串流並應用一格狀編碼調變(TCM)碼，以產生一經TCM編碼之輸出資料串流，該映射配置包含一迴旋編碼器，其用於根據該迴旋碼之該碼效率迴旋編碼該經TCM編碼之輸出串流之該部分，以基於該等輸入參數之該等值而支援該碼效率之該等改變，以產生一經映射之輸出資料串流供引導至該非揮發性記憶體以用於儲存於該非揮發性記憶體中作為所儲存資料。

2. 如請求項1之裝置，其中該壓縮配置係組態用於至少部分地基於該碼效率而將一或多個預留位置位元插入至該

經區塊重組之輸出資料串流之該部分中，且該迴旋編碼器用該經映射輸出資料串流中之外加碼位元填充該等預留位置位元。

3. 如請求項2之裝置，其中該壓縮配置與該映射配置合作以迴旋編碼該經TCM編碼之輸出資料之該部分作為組成該經TCM編碼之輸出串流之複數個TCM符號中之每一者之一最低有效位元。
4. 如請求項2之裝置，其中每一TCM符號係由複數個位元組成，且該壓縮配置與該映射配置合作以迴旋編碼該經TCM編碼之輸出資料之該部分作為組成該經TCM編碼之輸出串流之複數個TCM符號中之每一者之至少一最低有效位元但少於所有該等位元，以使得形成該部分之部分的該最低有效位元及任何額外位元係呈自該最低有效位元起之一升序有效性次序。
5. 如請求項2之裝置，其中該裝置包含一削減型樣計數器以用於監測一削減型樣，該削減型樣係基於用於產生該等預留位置位元之該等輸入參數中之至少一者。
6. 如請求項2之裝置，其中該經裏德所羅門編碼之串流服從一裏德所羅門區塊大小以使得該裏德所羅門碼之一或多個區塊組成具有一碼字長度之一碼字，且其中該壓縮配置經組態以基於該碼效率根據一削減型樣在該經區塊重組之輸出資料串流中提供定製數目個該等預留位置位元，且該壓縮配置可基於該一或多個輸入參數重組態以至少用於在用於改變該碼效率之該壓縮配置之操作期間

將該削減型樣自一當前碼字改變至下一碼字。

7. 如請求項2之裝置，其中該經TCM編碼之輸出資料串流包含複數個TCM符號，且該複數個TCM符號之該等最低有效位元組成自該系列裏德所羅門符號獲取之一第一子組裏德所羅門符號，且自該系列裏德所羅門符號獲取之一第二子組裏德所羅門符號包含除該第一子組裏德所羅門符號以外的所有裏德所羅門符號。
8. 如請求項7之裝置，其中該第一子組之該等裏德所羅門符號至少部分地基於該碼效率而藉由該第二子組之該等裏德所羅門符號中之一或多者之一數目在該系列裏德所羅門符號中各自彼此分離，以使得可回應於該碼效率之一改變而改變該第二子組之分離該系列中之該第一子組之該等裏德所羅門符號之裏德所羅門符號之該數目。
9. 如請求項2之裝置，其中每一TCM符號係由複數個位元組成，且該壓縮配置與該映射配置經組態以合作從而將該經TCM編碼之輸出資料之該部分迴旋編碼為複數個TCM符號中之每一者之至少一最低有效位元但少於組成該經TCM編碼之輸出串流之所有該等位元，且該映射配置包含用於將一格雷碼轉二進制碼轉換應用於該複數個TCM符號中之每一者之除經迴旋編碼之該等最低有效位元外的一子組剩餘位元之一映射器區段。
10. 如請求項1之裝置，其中該經裏德所羅門編碼之串流服從一區塊大小以使得該裏德所羅門碼之一或多個區塊組成具有一碼字長度之一碼字，且其中該映射配置包含利

用至少一組兩個迴旋多項式作為產生該迴旋編碼之部分之一迴旋編碼器，且其中該映射器進一步經組態以使得回應於用於改變下列各項中之至少一者之該等輸入參數而改變該等迴旋多項式：(i)組成該組之迴旋多項式之一總數目及(ii)該組中之該等迴旋多項式中之至少一者。

11. 如請求項1之裝置，其中該非揮發性記憶體係由至少一個記憶體晶粒所含有之複數個記憶體胞組成，且其中該經裏德所羅門編碼之串流服從一區塊大小以使得該裏德所羅門碼之一或多個區塊組成具有一碼字長度之一碼字，且其中該壓縮配置經組態以與該映射配置合作以使該經裏德所羅門編碼之串流服從該等記憶體胞中之至少某些之一指定位元密度，且該壓縮配置可基於一或多個輸入參數重組態以至少用於在該壓縮配置之操作期間將該指定位元密度自一當前碼字改變至下一碼字。
12. 如請求項11之裝置，其中該壓縮配置經組態以與該映射器合作以便以一第一位元密度將至少一個碼字之資料儲存於一單個記憶體晶粒中，且以不同於該第一位元密度之一第二位元密度將至少一第二碼字之資料儲存於該單個記憶體晶粒中。
13. 如請求項12之裝置，其中該第一位元密度係選擇為自每胞1個位元至3個位元，且該第二位元密度係選擇為每胞4個位元。
14. 如請求項11之裝置，其中該選定位元密度係基於該非揮發性記憶體之一所要求壽命及與存取該非揮發性記憶體

之一讀取操作相關聯之一輸出錯誤率中之至少一者來判定。

15. 如請求項1之裝置，其進一步包括：

一解映射配置，其用於基於自該非揮發性記憶體讀取該所儲存資料而接收一記憶體輸出串流，且用於基於提供至該映射配置之該等輸入參數之該等值中之對應者而根據該碼效率迴旋解碼該記憶體輸出串流，以將該經TCM編碼之輸出資料串流重現為一經解映射之輸出串流；

一解壓縮配置，其用於接收該經解映射之輸出串流及基於該碼效率而自該經解映射之輸出串流重現該經裏德所羅門編碼之串流，且該解壓縮配置係回應於基於提供至該壓縮配置之該一或多個輸入參數之該等值中之對應者而改變與該預定數目個裏德所羅門符號相關聯之該迴旋碼之該碼效率；及

一裏德所羅門解碼器，其用於自該解壓縮配置接收該經裏德所羅門編碼之串流以自該經裏德所羅門編碼之串流解碼包含該輸入資料之一讀取資料串流以供該數位系統用作讀取資料。

16. 如請求項15之裝置，其中該讀取資料對應於作為該輸入資料串流中之該輸入資料原始地含有之使用者資料。

17. 如請求項1之裝置，其中該壓縮配置與該映射配置經組態以合作從而產生該經映射之輸出資料串流，以使得當在該非揮發性記憶體中儲存時將每胞分率數目個位元儲

存於連續記憶體胞之一選定群組中。

18. 一種在組態有用於儲存數位資料之非揮發性記憶體之一數位系統中之方法，其包括：

接收包含透過該數位系統提供之輸入資料之一輸入資料串流，以產生由一系列裏德所羅門符號組成之一經裏德所羅門編碼之串流；

自該經裏德所羅門編碼之串流產生一經區塊重組之輸出資料串流，以使得該經區塊重組之輸出資料串流之至少一個部分經組態以服從基於一迴旋碼之一碼效率；

基於一或多個輸入參數而改變與該輸入串流中之預定數目個裏德所羅門符號相關聯之該迴旋碼之該碼效率；及

根據該碼效率並基於該等輸入參數而迴旋編碼該經TCM編碼之輸出串流之該部分，以產生一經映射之輸出資料串流供引導至該非揮發性記憶體以用於儲存於該非揮發性記憶體中作為所儲存資料。

19. 一種在組態有用於儲存數位資料之非揮發性記憶體之一數位系統中之裝置，其包括：

一區塊碼編碼器，其用於接收包含透過該數位系統提供之輸入資料之一輸入資料串流，以產生由一系列區塊碼符號組成之一經區塊碼編碼之串流；

一壓縮配置，其接收該經區塊碼編碼之串流以用於產生一經區塊重組之輸出資料串流，以使得該經區塊重組之輸出資料串流之至少一個部分但非全部經組態以服從基於一迴旋碼之一碼效率，且該壓縮配置經調適以修改

該經區塊重組之輸出資料串流，以基於改變提供至該壓縮配置之一或多個輸入參數之一或多個值而支援與該輸入串流中之預定數目個區塊碼符號相關聯之該迴旋碼之該碼效率之改變；及

一映射配置，其用於接收該經區塊重組之輸出資料串流並應用一TCM碼，以產生一經TCM編碼之輸出資料串流，該映射配置包含一迴旋編碼器，該迴旋編碼器用於根據該迴旋碼之該碼效率迴旋編碼該經TCM編碼之輸出串流之該部分，以基於該等輸入參數之該等值而支援該碼效率之該改變，以產生一經映射之輸出資料串流供引導至該非揮發性記憶體以用於儲存於該非揮發性記憶體中作為所儲存資料。

20. 一種在組態有用於儲存數位資料之非揮發性記憶體之一數位系統中之方法，其包括：

接收包含透過該數位系統提供之輸入資料之一輸入資料串流，以產生由一系列區塊碼符號組成之一經區塊碼編碼之串流；

自該經區塊碼編碼之串流產生一經區塊重組之輸出資料串流，以使得該經區塊重組之輸出資料串流之至少一個部分經組態以服從基於一迴旋碼之一碼效率；

基於一或多個輸入參數而改變與該輸入串流中之預定數目個區塊碼符號相關聯之該迴旋碼之該碼效率；及

根據該碼效率並基於該等輸入參數而迴旋編碼該經TCM編碼之輸出串流之該部分，以產生一經映射之輸出

資料串流供引導至該非揮發性記憶體以用於儲存於該非揮發性記憶體中作為所儲存資料。

21. 一種在組態有用於儲存數位資料之非揮發性記憶體之一數位系統中之裝置，其包括：

一壓縮配置，其經組態以接收一經裏德所羅門編碼之串流以用於產生一經區塊重組之輸出資料串流，以使得該經區塊重組之輸出資料串流之至少一個部分經組態以服從基於一迴旋碼之一碼效率，且該壓縮配置經調適以用於基於作為準備將該輸入資料儲存於該非揮發性記憶體中之一中間步驟而提供至該壓縮配置之一或多個輸入參數之既定值而使與該輸入串流中之預定數目個裏德所羅門符號相關聯之該迴旋碼之該碼效率改變。

22. 一種在組態有用於儲存數位資料之非揮發性記憶體之一數位系統中之方法，其包括：

組態一壓縮配置用於接收一經裏德所羅門編碼之串流以用於產生一經區塊重組之輸出資料串流，以使得該經區塊重組之輸出資料串流之至少一個部分經組態以服從基於一迴旋碼之一碼效率，及調適該壓縮配置以用於基於作為準備將該輸入資料儲存於該非揮發性記憶體中之一中間步驟而提供至該壓縮配置之一或多個輸入參數之既定值而使與該輸入串流中之預定數目個裏德所羅門符號相關聯之該迴旋碼之該碼效率改變。

23. 一種作為使用包含用於儲存數位資料之複數個記憶體胞之非揮發性記憶體之一數位系統之部分之裝置，其包

括：

一壓縮配置，其接收由該系統提供之一輸入資料串流用於產生一輸出資料串流，該輸出資料串流係基於針對該等記憶體胞中之儲存之一區塊大小，且該壓縮配置選擇性地可基於一或多個輸入參數而以一第一模式操作以產生針對該等記憶體胞中之儲存之一第一區塊大小，且可至少回應於該等輸入參數之一改變而以一第二模式操作以產生不同於該第一區塊大小之一第二區塊大小用於在其操作期間選擇性地改變該區塊大小。

24. 如請求項23之裝置，其中該第一模式及該第二模式中至少一者致使每胞分率數目個位元至少每記憶體胞中平均地儲存於該等記憶體胞中。

25. 一種作為使用包含用於儲存數位資料之複數個記憶體胞以使得該等記憶體胞中之至少某些可儲存一個以上位元之非揮發性記憶體之一數位系統之部分之裝置，其包括：

一編碼器/解碼器配置，其接收由該系統提供之一輸入資料串流以用於產生一輸出資料串流，該輸出資料串流係基於針對該等記憶體胞中之儲存之每胞編碼之一選定位元數目，且該編碼器/解碼器配置選擇性地可基於一或多個輸入參數而以一第一模式操作以產生針對該等記憶體胞中之儲存之一第一位元密度作為每胞該選定位元數目，且可至少回應於該等輸入參數之一改變而以一第二模式操作以產生不同於該第一位元密度之一第二位元密度用

於在其操作期間選擇性地改變每胞編碼之該位元數目。

26. 如請求項25之裝置，其中該輸入資料串流係組態為一系列碼字且每一碼字係由複數個符號組成以組成一碼字長度，其中每一符號表示欲儲存於該等記憶體胞中之一者中之一值，且該編碼器/解碼器配置經組態以用於以該第一模式操作以在該系列碼字之一第一碼字中產生該第一位元密度且用於以該第二模式操作以在該系列碼字之一第二碼字中產生該第二碼字密度。

27. 如請求項26之裝置，其中該編碼器/解碼器配置包含一編碼器配置以用於處置該寫入資料，該編碼器配置包括：

一裏德所羅門編碼器，其用於接收包含透過該數位系統提供之該寫入資料之一輸入資料串流，以產生由一系列裏德所羅門符號組成之一經裏德所羅門編碼之串流；

一壓縮配置，其接收該經裏德所羅門編碼之串流以用於產生一經區塊重組之輸出資料串流，以使得該經區塊重組之輸出資料串流之至少一個部分但非全部經組態以服從基於一迴旋碼之一碼效率，且該壓縮配置經調適以修改該經區塊重組之輸出資料串流，以基於改變提供至該壓縮配置之一或多個輸入參數之一或多個值而支援與該輸入串流中之預定數目個裏德所羅門符號相關聯之該迴旋碼之該碼效率之改變；及

一映射配置，其用於接收該經區塊重組之輸出資料串流並應用一TCM碼，以產生一經TCM編碼之輸出資料串流，該映射器包含一迴旋編碼器，該迴旋編碼器用於根

據該迴旋碼之該碼效率迴旋編碼該經TCM編碼之輸出串流之該部分，以基於該等輸入參數之該等值而支援該碼效率之該等改變，以產生一經映射之輸出資料串流供寫入至該非揮發性記憶體以用於儲存於該非揮發性記憶體中作為所儲存資料。

28. 一種在使用包含用於儲存數位資料之複數個記憶體胞以使得該等記憶體胞中之至少某些可儲存一個以上位元之非揮發性記憶體之一數位系統中之方法，其包括：

組態一編碼器配置以用於接收由該系統提供之一輸入資料串流以用於產生一輸出資料串流，該輸出資料串流係基於針對該等記憶體胞中之儲存之每胞編碼之一選定位元數目，且選擇性地基於一或多個輸入參數而以一第一模式操作該編碼器配置以產生針對該等記憶體胞中之儲存之一第一位元密度作為每胞該選定位元數目，且至少回應於該等輸入參數之一改變而以一第二模式操作該編碼器配置以產生不同於該第一位元密度之一第二位元密度用於在其操作期間選擇性地改變每胞編碼之該位元數目。

29. 一種作為使用包含用於儲存數位資料之複數個記憶體胞以使得該等記憶體胞中之至少某些可儲存一個以上位元之非揮發性記憶體之一數位系統之部分之裝置，其包括：

一編碼器/解碼器配置，其接收由該系統提供為一系列輸入符號之一輸入資料串流以用於產生一輸出資料串流，該輸出資料串流係基於針對該等記憶體胞中之儲存

之每胞編碼之一選定位元數目，且該編碼器/解碼器配置可基於一或多個輸入參數重組態以至少改變欲儲存於該非揮發性記憶體之該等記憶體胞中之每胞編碼之該選定位元數目。

30. 如請求項29之裝置，其中該編碼器/解碼器配置包含一解碼器配置以用於處置該讀取資料，該解碼器配置包括：

一解映射配置，其用於基於自該非揮發性記憶體讀取包含該讀取資料之所儲存資料而接收一記憶體輸出串流，且用於基於提供至該映射配置之該等輸入參數之既定值中之對應者而根據碼效率迴旋解碼該記憶體輸出串流，以將該經TCM編碼之輸出資料串流重現為一經解映射之輸出串流；

一解壓縮配置，其用於接收該經解映射之輸出串流並基於該碼效率自該經解映射之輸出串流重現該經裏德所羅門編碼之串流，且該解壓縮配置係回應於基於提供至該壓縮配置之該一或多個輸入參數之該等既定值中之對應者而改變與該預定數目個裏德所羅門符號相關聯之迴旋碼之碼效率；及

一裏德所羅門解碼器，其用於自該解壓縮配置接收該經裏德所羅門編碼之串流以自該經裏德所羅門編碼之串流解碼包含該輸入資料之一讀取資料串流以供該數位系統用作讀取資料。

31. 一種在使用包含用於儲存數位資料之複數個記憶體胞以使得該等記憶體胞中之至少某些可儲存一個以上位元之

非揮發性記憶體之一數位系統中之方法，其包括：

組態一編碼器配置以用於接收由該系統提供為一系列輸入符號之一輸入資料串流以用於產生一輸出資料串流，該輸出資料串流係基於針對該等記憶體胞中之儲存之每胞編碼之一選定位元數目，以使得該編碼器配置可基於一或多個輸入參數重組態以至少改變欲儲存於該非揮發性記憶體之該等記憶體胞中之每胞編碼之該選定位元數目。

32. 一種作為使用包含用於儲存數位資料之複數個記憶體胞以使得該等記憶體胞中之至少某些可儲存一個以上位元之非揮發性記憶體之一數位系統之部分之裝置，其包括：

一解碼器配置，其接收回應於讀取儲存於該非揮發性記憶體中之一資料結構而提供之一讀取資料串流以提供含有一使用者資料串流之一系列讀取符號，該使用者資料串流在一寫入操作期間被原始編碼為該資料結構之部分並儲存於一系列該等記憶體胞中用於基於儲存於該系列記憶體胞中之若干個每胞編碼之不同位元密度中之一選定一者而重現該使用者資料串流，且該解碼器配置可基於一或多個輸入參數重組態以至少改變該等位元密度中之該選定一者來匹配儲存於該系列記憶體胞中之該等位元密度以作為重現該使用者資料串流之部分。

33. 一種在使用包含用於儲存數位資料之複數個記憶體胞以使得該等記憶體胞中之至少某些可儲存一個以上位元之

非揮發性記憶體之一數位系統中之方法，其包括：

組態一解碼器配置以用於接收回應於讀取儲存於該非揮發性記憶體中之一資料結構而提供之一讀取資料串流以提供含有一使用者資料串流之一系列讀取符號，該使用者資料串流在一寫入操作期間被原始地編碼為該資料結構之部分並儲存於一系列該等記憶體胞中用於基於儲存於該系列記憶體胞中之若干個每胞編碼之不同位元密度中之一選定一者重現該使用者資料串流，以使得該解碼器配置可基於一或多個輸入參數重組態以至少改變該等位元密度中之該選定一者來匹配儲存於該系列記憶體胞中之該等位元密度以作為重現該使用者資料串流之部分。

34. 一種作為組態有包含用於儲存數位資料之複數個記憶體胞以使得該等記憶體胞中之至少某些可儲存一個以上位元之非揮發性記憶體之一數位系統之部分之裝置，其包括：

一解映射配置，其用於基於自該非揮發性記憶體讀取所儲存資料而接收一記憶體輸出串流，其中該記憶體輸出串流係呈一經TCM編碼之輸出資料串流之形式，在一編碼操作期間使該經TCM編碼之輸出資料串流之一個部分但非全部服從藉由一組參數之既定值建立之一碼效率，且用於基於在該編碼操作期間提供之該等輸入參數之該等既定值中之對應者而基於該碼效率迴旋解碼該經TCM編碼之輸出資料串流，以將該經TCM編碼之輸出資

料串流重現為一經解映射之輸出串流，該經解映射之輸出串流含有一經裏德所羅門編碼之串流；

一解壓縮配置，其用於接收該解映射器輸出串流並基於該碼效率自該解映射器輸出串流重現該經裏德所羅門編碼之串流，且該解壓縮配置係回應於基於在該編碼操作期間提供之該一或多個輸入參數之該等既定值中之對應者而改變與該預定數目個裏德所羅門符號相關聯之迴旋碼之碼效率；及

一裏德所羅門解碼器，其用於自該解壓縮配置接收該經裏德所羅門編碼之串流以自該經裏德所羅門編碼之串流解碼包含該輸入資料之一讀取資料串流以供該數位系統用作讀取資料。

35. 一種在組態有包含用於儲存數位資料之複數個記憶體胞以使得該等記憶體胞中之至少某些可儲存一個以上位元之非揮發性記憶體之一數位系統中之方法，其包括：

組態一解映射配置以用於基於自該非揮發性記憶體讀取所儲存資料而接收一記憶體輸出串流，其中該記憶體輸出串流係呈一經TCM編碼之輸出資料串流之形式，在一編碼操作期間使該經TCM編碼之輸出資料串流之一個部分但非全部服從藉由一組參數之既定值建立之一碼效率，且用於基於在該編碼操作期間提供之該等輸入參數之該等既定值中之對應者而基於該碼效率迴旋解碼該經TCM編碼之輸出資料串流，以將該經TCM編碼之輸出資料串流重現為一經解映射之輸出串流，該經解映射之輸

出串流含有一經裏德所羅門編碼之串流；

使用一解壓縮配置接收該解映射器輸出串流並基於該碼效率自該解映射器輸出串流重現該經裏德所羅門編碼之串流，以使得該解壓縮配置係回應於基於在該編碼操作期間提供之該一或多個輸入參數之該等既定值中之對應者而改變與該預定數目個裏德所羅門符號相關聯之迴旋碼之碼效率；及

提供一裏德所羅門解碼器，該裏德所羅門解碼器用於自該解壓縮配置接收該經裏德所羅門編碼之串流以自該經裏德所羅門編碼之串流解碼包含該輸入資料之一讀取資料串流以供該數位系統用作讀取資料。

36. 一種在組態有用於回應於一主機器件而儲存數位資料之非揮發性記憶體之一數位系統中之裝置，其包括：

一編碼器/解碼器配置，其用於使該主機器件與該非揮發性記憶體介接以在一系列碼字中在其間傳送讀取資料及寫入資料，其中每一碼字具有一碼字大小以使得自該主機器件去往該非揮發性記憶體之一經編碼資料流及自該非揮發性記憶體去往該主機器件之一經解碼資料流各自至少服從基於一迴旋碼之一碼效率，且該編碼器/解碼器配置經組態以用於接收一或多個輸入參數以使得可回應於該等輸入參數之一改變而逐碼字地改變該碼效率。

37. 如請求項36之裝置，其中每一碼字係由複數個符號組成以組成一碼字長度，其中每一符號表示欲儲存於該等記憶體胞中之一者中之一值，且該編碼器/解碼器配置經組

態以用於以一第一模式操作以在一既定系列碼字中之一第一碼字中產生一第一碼效率，且用於以一第二模式操作以在該既定系列碼字中之一第二碼字中產生一第二碼效率。

38. 一種在組態有用於儲存數位資料之非揮發性記憶體之一數位系統中之儲存於該非揮發性記憶體中之資料結構，該資料結構包括：

儲存於該非揮發性記憶體中之一系列TCM符號，該系列TCM符號中之每一者表示至少兩個位元，使每一TCM符號之至少最低有效位元服從一迴旋碼，且每一符號之至少一個其他位元未經迴旋編碼，且該等TCM符號組成形成一系列碼字之一系列裏德所羅門符號，以使得針對該資料結構中之至少一個碼字之該迴旋碼之一碼效率不同於該資料結構中之一毗鄰碼字之該碼效率。

39. 一種供與組態有用於儲存數位資料之非揮發性記憶體之一數位系統一起使用之用於將一資料結構儲存於該非揮發性記憶體中之方法，該方法包括：

將一系列TCM符號寫入至該非揮發性記憶體，該系列TCM符號中之每一者表示至少兩個位元，使每一TCM符號之至少最低有效位元服從一迴旋碼，且每一符號之至少一個其他位元未經迴旋編碼，且該等TCM符號組成形成一系列碼字之一系列裏德所羅門符號，以使得針對該資料結構中之至少一個碼字之該迴旋碼之一碼效率不同於該資料結構中之一毗鄰碼字之該碼效率。

40. 一種在組態有用於儲存數位資料之非揮發性記憶體之一數位系統中之儲存於該非揮發性記憶體中之資料結構，該資料結構包括：

儲存於該非揮發性記憶體中形成該非揮發性記憶體之部分之一系列記憶體胞中之一系列TCM符號，其中每一TCM符號包含至少一個位元並組成先前寫入至該非揮發性記憶體之一資料傳送，以使得該系列記憶體胞至少平均地儲存每胞分率數目個位元以表示該資料傳送。

41. 一種在組態有用於儲存數位資料之非揮發性記憶體之一數位系統中之方法包括：

將一系列TCM符號作為一資料傳送寫入至該非揮發性記憶體中形成該非揮發性記憶體之部分之一系列記憶體胞中，其中每一TCM符號包含至少一個位元以使得該系列記憶體胞至少平均地儲存每胞分率數目個位元以表示該資料傳送。

42. 如請求項41之方法，其中該資料傳送包含使用者資料且該方法進一步包括：

基於每胞該分率數目個位元而自該非揮發性記憶體讀取該系列TCM符號以復原該使用者資料。

43. 一種在組態有用於儲存數位資料之非揮發性記憶體之一數位系統中之裝置，其包括：

一寫入配置，其用於在一資料傳送操作中將一資料結構寫入至該非揮發性記憶體作為形成該非揮發性記憶體之部分之一系列記憶體胞中之一系列TCM符號，其中每

一 TCM 符號包含至少一個位元且該資料結構包含使用者資料，以使得該系列記憶體胞至少平均地儲存每胞分率數目個位元。

44. 如請求項 43 之裝置，其進一步包括：

一讀取配置，其用於基於每胞該分率數目個位元而自該非揮發性記憶體讀取該系列 TCM 符號以復原該使用者資料。

八、圖式：

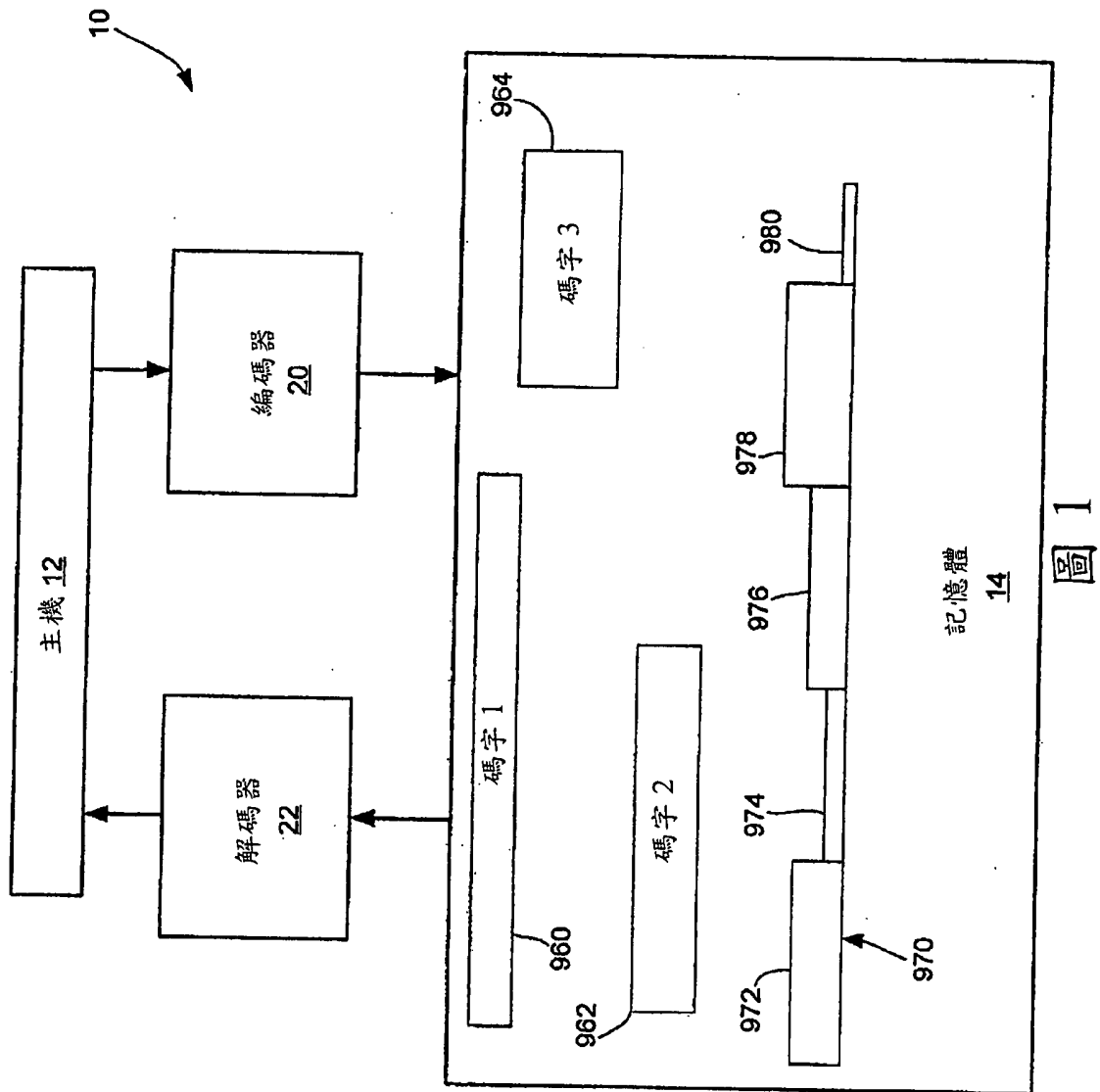
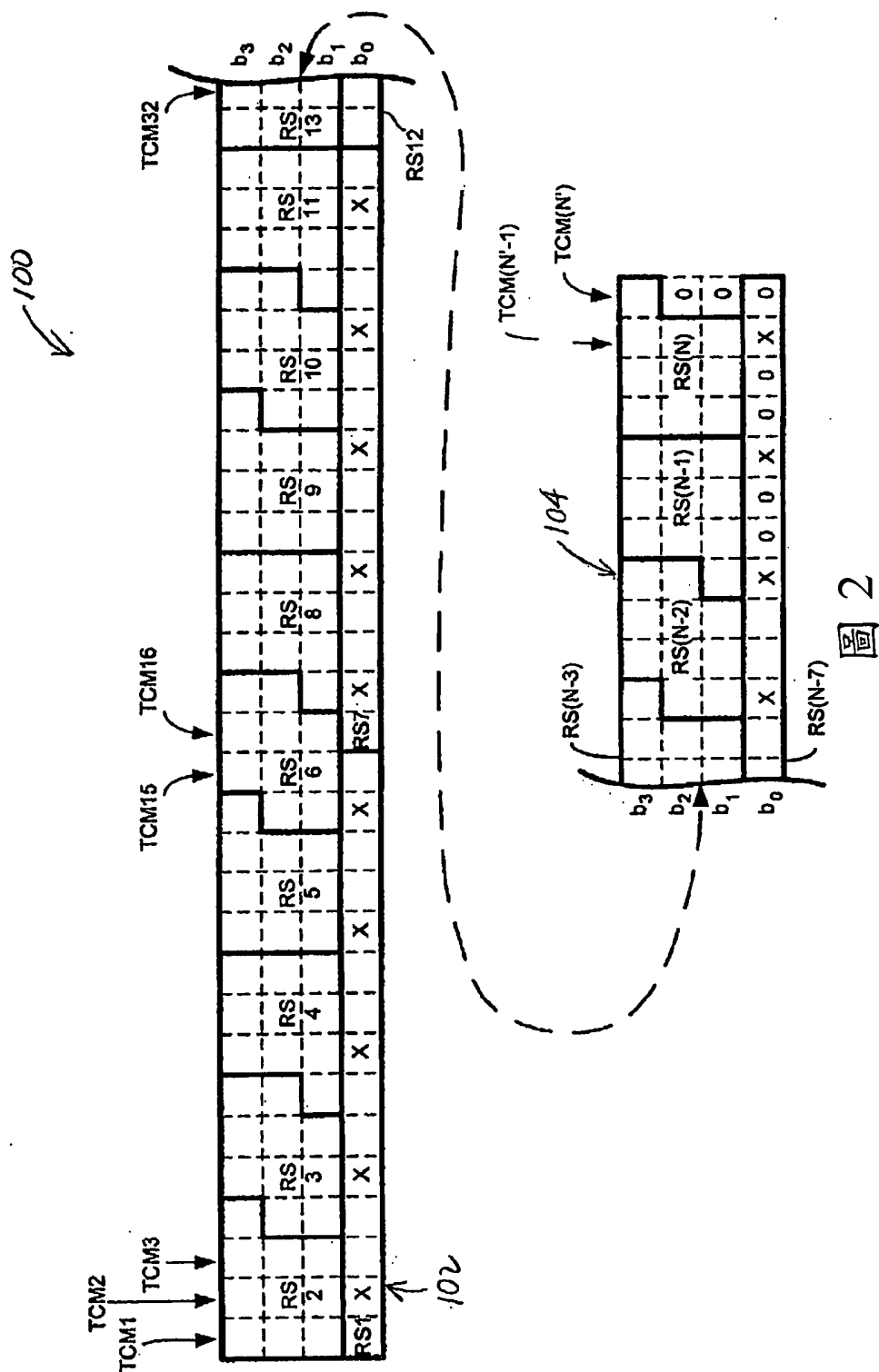


圖 1



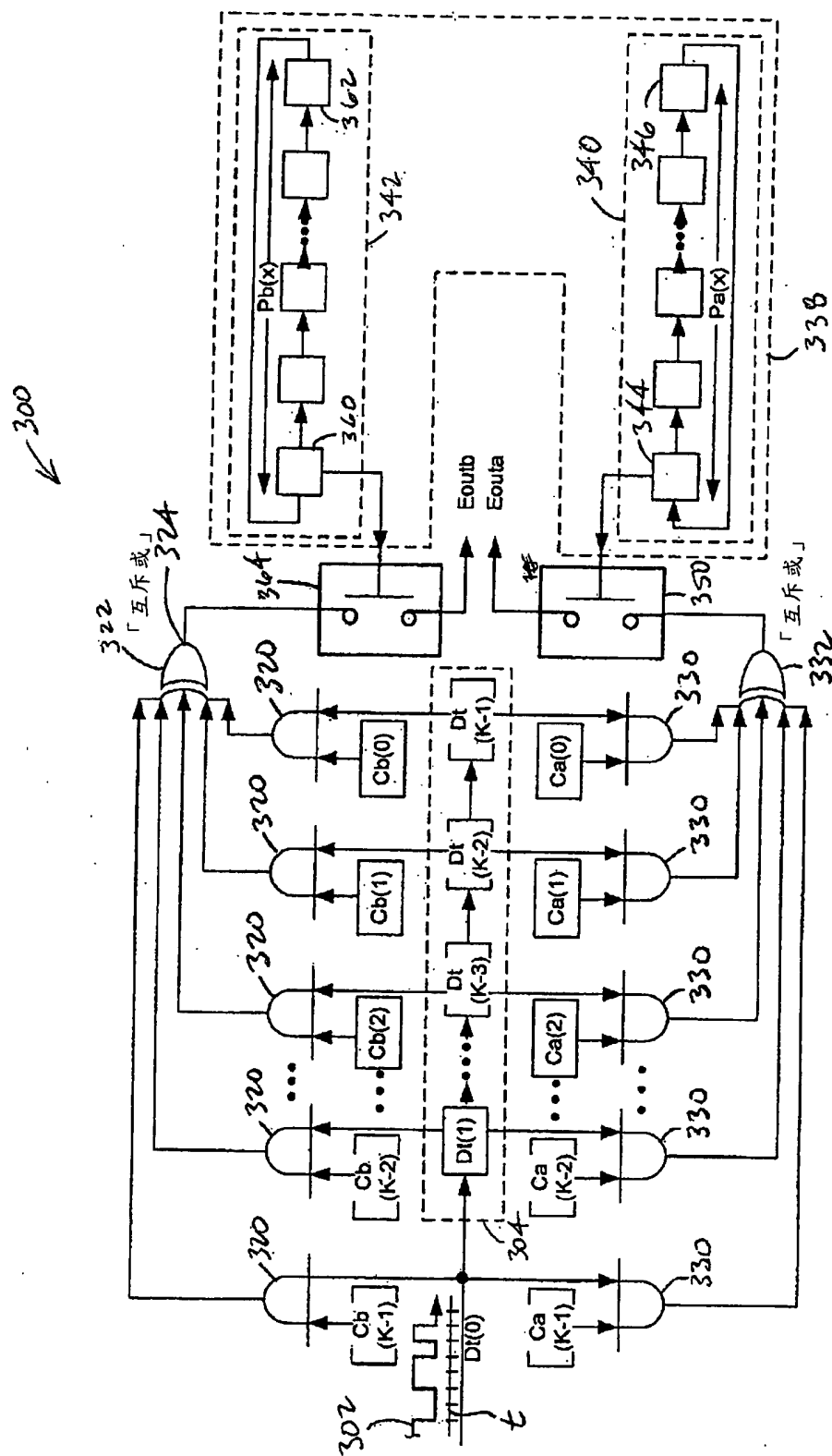
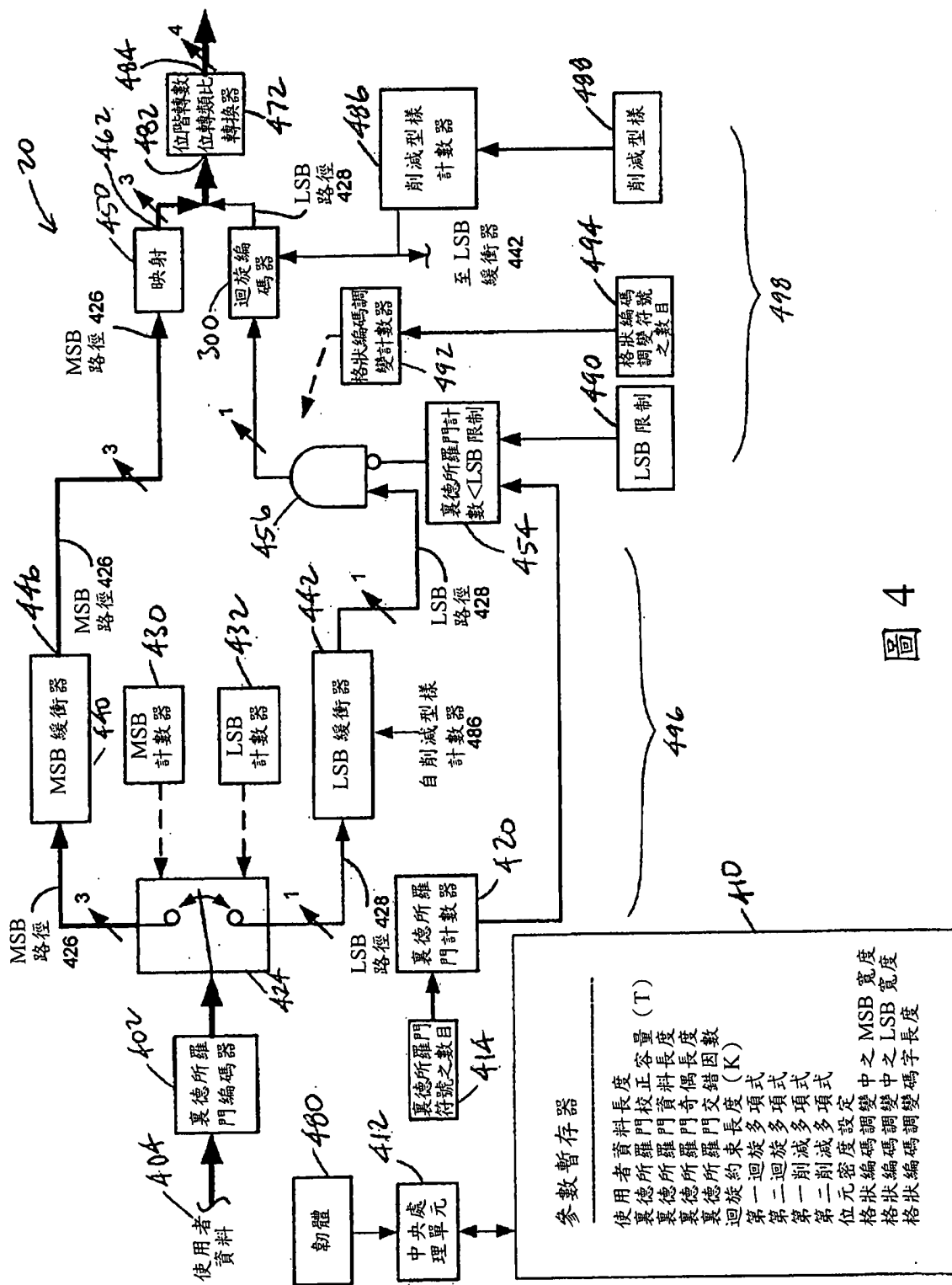


圖 3



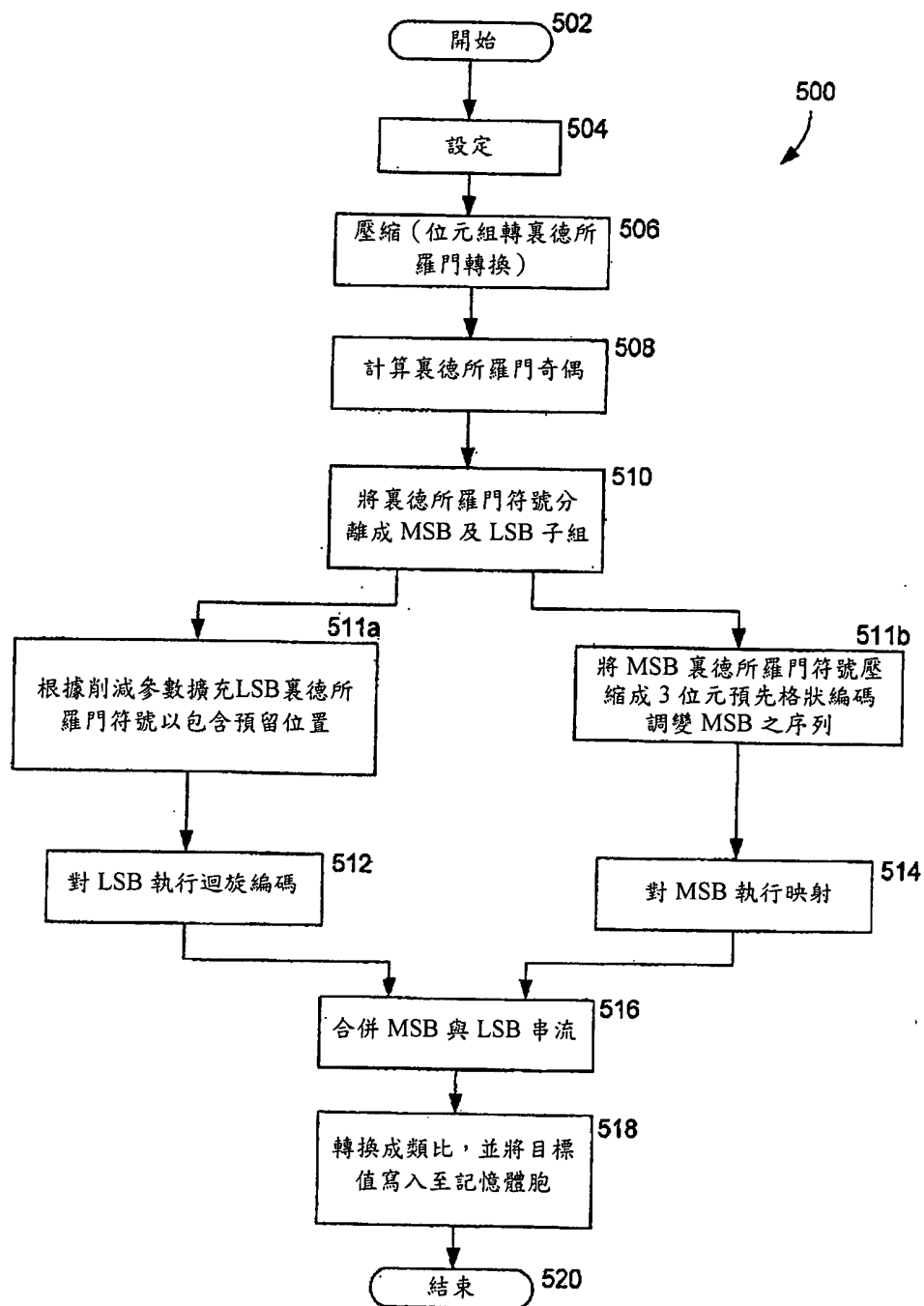
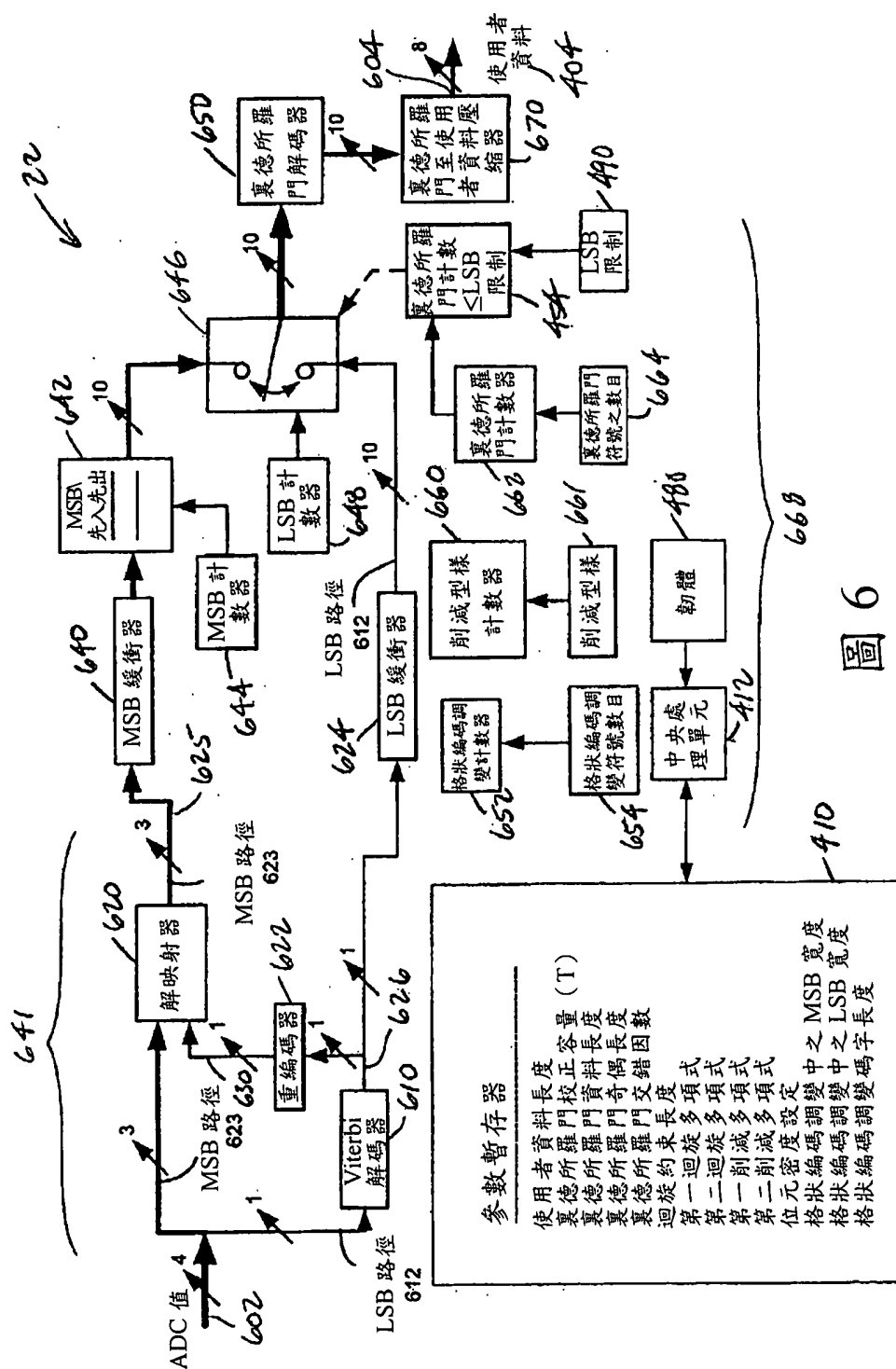


圖 5



6

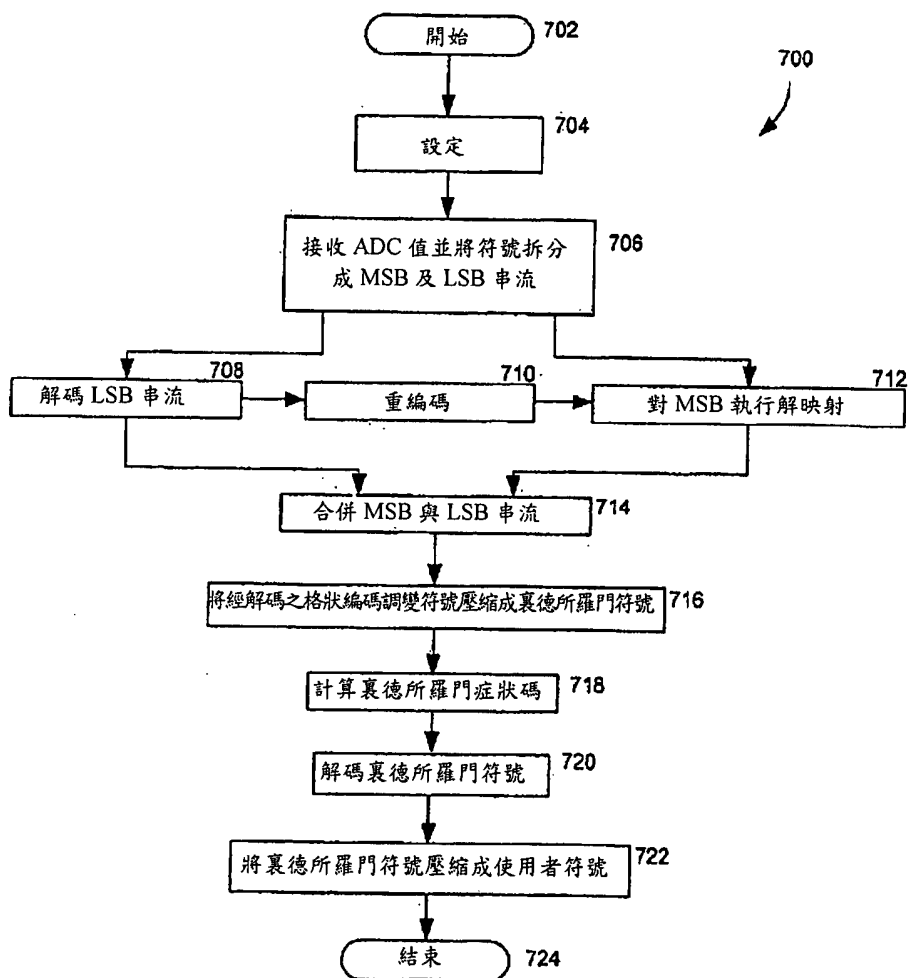


圖 7

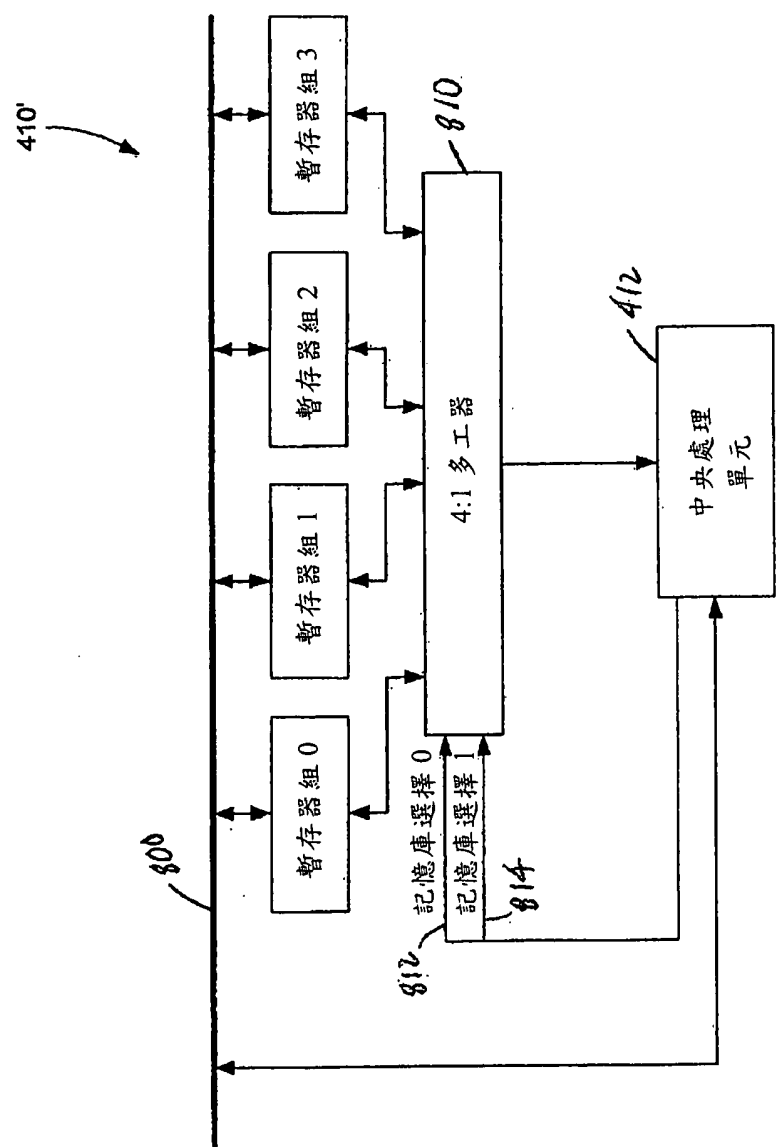


圖 8

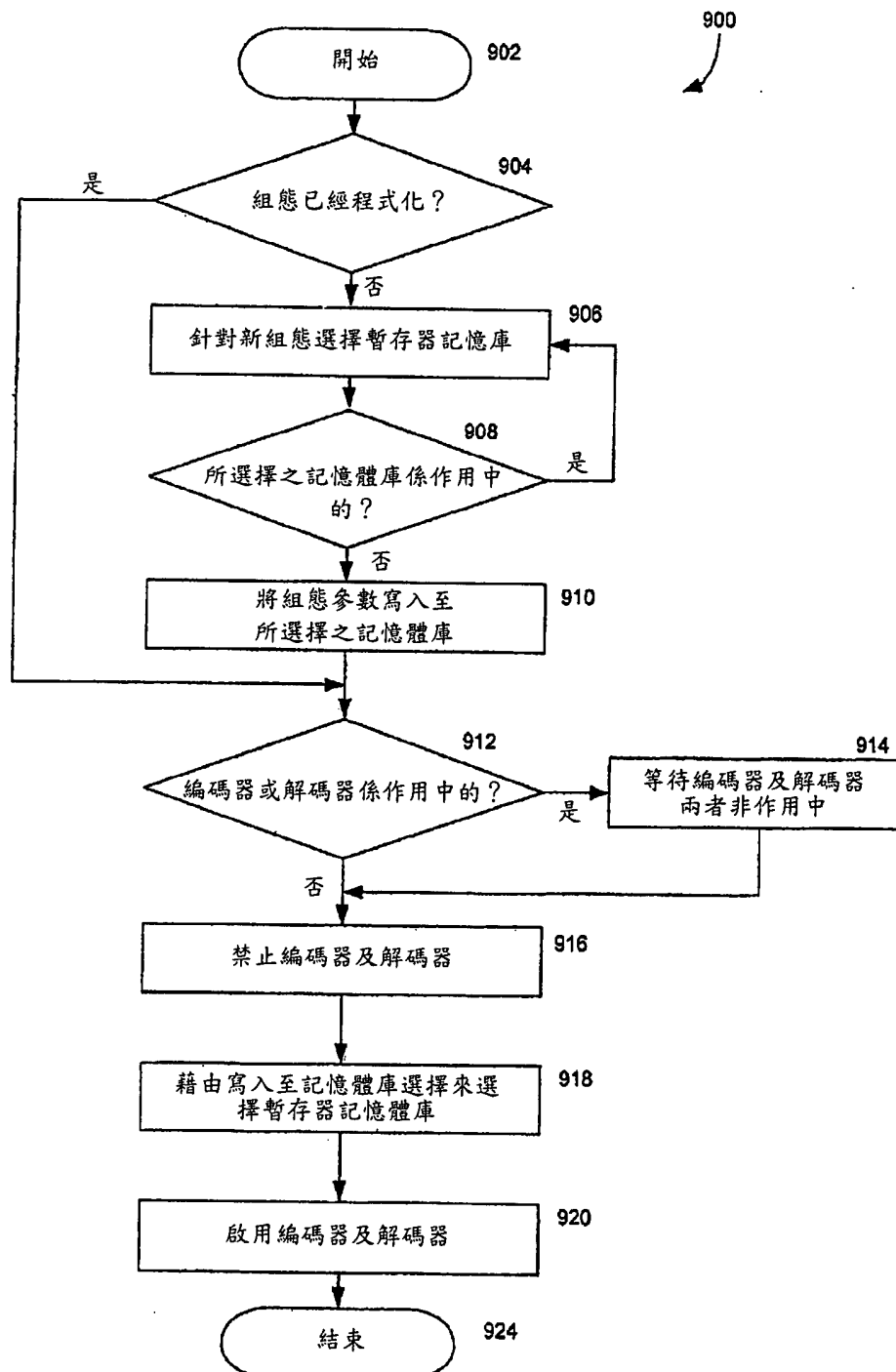


圖 9

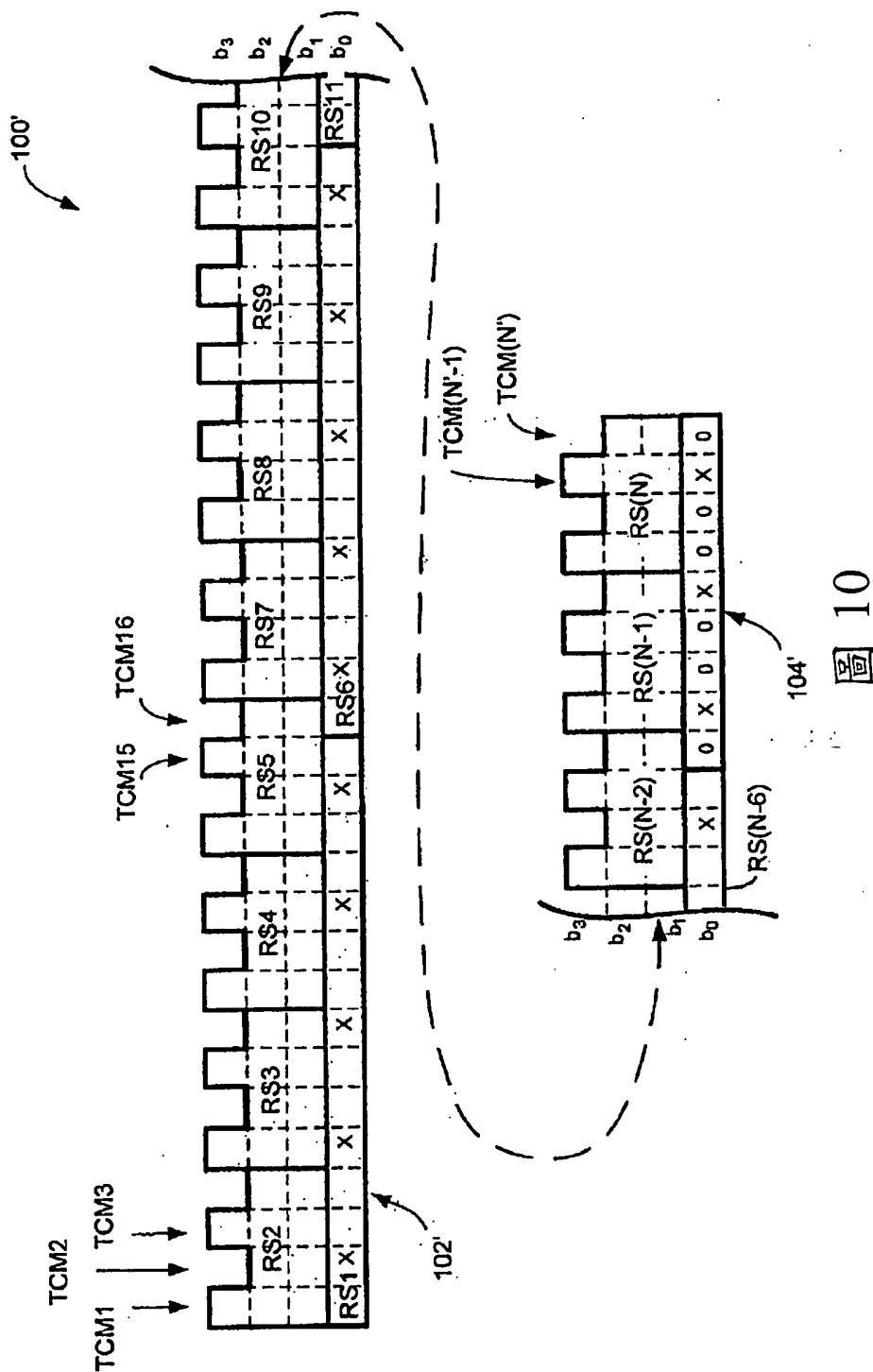


圖 10

四、指定代表圖：

(一)本案指定代表圖為：第 (1) 圖。

(二)本代表圖之元件符號簡單說明：

10	系 統
12	主 機
14	非揮發性記憶體
20	編碼區段
22	解碼區段
960	第一碼字
962	第二碼字
964	第三碼字
970	資料結構
972	碼 字
974	碼 字
976	碼 字
978	碼 字
980	碼 字

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)