(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号

特許第3803436号
(P3803436)

(45)発行日　平成18年8月2日(2006.8.2)　(24)登録日　平成18年5月12日(2006.5.12)

(51)Int.Cl.			F I		
G02F	1/1368	(2006.01)	G02F	1/1368	
G02F	1/13	(2006.01)	G02F	1/13	505
G02F	1/1333	(2006.01)	G02F	1/1333	505
G02F	1/1343	(2006.01)	G02F	1/1343	

請求項の数 6　(全 17 頁)

(21)出願番号　特願平8-279387
(22)出願日　平成8年10月22日(1996.10.22)
(65)公開番号　特開平10-123569
(43)公開日　平成10年5月15日(1998.5.15)
審査請求日　平成14年1月24日(2002.1.24)
審判番号　不服2004-3401(P2004-3401/J1)
審判請求日　平成16年2月19日(2004.2.19)

(73)特許権者　000002369
セイコーエプソン株式会社
東京都新宿区西新宿２丁目４番１号
(74)代理人　100095728
弁理士　上柳　雅誉
(74)代理人　100107076
弁理士　藤綱　英吉
(74)代理人　100107261
弁理士　須澤　修
(72)発明者　山崎　卓
長野県諏訪市大和３丁目３番５号セイコーエプソン株式会社内
(72)発明者　岡　秀明
長野県諏訪市大和３丁目３番５号セイコーエプソン株式会社内

最終頁に続く

(54)【発明の名称】液晶パネル用基板、液晶パネル、電子機器及び投射型表示装置

(57)【特許請求の範囲】

【請求項１】

半導体基板上に反射電極がマトリックス状に形成されるとともに各反射電極に対応してトランジスタが形成され、前記トランジスタを介して前記反射電極に電圧が印加されるように構成された液晶パネル用基板において、

前記半導体基板に形成されたウェル領域と、

前記ウェル領域に形成され前記ウェル領域とは逆導電型である前記トランジスタのソース及びドレイン領域と、

ゲート線方向に沿って連続して形成され、保持容量の一方の端子となり、前記トランジスタのソース及びドレイン領域とは逆導電型であり、前記トランジスタのソース及びドレイン領域より低く前記ウェル領域より高い不純物濃度となるように前記ウェル領域に形成された半導体領域と、

前記半導体領域の上方に形成された前記保持容量の誘電体を構成する絶縁膜と、

前記トランジスタに電気的に接続され、前記絶縁膜の上方に形成された前記保持容量の他方の端子となる導電層と、

を備え、前記半導体領域は画素領域の外側において定電位を与える配線層に電気的に接続され、前記ウェル領域は前記半導体領域を介して前記定電位を与えられることを特徴とする液晶パネル用基板。

【請求項２】

前記トランジスタは絶縁ゲート型電界効果トランジスタであり、前記保持容量の誘電体

を構成する絶縁膜は前記トランジスタのゲート電極とチャネル領域との間に設けられるゲート絶縁膜と同時に形成される絶縁膜であることを特徴とする請求項１に記載の液晶パネル用基板。
【請求項３】
前記トランジスタは絶縁ゲート型電界効果トランジスタであり、前記保持容量の他方の端子を構成する導電層は、前記トランジスタのゲート電極と同時に形成される導電層であることを特徴とする請求項１に記載の液晶パネル用基板。
【請求項４】
請求項１乃至３のいずれか一項に記載の液晶パネル用基板と、対向電極を有する入射側の透明基板とが適当な間隔をおいて配置されるとともに、前記液晶パネル用基板と前記透明基板との間隙内に液晶が封入されていることを特徴とする液晶パネル。
【請求項５】
請求項４記載の液晶パネルを表示部として備えていることを
特徴とする電子機器。
【請求項６】
光源と、前記光源からの光を変調して反射する請求項４記載の構成の液晶パネルと、該液晶パネルにより変調された光を集光し投射する投射レンズとを備えていることを特徴とする投射型表示装置。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】
本発明は、液晶パネルさらには反射型液晶パネルに関し、特に半導体基板上に形成された絶縁ゲート型電界効果トランジスタ（以下、ＭＯＳＦＥＴという）によって画素電極をスイッチングするアクティブマトリックス型液晶パネルに利用して好適な技術に関する。
【０００２】
【従来の技術】
従来、投射型表示装置のライトバルブに用いられる反射型アクティブマトリックス液晶パネルとしては、ガラス基板上にアモルファスシリコンを用いたＴＦＴアレーを形成した構造の液晶パネルが実用化されている。
【０００３】
【発明が解決しようとする課題】
上記ＴＦＴを用いたアクティブマトリックス液晶パネルはデバイスサイズが比較的大きいため、例えばこれをライトバルブとして組み込んだビデオプロジェクタのような投射型表示装置にあっては、装置全体が大型化してしまうという不具合がある。また、透過型液晶パネルの場合は、各画素に設けられたＴＦＴの領域が光を透過させる画素の透過領域とならないため、パネルの解像度がＸＧＡ，ＥＷＳと上がるにつれ、開口率が小さくなるという致命的な欠陥を有している。
【０００４】
そこで、透過型アクティブマトリックス液晶パネルに比べてサイズが小さい液晶パネルとして、半導体基板上に形成されたＭＯＳＦＥＴアレーで反射電極となる画素電極をスイッチングするようにした反射型アクティブマトリックス液晶パネルがある。
【０００５】
しかしながら半導体を基板とする液晶パネルにおいては、デバイスサイズの縮小に応じて各画素のサイズも小さくなるため、画素電極のみでは液晶の駆動に必要な電圧を保持するのに充分な容量（１００ｆＦ程度が必要）が得られないという欠点がある。そこで、本発明者は、ゲート絶縁膜を誘電体とする保持容量を各画素に作り込む方法を検討した。
【０００６】
しかし、保持容量の一方の端子は定電位に固定されることが望ましいが、そのような定電位を各保持容量に供給するための配線のレイアウトおよびコンタクトホールの形成位置の確保が極めて困難であることを見い出した。即ち、各画素ごとに保持容量の一方の端子に

定電位を与えるコンタクトホールを設けると、その分保持容量を構成する電極が小さくなってしまい、容量値も低下してしまうという不都合がある。

【０００７】

また、半導体を基板とする反射型液晶パネルにおいては、画素スイッチング用ＭＯＳＦＥＴがいわゆるウェル領域に形成されることとなるが、反射型液晶パネルはチップサイズが２０ｍｍ□前後と大きいため、ウェル領域の電位が安定していないと、画素中央付近のＭＯＳＦＥＴの動作が安定しないおそれがあることが明らかになった。この場合、ウェルの電位を、複数のマトリックス状に配置される画素領域の外側で所定の電圧に固定する方法も考えられるが、画素領域の中央の画素のＭＯＳＦＥＴまでは比較的距離が遠くなるため、中央ではウェル電位が変動し易く基板効果によってしきい値電圧が変動するという問題点がある。

【０００８】

この発明の目的は、半導体を基板とする反射型液晶パネルにおいて、小さな面積でも充分な保持容量が得られ、これによって素子の縮小化が可能となるとともに、画素毎に保持容量の一方の端子に定電位を供給する配線のレイアウトが不要となるような保持容量の構成技術を提供することにある。

【０００９】

この発明の他の目的は、半導体を基板とする反射型液晶パネルにおいて、画素領域の中央のＦＥＴのウェル電位を、定電位を供給するための配線を設けることなく安定させ、ＦＥＴの特性の変動を防止できるような技術を提供することにある。

【００１０】

この発明の他の目的は、プロセスの工程数を増加させることなく必要な保持容量が得られるようにした技術を提供することにある。

【００１１】

【課題を解決するための手段】

〈液晶パネル用基板１〉

上記した課題を解決するために、本発明に係る液晶パネル用基板は、半導体基板上に反射電極がマトリックス状に形成されるとともに各反射電極に対応してトランジスタが形成され、前記トランジスタを介して前記反射電極に電圧が印加されるように構成された液晶パネル用基板において、

前記半導体基板に形成されたウェル領域と、

前記ウェル領域に形成され前記ウェル領域とは逆導電型である前記トランジスタのソース及びドレイン領域と、

ゲート線方向に沿って連続して形成され、保持容量の一方の端子となり、前記トランジスタのソース及びドレイン領域とは逆導電型であり、前記トランジスタのソース及びドレイン領域より低く前記ウェル領域より高い不純物濃度となるように前記ウェル領域に形成された半導体領域と、

前記半導体領域の上方に形成された前記保持容量の誘電体を構成する絶縁膜と、

前記トランジスタに電気的に接続され、前記絶縁膜の上方に形成された前記保持容量の他方の端子となる導電層と、

を備え、前記半導体領域は画素領域の外側において定電位を与える配線層に電気的に接続され、前記ウェル領域は前記半導体領域を介して前記定電位を与えられることを特徴とする。

〈液晶パネル用基板２〉

前記液晶パネル用基板１では、上記トランジスタは、絶縁ゲート型電界効果トランジスタであり、上記保持容量の誘電体を構成する絶縁膜は、上記トランジスタのゲート電極とチャネル領域との間に設けられるゲート絶縁膜と同時に形成される絶縁膜であることを特徴とする。

〈液晶パネル用基板３〉

前記液晶パネル用基板１では、上記トランジスタは、絶縁ゲート型電界効果トランジス

タであり、上記保持容量の他方の端子を構成する導電層は、上記トランジスタのゲート電極と同時に形成される導電層であることを特徴とする。

〈液晶パネル用基板４〉

前記液晶パネル用基板１では、上記各反射電極に接続されたトランジスタと、該トランジスタのゲート電極および上記トランジスタが接続されたデータ線に信号を供給する周辺回路を構成するトランジスタとが同一の半導体基板上に形成された液晶パネル用基板であって、上記保持容量の誘電体を構成する絶縁膜は、上記周辺回路のトランジスタを構成するゲート絶縁膜と同一工程で形成された絶縁膜であることを特徴とする。

【００１２】

〈液晶パネル〉

本発明に係る液晶パネルは、前記液晶パネル用基板１と、対向電極を有する入射側の透明基板とが適当な間隔をおいて配置されるとともに、上記液晶パネル用基板と上記透明基板との間隙内に液晶が封入されていることを特徴とする。

〈電子機器〉

本発明に係る電子機器は、前記液晶パネルを表示部として備えていることを特徴とする。

〈投射型表示装置〉

本発明に係る投射型表示装置は、光源と、前記光源からの光を変調して反射する前記液晶パネルと、該液晶パネルにより変調された光を集光し投射する投射レンズとを備えていることを特徴とする投射型表示装置。

【００１３】

〈液晶パネル用基板５〉

本発明に係る他の液晶パネル用基板は、画素領域でマトリクス状に形成された複数の反射電極に対応して該複数の反射電極の下方に形成された複数のトランジスタを介して前記複数の反射電極に印加される電圧を保持する保持容量であり定電位に固定すべき半導体領域を有する前記保持容量を備えた液晶パネル用基板であって、前記半導体領域は、前記反射電極の下方であって前記複数のトランジスタが形成されていない領域においてゲート線方向に沿って延在し、前記画素領域の外側で前記定電位を与える配線層に接続されていることを特徴とする。

〈液晶パネル用基板６〉

前記液晶パネル用基板５では、前記保持容量は、さらに前記トランジスタに接続された導電層と、該導電層及び前記半導体領域に挟持される絶縁層とを有し、前記半導体領域、前記導電層及び前記絶縁層は、前記画素領域に垂直な方向に積層されていることを特徴とする。

【００１４】

【発明の実施の形態】

以下、本発明の好適な実施例を図面に基づいて説明する。

【００１５】

図１および図３は、本発明を適用した反射型液晶パネルの反射電極側基板の第１の実施例を示す。なお、図１および図３にはマトリックス状に配置されている画素のうち一画素部分の断面図と平面レイアウトを示す。図１（ａ）は図３におけるＩ－Ｉ線に沿った断面を示す。図１（ｂ）は同じく図３におけるII－II線に沿った断面を示す。

【００１６】

図１において、１は単結晶シリコンのようなＰ型半導体基板（Ｎ型半導体基板（Ｎ--）でもよい）、２はこの半導体基板１の表面に形成されたＰ型ウェル領域、３は半導体基板１の表面に形成された素子分離用のフィールド酸化膜（いわゆるＬＯＣＯＳ）である。上記ウェル領域２は、特に限定されないが、例えば７６８×１０２４のようなマトリックス状に画素が配置されてなる画素領域の共通ウェル領域として形成され、図５に示されているようなデータ線駆動回路２１やゲート線駆動回路２２、入力回路２３、タイミング制御回路２４等の周辺回路を構成する素子が形成される部分のウェル領域とは分離して形成されている。上記フィールド酸化膜３は選択熱酸化によって５０００～７０００オングストロ

ームのような厚さに形成される。

【００１７】

上記フィールド酸化膜３には一画素ごとに２つの開口部が形成され、一方の開口部の内側中央にゲート酸化膜（絶縁膜）４ｂを介してポリシリコンあるいはメタルシリサイド等からなるゲート電極４ａが形成され、このゲート電極４ａの両側の基板表面には高不純物濃度のＮ型不純物導入層（以下、ドーピング層という）からなるソース、ドレイン領域５ａ，５ｂが形成され、ＭＯＳＦＥＴが構成されている。ゲート電極４ａは走査線方向（画素行方向）に延在されて、ゲート線４を構成する。

【００１８】

また、上記フィールド酸化膜３に形成された他方の開口部の内側の基板表面にはＰ型ドーピング領域８が形成されているとともに、このＰ型ドーピング領域８の表面には絶縁膜９ｂを介してポリシリコンあるいはメタルシリサイド等からなる電極９ａが形成され、この電極９ａと上記Ｐ型ドーピング領域８との間に絶縁膜容量が構成されている。上記電極９ａは前記ＭＯＳＦＥＴのゲート電極４ａとなるポリシリコンあるいはメタルシリサイド層と同一工程にて、また電極９ａの下の絶縁膜９ｂはゲート絶縁膜４ｂとなる絶縁膜と同一工程にてそれぞれ形成することができる。

【００１９】

上記絶縁膜４ｂ，９ｂは熱酸化によって上記開口部の内側半導体基板表面に４００～８００オングストロームのような厚さに形成される。上記電極４ａ，９ａは、ポリシリコン層を１０００～２０００オングストロームのような厚さに形成しその上にＭｏあるいはＷのような高融点金属のシリサイド層を１０００～３０００オングストロームのような厚さに形成した構造とされている。ソース、ドレイン領域５ａ，５ｂは、上記ゲート電極４ａをマスクとしてその両側の基板表面にＮ型不純物をイオン打ち込みで注入することで自己整合的に形成される。

【００２０】

また、上記Ｐ型ドーピング領域８は、例えば、専用のイオン打込みと熱処理によるドーピング処理で形成され、ゲート電極を形成する前にイオン注入法で形成するとよい。つまり、絶縁膜９ｂ形成後にウェルと同極性の不純物を注入し、ウェルの表面はウェルよりも高不純物濃度として低抵抗化して形成する。上記ウェル領域２の好ましい不純物濃度は$1\times10^{17}/cm^3$以下で、$1\times10^{16}\sim5\times10^{16}/cm^3$程度が望ましい。ソース、ドレイン領域５ａ，５ｂの好ましい表面不純物濃度は$1\times10^{20}\sim3\times10^{20}/cm^3$、Ｐ型ドーピング領域８の好ましい表面不純物濃度は$1\times10^{18}\sim5\times10^{19}/cm^3$であるが、保持容量を構成する絶縁膜の信頼性及び耐圧の観点から$1\times10^{18}\sim1\times10^{19}/cm^3$が特に好ましい。

【００２１】

上記電極４ａおよび９ａからフィールド酸化膜３上にかけては第１の層間絶縁膜６が形成され、この絶縁膜６上にはアルミニウムを主体とするメタル層からなるデータ線７（図３参照）およびこのデータ線から突出するように形成されたソース電極７ａおよび補助結合配線１０が設けられており、ソース電極７ａは絶縁膜６に形成されたコンタクトホール６ａにてソース領域５ａに、また補助結合配線１０の一端は絶縁膜６に形成されたコンタクトホール６ｂにてドレイン領域５ｂに電気的に接続されている。

【００２２】

上記絶縁膜６は、例えばＨＴＯ膜（高温ＣＶＤ法により形成される酸化シリコン膜）を１０００オングストローム程度堆積した上に、ＢＰＳＧ膜（ボロンおよびリンを含むシリケートガラス膜）を８０００～１００００オングストロームのような厚さに堆積して形成される。ソース電極７ａおよび補助結合配線１０を構成するメタル層は、例えば下層からＴｉ／ＴｉＮ／Ａｌ／ＴｉＮの４層構造とされる。各層は、下層のＴｉが１００～６００オングストローム、ＴｉＮが１０００オングストローム程度、Ａｌが４０００～１００００オングストローム、上層のＴｉＮが３００～６００オングストロームのような厚さとされる。

【００２３】
上記ソース電極７ａおよび補助結合配線１０から層間絶縁膜６上にかけては第２の層間絶縁膜１１が形成され、この第２層間絶縁膜１１上にはアルミニウムを主体とする二層目のメタル層１２からなる遮光膜が形成されている。この遮光膜を構成する二層目のメタル層１２は、後述するように画素領域の周囲に形成される駆動回路等の周辺回路において素子間の接続用配線を構成するメタル層として形成されるものである。従って、この遮光膜（１２）のみを形成するために工程を追加する必要がなく、プロセスが簡略化される。また、上記遮光膜（１２）は、上記補助結合配線１０に対応する位置に、後述の画素電極とＭＯＳＦＥＴを電気的に接続するための柱状の接続プラグ１５を貫通させるための開口部１２ａが形成され、それ以外は画素領域全面を覆うように形成される。すなわち、図３に示されている平面図においては、符号１２ａが付されている矩形状の枠が上記開口部を表しており、この開口部１２ａの外側がすべて遮光膜（１２）となっている。これによって、図１の上方から入射する光をほぼ完全に遮断して画素スイッチング用ＭＯＳＦＥＴのチャネル領域およびウェル領域を光が通過してリーク電流が流れるのを防止することができる。

【００２４】
上記第２層間絶縁膜１１は、例えばＴＥＯＳ（テトラエチルオルソシリケート）を材料としプラズマＣＶＤ法により形成される酸化シリコン膜（以下、ＴＥＯＳ膜と称する）を３０００～６０００オングストローム程度堆積した上に、ＳＯＧ膜（スピン・オン・ガラス膜）を堆積し、それをエッチバックで削ってからさらにその上に第２のＴＥＯＳ膜を２０００～５０００オングストローム程度の厚さに堆積して形成される。遮光膜を構成する二層目のメタル層１２は、上記一層目のメタル層（７）と同じものでよく、例えば下層からＴｉ／ＴｉＮ／Ａｌ／ＴｉＮの４層構造とされる。各層は、最下層のＴｉが１００～６００オングストローム、その上のＴｉＮが１０００オングストローム程度、Ａｌが４０００～１００００オングストローム、最上層のＴｉＮが３００～６００オングストロームのような厚さとされる。

【００２５】
この実施例においては、上記遮光膜（１２）の上に第３層間絶縁膜１３が形成され、この第３層間絶縁膜１３の上に図３に示されているように、ほぼ１画素に対応した矩形状の反射電極としての画素電極１４が形成されている。そして、上記遮光膜（１２）に設けられた開口部１２ａに対応してその内側に位置するように、上記第３層間絶縁膜１３および第２層間絶縁膜１１を貫通するコンタクトホール１６が設けられており、このコンタクトホール１６内に上記補助結合配線１０と上記画素電極１４とを電気的に接続するタングステン等の高融点金属からなる柱状の接続プラグ１５が充填されている。さらに、上記画素電極１４の上には、パシベーション膜１７が全面的に形成されている。

【００２６】
上記画素電極１４は、特に限定されないが、接続プラグ１５を構成するタングステン等をＣＶＤ法により被着した後、タングステンと第３層間絶縁膜１３をＣＭＰ（化学的機械研磨）法で削って平坦化してから、例えば低温スパッタ法によりアルミニウム層を３００～５０００オングストロームのような厚さに形成し、パターニングにより一辺が１５～２０μｍ程度の正方形のような形状とされる。なお、上記接続プラグ１５の形成方法としては、ＣＭＰ法で第３層間絶縁膜を平坦化してから、コンタクトホールを開口し、その中にタングステンを被着して形成する方法もある。上記パシベーション膜１７としては、画素領域部においては５００～２０００オングストロームのような厚さの酸化シリコン膜が用いられ、周辺回路部およびシール部、スクライブ部には２０００～１００００オングストロームのような厚さの窒化シリコン膜が用いられる。

【００２７】
また、画素領域部を覆うパシベーション膜１７として酸化シリコン膜を使用することにより、膜厚のばらつきによって反射率が大きく変化したり、光の波長によって反射率が大きく変動する現象を抑えることができる。さらに、周辺回路部特に液晶が封入された領域よ

りも外側（シール部材よりも外側）を覆うパシベーション膜１７として酸化シリコン膜に比べて保護膜として優れた窒化シリコン膜を使用あるいは酸化シリコン膜の上に窒化シリコン膜を形成した二層構造の保護膜とすることにより信頼性を更に向上させることができる。なお、パシベーション膜１７上には、液晶パネルを構成する際に配向膜が全面に形成され、ラビング処理される。

【００２８】

図３は図１に示されている反射側の液晶パネル基板の平面レイアウトである。同図に示されているように、この実施例では、データ線７とゲート線４とが互いに交差するように形成され、図３のハッチングＨで示す箇所のゲート線４の下に画素スイッチング用ＭＯＳＦＥＴのチャネル領域が設けられ、ゲート線４がゲート電極４ａを兼ねるように構成されているとともに、上記チャネル領域５ｃの両側（図３では上下）にソース、ドレイン領域５ａ、５ｂが形成されている。また、データ線に接続されるソース電極７ａは、図３の縦方向に沿って延設されたデータ線７から突出するように形成されて、コンタクトホールを介してＭＯＳＦＥＴのソース領域５ａに接続されている。

【００２９】

また、保持容量の一方の端子を構成するＰ型ドーピング領域８はゲート線４と平行な方向に隣接する画素のＰ型ドーピング領域と連続するように形成されている。そして、画素領域の外側に配設された電源ライン７０にコンタクトホール７１にて接続され、０Ｖのような所定の電圧Ｖssが印加されるように構成されている。これによって、保持容量の一方の電極の電位を安定させ、画素電極の所望しない電位の変動を防止することができる。また、ＭＯＳＦＥＴの近傍にＰ型ドーピング領域８を設け、Ｐウェルの電位も同時に固定しているため、ＭＯＳＦＥＴの基板電位を安定させバックゲート効果によるしきい値電圧の変動を防ぐことができる。

【００３０】

図示しないが、上記電源ライン７０は、画素領域の外側に設けられる周辺回路のＰ型ウェル領域にウェル電位として所定の電圧Ｖssを供給するラインとしても使用されている。上記電源ライン７０は上記データ線７と同一の一層目のメタル層によって構成されている。画素電極１４は各々矩形状をなし、隣接する画素電極１４とは例えば１μｍのような間隔をおいて互い近接して設けられており、画素電極間のすき間から漏れる光の量を極力減らすように構成されている。また、図では、画素電極の中心とコンタクトホール１６の中心とがずれているが、両者の中心をほぼ一致させる又は重ねる方が、隣接する画素電極の隙間から入った光がコンタクトホールに到達するまでの距離が画素電極端部からほぼ均一になり、光漏れの量を減らす上では好ましい。

【００３１】

なお、上記実施例では、画素スイッチング用ＭＯＳＦＥＴをＮチャネル型とし、保持容量の一方の電極となる半導体領域（８）をＰ型ドーピング層とした場合について説明したが、ウェル領域をＮ型とし、画素スイッチング用ＭＯＳＦＥＴをＰチャネル型とし、保持容量の一方の電極となる半導体領域をＮ型ドーピング層とすることも可能である。その場合、保持容量の一方の電極となるＮ型ドーピング層には、Ｎ型ウェル領域に印加されるのと同様な定電位を印加するように構成するのが望ましい。

【００３２】

さらに、画素スイッチング用のＭＯＳＦＥＴのゲート電極４ａには、１５Ｖのような大きな電圧が印加されるのに対し、周辺回路は５Ｖのような小さな電圧で駆動されるため、周辺回路を構成するＦＥＴのゲート絶縁膜を画素スイッチング用ＦＥＴのゲート絶縁膜よりも薄く形成してＦＥＴの特性を向上させ周辺回路の動作速度を高めるという技術が考えられる。このような技術を適用した場合、ゲート絶縁膜の耐圧から、周辺回路を構成するＦＥＴのゲート絶縁膜の厚みを画素スイッチング用ＦＥＴのゲート絶縁膜の厚みの約３分の１～５分の１（例えば８０～２００オングストローム）にすることができる。

【００３３】

ところで、第１の実施例においては、保持容量の電極間に印加される電圧は、図７に示す

ように、データ線に印加される画像信号電圧Ｖｄと画像信号の中心電位Ｖｃとの差の約５Ｖ（図６の液晶パネルの対向基板３５に設けられる対向電極３３に印加されるＬＣコモン電位ＬＣ－ＣＯＭはＶｃよりΔＶだけシフトされているが、実際に画素電極に印加される電圧もΔＶシフトしたＶｄ－ΔＶとなる）にすぎない。そこで、第１の実施例においては、保持容量の一方の電極９ａを構成するポリシリコンあるいはメタルシリサイド層直下の絶縁膜９ｂを、画素スイッチング用ＦＥＴのゲート絶縁膜でなく周辺回路を構成するＦＥＴのゲート絶縁膜と同時に形成することで、上記実施例に比べて保持容量の絶縁膜厚を３分の１～５分の１にすることができ、これによって容量値を３～５倍にすることもできる。この場合、保持容量の一方の端子を構成するドーピング領域８は、ウェルと逆極性（Ｐ型ウェルの場合はＮ型）にし、画素領域の周辺部でＶｃもしくはＬＣ－ＣＯＭ近傍の電位に接続し、ウェル電位（例えばＰ型ウェルはＶｓｓ）とは異なる電位にする必要がある。なお、図７において、VG はゲート線４に印加される電圧であり、期間ｔH1は画素のＭＯＳＦＥＴを導通させる選択期間（走査期間）であって、その以外の期間は画素のＭＯＳＦＥＴを非導通とする非選択期間である。

【００３４】

また、上記保持容量の一方の電極９ａを、画素スイッチング用ＦＥＴのゲート電極を構成するポリシリコンあるいはメタルシリサイド層でなく、周辺回路を構成するＭＯＳＦＥＴのゲート電極を構成するポリシリコンあるいはメタルシリサイド層で構成するようにしても良い。

【００３５】

図１（ｂ）は本発明の一実施例の画素領域の周辺部の断面（図３II-II）を示 す。画素領域の走査方向（画素行方向）に伸びたドーピング領域８を所定の電位（Ｖｓｓ）に接続する構成を示している。８０は周辺回路のＭＯＳＦＥＴのソース・ドレイン領域と同一工程で形成したＰ型コンタクト領域であり、ゲート電極形成前に形成したドーピング領域８に対して、ゲート電極形成後に同極性の不純物をイオン注入して形成される。コンタクト領域８０は、コンタクトホール７１を介して配線７０に接続され、定電圧Ｖｓｓが印加される。なお、このコンタクト領域８０上も三層目のメタル層からなる遮光膜１４’によって遮光される。なお、画素領域からその外側の周辺領域へ至る領域においては、二層目メタル層１２’は、遮光膜や周辺回路素子間を接続する配線層として機能する。

【００３６】

図２は、画素領域の外側に駆動回路等の周辺回路を構成するＣＭＯＳ回路素子の実施例の断面図を示す。なお、図２において図１と同一符号が付されている箇所は、同一工程で形成されるメタル層、絶縁膜および半導体領域を示す。

【００３７】

図２において、４ａ，４ａ’は周辺回路（ＣＭＯＳ回路）を構成するＮチャネルＭＯＳＦＥＴ，ＰチャネルＭＯＳＦＥＴのゲート電極、５ａ（５ｂ），５ａ’（５ｂ’）はそのソース（ドレイン）領域となるＮ型ドーピング領域，Ｐ型ドーピング領域、５ｃ，５ｃ’はそれぞれチャネル領域である。図１の保持容量の一方の電極を構成するＰ型ドーピング領域８に対して定電位を供給するコンタクト領域８０は、上記ＰチャネルＭＯＳＦＥＴのソース（ドレイン）領域となるＰ型ドーピング領域５ａ’（５ｂ’）と同一工程で形成される。２７ａ，２７ｃは一層目のメタル層で構成され電源電圧（０Ｖ，５Ｖ又は１５Ｖ）に接続されたソース、２７ｂは一層目のメタル層で構成されたドレイン電極である。３２ａは二層目のメタル層からなる配線層であり、周辺回路を構成する素子間を接続する配線として使用される。３２ｂも二層目のメタル層からなる電源配線層であるが、遮光膜としても機能している。遮光膜３２ｂは、ＶｃやＬＣ－ＣＯＭあるいは電源電圧０Ｖ等の一定電位のいずれに接続されてもよく、あるいは不定の電位であっても良い。１４’は三層目のメタル層であり、周辺回路部ではこの三層目のメタル層が遮光膜として用いられており、周辺回路を構成する半導体領域に光が通過してキャリアが発生し、半導体領域での電位が不安定になるのを防止する。つまり、周辺回路でも二層目と三層目のメタル層によって遮光がなされる。

【００３８】
前述したように、周辺回路部のパシベーション膜１７は、画素領域のパシベーション膜を構成する酸化シリコン膜よりも保護膜として優れた窒化シリコン膜あるいは酸化シリコン膜の上に窒化シリコン膜を形成した二層構造の保護膜としてもよい。また、特に制限されないが、この実施例の周辺回路を構成するＭＯＳＦＥＴのソース・ドレイン領域は自己整合技術で形成しても良い。さらに、いずれのＭＯＳＦＥＴのソース・ドレイン領域もＬＤＤ（ライトリー・ドープト・ドレイン）構造あるいはＤＤＤ（ダブル・ドープト・ドレイン）構造とするようにしても良い。なお、画素スイッチング用ＦＥＴは大きな電圧で駆動されること、リーク電流を防止しなければならないことを考慮して、オフセット（ゲート電極とソース・ドレイン領域間に距離を持たせた構造）とするとよい。

【００３９】
図４は、反射電極側基板の端部の構造として好適な実施例を示す。図４において図１，図２と同一符号が付されている箇所は、同一工程で形成される層および半導体領域を示す。

【００４０】
図４に示されているように、層間絶縁膜とメタル層の積層体の端部およびその側壁は、画素領域および周辺回路を覆う酸化シリコン膜からなるパシベーション膜１７の上に窒化シリコン膜１８を形成した積層保護構造とされている。これによって端部から水等が進入しにくくなって耐久性が向上するとともに、端部が補強されるため歩留まりが向上する。また、この実施例では液晶を封止するためのシール材３６を完全に平坦化された上記積層保護構造部の上に設けている。これによって、層間絶縁膜やメタル層の有無による厚みのばらつきに関わらず、対向基板との間隔を一定にすることが可能となる。また、上記構造によれば、画素電極をなす反射電極上の保護膜を酸化シリコン膜単層にできるため、反射率の低下や反射率が波長により異なる波長依存性を低減することができる。

【００４１】
図４に示されているように、この実施例では、三層目のメタル層１４’は、周辺回路領域の遮光膜となるものであり、二層目および一層目のメタル層１２’，７’を介して半導体基板１の表面に形成された配線層１９に接続され、この配線層１９を介して図示しないパッドに接続され、所定の電圧あるいは信号が印加されるように構成されている。但し、配線層１９の抵抗値が問題になる場合は、一層目又は二層目のメタル層１２’、７’を直接パッドに接続する構成にすればよい。

【００４２】
図５は上記実施例を適用した液晶パネル用基板（反射電極側基板）の全体の平面レイアウト構成を示す。

【００４３】
図５に示されているように、この実施例においては、基板の周縁部に設けられている周辺回路に光が入射するのを防止する遮光膜２５が設けられている。周辺回路は、上記画素電極がマトリックス状に配置された画素領域２０の周辺に設けられ、上記データ線７に画像データに応じた画像信号を供給するデータ線駆動回路２１やゲート線４を順番に走査するゲート線駆動回路２２、パッド領域２６を介して外部から入力される画像データを取り込む入力回路２３、これらの回路を制御するタイミング制御回路２４等の回路であり、これらの回路は画素電極スイッチング用ＭＯＳＦＥＴと同一工程で形成されるＭＯＳＦＥＴを能動素子もしくはスイッチング素子とし、これに抵抗や容量などの負荷素子を組み合わせることで構成される。

【００４４】
この実施例においては、上記遮光膜２５は、図１に示されている画素電極１４と同一工程で形成される三層目のメタル層としてのアルミニウム層で構成され、電源電圧や画像信号の中心電位あるいはＬＣコモン電位等の所定電位が印加されるように構成されている。遮光膜２５に所定の電位を印加することでフローティングや他の電位である場合に比べて反射を少なくすることができる。２６は電源電圧を供給するために使用されるパッドもしくは端子が形成されたパッド領域である。

【００４５】
図６は上記液晶パネル基板３１を適用した反射型液晶パネルの断面構成を示す。図６に示すように、上記液晶パネル基板３１は、その裏面にガラスもしくはセラミック等からなる支持基板３２が接着剤により接着されている。これとともに、その表面側には、ＬＣコモン電位が印加される透明導電膜（ＩＴＯ）からなる対向電極（共通電極ともいう）３３を有する入射側のガラス基板３５が適当な間隔をおいて配置され、周囲をシール材３６で封止された間隙内に周知のＴＮ（Twisted Nematic）型液 晶またはまたは電圧無印加状態で液晶分子がほぼ垂直配向されたＳＨ（Super Homeotropic ）型液晶３７などが充填されて液晶パネル３０として構成されている。なお、外部から信号を入力したり、パッド領域２６は上記シール材３６の外側に来るようにシール材を設ける位置が設定されている。

【００４６】
周辺回路上の遮光膜２５は、液晶３７を介在して対向電極３３と対向されるように構成されている。そして、遮光膜２５にＬＣコモン電位を印加すれば、対向電極３３にはＬＣコモン電位が印加されるので、その間に介在する液晶には直流電圧が印加されなくなる。よってＴＮ型液晶であれば常に液晶分子がほぼ９０°ねじれたままとなり、ＳＨ型液晶であれば常に垂直配向された状態に液晶分子が保たれる。

【００４７】
この実施例においては、半導体基板からなる上記液晶パネル基板３１は、その裏面にガラスもしくはセラミック等からなる支持基板３２が接着剤により接合されているため、その強度が著しく高められる。その結果、液晶パネル基板３１に支持基板３２を接合させてから対向基板との貼り合わせを行なうようにすると、パネル全体にわたって液晶層のギャップが均一になるという利点がある。

【００４８】
図８は、本発明の液晶パネルを用いた電子機器の一例であり、本発明の反射型液晶パネルをライトバルブとして用いたプロジェクタ（投射型表示装置）の要部を平面的に見た概略構成図である。この図８は、光学要素１３０の中心を通るＸＺ平面における断面図である。本例のプロジェクタは、システム光軸Ｌに沿って配置した光源部１１０、インテグレータレンズ１２０、偏光変換素子１３０から概略構成される偏光照明装置１００、偏光照明装置１００から出射されたＳ偏光光束をＳ偏光光束反射面２０１により反射させる偏光ビームスプリッタ２００、偏光ビームスプリッタ２００のＳ偏光反射面２０１から反射された光のうち、青色光（Ｂ）の成分を分離するダイクロイックミラー４１２、分離された青色光（Ｂ）を青色光を変調する反射型液晶ライトバルブ３００Ｂ、青色光が分離された後の光束のうち赤色光（Ｒ）の成分を反射させて分離するダイクロイックミラー４１３、分離された赤色光（Ｒ）を変調する反射型液晶ライトバルブ３００Ｒ、ダイクロイックミラー４１３を透過する残りの緑色光（Ｇ）を変調する反射型液晶ライトバルブ３００Ｇ、３つの反射型液晶ライトバルブ３００Ｒ、３００Ｇ、３００Ｂにて変調された光をダイクロイックミラー４１２，４１３，偏光ビームスプリッタ２００にて合成し、この合成光をスクリーン６００に投射する投射レンズからなる投射光学系５００から構成されている。上記３つの反射型液晶ライトバルブ３００Ｒ、３００Ｇ、３００Ｂには、それぞれ前述の液晶パネルが用いられている。

【００４９】
光源部１１０から出射されたランダムな偏光光束は、インテグレータレンズ１２０により複数の中間光束に分割された後、第２のインテグレータレンズを光入射側に有する偏光変換素子１３０により偏光方向がほぼ揃った一種類の偏光光束（Ｓ偏光光束）に変換されてから偏光ビームスプリッタ２００に至るようになっている。偏光変換素子１３０から出射されたＳ偏光光束は、偏光ビームスプリッタ２００のＳ偏光光束反射面２０１によって反射され、反射された光束のうち、青色光（Ｂ）の光束がダイクロイックミラー４１２の青色光反射層にて反射され、反射型液晶ライトバルブ３００Ｂによって変調される。また、ダイクロイックミラー４１１の青色光反射層を透過した光束のうち、赤色光（Ｒ）の光束はダイクロイックミラー４１３の赤色光反射層にて反射され、反射型液晶ライトバルブ３

００Ｒによって変調される。

【００５０】

一方、ダイクロイックミラー４１３の赤色光反射層を透過した緑色光（Ｇ）の光束は反射型液晶ライトバルブ３００Ｇによって変調される。このようにして、それぞれの反射型液晶ライトバルブ３００Ｒ、３００Ｇ、３００Ｂによって変調反射型液晶ライトバルブ３００Ｒ、３００Ｇ、３００Ｂとなる反射型液晶パネルは、ＴＮ型液晶（液晶分子の長軸が電圧無印加時にパネル基板に略並行に配向された液晶）またはＳＨ型液晶（液晶分子の長軸が電圧無印加時にパネル基板に略垂直に配向された液晶）を採用している。

【００５１】

ＴＮ型液晶を採用した場合には、画素の反射電極と、対向する基板の共通電極との間に挟持された液晶層への印加電圧が液晶のしきい値電圧以下の画素（ＯＦＦ画素）では、入射した色光は液晶層により楕円偏光され、反射電極により反射され、液晶層を介して、入射した色光の偏光軸とほぼ９０度ずれた偏光軸成分の多い楕円偏光に近い状態の光として反射・出射される。一方、液晶層に電圧印加された画素（ＯＮ画素）では、入射した色光のまま反射電極に至り、反射されて、入射時と同一の偏光軸のまま反射・出射される。反射電極に印加された電圧に応じてＴＮ型液晶の液晶分子の配列角度が変化するので、入射光に対する反射光の偏光軸の角度は、画素のトランジスタを介して反射電極に印加する電圧に応じて可変される。

【００５２】

また、ＳＨ型液晶を採用した場合には、液晶層の印加電圧が液晶のしきい値電圧以下の画素（ＯＦＦ画素）では、入射した色光のまま反射電極に至り、反射されて、入射時と同一偏光軸のまま反射・出射される。一方、液晶層に電圧印加された画素（ＯＮ画素）では、入射した色光は液晶層にて楕円偏光され、反射電極により反射され、液晶層を介して、入射光の偏光軸に対して偏光軸がほぼ９０度ずれた偏光軸成分の多い楕円偏光として反射・出射する。ＴＮ型液晶の場合と同様に、反射電極に印加された電圧に応じてＴＮ型液晶の液晶分子の配列角度が変化するので、入射光に対する反射光の偏光軸の角度は、画素のトランジスタを介して反射電極に印加する電圧に応じて可変される。

【００５３】

これらの液晶パネルの画素から反射された色光のうち、Ｓ偏光成分はＳ偏光を反射する偏光ビームスプリッタ２００を透過せず、一方、Ｐ偏光成分は透過する。この偏光ビームスプリッタ２００を透過した光により画像が形成される。従って、投射される画像は、ＴＮ型液晶を液晶パネルに用いた場合はＯＦＦ画素の反射光が投射光学系５００に至りＯＮ画素の反射光はレンズに至らないのでノーマリーホワイト表示となり、ＳＨ液晶を用いた場合はＯＦＦ画素の反射光は投射光学系に至らずＯＮ画素の反射光が投射光学系５００に至るのでノーマリーブラック表示となる。

【００５４】

反射型液晶パネルは、ガラス基板にＴＦＴアレーを形成したアクティブマトリクス型液晶パネルに比べ、半導体技術を利用して画素が形成されるので画素数をより多く形成でき、且つパネルサイズも小さくできるので、高精細な画像を投射できると共に、プロジェクタを小型化できる。

【００５５】

図６にて説明したように、液晶パネルの周辺回路部は遮光膜で覆われ、対向基板の対向する位置に形成される共通電極と共に同じ電位（例えばＬＣコモン電位。但し、ＬＣコモン電位としない場合には画素部の共通電極と異なる電位となるので、この場合画素部の共通電極とは分離された周辺対向電極となる。）が印加されるので、両者間に介在する液晶にはほぼ０Ｖが印加され、液晶はＯＦＦ状態と同じになる。従って、ＴＮ型液晶の液晶パネルでは、ノーマリホワイト表示に合わせて画像領域の周辺が全て白表示にでき、ＳＨ型液晶の液晶パネルでは、ノーマリブラック表示に合わせて画像領域の周辺が全て黒表示にできる。

【００５６】

上記実施例に従うと、反射型液晶パネル３００Ｒ、３００Ｇ、３００Ｂの各画素電極に印加された電圧が充分に保持されるとともに、画素電極の反射率が非常に高いため鮮明な映像が得られる。

【００５７】

図９は、それぞれ本発明の反射型液晶パネルを使った電子機器の例を示す外観図である。なお、これらの電子機器では、偏光ビームスプリッタと共に用いられるライトバルブとしてではなく、直視型の反射型液晶パネルとして使用されるため、反射電極は完全な鏡面である必要はなく、視野角を広げるためには、むしろ適当な凸凹を付けた方が望ましいが、それ以外の構成要件は、ライトバルブの場合と基本的に同じである。

【００５８】

図９（ａ）は携帯電話を示す斜視図である。１０００は携帯電話本体を示し、そのうちの１００１は本発明の反射型液晶パネルを用いた液晶表示部である。

【００５９】

図９（ｂ）は、腕時計型電子機器を示す図である。１１００は時計本体を示す斜視図である。１１０１は本発明の反射型液晶パネルを用いた液晶表示部である。この液晶パネルは、従来の時計表示部に比べて高精細の画素を有するので、テレビ画像表示も可能とすることができ、腕時計型テレビを実現できる。

【００６０】

図９（ｃ）は、ワープロ、パソコン等の携帯型情報処理装置を示す図である。１２００は情報処理装置を示し、１２０２はキーボード等の入力部、１２０６は本発明の反射型液晶パネルを用いた表示部、１２０４は情報処理装置本体を示す。各々の電子機器は電池により駆動される電子機器であるので、光源ランプを持たない反射型液晶パネルを使えば、電池寿命を延ばすことが出来る。また、本発明のように、周辺回路をパネル基板に内蔵できるので、部品点数が大幅に減り、より軽量化・小型化できる。

【００６１】

なお、以上の実施例においては、液晶パネルの液晶としてＴＮ型とホメオトロピック配向のＳＨ型に関して説明したが、他の液晶に置き換えても実施可能であることは言うまでもない。

【００６２】

【発明の効果】

以上説明したように、この発明は、反射電極となる画素電極の下方の半導体基板表面にゲート線もしくはゲート線方向に沿って連続し保持容量の一方の端子となる比較的不純物濃度の高い半導体領域を形成し、この半導体領域の上方に絶縁膜を介して前記保持容量の他方の端子となる導電層を各画素毎に形成し、前記導電層は画素電極に接続されるＭＯＳＦＥＴのドレイン領域に電気的に接続させるとともに、上記半導体領域は画素領域の外側において定電位を与える配線層に電気的に接続させて電位を固定するようにしたので、比較的小さな面積で大きな容量を得ることができ、これによって素子の縮小化が可能となるとともに、ゲート線方向に沿って連続し保持容量の一方の端子となる比較的不純物濃度の高い半導体領域を形成することにより、保持容量の一方の端子に定電位を供給するための配線のレイアウトが不要となり、そのような配線を形成する工程も不要となってプロセスを簡略化することができる。また、各画素ごとにウェル電位を与えるコンタクトホールを設ける必要がないため、コンタクトホールを設けることによる保持容量の低下も回避することができるとともに、画素領域中央のＦＥＴのウェル電位を、定電位を供給するための配線を設けることなく安定させ、ＦＥＴの特性の変動を防止できるようになるという効果がある。

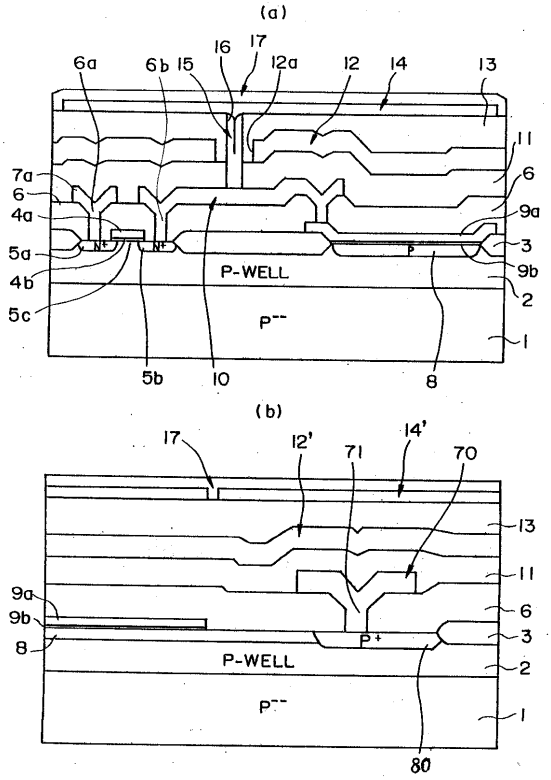
【００６３】

また、上記保持容量を構成する絶縁膜はＭＯＳＦＥＴのゲート電極とチャネル領域との間に設けられるゲート絶縁膜と同時に形成される絶縁膜を、また上記保持容量の他方の端子を構成する導電層はＭＯＳＦＥＴのゲート電極と同時に形成される導電層をそれぞれ用いることによって、プロセスの工程数を増加させることなく必要な保持容量を形成すること

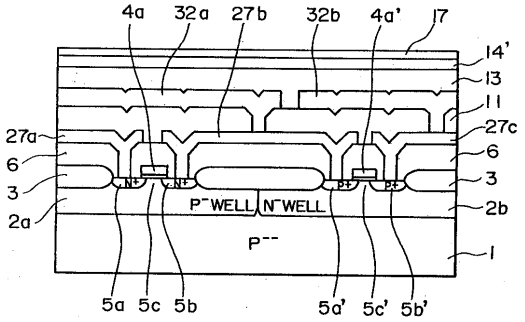
ができるという効果がある。
〈付記〉
本発明は、反射電極となる画素電極の下方の半導体基板表面にゲート線方向に沿って連続し保持容量の一方の端子となる比較的濃度の高い半導体領域を形成し、この半導体領域の上方に絶縁膜を介して前記保持容量の他方の端子となる導電層を各画素毎に形成し、前記導電層は画素電極に電圧を印加するＭＯＳＦＥＴのドレイン領域に電気的に接続させるとともに、上記半導体領域は画素領域の外側において定電位を与える配線層に電気的に接続させて電位を固定するようにした。
ＭＯＳＦＥＴを使用した反射型液晶パネルにおいては、画素電極下にＦＥＴが形成されない余白エリアが生じるのでそこに保持容量を形成することにより、比較的小さな面積で大きな容量を得ることができ、これによって、素子の縮小化が可能となるとともに、ゲート線方向に沿って連続し保持容量の一方の端子となる比較的濃度の高い半導体領域を形成することにより、保持容量の一方の端子に定電位を供給するための配線のレイアウトが不要となり、そのような配線を形成する工程も不要となってプロセスを簡略化することができる。また、各画素ごとにウェル電位を与えるコンタクトホールを設ける必要がないため、コンタクトホールを設けることによる保持容量の低下も回避することができるとともに、画素領域のすべてのＦＥＴのウェル電位を、定電位を供給するための配線を設けることなく安定させ、ＦＥＴの特性の変動を防止できるようになる。
なお、上記保持容量を構成する絶縁膜はＭＯＳＦＥＴのゲート電極とチャネル領域との間に設けられるゲート絶縁膜と同時に形成される絶縁膜を、また上記保持容量の他方の端子を構成する導電層はＭＯＳＦＥＴのゲート電極と同時に形成される導電層を、それぞれ用いるようにすると良い。
【図面の簡単な説明】
【図１】（ａ）は本発明を適用した反射型液晶パネルの反射電極側基板の画素領域の第１の実施例を示す断面図、（ｂ）は画素領域と周辺領域との境界部の断面図。
【図２】本発明を適用した反射型液晶パネルの反射電極側基板の周辺回路の構造の一例を示す断面図。
【図３】本発明を適用した反射型液晶パネルの反射電極側基板の画素領域の第１の実施例の平面レイアウト図。
【図４】本発明を適用した反射型液晶パネルの反射電極側基板の端部構造の一例を示す断面図。
【図５】実施例の液晶パネルの反射電極側基板のレイアウト構成例を示す平面図。
【図６】実施例の液晶パネル用基板を適用した反射型液晶パネルの一例を示す断面図。
【図７】本発明を適用した反射型液晶パネルの画素電極スイッチング用ＦＥＴのゲート駆動波形およびデータ線駆動波形例を示す波形図。
【図８】実施例の反射型液晶パネルをライトバルブとして応用した投射型表示装置の一例としてビデオプロジェクタの概略構成図である。
【図９】（ａ），（ｂ），（ｃ）は、それぞれ本発明の反射型液晶パネルを使った電子機器の例を示す外観図である。
【符号の説明】
１　　半導体基板
２　　ウェル領域
３　　フィールド酸化膜
４　　ゲート線
４ａ　ゲート電極
５ａ，５ｂ　ソース・ドレイン領域
６　　第１層間絶縁膜
７　　データ線（第１メタル層）
７ａ　ソース電極
８　　Ｐ型ドーピング領域

９ａ　保持容量の電極（導電層）
９ｂ　保持容量の誘電体となる絶縁膜
１０　補助結合配線
１１　第２層間絶縁膜
１２　遮光膜（第２メタル層）
１３　第３層間絶縁膜
１４　画素電極（第３メタル層）
１５　接続プラグ
１６　コンタクトホール
１７　パシベーション膜
２０　画素領域
２１　データ線駆動回路
２２　ゲート線駆動回路
２３　入力回路
２４　タイミング制御回路
２５　遮光膜（第３メタル層）
２６　パッド領域
３１　液晶パネル基板
３２　支持基板
３３　対向電極
３５　入射側のガラス基板
３６　シール材
３７　液晶
７０　電源ライン
７１　コンタクトホール
８０　Ｐ型コンタクト領域
１１０　光源部
２００　偏光ビームスプリッタ
３００　ライトバルブ（反射型液晶パネル）
４１２，４１３　ダイクロイックミラー
５００　投射光学系
６００　スクリーン

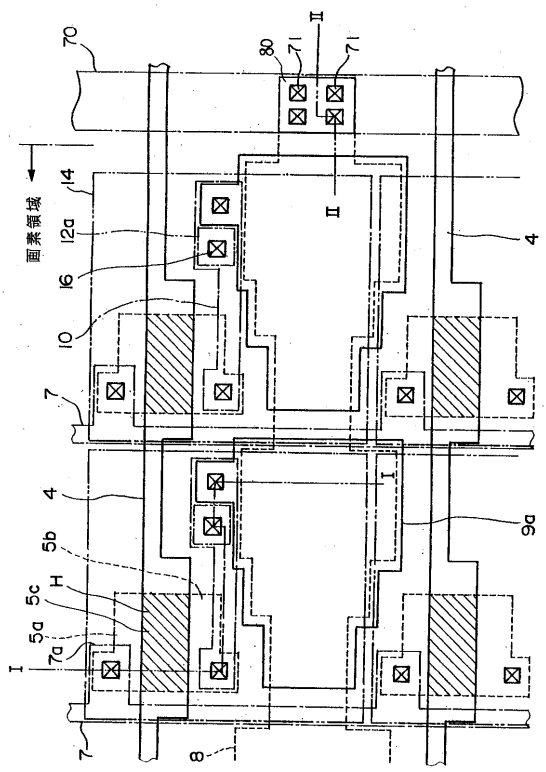
【図１】


(a)
6a
6b
15
16
17
12a
12
14
13
11
6
9a
3
9b
2
1
7a
6
4a
5a
4b
5c
N+
N+
P-WELL
P---
5b
10
8
(b)
17
12'
71
14'
70
13
11
6
3
2
1
9a
9b
8
P+
P-WELL
P---
80

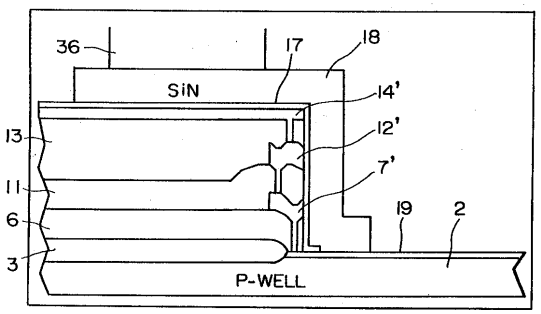
【図２】


4a
32a
27b
32b
4a'
17
14'
13
11
27c
6
3
2b
1
27a
6
3
2a
N+
N+
P+
P+
P-WELL
N-WELL
P---
5a
5c
5b
5a'
5c'
5b'

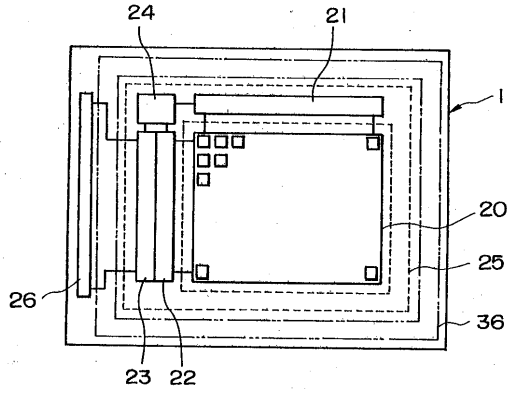
【図３】


70
80
71
71
H
H
画素領域
14
12a
16
10
4
7
I
I
4
9a
5b
5c
H
5a
7a
7
8

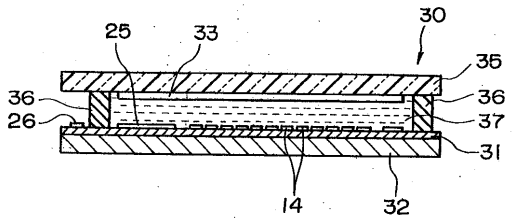
【図４】


36
17
18
SiN
14'
12'
13
7'
11
6
19
2
3
P-WELL

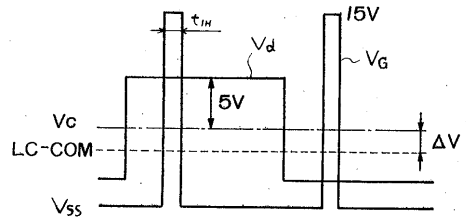
【図５】


24
21
1
20
25
26
36
23
22

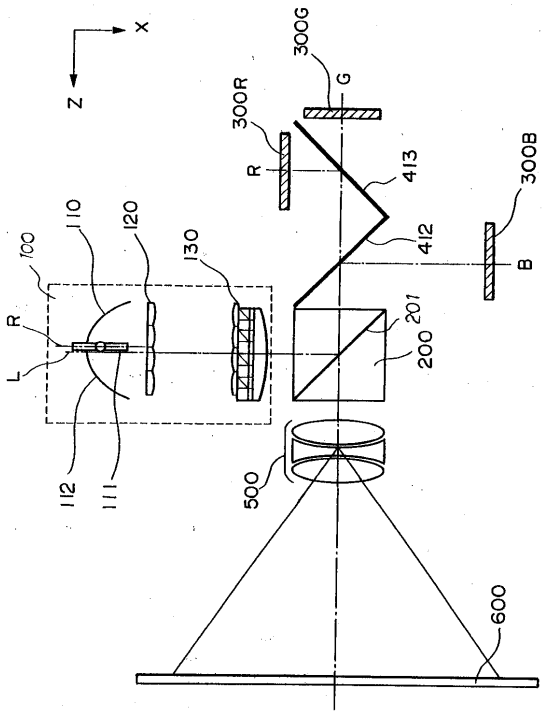
【図６】


30
25
33
35
36
36
26
37
31
14
32

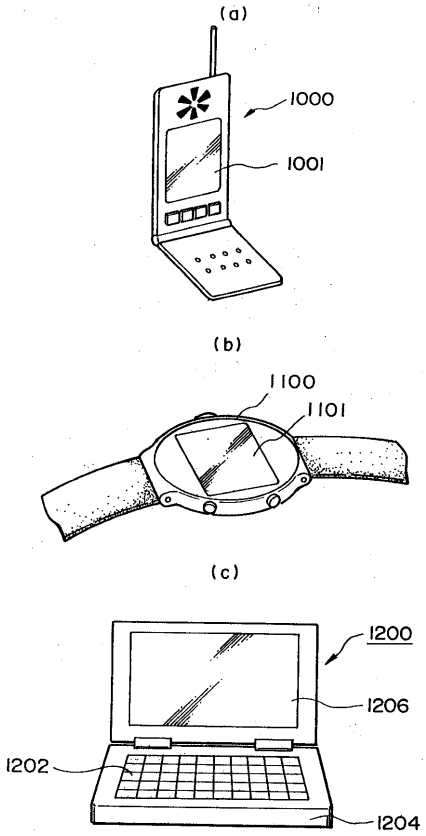
【図７】


t_{IH}
15V
V_d
V_G
5V
Vc
LC-COM
ΔV
V_{SS}

【図８】


X
Z
300G
G
300R
R
413
300B
110
120
130
412
B
100
R
L
201
200
112
111
500
600

【図９】


(a)
1000
1001
(b)
1100
1101
(c)
1200
1206
1202
1204

フロントページの続き

合議体
審判長　平井　良憲
審判官　樋口　信宏
審判官　鈴木　俊光

(56)参考文献　特開平６－１９４６９０（ＪＰ，Ａ）
特開昭５０－１２５６８４（ＪＰ，Ａ）
特開昭５８－８５４７８（ＪＰ，Ａ）