



(12) **Patentschrift**

(21) Aktenzeichen: **102 62 346.5**
(22) Anmeldetag: **27.06.2002**
(43) Offenlegungstag: **16.01.2003**
(45) Veröffentlichungstag
der Patenterteilung: **27.02.2014**

(51) Int Cl.: **H01L 27/115 (2006.01)**
H01L 21/8247 (2006.01)

Innerhalb von neun Monaten nach Veröffentlichung der Patenterteilung kann nach § 59 Patentgesetz gegen das Patent Einspruch erhoben werden. Der Einspruch ist schriftlich zu erklären und zu begründen. Innerhalb der Einspruchsfrist ist eine Einspruchsgebühr in Höhe von 200 Euro zu entrichten (§ 6 Patentkostengesetz in Verbindung mit der Anlage zu § 2 Abs. 1 Patentkostengesetz).

(30) Unionspriorität:

37421/01 **28.06.2001** **KR**
05622/02 **31.01.2002** **KR**

(74) Vertreter:

**Kuhnen & Wacker Patent- und
Rechtsanwaltsbüro, 85354, Freising, DE**

(62) Teilung aus:
102 28 768.6

(72) Erfinder:

**Lee, Chang-Hyun, Yongin, Kyonggi, KR; Choi,
Jung-Dal, Suwon, Kyonggi, KR; Ye, Byoung-Woo,
Yongin, Kyonggi, KR**

(73) Patentinhaber:
**Samsung Electronics Co., Ltd., Suwon-si,
Kyonggi, KR**

(56) Ermittelter Stand der Technik:
siehe Folgeseiten

(54) Bezeichnung: **Nicht-flüchtige Floating-Trap-Halbleiterspeichervorrichtung aufweisend eine Sperrisolationsschicht mit hoher Dielektrizitätskonstante**

(57) Hauptanspruch: Nicht-flüchtige Floating-Trap-Speichervorrichtung die aufweist:

ein Halbleitersubstrat (10);
eine Tunnelisolationsschicht (20; 110) auf dem Substrat (10);
eine nicht-leitende Ladungsspeicherschicht (22; 112) auf der Tunnelisolationsschicht (20; 110), wobei die Ladungsspeicherschicht (22; 112) Trap-Energieniveaus aufweist;
eine Sperrisolationsschicht (44; 54; 64; 114) auf der Ladungsspeicherschicht (22; 112); und
eine Gate-Elektrode (27) auf der Sperrisolationsschicht (44; 54; 64; 114),
dadurch gekennzeichnet, dass

a) die Sperrisolationsschicht (44; 54; 64; 114) eine Siliziumoxidschicht (38) und eine dielektrische Schicht (34) aufweist, wobei die Siliziumoxidschicht (38) zwischen der Ladungsspeicherschicht (22; 112) und der dielektrischen Schicht (34) angeordnet ist,

oder

die Sperrisolationsschicht (44; 54; 64; 114) eine dielektrische Schicht (34) und eine Siliziumoxidschicht (36) aufweist, wobei die Siliziumoxidschicht (36) zwischen der dielektrischen Schicht (34) und der Gate-Elektrode (27) angeordnet ist,

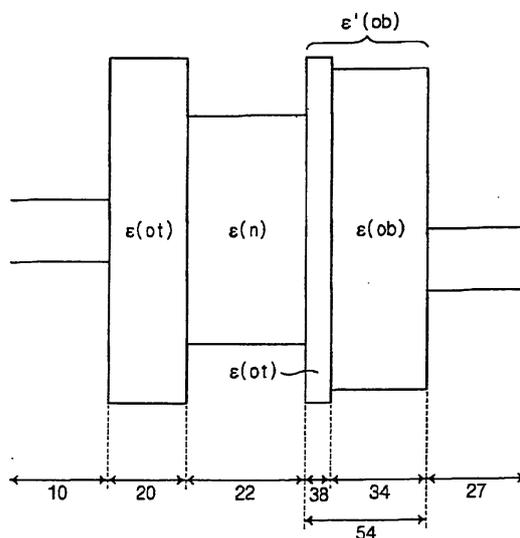
oder

die Sperrisolationsschicht (44; 54; 64; 114) eine erste Siliziumoxidschicht (38), eine dielektrische Schicht (34) und eine zweite Siliziumoxidschicht (36) aufweist, wobei die erste Siliziumoxidschicht (38) zwischen der Ladungsspeicher-

schicht (22; 112) und der dielektrischen Schicht (34) und die zweite Siliziumoxidschicht (36) zwischen der dielektrischen Schicht (34) und der Gate-Elektrode (27) angeordnet ist,

b) eine Dielektrizitätskonstante der dielektrischen Schicht (34) größer als die der Tunnelisolationsschicht (22; 110) ist, und

c) die dielektrische Schicht (34) eine Metalloxidschicht oder eine dotierte Metalloxidschicht oder eine Metalloxinitridschicht ist.



(56) Ermittelter Stand der Technik:

DE	30 32 364	C3
US	5 619 051	A
US	6 011 725	A
WO	02/ 035 610	A1
JP	2002- 203 917	A
JP	2001- 077 319	A

Beschreibung

Gebiet der Erfindung

[0001] Die vorliegende Erfindung betrifft eine nicht-flüchtige Speichervorrichtung und insbesondere eine nicht-flüchtige Speichervorrichtung mit einer schwebenden Falle, im folgenden als nicht-flüchtige Floating-Trap-Speichervorrichtung bezeichnet.

Hintergrund der Erfindung

[0002] Es gibt zwei Arten von nicht-flüchtigen Speichervorrichtungen, nämlich Speichervorrichtungen vom Floating-Gate-Typ und Speichervorrichtungen vom Floating-Trap-Typ. Eine Floating-Gate-Speichervorrichtung kann ein Steuergate und ein leitendes Floating-Gate, das durch eine Isolationsschicht von einem Substratkanal isoliert ist, enthalten. Floating-Gate-Speichervorrichtungen können durch ein Speichern von Ladungen als freie Ladungsträger auf dem leitenden Floating-Gate programmiert werden.

[0003] Floating-Trap-Speichervorrichtungen können eine nicht-leitende Ladungsspeicherschicht zwischen einer Gate-Elektrode und einem Substrat enthalten. Floating-Trap-Speichervorrichtungen können durch das Speichern von Ladungen in den Traps (Fallen) in der nicht-leitenden Ladungsspeicherschicht programmiert werden.

[0004] Floating-Gate-Speichervorrichtungen haben im allgemeinen eine dickere Tunnelisolationsschicht, als die Floating-Trap-Speichervorrichtungen, um eine vergleichbare Zuverlässigkeit für die gespeicherten Ladungen vorzusehen. Eine dickere Tunnelisolationsschicht kann zu einer vergrößerten Betriebsspannung für die Speichervorrichtung und einer vergrößerten Komplexität der damit assoziierten Peripherieschaltung führen. Folglich kann es schwieriger sein, eine hohe Integrationsdichte und einen niedrigen Leistungsverbrauch für Floating-Gate-Speichervorrichtungen als für Floating-Trap-Speichervorrichtungen vorzusehen.

[0005] Ein SONOS(silicon-Oxide-nitride-Oxide-semiconductor)-Aufbau einer herkömmlichen Floating-Trap-Speichervorrichtung wird in **Fig. 1** gezeigt. Die Speichervorrichtung enthält eine Tunnelisolationsschicht **20**, eine Ladungsspeicherschicht **22**, eine Blockierung- bzw. Sperrisolationsschicht **24** und eine Gate-Elektrode **27**, die aufeinanderfolgend auf einem aktiven Bereich eines P-Halbleitersubstrats **10** aufgebracht ist. Eine N⁺-Störstellendiffusionsschicht **28** ist auf einem aktiven Bereich auf gegenüberliegenden Seiten der Gate-Elektrode **27** ausgebildet. Die Tunnelisolationsschicht **20** enthält ein thermisches Oxidmaterial und die Ladungsspeicherschicht **22** enthält Siliziumnitrid-Material.

[0006] Ein Energiebanddiagramm einer Floating-Trap-Speichereinheit wird in **Fig. 2** gezeigt, die einen Schnitt entlang einer Linie I-I' in der **Fig. 1** darstellt. Es werden in intrinsische Energiebandlücken für die Materialien entsprechend dem Halbleitersubstrat **10**, der Tunnelisolationsschicht **20**, der Ladungsspeicherschicht **22**, der Sperrisolationsschicht **24** und der Gate-Elektrode **27** gezeigt. Unterschiede zwischen den Energiebandlücken führen zu Potenzialbarrieren an den Schnittstellen zwischen den Materialien.

[0007] Beispielsweise kann die Ladungsspeicherschicht **22** Siliziumnitrid enthalten, welches eine Energiebandlücke von ungefähr 5 eV aufweist. Die entsprechenden Potenzialbarrieren zwischen der Tunnelisolationsschicht **20** und der Ladungsspeicherschicht **22** können ungefähr 1 eV bzw. 2 eV für das Leitungsband und das Valenzband betragen.

[0008] Eine Siliziumnitridschicht ist bekannt dafür, daß sie drei Fallenwerte (trap levels) aufweist. Eine Faltenmitte (trap center) der Siliziumnitridschicht enthält ein Siliziumatom, das drei Stickstoffatome verbindet und eine offene Bindung (dangling bond) aufweist. Wenn kein Elektron mit der offenen Bindung verbunden ist (d. h., ein Loch damit verbunden ist), kann dieser Zustand als ein erster Fallenwert E_1 bezeichnet werden. Wenn ein Elektron sich mit der offenen Bindung verbindet, kann dieser Zustand als ein zweiter Fallenwert E_2 bezeichnet werden, welcher höher als der erste Fallenwert E_1 ist. Wenn zwei Elektronen sich mit der freien Bindung verbinden, kann der Zustand als ein dritter Fallenwert E_3 bezeichnet werden, welcher höher als der zweite Fallenwert E_2 ist.

[0009] Eine nicht-flüchtige Floating-Trap-Speichervorrichtung verwendet Fallenwerte, wie sie beispielsweise in einer Siliziumnitridschicht zu finden sind, für Speichervorgänge. Wenn eine positive Spannung an die Gate-Elektrode **27** angelegt wird, tunneln Elektronen durch die Tunnelisolationsschicht **20**, um in der Ladungsspei-

cherschicht **22** gefangen zu werden. Da die Elektronen sich in der Ladungsspeicherschicht **22** ansammeln erhöht sich eine Schwellwertspannung der Speichervorrichtung und die Speichervorrichtung wird programmiert.

[0010] Wenn im Gegensatz dazu eine negative Spannung an die Gate-Elektrode **27** angelegt wird, wie in **Fig. 3** gezeigt, werden gefangene Elektronen zu dem Halbleitersubstrat **10** durch die Tunnelisolationsschicht **20** entladen. Dementsprechend werden Löcher in dem ersten Fallwert E_1 von dem Halbleitersubstrat **10** durch die Tunnelisolationsschicht **20** gefangen. Folglich wird die Schwellwertspannung der Speichervorrichtung verringert und die Speichervorrichtung wird gelöscht.

[0011] Um die Speichervorrichtung zu programmieren sollten die Ladungsmengen von dem Kanal relativ groß im Vergleich zu den Ladungsmengen von der Gate-Elektrode sein. Wenn beispielsweise eine positive Spannung an die Gate-Elektrode angelegt wird und falls die Menge der Löcher, die von der Gate-Elektrode zu der Floating-Trap-Schicht geliefert wird, gleich der Menge der Elektronen ist, die von dem Kanal zu der Floating-Trap vorgesehen werden, gleichen sich negative Ladungen und positive Ladungen aus und umgekehrt. Dementsprechend wird die Schwellwertspannung nicht verändert und ein Programmieren kann ausgeschlossen werden.

[0012] Wenn die Dicke der Siliziumoxidschicht, die als eine Tunneloxidschicht dient, kleiner oder gleich 2 nm ist, kann der Stromfluß von einem direkten Tunneln einen Stromfluß von einem F-N-Tunneln übersteigen, und ein Löschvorgang kann auftreten. Wenn eine Sperrschicht eine Dicke von ungefähr 5 nm aufweist, wird eine Ladung hauptsächlich durch F-N-Tunneln bewegt und die Menge an Ladungen von dem Kanal kann größer sein, als die Menge der Ladungen von der Gate-Elektrode. Wenn im Gegensatz dazu die Dicke der Tunnelisolationsschicht kleiner oder gleich 2 nm ist, und die Sperrisolationsschicht dicker als die Tunnelisolationsschicht ist, werden die Ladungen bei Lös- und Programmierungsvorgängen hauptsächlich von dem Kanal vorgesehen, und die Schwellwertspannung kann leichter gesteuert werden.

[0013] Die Dicke der Siliziumoxidschicht kann die Datenbeibehaltungszeit der Speichervorrichtung beeinflussen. Wenn beispielsweise die Dicke der Siliziumoxidschicht 2 nm oder weniger beträgt, können in der Floating-Trap gespeicherte Ladungen leichter verloren gehen und die Datenbeibehaltungszeit der Speichervorrichtung kann sich verkürzen. Wenn die Dicke der Siliziumoxidschicht 2 nm oder größer ist, kann die Datenbeibehaltungszeit verlängert sein, aber der primäre Fluß an Ladungen zu der Floating-Trap wird durch ein F-N-Tunneln verursacht sein. Ein F-N-Tunneln kann leichter ausgeführt werden, da eine effektive Masse der Ladungsträger kleiner wird und das elektrische Feld auf dem Ladungsträgerweg stärker wird.

[0014] Herkömmliche Vorgänge zum Programmieren und Löschen einer Floating-Trap-Speichervorrichtung werden im folgenden beschrieben. Während einer frühen Phase eines Programmierungsvorgangs, wenn die Tunnelisolationsschicht und die Sperrisolationsschicht Oxidmaterialien sind und eine Spannung an die Gate-Elektrode angelegt wird, kann das erzeugte elektrische Feld durch die folgende Gleichung 1 beschrieben werden.

Gleichung 1

$$E_{ot} = E_{ob} = \frac{V_g - \Phi_{ms} - 2\Phi_b}{X_{ot} + \frac{\varepsilon(ot)}{\varepsilon(SIN)} + X_{ob}}$$

[0015] Die Symbole „ot“, „ob“ und „SIN“ stellen die Tunnelschicht, die Blockisolationsschicht bzw. die Siliziumnitridschicht dar. Das Symbol „E“ stellt das elektrische Feld dar, „Vg“ stellt die Spannung einer Gate-Elektrode dar, „Φms“ stellt eine Differenz einer Arbeitsfunktion bzw. der Austrittsarbeit zwischen dem Substrat und der Gate-Elektrode dar, „Φb“ stellt ein Substratoberflächenpotential dar, „X“ stellt die Dicke der Oxidschicht dar und „ε“ stellt eine Dielektrizitätskonstante dar.

[0016] Während der frühen Phase des Programmierungsvorgangs, wenn eine positive Spannung an die Gate-Elektrode angelegt wird, wird ein Loch von der Gate-Elektrode zu der Floating-Trap bewegt und eine Elektron wird von dem Kanal zu dem Floating-Trap bewegt. Wenn mehr Elektronen zur Gate-Elektrode gelangen, als Löcher, vergrößert sich die Schwellwertspannung. Da Elektronen in der Floating-Trap der Ladungsspeicherschicht gefangen werden und sich darin ansammeln, kann das an die Sperrisolationsschicht angelegte Feld stärker werden als das an die Tunnelisolationsschicht angelegte elektrische Feld. Wenn es einmal stärker ist,

werden zunehmend gefangene Elektronen über die Sperrisolationsschicht entladen, oder Löcher werden zunehmend von der Gate-Elektrode injiziert, so daß ein Anwachsen der Schwellwertspannung begrenzt wird.

[0017] Während eines Löschvorgangs, wenn eine relativ niedrige Spannung an der Gate-Elektrode anliegt, bewegen sich Elektronen durch ein F-N-Tunneln von der Elektrode zu der Floating-Trap und Löcher bewegen sich von dem Kanal zu der Floating-Trap. Da die effektive Masse von Elektronen geringer ist als die der Löcher, fließen Elektronen von der Gate-Elektrode leichter zu dem Kanal, als Löcher. In einer frühen Phase des Löschvorgangs, wenn die Floating-Trap der Siliziumnitridschicht (d. h., die Ladungsspeicherschicht) gleichförmig mit Elektronen angefüllt ist, kann die Ladungsmenge Q negativ sein. Bei einer negativen Ladungsmenge Q kann die Sperrisolationsschicht und die Tunnelisolationsschichten durch die folgenden Gleichungen 2 und 3 beschrieben werden.

Gleichung 2

$$E_{ot} = \frac{V_g - \Phi_{ms} - \Phi_b - Q \left(\frac{X_{ot}}{\epsilon(o_b)} + \frac{X_n}{2\epsilon(n)} \right)}{X_{ot} + X_n \frac{\epsilon(o_t)}{\epsilon(n)} + X_{ob}}$$

Gleichung 3

$$E_{ob} = E_{ot} + \frac{Q}{\epsilon(o_t)}$$

[0018] Die Symbole „ot“, „ob“ und „SIN“ stellen die Tunnelschicht, die Sperrisolationsschicht bzw. die Siliziumnitridschicht dar. Das Symbol „E“ stellt das elektrische Feld dar, „Vg“ stellt die Spannung einer Gate-Elektrode dar, „Φms“ stellt eine Differenz einer Arbeitsfunktion bzw. der Austrittsarbeit zwischen dem Substrat und der Gate-Elektrode dar, „Φb“ stellt ein Substratoberflächenpotential dar, „X“ stellt die Dicke der Oxidschicht dar und „Q“ stellt die Ladungsmenge auf der Siliziumnitridschicht dar.

[0019] Wenn die Dicke der Tunnelisolationsschicht 2 nm oder mehr beträgt, werden Ladungen bei der Tunnelisolationsschicht und der Sperrisolationsschicht durch ein F-N-Tunneln bewegt. Während eines Löschvorgangs kann die von der Gate-Elektrode vorgesehene Menge an Elektronen die Menge an Löchern übersteigen, die von dem Kanal vorgesehen werden, und die Floating-Trap kann eine negative Ladung ansammeln, welche es schwierig macht, die Schwellwertspannung zum Löschen des Speichers ausreichend abzusenken.

[0020] Aus der JP 2001-077 319 A und aus der US 6 011 725 A ist jeweils eine nichtflüchtige Floating-Trap-Speichervorrichtung mit einer nicht-leitfähigen Ladungsspeicherschicht bekannt.

[0021] Aus der US 5 619 051 A ist eine nicht-flüchtige Floating-Gate-Speichervorrichtung bekannt, bei der zum Verringern der Betriebsspannung die Dielektrizitätskonstante einer dielektrischen Schicht zwischen dem Floating-Gate und dem Steuergate größer als die Dielektrizitätskonstante der dielektrischen Schicht zwischen dem Floating-Gate und dem Kanalbereich gewählt wird.

[0022] Aus der DE 30 32 364 C3 ist eine nicht-flüchtige Floating-Trap-Speichervorrichtung vom MANOS-Typ bekannt, bei der eine Al_2O_3 -Schicht als eine Sperrisolationsschicht, eine Si_3N_4 -Schicht als Ladungsspeicherschicht und eine SiO_2 -Schicht als Tunnelisolationsschicht verwendet wird.

[0023] Die Druckschrift WO 02/035 610 A1 ist gemäß § 3(2) Nr. 2 PatG für die Neuheit der vorliegenden Erfindung relevanter Stand der Technik soweit die dieser Druckschrift entsprechende PCT-Anmeldung die Priorität der als JP 2002-203 917 A veröffentlichten japanischen Patentanmeldung wirksam in Anspruch nimmt. In der WO 02/035 610 A1 und in der JP 2002-203 917 A ist jeweils eine nicht-flüchtige Floating-Trap-Speichervorrichtung beschrieben, bei der als Sperrisolationsschicht eine dielektrische Schicht aus einem der folgenden Materialien verwendet wird: SiO_2 , SiN_x , SiN_xO_y , Al_2O_3 , Ta_2O_5 , ZrO_2 oder HfO_2 .

Kurzfassung der Erfindung

[0024] Es ist Aufgabe der Erfindung, eine Floating-Trap-Speichervorrichtung bereitzustellen, mit der ein schnelleres und effizienteres Programmieren und Löschen der Speicherzelle ermöglicht wird.

[0025] Die Aufgabe wird gelöst durch eine nicht-flüchtige Floating-Trap-Speichervorrichtung nach Anspruch 1. Weiterbildungen der Erfindung sind in den Unteransprüchen angegeben.

Kurze Beschreibung der Zeichnungen

[0026] Fig. 1 zeigt eine Querschnittsansicht eines SONOS-(silicon Oxide nitride Oxide semiconductor)-Aufbau einer herkömmlichen Floating-Trap-Speichervorrichtung.

[0027] Fig. 2 zeigt ein Energiebanddiagramm einer herkömmlichen Floating-Trap-Speichervorrichtung entlang einer Linie I-I' in Fig. 1.

[0028] Fig. 3 zeigt ein Energiebanddiagramm eines Energiebandes und eines Ladungsträgerflusses, wenn eine Spannung an eine Gate-Elektrode einer herkömmlichen Speichervorrichtung angelegt wird, die in Fig. 2 gezeigt ist.

[0029] Fig. 4 zeigt ein Energiebanddiagramm einer Floating-Trap-Speichervorrichtung gemäß einiger Ausführungsformen der vorliegenden Erfindung.

[0030] Fig. 5 zeigt ein Energiebanddiagramm einer Floating-Trap-Speichervorrichtung gemäß zusätzlicher Ausführungsformen der vorliegenden Erfindung.

[0031] Fig. 6 zeigt ein Energiebanddiagramm einer Floating-Trap-Speichervorrichtung gemäß weiteren Ausführungsformen der vorliegenden Erfindung.

[0032] Fig. 7 zeigt ein Energiebanddiagramm einer Floating-Trap-Speichervorrichtung gemäß zusätzlichen Ausführungsformen der vorliegenden Erfindung.

[0033] Fig. 8 zeigt eine Draufsicht einer Speichervorrichtung gemäß einigen Ausführungsformen der vorliegenden Erfindung.

[0034] Fig. 9 zeigt eine Querschnittsansicht entlang einer Bitleitung einer Speichervorrichtung, wie etwa der Speichervorrichtung von Fig. 8, gemäß einigen Ausführungsformen der vorliegenden Erfindung.

[0035] Fig. 10 zeigt eine Querschnittsansicht entlang einer Bitleitung einer Speichervorrichtung, wie etwa der Speichervorrichtung in Fig. 8, gemäß weiteren Ausführungsformen der vorliegenden Erfindung.

Detaillierte Beschreibung der Erfindung

[0036] Die vorliegende Erfindung wird im Folgenden unter Bezugnahme auf die beiliegende Zeichnung, in welcher bevorzugte Ausführungsformen der Erfindung gezeigt werden, eingehender beschrieben. Die Erfindung kann jedoch in vielen verschiedenen Formen verkörpert sein und sollte nicht so ausgelegt werden, als daß sie auf die hierin dargelegten Ausführungsformen begrenzt sei. Vielmehr sind diese Ausführungsformen dazu vorgesehen, daß die Erfindung sorgfältig und vollständig ist, und vermitteln einem Fachmann das Konzept der Erfindung vollständig. Bei den Zeichnungen sind die Dicken der Schichten und Bereiche aus Gründen der Klarheit vergrößert dargestellt. Es ist ebenso offensichtlich, daß wenn eine Schicht als „auf“ einer anderen Schicht oder Substrat seiend bezeichnet wird, diese direkt auf einer anderen Schicht oder Substrat sein kann oder ebenso dazwischenliegende Schichten aufweisen kann. Wenn im Gegensatz dazu ein Element als „direkt auf“ einem anderen Element seiend bezeichnet wird, sind keine dazwischenliegenden Elemente vorhanden.

[0037] Ein Energiebanddiagramm einer Floating-Trap-Speichervorrichtung gemäß einigen Ausführungsformen der vorliegenden Erfindung ist in Fig. 4 gezeigt. Die in dem Energiebanddiagramm dargestellte Floating-Trap-Speichervorrichtung kann ein Substrat **10**, eine Tunnelisolationsschicht **20**, eine Ladungsspeicherschicht **22**, eine dielektrische Schicht **34** und eine Gate-Elektrode **27** enthalten. Die dielektrische Schicht **34** kann als eine Blockierungs- bzw. Sperrisolationsschicht dienen. Am Anfang eines Programmierungsvorgangs der Speichervorrichtung können die elektrischen Feldintensitäten der Tunnelisolationsschicht **20** und der Sperrisolationsschicht **34** durch die folgenden Gleichungen 4 und 5 beschrieben werden.

Gleichung 4

$$E_{ot} = \frac{Vg - \Phi_{ms} - 2\Phi b}{X_{ot} + X_n \frac{\varepsilon(ot)}{\varepsilon(n)} + X_{ob} \frac{\varepsilon(ot)}{\varepsilon(ob)}}$$

Gleichung 5

$$E_{ob} = E_{ot} \frac{\varepsilon(ot)}{\varepsilon(ob)}$$

[0038] Die Symbole „ot“, „ob“ und „n“ stellen die Tunnelschicht **20**, die Sperrisolationsschicht **34** bzw. die Ladungsspeicherschicht **22** dar. Das Symbol „E“ stellt das elektrische Feld dar, „Vg“ stellt die Spannung einer Gate-Elektrode **27** dar, „ Φ_{ms} “ stellt eine Differenz einer Arbeitsfunktion bzw. Austrittsarbeit zwischen dem Substrat **10** und der Gate-Elektrode **27** dar, „ Φb “ stellt ein Substratoberflächenpotential dar, „X“ stellt die Dicke der Oxidschicht dar und „ ε “ stellt eine Dielektrizitätskonstante dar.

[0039] Gemäß einigen Ausführungsformen der vorliegenden Erfindung kann eine Dielektrizitätskonstante der dielektrischen Schicht **34** höher sein als eine Dielektrizitätskonstante der Tunnelisolationsschicht **20**. Eine höhere Dielektrizitätskonstante für die dielektrische Schicht **34** kann eine höhere elektrische Feldintensität für die Tunnelisolationsschicht **20** als für die dielektrische Schicht **34** vorsehen (siehe Gleichung 5). Wenn eine derartige Speichervorrichtung programmiert wird, können Elektronen leichter über die Tunnelisolationsschicht **20** injiziert werden und eine höhere Menge an Elektronen kann von dem Kanal zu der Gate-Elektrode **27** fließen. Folglich kann ein Programmieren der Speichervorrichtung schneller erfolgen.

[0040] Gemäß Gleichung 4 und 1 kann während eines Programmierens der Floating-Trap-Speichervorrichtung gemäß Ausführungsformen der vorliegenden Erfindung ein elektrisches Feld in einer Tunneloxidschicht **20** (hierin im Folgenden als „ EF_P “ bezeichnet) stärker sein als ein elektrisches Feld in der Tunneloxidschicht **20** (hierin im Folgenden als „ EF_P “ bezeichnet werden) sein. Wenn „ EF_P “ positiv ist, wird ein positives Ergebnis erzielt, wenn „ EF_P “ von „ EF_P “ subtrahiert wird, wie durch Gleichung 6 gezeigt.

Gleichung 6

$$\Delta E_{ot} = \frac{(Vg - \Phi_{ms} - 2\Phi b) \left(1 - \frac{\varepsilon(ot)}{\varepsilon(ob)}\right) X_{ob}}{\left(X_{ot} + X_n \frac{\varepsilon(ot)}{\varepsilon(n)} + X_{ob}\right) \left(X_{ot} + X_n \frac{\varepsilon(ot)}{\varepsilon(n)} + X \frac{\varepsilon(ot)}{\varepsilon(ob)}\right)}$$

[0041] Das Symbol „ $\varepsilon(ob)$ “ stellt eine hohe Dielektrizitätskonstante der dielektrischen Schicht **34** dar. Die hohe Dielektrizitätskonstante kann einen schnelleren Programmiervorgang der Speichervorrichtung verglichen mit einer herkömmlichen Speichervorrichtung an die eine gleichwertige Spannung angelegt ist, wie sie in **Fig. 2** gezeigt ist, vorsehen.

[0042] Eine Beziehung der elektrischen Feldstärken der Tunnelisolationsschicht **20** und der dielektrischen Schicht **34** während eines Löschvorgangs kann durch die folgenden Gleichungen 7 und 8 beschrieben werden.

Gleichung 7

$$E_{ot} = \frac{Vg - \Phi_{ms} - \Phi b - Q \left(\frac{X_{ot}}{\varepsilon(ob)} + \frac{X_n}{2\varepsilon(n)} \right)}{X_{ot} + X_n \frac{\varepsilon(ot)}{\varepsilon(n)} + X_{ob} \frac{\varepsilon(ot)}{\varepsilon(ob)}}$$

Gleichung 8

$$E_{ob} = \left(E_{ot} + \frac{Q}{\varepsilon(ot)} \right) \frac{\varepsilon(ot)}{\varepsilon(ob)}$$

[0043] Das Symbol „Q“ stellt eine Ladungsmenge in der Ladungsspeicherschicht **22** dar und weist einen negativen Wert auf, das Symbol, „ $\epsilon(\text{ob})$ “ stellt eine Dielektrizitätskonstante einer dielektrischen Schicht **34** dar und „ $\epsilon(\text{ot})$ “ stellt eine dielektrische Schicht einer Tunnelisolationsschicht **20** dar.

[0044] Wenn „ $\epsilon(\text{ob})$ “ ausreichend größer als „ $\epsilon(\text{ot})$ “ ist, kann das elektrische Feld der Tunnelisolationsschicht **20** stärker werden als das elektrische Feld der dielektrischen Schicht **34**. Die Veränderung in der Ladungsmenge, die durch eine Ladungsträgerbewegung durch die Tunnelisolationsschicht **20** (d. h., ein Einfließen der Kanallöcher und ein Herausfließen der Elektronen aus der Ladungsspeicherschicht **22**) verursacht wird, kann größer sein, als die Veränderung bei der Ladungsmenge, die durch eine Ladungsträgerbewegung über die dielektrische Schicht **34** (d. h., einfließende Elektronen von der Gate-Elektrode **27**) verursacht wird. In einem derartigen Fall kann die Schwellwertspannung durch das Einfließen von Kanallöchern bei der Ladungsspeicherschicht **22** leichter verringert werden und ein Löschrückbetrieb kann leichter durchgeführt werden.

[0045] Während eines Löschrückbetriebs kann das an die Tunnelisolationsschicht **20** der Speichervorrichtung der **Fig. 4** angelegte elektrische Feld stärker werden als das an die Tunnelisolationsschicht **20** der Speichervorrichtung der **Fig. 2** angelegte Feld werden, wie es zum Beispiel durch Gleichung 6 gezeigt wird. Auf diese Art und Weise kann die Geschwindigkeit des Löschrückvorgangs vergrößert werden.

[0046] Gemäß **Fig. 5** wird eine Speichervorrichtung gemäß weiteren Ausführungsformen der vorliegenden Erfindung gezeigt. Die Speichervorrichtung enthält ein Halbleitersubstrat **10**, eine Tunnelisolationsschicht **20**, eine Ladungsspeicherschicht **22**, eine Blockierungs- bzw. Sperrisolationsschicht **44** und eine Gate-Elektrode **27**. Die Sperrisolationsschicht **44** kann eine dielektrische Schicht **34** und eine Siliziumoxidschicht **36** zwischen der Ladungsspeicherschicht **22** und der Gate-Elektrode **27** enthalten. Insbesondere kann die Siliziumoxidschicht **36** zwischen der dielektrischen Schicht **34** und der Gate-Elektrode **27** angeordnet sein.

[0047] Gemäß **Fig. 6** wird eine Speichervorrichtung gemäß weiteren Ausführungsformen der vorliegenden Erfindung gezeigt. Die Speichervorrichtung kann ein Halbleitersubstrat **10**, eine Tunnelisolationsschicht **20**, eine Ladungsspeicherschicht **22**, eine Sperrisolationsschicht **54** und eine Gate-Elektrode **27** enthalten. Die Sperrisolationsschicht **54** enthält eine dielektrische Schicht **34**, die eine hohe Dielektrizitätskonstante aufweist, und eine Siliziumoxidschicht **38** zwischen der Ladungsspeicherschicht **22** und der Gate-Elektrode **27**. Insbesondere kann die dielektrische Schicht **34** zwischen der Siliziumoxidschicht **38** und der Gate-Elektrode **27** angeordnet sein.

[0048] Gemäß **Fig. 7** wird eine Speichervorrichtung gemäß weiteren Ausführungsformen der vorliegenden Erfindung gezeigt. Die Speichervorrichtung enthält ein Halbleitersubstrat **10**, eine Tunnelisolationsschicht **20**, eine Ladungsspeicherschicht **22**, eine Sperrisolationsschicht **64** und eine Gate-Elektrode **27**, die aufeinanderfolgend angeordnet sind. Die Sperrisolationsschicht **64** enthält eine erste Siliziumoxidschicht **36** zwischen einer hoch-dielektrischen Schicht **34** und einer Gate-Elektrode **27** und eine zweite Siliziumoxidschicht **38** zwischen der hoch-dielektrischen Schicht **34** und der Ladungsspeicherschicht **22**.

[0049] Gleichungen 4 bis 7 beschreiben die jeweiligen elektrischen Felder der Ausführungsformen der Speichervorrichtungen in **Fig. 4** bis **Fig. 7**. Beispielsweise kann bei den Ausführungsformen der **Fig. 5** bis **Fig. 7** eine Dielektrizitäts-Konstante „ $\epsilon(\text{ob})$ “ der Sperrisolationsschicht in Bezug zu Dielektrizitätskonstanten der dielektrischen Schichten und der Oxidschicht der Blockisolationsschichten gesetzt werden. Wenn eine Sperrisolationsschicht dieser Ausführungsformen die gleiche Dicke wie die Sperrisolationsschicht der in **Fig. 2** gezeigten Speichervorrichtung aufweist, wird das elektrische Feld von der Dielektrizitätskonstanten und der Dicke der dielektrischen Schicht abhängen. Die Oxidschicht der Sperrisolationsschicht kann eine Durchschlagsspannung der Sperrisolationsschicht erhöhen. Die Oxidschicht kann ebenso die Haftkraft zwischen der hoch-dielektrischen Schicht und der Gate-Elektrode oder zwischen der hoch-dielektrischen Schicht und der Ladungsspeicherschicht verbessern.

[0050] Gemäß weiteren Ausführungsformen der vorliegenden Erfindung kann die dielektrische Schicht **34** ein Metalloxid oder ein Metallnitrid eines Gruppe-III-Elements oder eines Gruppe-VB-Elements in dem Mendelejewschen Periodensystem aufweisen. Gemäß anderen Ausführungsformen kann die dielektrische Schicht **34** ein dotiertes Metalloxid oder dotiertes Metalloxidnitrid aufweisen, in welchem ein Metalloxid mit einem Gruppe-N-Element des Mendelejewschen Periodensystems dotiert ist. Das Gruppe-N-Element kann den Leckstrom von der Speichervorrichtung verringern. Das Gruppe-N-Element kann mit einem Metalloxid von ungefähr 0, 1 bis 30 Gewichtsprozent dotiert werden. Die dielektrische Schicht **34** kann ebenso eine Verbindung aus der folgenden Gruppe aufweisen: HfO_2 , $\text{Hf}_{1-x}\text{Al}_x\text{O}_y$, $\text{Hf}_x\text{Si}_{1-x}\text{O}_2$, Hf-Si-Oxynitrid, ZrO_2 , $\text{Zr}_x\text{Si}_{1-x}\text{O}_2$, und Zr-Si-Oxynitrid aufweisen.

[0051] Die dielektrische Schicht **34** kann Al_2O_3 aufweisen, das beispielsweise eine Dielektrizitätskonstante von 10 und eine Energiebandlücke von 8,3 eV aufweist, oder ZrO_2 aufweisen, das beispielsweise eine Dielektrizitätskonstante von **25** und eine Energiebandlücke von 8,3 eV aufweist. Die dielektrische Schicht **34** kann ebenso ein Material aus der folgenden Gruppe aufweisen: AlO , Al_2O_3 , Ta_2O_5 , TiO_2 , $\text{PZT}[\text{Pb}(\text{Zr}, \text{Ti})\text{O}_3]$, PbTiO_3 , PbZrO_3 , $\text{PZT}[(\text{Pb}, \text{La})(\text{Zr}, \text{Ti})\text{O}_3]$, PbO , SrTiO_3 , BaTiO_3 , V_2O_5 , $\text{BST}[\text{Ba}, \text{Sr})\text{TiO}_3]$, $\text{SBT}(\text{SrBi}_2\text{Ta}_2\text{O}_9)$, $\text{Bi}_4\text{Ti}_3\text{O}_{12}$.

[0052] Die Ladungsspeicherschicht **22** kann eines oder mehrere von Si_3N_4 , Siliziumoxynitrid, und siliziumreichem Oxid aufweisen.

[0053] Gemäß **Fig. 8** bis **Fig. 10** werden Speichervorrichtungen gemäß weiteren Ausführungsformen der Erfindung gezeigt. Eine Vielzahl von aktiven Bereichen ACT sind auf einem Halbleitersubstrat **10** angeordnet. Die aktiven Bereiche ACTs sind parallel zueinander entlang einer Richtung des Substrats **10** angeordnet. Eine gemeinsame Source-Leitung CSL kreuzt über die aktiven Bereiche ACT. Bitleitungsplugs DC sind mit jeweiligen aktiven Bereichen ACT verbunden und von der gemeinsamen Source-Leitung CSL durch einen vorbestimmten Abstand getrennt. Die Bitleitungsplugs DC sind parallel zu der gemeinsamen Source-Leitung CSL.

[0054] Eine Reihenauswahl-Gate-Elektrode **117s** und eine Masseauswahl-Gate-Elektrode **117g** sind parallel zueinander und kreuzen über die aktiven Bereiche ACT zwischen der gemeinsamen Source-Leitung CSL und den Bitleitungsplugs DC. Die Reihenauswahl-Gate-Elektrode **117s** ist zu den Bitleitungsplugs DC benachbart und die Masseauswahl-Gate-Elektrode **117g** ist zu der gemeinsamen Source-Leitung benachbart.

[0055] Zwischen der Reihenauswahl-Gate-Elektrode **117s** und der Masseauswahl-Gate-Elektrode **117g** kreuzen eine Vielzahl von Speicher-Gate-Elektroden **117m** die aktiven Bereiche ACT. Die Speicher-Gate-Elektroden **117m** sind parallel zueinander. Eine Tunnelisolationsschicht **110**, eine Ladungsspeicherschicht **112** und eine Blockisolationsschicht **114** werden zwischen den aktiven Bereichen und der Speicher-Gate-Elektroden **117m** aufeinanderfolgend aufgebracht. Die Tunnelisolationsschicht **110**, die Ladungsspeicherschicht **112** und die Sperrisolationsschicht **114** können die gleichen Materialien wie zuvor beschrieben aufweisen.

[0056] Ein Störstellen dotierter Bereich **102** ist auf den gegenüberliegenden Seiten der Reihenauswahl-Gate-Elektrode **117s**, der Masseauswahl-Gate-Elektrode **117g** und der Speicher-Gate-Elektrode **117m** angeordnet. Die gemeinsame Source-Leitung CSL ist mit dem jeweiligen störstellendotierten Bereich (Source-Bereich) **102s** verbunden, der zu der Masseauswahl-Elektrode **117g** benachbart ist. Die Isolationszwischenschicht **120** deckt die Oberfläche eines Halbleitersubstrats einschließlich der Gate-Elektroden **117g**, **117m** und **117s** und der gemeinsamen Source-Leitung CSL ab. Die Bitleitungsplugs DC werden mit den störstellendotierten Bereichen (Drain-Bereichen) **102d** verbunden, die benachbart zu der Reihenauswahl-Gate-Elektrode **117s** sind. Eine Vielzahl von Bitleitungen BL sind auf der Isolationszwischenschicht **120** derart ausgebildet, daß sie die Gate-Elektroden **117g**, **117m** und **117s** überkreuzen. Die Bitleitungen BL sind elektrisch mit den Bitleitungsplugs DC verbunden.

[0057] Speicherzellen können an den Schnittpunkten der jeweiligen Speicher-Gate-Elektroden **117m** und der aktiven Bereiche ACT vorgesehen sein. Auswahltransistoren können an Schnittpunkten der jeweiligen Auswahlgates **117s** und **117g** und den jeweiligen aktiven Bereichen ACT vorgesehen sein.

[0058] Wie es in **Fig. 9** gezeigt ist, kann die Speichervorrichtung eine Tunnelisolationsschicht **110**, eine Ladungsspeicherschicht **112** und eine Sperrisolationsschicht **114** enthalten, die zwischen der Masseauswahl-Gate-Elektrode **117g**, der Reihenauswahl-Gate-Elektrode **117s** und den aktiven Bereichen (ACT in **Fig. 8**) aufeinanderfolgend aufgebracht sind. Eine negative Spannung kann an die Masseauswahl-Gate-Elektrode **117g** und an die Reihenauswahl-Gate-Elektrode **117s** angelegt werden, um die Schwellwertspannung des Auswahltransistors während Speichervorgängen zu erniedrigen.

[0059] Gemäß weiteren Ausführungsformen, wie in **Fig. 10** gezeigt, kann die Speichervorrichtung eine Gate-Isolationsschicht **116** zwischen jeder der Masseauswahl-Gate-Elektrode **117g** und der Reihenauswahl-Gate-Elektrode **117s** und den aktiven Bereichen (ACT in **Fig. 8**) enthalten. Die Gate-Isolationsschicht **116** kann ein Siliziumoxid, ein Siliziumoxynitrid oder Kombinationen daraus aufweisen.

Patentansprüche

1. Nicht-flüchtige Floating-Trap-Speichervorrichtung die aufweist:
ein Halbleitersubstrat (**10**);
eine Tunnelisolationsschicht (**20**; **110**) auf dem Substrat (**10**);

eine nicht-leitende Ladungsspeicherschicht (22; 112) auf der Tunnelisolationsschicht (20; 110), wobei die Ladungsspeicherschicht (22; 112) Trap-Energieniveaus aufweist;
 eine Sperrisolationsschicht (44; 54; 64; 114) auf der Ladungsspeicherschicht (22; 112); und
 eine Gate-Elektrode (27) auf der Sperrisolationsschicht (44; 54; 64; 114),

dadurch gekennzeichnet, dass

a) die Sperrisolationsschicht (44; 54; 64; 114) eine Siliziumoxidschicht (38) und eine dielektrische Schicht (34) aufweist, wobei die Siliziumoxidschicht (38) zwischen der Ladungsspeicherschicht (22; 112) und der dielektrischen Schicht (34) angeordnet ist,

oder

die Sperrisolationsschicht (44; 54; 64; 114) eine dielektrische Schicht (34) und eine Siliziumoxidschicht (36) aufweist, wobei die Siliziumoxidschicht (36) zwischen der dielektrischen Schicht (34) und der Gate-Elektrode (27) angeordnet ist,

oder

die Sperrisolationsschicht (44; 54; 64; 114) eine erste Siliziumoxidschicht (38), eine dielektrische Schicht (34) und eine zweite Siliziumoxidschicht (36) aufweist, wobei die erste Siliziumoxidschicht (38) zwischen der Ladungsspeicherschicht (22; 112) und der dielektrischen Schicht (34) und die zweite Siliziumoxidschicht (36) zwischen der dielektrischen Schicht (34) und der Gate-Elektrode (27) angeordnet ist,

b) eine Dielektrizitätskonstante der dielektrischen Schicht (34) größer als die der Tunnelisolationsschicht (22; 110) ist, und

c) die dielektrische Schicht (34) eine Metalloxidschicht oder eine dotierte Metalloxidschicht oder eine Metalloxinitridschicht ist.

2. Speichervorrichtung nach Anspruch 1, wobei ein Leitungsband-Offset zwischen der dielektrischen Schicht (34) und der Siliziumoxidschicht (36; 38) oder ein Leitungsband-Offset zwischen der dielektrischen Schicht (34) und der ersten Siliziumoxidschicht (38) und der zweiten Siliziumoxidschicht (36) geringer als ein Leitungsband-Offset zwischen der dielektrischen Schicht (34) und der Ladungsspeicherschicht (22; 112) ist.

3. Speichervorrichtung nach Anspruch 1 oder 2, wobei die Dielektrizitätskonstante der dielektrischen Schicht (34) größer ist als die der Ladungsspeicherschicht (22; 112).

4. Speichervorrichtung nach Anspruch 1, wobei die dielektrische Schicht (34) dicker als die Siliziumoxidschicht (36; 38) ist oder die dielektrische Schicht (34) dicker als die erste Siliziumoxidschicht (36) und dicker als die zweite Siliziumoxidschicht (38) ist.

5. Speichervorrichtung nach Anspruch 1, wobei die Tunnelisolationsschicht (20; 110) Siliziumoxid enthält.

6. Speichervorrichtung nach Anspruch 1, wobei die dielektrische Schicht (34) mit einem Element der dritten Hauptgruppe oder der dritten Nebengruppe oder der fünften Nebengruppe des Mendelejewschen Periodensystems dotiert ist.

7. Speichervorrichtung nach Anspruch 1, wobei die dielektrische Schicht (34) mit einem Element der vierten Hauptgruppe oder der vierten Nebengruppe des Mendelejewschen Periodensystems dotiert ist.

8. Speichervorrichtung nach Anspruch 7, wobei das Element der vierten Hauptgruppe oder der vierten Nebengruppe des Mendelejewschen Periodensystems entweder Zr, Si, Ti oder Hf ist.

9. Speichervorrichtung nach Anspruch 1, wobei die Ladungsspeicherschicht (22; 112) aus Si_3N_4 , Siliziumoxinitrid oder siliziumreichen SiO_2 besteht.

10. Speichervorrichtung nach Anspruch 9, die ferner ein Paar von störstellendotierten Schichten (102) in dem Halbleitersubstrat (10) angrenzend an gegenüberliegende Seiten der Gate-Elektrode (27) aufweist.

Es folgen 9 Seiten Zeichnungen

Anhängende Zeichnungen

Fig. 1

(Stand der Technik)

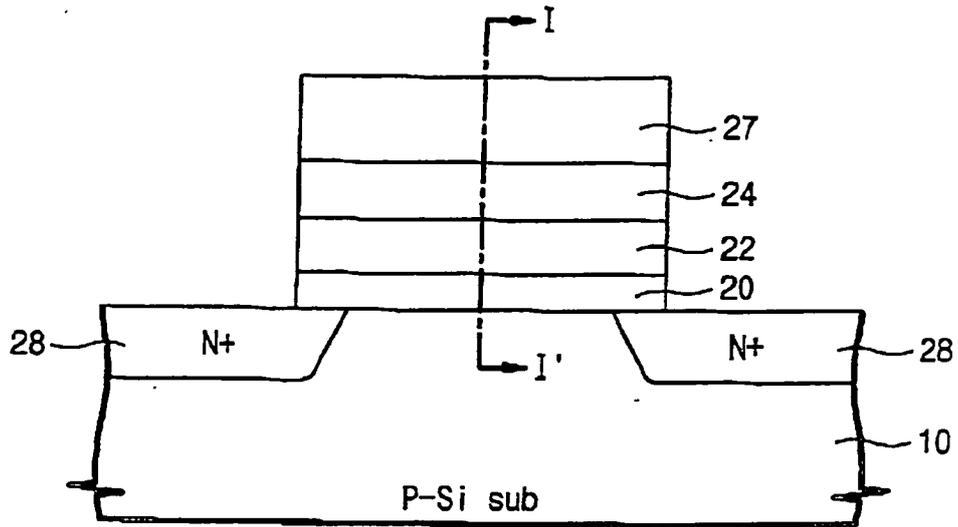


Fig. 2

(Stand der Technik)

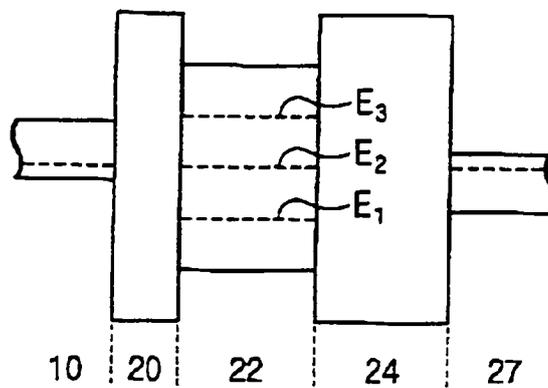


Fig. 3

(Stand der Technik)

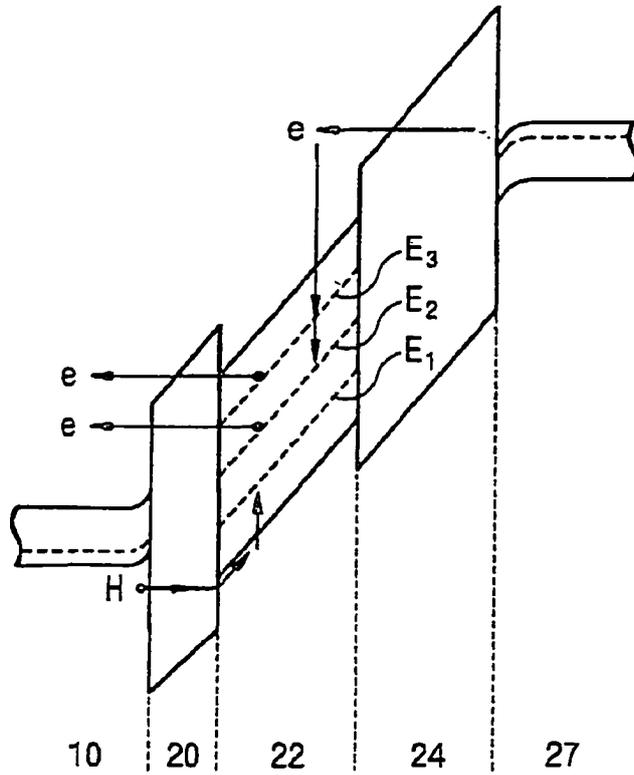


Fig. 4

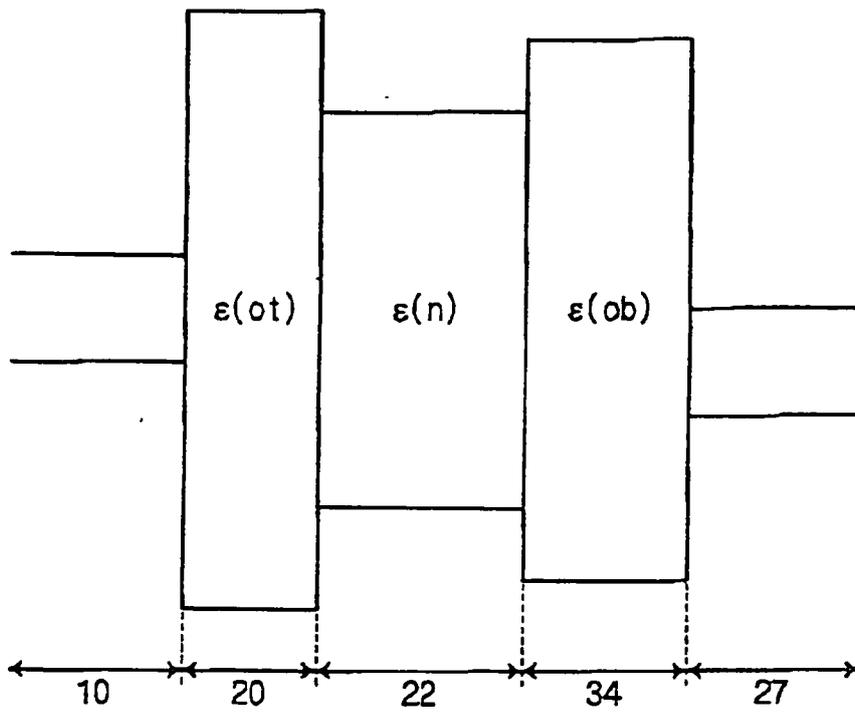


Fig. 5

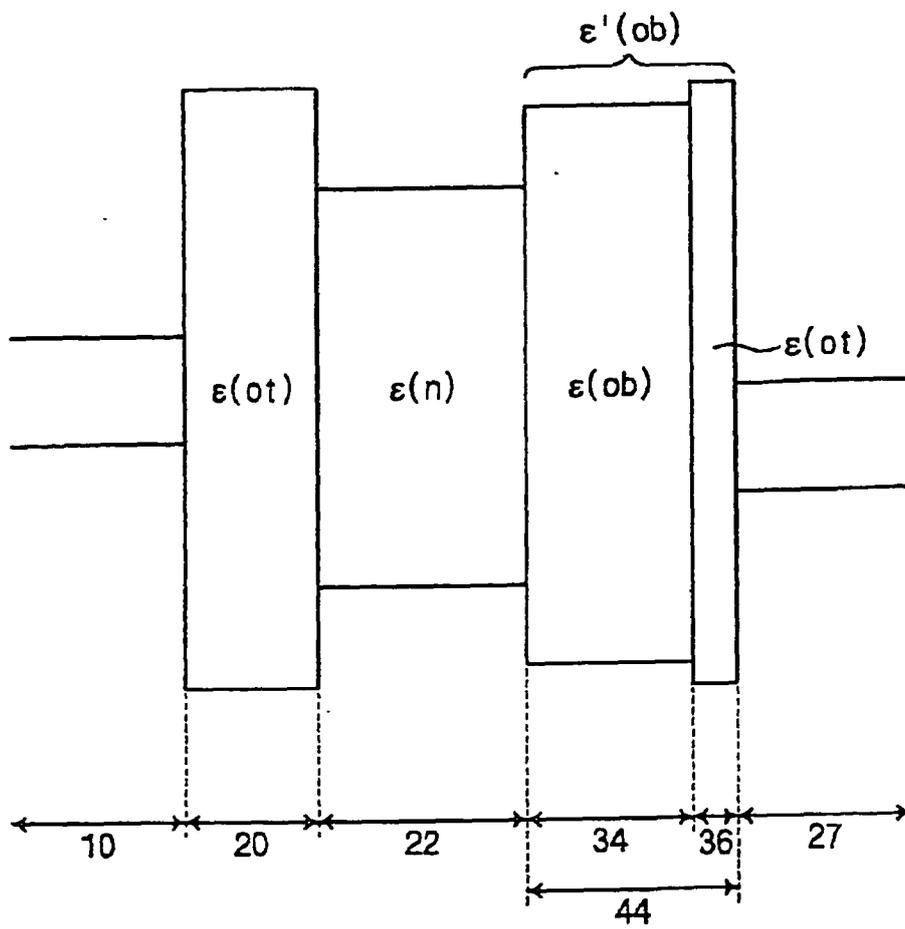


Fig. 6

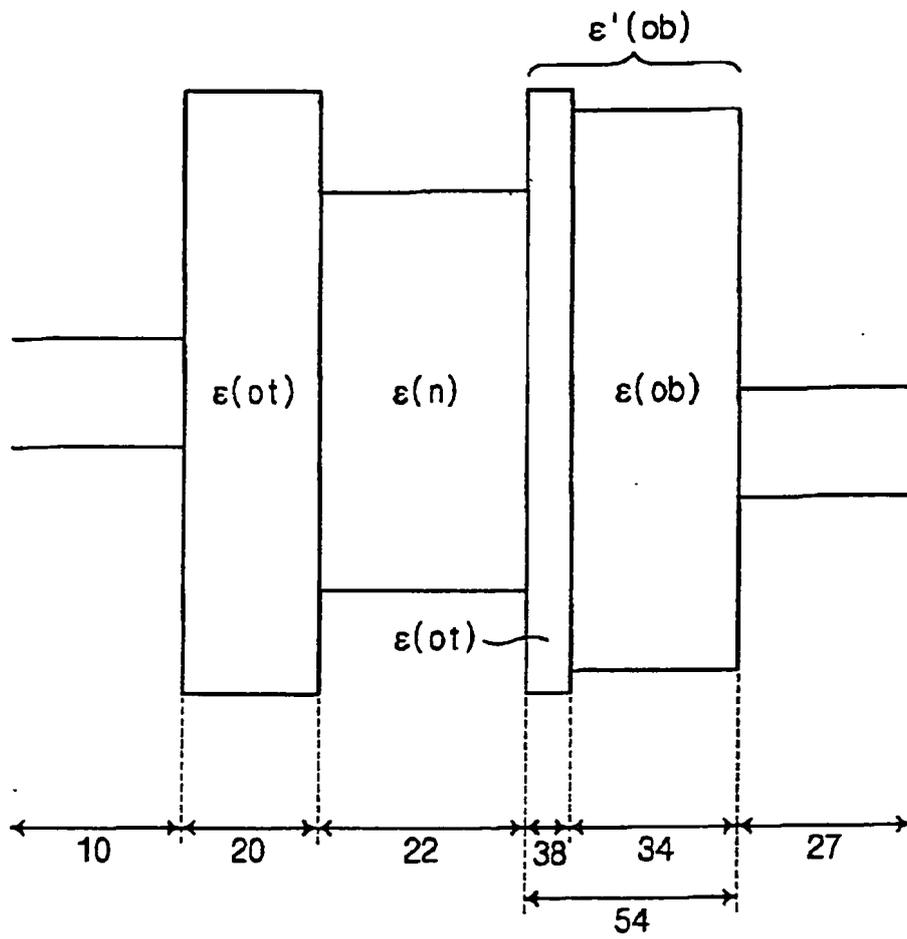


Fig. 7

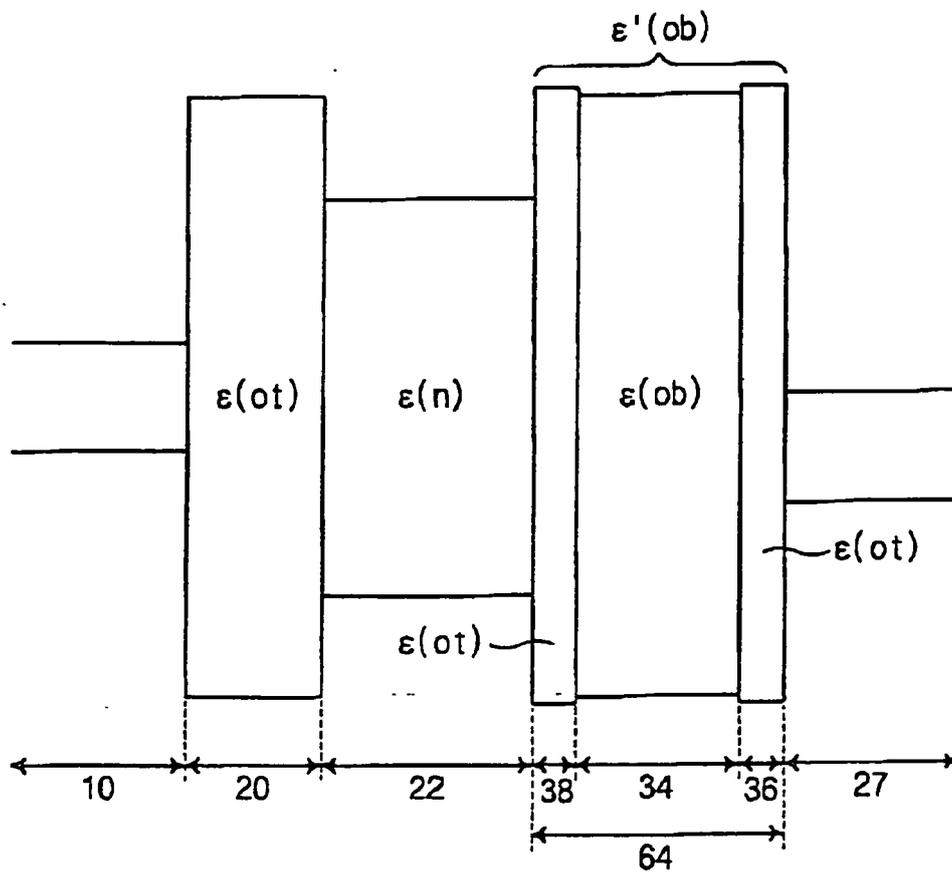


Fig. 8

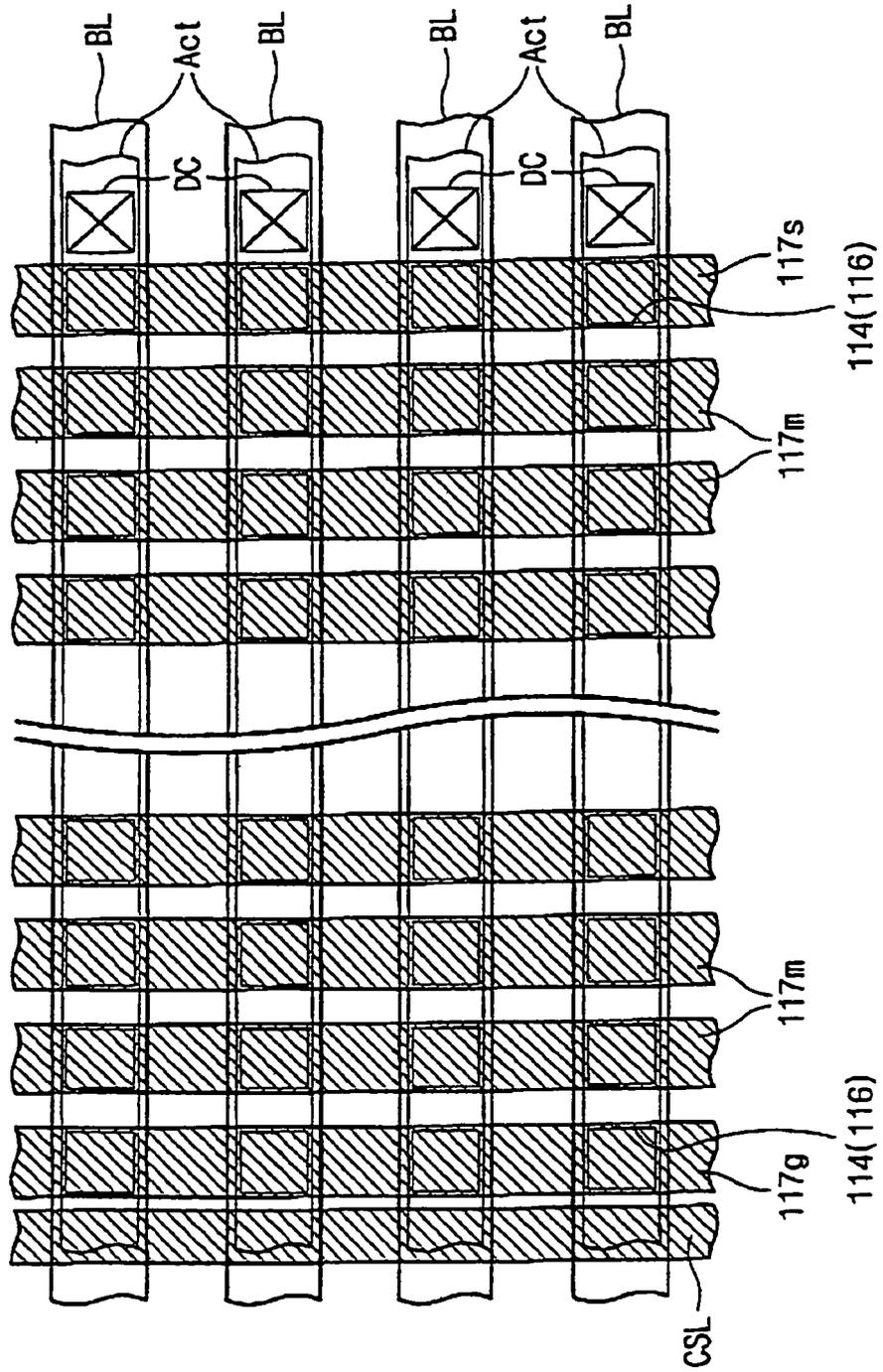


Fig. 9

