

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

G11C 11/16 (2006.01)



[12] 发明专利说明书

专利号 ZL 03815272. X

[45] 授权公告日 2008 年 11 月 26 日

[11] 授权公告号 CN 100437818C

[22] 申请日 2003.4.29 [21] 申请号 03815272. X

[30] 优先权

[32] 2002. 6. 28 [33] US [31] 10/185,868

[86] 国际申请 PCT/US2003/013094 2003. 4. 29

[87] 国际公布 WO2004/003921 英 2004. 1. 8

[85] 进入国家阶段日期 2004. 12. 28

[73] 专利权人 飞思卡尔半导体公司

地址 美国得克萨斯

[72] 发明人 约瑟夫·J·纳哈斯

托马斯·W·安德尔

其特拉·K·赛伯拉玛尼安

布拉德利·J·格尼

马克·A·杜尔莱姆

[56] 参考文献

US2002/034117A1 2002. 3. 21

JP2001267524A 2001. 9. 28

US2002/0060938A1 2002. 5. 23

US2002/036918A1 2002. 3. 28

审查员 李 圆

[74] 专利代理机构 中国国际贸易促进委员会专利
商标事务所

代理人 李德山

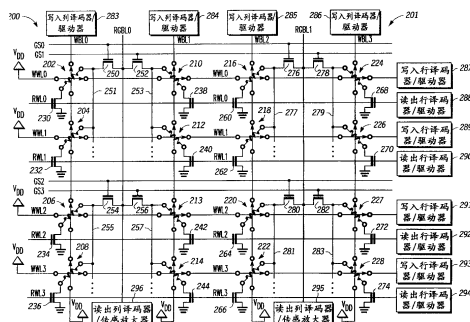
权利要求书 4 页 说明书 18 页 附图 10 页

[54] 发明名称

具有电隔离的读写电路的 MRAM 结构

[57] 摘要

磁阻随机存取存储器 (MRAM) (200) 具有分开的读 (RWL0, RGBL0) 和写 (WBL0, WWL0) 路径。通过不需要在特定的线上在读和写之间进行切换, 这减小周围的电路 (114, 116, 118, 120, 122, 124, 126, 128, 130, 132)。通过把路径专用于读信号或写信号, 对于这些功能的电压电平可被最佳化。仅仅是读功能的一部分的选择晶体管 (230) 可以是低电压类型的, 因为它们不必接收写电路的相对较高的电压。类似地, 写电压不必降低到容纳低电压类型的晶体管。总的存储器 (200) 的尺寸在改进性能的同时被有效地保持为小的。存储器单元 (202) 被编组, 以使得相邻的组被耦合到公共全局位线 (RGBL0), 这减小对于把电容减小分组方法提供给存储器单元选择所需要的空间。



1. 一种存储器，包括：

被排列成多个行和列的随机存取存储器单元的阵列，多个行和列的每个交叉点形成存储器单元；

多条写入位线，多条写入位线的每条写入位线被使用来把数据值放置在位于随机存取存储器单元的阵列的预定的列内的预定的存储器单元；

多条读出位线，多条读出位线的每条读出位线被使用来读出在位于随机存取存储器单元的阵列的预定的列内的预定的存储器单元中的数据值，多条写入位线是与多条读出位线互相电隔离的；

其中隧道结 存储器单元的多个物理地相邻的列共用公共的全局读出位线。

2. 权利要求 1 的存储器，其中随机存取存储器单元的阵列的多个物理地相邻的列的每个列还包括共用公共本地读出位线导体的多个相邻的位单元组。

3. 权利要求 1 的存储器，其中随机存取存储器单元的多个物理地相邻的列的每个列还包括被串联连接到参考终端的多个相邻的位单元组。

4. 权利要求 1 的存储器，还包括：

多条读出字线，多条读出字线的每条读出字线被与读出位线一起使用来读出在位于存储器单元的预定的行内的预定的单元中的数据值；以及

多条写入字线，多条写入字线的每条写入字线被与写入位线一起使用来把数据值放置在位于存储器单元的预定的列内的预定的存储器单元，多条读出字线是与多条写入字线互相电隔离的。

5. 权利要求 4 的存储器，其中随机存取存储器单元的多个物理地相邻的列共用公共的全局读出位线，以及在相邻的列的同一行内的每个随机存取存储器单元共用多条读出字线的一条公共读出字线。

6. 权利要求 5 的存储器，其中组选择晶体管被组选择信号控制，以便把多个相邻的列的一个列选择地连接到全局读出位线。

7. 权利要求 4 的存储器，还包括：

多个写入字线电流驱动器电路，多个写入字线电流驱动器电路的每个写入字线电流驱动器电路驱动一个或多个预定的写入字线；以及

多个读出字线驱动器电路，多个读出字线驱动器电路的每个读出字线驱动器电路驱动一个或多个预定的读出字线，多个读出字线驱动器电路的每个的输出端是与多个写入字线电流驱动器电路的每个的输出端互相电隔离的。

8. 一种在存储器中电隔离电路的方法，包括：

提供多个行和列的随机存取存储器单元的阵列，以在多个行和列的每个交叉点形成存储器单元；

提供多条写入位线，多条写入位线的每条写入位线被使用来把数据值放置在位于随机存取存储器单元的阵列的预定的列内的预定的存储器单元；

提供多条读出位线，多条读出位线的每条读出位线被使用来读出在位于随机存取存储器单元的阵列的预定的列内的预定的存储器单元中的数据值，所述多条读出位线是非写入的并基本上与所述多条写入位线平行；

把多条写入位线与多条读出位线进行电隔离；及

与随机存取存储器单元的多个物理地相邻的列共用所述多条读出位线中的一条读出位线。

9. 权利要求 8 的方法，还包括：

把写入位线导体放置成与在随机存取存储器单元的阵列中的随机存取存储器单元中的磁隧道结紧密地靠近但不直接接触，该写入位线导体被使用来把状态写入到磁隧道结；以及

把写入位线导体与所有被使用来读出磁隧道结的状态的数据内容的导体进行电隔离。

10. 权利要求 8 的方法，还包括：

提供多个写入位线电流驱动器电路，多个写入位线电流驱动器电路的每个写入位线电流驱动器电路驱动一个或多个预定的写入位线；以及

提供多个传感放大器电路，多个传感放大器电路的每个传感放大器电路被使用来读出一个或多个预定的读出位线的数据内容，多个传感放大器电路与多个写入位线电流驱动器电路不共用公共的数据内容导体。

11. 一种存储器，包括：

被排列成多个行和列的随机存取存储器单元的阵列，多个行和列的每个交叉点形成存储器单元；

多条读出位线，多条读出位线的每条读出位线被使用来读出在位于随机存取存储器单元的阵列的预定的列内的预定的存储器单元中的数据值，其中所述多条读出位线是非写入的；

多条读出字线，多条读出字线的每条读出字线被与读出位线一起使用来读出在位于存储器单元的预定的行上的预定的存储器单元中的数据值；

其中隧道结存储器单元的多个物理地相邻的列共用公共的全局读出位线以及在相邻的列的同一行内的每个随机存取存储器单元共用多个读出字线的一条公共读出字线；

其中隧道结存储器单元的多个物理地相邻的列的每个列还包括多个相邻的位单元组；以及

其中组选择晶体管被组选择信号控制，以便把来自多个相邻的列的一个列的多个相邻的组的一个组选择地连接到全局读出位线。

12. 权利要求 11 的存储器，其中多个相邻的位单元组的每个组共用公共的本地读出位线导体。

13. 一种存储器，包括：

被排列成多个行和列的随机存取存储器单元的阵列，多个行和列的每个交叉点形成存储器单元；

多条读出位线，多条读出位线的每条读出位线被使用来读出在位

于随机存取存储器单元的阵列的预定的列内的预定的存储器单元中的数据值；

多条读出字线，多条读出字线的每条读出字线被与读出位线一起使用来读出在位于存储器单元的预定的行上的预定的存储器单元中的数据值；

其中隧道结存储器单元的多个物理地相邻的列共用公共的全局读出位线以及在相邻的列的同一行内的每个随机存取存储器单元共用多个读出字线的一条公共读出字线；

其中隧道结存储器单元的多个物理地相邻的列的每个列还包括多个相邻的位单元组；以及

其中组选择晶体管被组选择信号控制，以便把来自多个相邻的列的一个列的多个相邻的组的一个组选择地连接到全局读出位线；及

其中多个相邻的位单元组的每个组串联连接到参考终端。

具有电隔离的读写电路的 MRAM 结构

技术领域

本发明涉及磁阻随机存取存储器 (MRAM)，更具体地，涉及 MRAM 的结构。

背景技术

在包括 MRAM 的任何存储器类型方面，不断希望减小存储器大小和提高性能。性能的一个重要的方面是存储器被读出和被编程（写入）的速度。速度限制包括诸如位单元的性能和穿过阵列的线的电容量等因素。已开发了各种各样的技术来改进这些特性。例如，存储器阵列通常被划分成子阵列，以使得没有单根线具有过大的电容。这可减小功率消耗。MRAM 中的这样的技术通过把单元编组为单元组而得到发展，以减小位线的电容。全局位线被选择地只耦合到所选择的组。这具有减少被耦合到全局位线的存储器单元数目的有利的效果。

然而，MRAM 的前景是可具有高速和非易失性的通用存储器。因此，需要继续在速度和存储器面积效率方面进行改进。因此，MRAM 的结构方面需要进一步改进。

发明内容

本发明提供了一种存储器，包括：被排列成多个行和列的随机存取存储器单元的阵列，多个行和列的每个交叉点形成存储器单元；多条写入位线，多条写入位线的每条写入位线被使用来把数据值放置在位于随机存取存储器单元的阵列的预定的列内的预定的存储器单元；多条读出位线，多条读出位线的每条读出位线被使用来读出在位于随机存取存储器单元的阵列的预定的列内的预定的存储器单元中的数据值，多条写入位线是与多条读出位线互相电隔离的；其中隧道结存存储器单元的多个物理地相邻的列共用公共的全局读出位线。

本发明提供了一种在存储器中电隔离电路的方法，包括：提供多个行和列的随机存取存储器单元的阵列，以在多个行和列的每个交叉点形成存储器单元；提供多条写入位线，多条写入位线的每条写入位线被使用来把数据值放置在位于随机存取存储器单元的阵列的预定的列内的预定的存储器单元；提供多条读出位线，多条读出位线的每条读出位线被使用来读出在位于随机存取存储器单元的阵列的预定的列内的预定的存储器单元中的数据值，所述多条读出位线是非写入的并基本上与所述多条写入位线平行；把多条写入位线与多条读出位线进行电隔离；及与随机存取存储器单元的多个物理地相邻的列共用所述多条读出位线中的一条读出位线。

本发明提供了一种存储器，包括：被排列成多个行和列的随机存取存储器单元的阵列，多个行和列的每个交叉点形成存储器单元；多条读出位线，多条读出位线的每条读出位线被使用来读出在位于随机存取存储器单元的阵列的预定的列内的预定的存储器单元中的数据值，其中所述多条读出位线是非写入的；多条读出字线，多条读出字线的每条读出字线被与读出位线一起使用来读出在位于存储器单元的预定的行上的预定的存储器单元中的数据值；其中隧道结存储器单元的多个物理地相邻的列共用公共的全局读出位线以及在相邻的列的同一行内的每个随机存取存储器单元共用多个读出字线的一条公共读出字线；其中隧道结存储器单元的多个物理地相邻的列的每个列还包括多个相邻的位单元组；以及其中组选择晶体管被组选择信号控制，以便把来自多个相邻的列的一个列的多个相邻的组的一个组选择地连接到全局读出位线。

本发明提供了一种存储器，包括：被排列成多个行和列的随机存取存储器单元的阵列，多个行和列的每个交叉点形成存储器单元；多条读出位线，多条读出位线的每条读出位线被使用来读出在位于随机存取存储器单元的阵列的预定的列内的预定的存储器单元中的数据值；多条读出字线，多条读出字线的每条读出字线被与读出位线一起使用来读出在位于存储器单元的预定的行上的预定的存储器单元中的

数据值；其中隧道结存储器单元的多个物理地相邻的列共用公共的全局读出位线以及在相邻的列的同一行内的每个随机存取存储器单元共用多个读出字线的一条公共读出字线；其中隧道结存储器单元的多个物理地相邻的列的每个列还包括多个相邻的位单元组；以及其中组选择晶体管被组选择信号控制，以便把来自多个相邻的列的一个列的多个相邻的组的一个组选择地连接到全局读出位线；及其中多个相邻的位单元组的每个组串联连接到参考终端。

附图说明

通过结合以下附图作出的本发明的优选实施例的以下的详细说明，本领域技术人员将容易明白本发明的上述的和进一步的更具体的目的和优点，其中：

图 1 是磁阻随机存取存储器装置的简化截面图；

图 2 是具有字线和位线的磁阻随机存取存储器装置的简化平面图；

图 3 是显示在磁阻随机存取存储器装置中产生直接写或触发写模式的磁场幅度组合的情形的图；

图 4 是显示当二者都接通时字电流和位电流的时序图的图；

图 5 是显示当把'1'写到'0'时，对于触发写模式的磁阻随机存取存储器装置的磁矩矢量的旋转的图；

图 6 是显示当把'0'写到'1'时，对于触发写模式的磁阻随机存取存储器装置的磁矩矢量的旋转的图；

图 7 是显示当把'1'写到'0'时，对于直接写模式的磁阻随机存取存储器装置的磁矩矢量的旋转的图；

图 8 是显示当把'0'写到已是'0'的状态时，对于直接写模式的磁阻随机存取存储器装置的磁矩矢量的旋转的图；

图 9 是显示当仅仅位电流接通时字电流和位电流的时序图的图；

图 10 是显示当仅仅位电流接通时，磁阻随机存取存储器装置的磁矩矢量的旋转的图；

图 11 是按照本发明的实施例的触发式存储器的方框图；

图 12 是图 11 的存储器的一部分的更详细的图；

图 13 是对于了解图 11 的存储器的运行有用的时序图；

图 14 是显示本发明性结构的实施例的图 11 的存储器的一部分的电路图；

图 15 是在图 14 的结构的实施方案中使用的存储器单元的第一截面图；

图 16 是图 15 的存储器单元的第二截面图；以及

图 17 是显示图 14 的电路图上的变例的电路图。

具体实施方式

存储器结构使用分开的字线用于读和写操作以及使用分开的位线用于读和写操作，以及被编组为具有公共本地读位线的位组。这些组还被折叠成使得被选择地耦合到同一条全局位线的两个组，以便共用同一条字线。这些特性提供以下好处：较小的写驱动器面积、用于存储器核心的较小的平均位尺寸、允许读和写操作之间的重叠、减小的全局位线电容量、和较高的电压写入。

现在转到图 1，图上显示按照本发明的优选实施例的 MRAM 阵列 3 的简化截面图。在这个图上，只显示单个磁阻存储器装置 10，但将会看到，MRAM 阵列 3 包含多个 MRAM 装置 10，以及在描述写入方法时，为了简化起见我们只显示一个这样的装置。

MRAM 装置 10 包括写入字线 20 和写入位线 30。写入字线 20 和写入位线 30 包括导电材料，这样电流可以通过。在这个图上，写入字线 20 被放置在 MRAM 装置 10 的顶部以及写入位线 30 被放置在 MRAM 装置 10 的底部，并与字线 20 成 90° 角（见图 2）。作为替换例，写入字线 20 被放置在 MRAM 装置 10 的底部以及写入位线 30 被放置在 MRAM 装置 10 的顶部。

MRAM 装置 10 包括隧道结，它包括第一磁区域 15、隧道势垒 16、和第二磁区域 17，其中隧道势垒 16 被夹心在第一磁区域 15 与第

二磁区域 17 之间。在优选实施例中，磁区域 15 包括三层结构 18，它具有在两个铁磁层 45 和 55 之间的反铁磁耦合垫衬层 65。反铁磁耦合垫衬层 65 具有厚度 85，以及铁磁层 45 和 55 分别具有厚度 41 和 51。而且，磁区域 17 具有三层结构 19，它具有在两个铁磁层 46 和 56 之间的反铁磁耦合垫衬层 66。反铁磁耦合垫衬层 66 具有厚度 87，以及铁磁层 46 和 56 分别具有厚度 42 和 52。

通常，反铁磁耦合垫衬层 65 和 66 包括元素 Ru、Os、Re、Cr、Rh、Cu 或它们的组合的至少一项。而且，铁磁层 45、55、46、和 56 包括元素 Ni、Fe、Mn、Co 或它们的组合的至少一项。另外，将会看到，磁区域 15 和 17 包括不同于三层结构的综合反铁磁 (SAF) 层材料结构以及在本实施例中的三层结构的使用只是为了说明目的。例如，一个这样的综合反铁磁层材料结构可包括铁磁层/反铁磁耦合垫衬层/铁磁层/反铁磁耦合垫衬层/铁磁层结构的五层堆叠。

铁磁层 45 和 55，每个分别具有磁矩矢量 57 和 53，它们通常通过反铁磁耦合垫衬层 65 的耦合被保持为反向并联。另外，磁区域 15 具有最终得到的磁矩矢量 40 和磁区域 17 具有最终得到的磁矩矢量 50。最终得到的磁矩矢量 40 和 50 沿与写入字线 20 和写入位线 30 成一个角度，优选地成 45° 的方向的各向异性易磁化轴取向（见图 2）。而且，磁区域 15 是自由铁磁区域，意味着最终得到的磁矩矢量 40 在存在施加的磁场下是自由旋转的。磁区域 17 是钉住的铁磁区域，意味着最终得到的磁矩矢量 50 在存在中等的施加的磁场下不能自由旋转的，以及被使用来作为参考层。

虽然反铁磁耦合层被显示为在每个三层结构中的两个铁磁层之间，但将会看到，铁磁层可以通过其他措施进行反铁磁耦合，诸如静磁场或其他特性。例如，当单元的纵横比被减小到 5 或更小时，铁磁层从静磁场通量区被反平行地耦合。

在优选实施例中，MRAM 装置 10 具有三层结构 18，它对于非圆形面具有范围为 1 到 5 的长度/宽度比。然而，我们显示一个圆形的面（见图 2）。MRAM 装置 10 在优选实施例中是圆形的，以使得对

于来自形状各向异性的交换场的贡献最小化，也因为更加容易使用光刻处理把器件在横向上缩放到更小的尺寸。然而，将会看到，MRAM装置10可以具有其他形状，诸如方形、椭圆形、矩形、或斜方形，但为了简化起见显示为圆形。

再者，在MRAM阵列3制造期间，每个随后的层（即，30，55，65等）被沉积或否则顺序地形成，以及每个MRAM装置10可以在半导体工业中已知的任何技术通过选择性沉积、光刻处理、蚀刻等等被制作。在至少铁磁层45和55的沉积期间，磁场被提供来设置用于这对（感应的各向异性）的优选的容易磁化的轴。提供的磁场产生用于磁矩矢量53和57的优选的各向异性轴。优选轴被选择为在写入字线20与写入位线30之间的 45° ，正如现在将讨论的。

现在转到图2，图上显示按照本发明的MRAM阵列3的简化平面图。为了简化MRAM装置10的说明，所有的方向将参照如图所示的x和y坐标系100，以及参照顺时针方向94和逆时针方向96。为了进一步简化说明，再次假设N等于2，这样，MRAM装置10包括在区域15中的一个三层结构，具有磁矩矢量53和57，以及最终得到的磁矩矢量40。另外，只显示区域15的磁矩矢量，因为它们将被交换。

为了说明写方法如何工作，假设磁矩矢量53和57的优选的各向异性轴分别是相对于负x和负y方向的 45° 角度和相对于正x和正y方向的 45° 角度。作为例子，图2显示磁矩矢量53指向为相对于负x和负y方向的 45° 角度。因为磁矩矢量57通常与磁矩矢量53反向平行取向的，磁矩矢量57指向为相对于正x和正y方向的 45° 角度。这种初始取向将被使用来显示写方法的例子，正如现在将讨论的。

在优选实施例中，如果电流以正x方向流动，则写入字电流60被规定为正的，以及如果电流以正y方向流动，则写入位电流70被规定为正的。写入字线20和写入位线30的用途是在MRAM装置10内创建磁场。正的写入字电流60将感应周围的写入字磁场 H_w 80，以及正的写入位电流70将感应周围的写入位磁场 H_B 90。由于在本例中写

入字线 20 是在 MRAM 装置 10 的上面, 在元件的面上, H_w 80 将在对于正的写入字电流 60 的正的 y 方向上加到 MRAM 装置 10。同样地, 由于写入位线 30 是在 MRAM 装置 10 的下面, 在元件面上, H_b 90 将在对于正的写入位电流 70 的正的 x 方向上加到 MRAM 装置 10。将会看到, 对于正的和负的电流流动的规定是任意的, 这里的规定是用于说明的目的。把电流流动倒向的效果是改变在 MRAM 装置 10 内感应的磁场的方向。电流感应的磁场的特性对于本领域技术人员是熟知的, 这里不作进一步阐述。

现在转到图 3, 图上显示 SAF 三层结构的仿真的交换性能。仿真包含接近于具有固有的各向异性的同一个磁矩矢量(接近平衡的 SAF)的两个单域磁层, 它们被反铁磁地耦合, 以及它的磁化动态特性由 Landau-Lifshitz 方程描述。x 轴是写入字线磁场幅度, 以奥斯特计, 以及 y 轴是写入位线磁场幅度, 以奥斯特计。磁场以脉冲序列 100 被加上, 如图 4 所示, 其中脉冲序列 100 包括写入字电流 60 和写入位电流 70 作为时间的函数。

在图 3 上显示三个工作区域。在区域 92, 没有切换。对于在区域 92 中的 MRAM 运行, 直接写入方法正在实施中。当使用直接写入方法时, 不需要确定 MRAM 装置的初始状态, 因为该状态仅仅在正在被写入的状态不同于被存储的状态时才被切换。写入状态的选择由在写入字线 20 与写入位线 30 中电流的方向确定。例如, 如果想要写入'1', 则在这两条线中电流的方向将是正的。如果在元件中已存储'1'以及正在写入'1', 则 MRAM 装置的最后的状态将继续是'1'。再者, 如果存储了'0'以及用正的电流写入'1', 则 MRAM 装置的最后的状态将是'1'。当通过使用在写入字线与写入位线中的负电流而写入'0'时, 得到类似的结果。因此, 任一个状态可以用电流脉冲的适当的极性被编程为想要的'1'或'0', 而不管它的初始状态。通过本公开内容, 在区域 95 中的运行将被规定为“直接写入模式”。

对于在区域 97 中的 MRAM 运行, 触发写入方法正在实施中。当使用触发写入方法时, 需要在写入之前确定 MRAM 装置的初始状

态, 因为每次 MRAM 装置被写入时状态被切换, 而不管电流的方向, 只要对于写入字线 20 和写入位线 30 选择相同极性的电流脉冲。例如, 如果一开始存储'1', 则在一个正的电流脉冲序列流过写入字线和写入位线后装置的状态将被切换到'0'。对存储的''状态重复正的电流脉冲序列, 使它返回到'1'。因此, 为了能够把存储器单元写成想要的状态, MRAM 装置 10 的初始状态必须首先被读出和与要写入的状态进行比较。读出和比较可能需要附加的逻辑电路, 包括用于存储信息的缓存器和用于比较存储器状态的比较器。MRAM 装置 10 然后只在存储的状态与要写入的状态不同时才被写。这个方法的一个优点在于, 消耗的功率降低, 因为只有不同的位被切换。使用触发写入方法的另一个优点在于, 只需要单一极性电压, 因此可以使用较小的 N 沟道晶体管来驱动 MRAM 装置。在本公开内容中, 在区域 97 中的运行将被称为“触发写模式”。

两种写方法牵涉到供应电流到写入字线 20 和写入位线 30, 这样, 磁矩矢量 53 和 57 可以如前面讨论地取向两个优选的方向之一。为了全面阐述两种切换模式, 现在给出描述磁矩矢量 53, 57 的时间演变的具体例子。

现在转到图 5, 图上显示使用脉冲序列 100 把'1'写成'0'的触发写模式。在这个图上, 在时间 t_0 , 磁矩矢量 53 和 57 如图 2 所示取向优选的方向。这个取向被规定为'1'。

在时间 t_1 , 正的写入字电流 60 被接通, 它感应沿正的 y 方向指向的 H_w 80。正的 H_w 80 的效果是使得附近的平衡的反对准的 MRAM 三层以“触发”和变为取向施加的场方向的约 90° 的方向。在铁磁层 45 与 55 之间的有限的反铁磁交换互动将允许磁矩矢量 53 和 57 现在向磁场方向偏转小的角度, 以及最终得到的磁矩矢量 40 将对准在磁矩矢量 53 与 57 之间角度, 以及将对准 H_w 80。因此, 磁矩矢量 53 以顺时针方向 94 旋转。由于最终得到的磁矩矢量 40 是磁矩矢量 53 和 57 的矢量相加, 磁矩矢量 57 以顺时针方向 94 旋转。

在时间 t_2 , 正的写入位电流 70 被接通, 它感应正的 H_b 90。因此,

最终得到的磁矩矢量 40 将同时指向 H_W 80 的正的 y 方向和 H_B 90 的正的 x 方向，这具有使得实际的磁矩矢量 40 再次以顺时针方向 94 旋转，直至它通常取向在正的 x 和正的 y 方向之间的 45° 角度为止。因此，磁矩矢量 53 和 57 也再次以顺时针方向 94 旋转。

在时间 t_3 ，写入字电流 60 被关断，这样，现在只有 H_B 90 指向最终得到的磁矩矢量 40，它现在将取向正的 x 方向。因此，磁矩矢量 53 和 57 现在通常指向经过它们的各向异性硬件轴不稳定点的角度。

在时间 t_4 ，写入位电流 70 被关断，这样，磁场力不作用在最终得到的磁矩矢量 40。因此，磁矩矢量 53 和 57 将变为取向它们最接近的优选的方向，以使得各向异性能力最小化。在这种情形下，磁矩矢量 53 的优选的方向是相对于正的 y 和正的 x 方向的 45° 角度。这个优选的方向也与在时间 t_0 的磁矩矢量 53 的初始方向成 180° ，以及被规定为 '0'。因此，MRAM 装置 10 已切换到 '0'。将会看到，MRAM 装置 10 也可通过使用在写入字线 20 和写入位线 30 中的负的电流旋转磁矩矢量 53，57 和 40 而被切换，但它否则被显示用于说明的目的。

现在转到图 6，图上显示使用脉冲序列 100 把 '0' 写成 '1' 的触发写模式。图上显示，在每个时间 t_0, t_1, t_2, t_3 和 t_4 的磁矩矢量 53 和 57 以及最终得到的磁矩矢量 40，正如以前描述的，显示用相同的电流和磁场方向把 MRAM 装置 10 的状态从 '0' 切换到 '1' 的能力。因此，MRAM 装置 10 的状态用触发写模式被写入，这相应于图 3 的区域 97。

对于直接写模式，假设磁矩矢量 53 在幅度上大于磁矩矢量 57，这样，磁矩矢量 40 指向与磁矩矢量 53 相同的方向，但在零磁场时具有较小的幅度。这个不平衡的磁矩矢量允许偶极子能量，它往往使得总的量与加上的场对准，打破接近平衡的 SAF 的对称性。因此，只在给定的电流极性的一个方向上才发生切换。

现在转到图 7，图上显示使用脉冲序列 100 使用直接写模式把 '1' 写成 '0' 的例子。这里再次地，存储器状态一开始是 '1'，磁矩矢量 53 取向为相对于负 x 和负 y 方向的 45° ，磁矩矢量 57 取向为相对于正 x 和正 y 方向的 45° 。在正的写入字电流 60 和正的写入位电流 70 加上

如上所述的脉冲序列后，如上所述地以与触发写模式相同的方式进行写入。应当指出，磁矩矢量在时间 t_1 再次“触发”，但由于不平衡的磁矩矢量和各向异性，最终得到的角度从 90° 倾斜。在时间 t_4 ，MRAM 装置 10 切换到‘0’状态，最终得到的磁矩 40 取向如想要的、在正 x 和正 y 方向的 45° 。当前把‘0’写入到‘1’时，得到类似的结果，只不过现在是加在负的写入字电流 60 和负的写入位电流 70 上。

现在转到图 8，图上显示当新的状态是与已存储的状态相同时使用直接写模式写入的例子。在本例中，‘0’已经存储在 MRAM 装置中，以及现在电流脉冲序列重复出现来存储‘0’。在时间 t_1 ，磁矩矢量 53 和 57 试图“触发”，但因为不平衡的磁矩矢量必须对抗加上的磁场工作，旋转消失。因此，由于相反的状态，有附加能量势垒旋转。在时间 t_2 ，占主要的磁矩矢量 53 接近于对准正的 x 轴，以及离它的初始的各向异性方向小于 45° 。在时间 t_3 ，磁场沿着正的 x 轴指向。不是进一步顺时针旋转，系统现在通过改变 SAF 磁矩矢量相对于加上的磁场的对称性而降低它的能量。无源磁矩矢量 57 穿过 x 轴以及系统稳定于返回到它的原先的方向的占主要的磁矩矢量 53。所以，在时间 t_4 ，这时磁场被去除，以及被存储在 MRAM 装置 10 中的状态被保持为‘0’。这个序列显示如图 3 的区域 95 所示的直接写模式的机制。因此，在这方面，写入‘0’需要在写入字线 60 和写入位线 70 中的正的电流，以及相反，为了写入‘1’在写入字线 60 和写入位线 70 中需要负的电流。

如果加上较大的磁场，实际上，与触发有关的能量减小以及剪切超过阻止触发事件的、由不平衡的磁矩矢量的偶极子能量创建的附加能量势垒。这时，发生触发事件，以及切换是由区域 97 描述的。

其中应用直接写模式的区域 95 可被扩展，即，触发模式区域 97 可以移到较高的磁场，如果时间 t_3 和 t_4 是相等的或被做成尽可能相等的。在这种情形下，当写入字电流 60 接通时，磁场方向从相对于位各向异性轴的 45° 开始，以及然后当写入位电流 70 接通时移到与位各向异性轴平行。这个例子类似于典型的磁场施加序列。然而，现在写入字电流 60 和写入位电流 70 基本上同时被关断，这样磁场方向不再旋

转。所以，加上的磁场必须足够大，以使得最终得到的磁矩矢量 40 移到穿过它的硬件轴不稳定点，写入字电流 60 和写入位电流 70 被接通。触发写模式事件现在多半很少发生，因为磁场方向现在只旋转 45° ，而不是以前的 90° 。具有基本上一致的下降时间， t_3 和 t_4 ，的优点在于，现在大于磁场上升时间 t_1 和 t_2 的次序没有附加限制。因此，磁场可以以任何次序被接通或也可以是基本上一致的。

前面描述的写方法是高度选择性的，因为只有使得写入字电流 60 和写入位电流 70 在时间 t_2 和时间 t_3 之间被接通的 MRAM 装置才切换状态。这个特性被显示于图 9 和 10。图 9 显示当写入字电流 60 没有被接通和写入位电流 70 被接通时的脉冲序列 100。图 10 显示 MRAM 装置 10 的状态的相应的性能。在时间 t_0 ，磁矩矢量 53 和 57，以及最终得到的磁矩矢量 40 如图 2 所示地取向。在脉冲序列 100 中，写入位电流 70 在时间 t_1 被接通。在这个时间期间， H_B 90 使得最终得到的磁矩矢量 40 指向正的 x 方向。

由于写入字电流 60 永不被接通，最终得到的磁矩矢量 53 和 57 永不旋转通过它们的各向异性硬轴不稳定点。结果，磁矩矢量 53 和 57 当写入位电流 70 在时间 t_3 被关断时将使它们再取向最接近的优选的方向，在这种情形下这是在时间 t_0 的初始方向。因此，MRAM 装置 10 的状态不被切换。将会看到，如果写入字电流 60 在如上所述的类似的时间被接通和写入位电流 70 没有被接通，将出现相同的结果。这个特性保证在阵列中只有一个 MRAM 装置将被切换，而其他装置就保持为它们初始的状态。结果，避免不想要的切换，以及误码率被最小化。

图 11 上显示的是存储器 110，包括存储器阵列 112、写入字译码器 114、写入字线驱动器 116、读出字译码器 118、读出字线驱动器 120、一个或多个传感放大器 122、读出位译码器 124、写入位译码器 126、写入位驱动器 128、比较器 130、和输出驱动器 132。这些元件通过多个线被耦合在一起。例如，读出位译码器 124 接收由多个地址信号组成的列地址。存储器阵列 112 是可以用触发操作进行切换的存储器单

元的阵列。存储器阵列 112 的存储器单元的部分是图 14 所示的存储器阵列 200, 它是以对于图 1 的存储器阵列 3 描述的方法被写入的 MRAM 单元阵列, 其中以在达到 180° 之前的 45° 角度的四个步骤进行写入。在这个特定的优选的单元阵列中, 有分开的字线和位线用于写入操作和读出操作。

读出字译码器 118 接收行地址以及被耦合到读出字线驱动器 120, 它又被耦合到存储器阵列 112。为了读出, 读出字译码器 118 根据行地址选择存储器阵列 112 的读出字线。选择的字线被读出字线驱动器 120 驱动。读出位译码器 124 接收列地址以及被耦合在传感放大器 122 与存储器阵列 112 之间, 读出位译码器 124 根据列地址从存储器阵列 122 选择读出位线, 以及把它耦合到传感放大器 122。传感放大器 122 检测逻辑状态以及把它耦合到输出驱动器 132 和比较器 130。输出驱动器 132 对于读出, 提供数据输出信号 DO。对于写操作, 比较器 130 把由传感放大器 122 提供的选择的单元的逻辑状态与通过数据输入所提供的、要被写入的想要的逻辑状态进行比较。

写入字译码器 114 接收行地址以及被耦合到写入字线驱动器 116, 它又被耦合到存储器阵列 112。对于写入, 写入字译码器 114 根据行地址选择存储器阵列 122 中的写入字线, 以及写入字线驱动器又驱动该选择的写入字线。写入位译码器接收列地址以及被耦合到写入位驱动器 128, 它被耦合到存储器阵列 112。写入位译码器 126 根据列地址选择写入位线, 以及写入位驱动器 128 又驱动选择的写入位线, 以便触发扳动选择的单元的状态。

由于存储器阵列 122 是触发存储器, 写入触发操作只在单元的逻辑状态需要被触发翻转以便达到对于选择的单元的想要的最终得到的逻辑状态时才完成。因此, 比较器 130 接收来自传感放大器 122 的、对于选择的单元的读操作的输出, 以及确定选择的单元是否已具有想要的逻辑状态。如果由行和列地址确定的选择的单元确实具有想要的逻辑状态, 则写操作结束。如果选择的单元的逻辑状态不同于想要的逻辑状态, 则比较器指示写入位驱动器 128, 继续进行写入, 以及用于

选择的写入位线的写入位驱动器驱动选择的写入位线。

图 12 上显示的是图 11 的存储器 110 的部分, 包括被耦合到写入字线 WL 的写入字线驱动器 116、被耦合到写入位线 BL 的写入位驱动器 128、以及被耦合在写入位线 BL 与写入字线 WL 的交叉点的单元 134、136、138 和 140。对于要进行的写入, 把电流提供到选择的字线 WL, 而在选择的写入位线中没有电流流动, 以便有足够的时间在沿着选择的写入字线中的存储器单元中造成第一角度改变。在电流仍旧在选择的写入字线中流动时, 电流流过选择的写入位线, 造成选择的存储器单元的第二角度改变。只有在电流载送的写入位线和写入字线的交叉点处, 才发生这种第二角度改变。在电流仍旧在写入位线中流动时, 流过选择的写入字线的电流流动结束, 造成在选择的存储器单元中的第三角度改变。只有在选择的写入位线和选择的写入字线的交叉点处, 才发生这种第三角度改变。当流过选择的写入位线的电流结束时, 发生选择的存储器单元的第四角度改变。

下面参照图 13 的时序图进一步说明存储器 110 的写操作。通过使能如图 13 所示的读出字线 WLA 而在行或列地址中改变, 发起读操作和写触发操作, 虽然在确定逻辑状态需要被翻转之前不能执行写入, 但无论如何, 写周期可以开始, 正如通过在传感放大器提供它的输出和比较器确定逻辑状态是否需要翻转之前写入字线被使能所表示的。使能 (使得电流流过它) 写入字线确实造成选择的单元以及沿选择的写入字线的所有的单元的第一角度改变, 但如果在电流结束时没有使能写入位线, 这个改变又被倒过来。

因此, 选择的写入字线可以在比较器作出它的决定之前被使能, 因为第一角度改变仅仅通过去除电流就被倒过来。这必须是这种情形, 因为在选择的写入字线上的所有的单元都经受第一角度改变以及除了一个以外所有的都没有被选择。然而, 只有选择的单元经受第二角度改变, 以及它在写入位线被使能时发生。这被显示为在比较器作出逻辑状态改变是想要的决定后发生。第一角度改变被显示为从 0° 到 45° , 以及第二角度改变从 45° 到 90° 。第三角度改变被显示为当写入字线被

禁止时（电流结束）发生。这被显示为从 90° 到 135° 。所显示的最终的角度改变是第四改变，以及当写入位线被禁止时发生。这个角度改变被显示为从 135° 到 180° 。

这也表明，写的最后阶段可以在发起另一个周期的下一个地址改变后继续进行。周期的开始总是从读出开始，即使该周期是写入周期。地址 A 被改变到地址 B，以及使得读出字线 B 被选择。这并不干扰以前选择的单元的写入。这显示读出字线改变，但即使地址是仅仅列改变，这样，选择的读出字线不改变，电流的继续流动不还有害地影响写入的完成。还应当指出，在周期开始时，不必使得写入是工作的，因为所有的周期反正从读操作开始。然而，必须足够早地让写使能信号是工作的，以便写入字线成为工作的。

对于选择单个单元已经作出说明，但这是容易理解的。实际上，典型地多个单元将被选择，这是在图 11 上通过单元之间的信号连接是多个信号线表示的。因此，例如，如果存储器 110 是 $\times 16$ 存储器，比较器 130 实际上作出 16 次不同的比较，每个选择的单元一次。在 16 次比较中，只有表示不匹配的那些比较才使得不匹配的那些选择的单元的进行写操作。导致匹配的选择的单元不被触发。

图 14 上显示存储器阵列 200 的一部分和多个驱动器、译码器和传感器块，组合形成存储器核心 201。存储器阵列 200 的一部分包括 MRAM 装置 202、204、206、208、210、212、213、214、216、218、220、222、224、226、227、和 228。每个这些 MRAM 装置具有三条电流路径。三条电流路径的第一电流路径和第二电流路径，被显示为互相正交的，代表写路径。这两条路径载送切换单元的逻辑状态的信号，如图 12 和 13 所示。第三电流路径，被显示为在 45° 角度上的电阻，代表通过磁阻隧道结的读电流路径，被编程为两个可能的电阻状态之一。存储器阵列还包括选择晶体管 230、232、234、236、238、240、242、244、260、262、264、266、268、270、272、272、和 274，它们分别与相应的 MRAM 装置 202、204、206、208、210、212、213、214、216、218、220、222、224、226、227、和 228 的作为读电流路

径的第三电流路径串联。选择晶体管的这个连接是：这些晶体管的一个电流电极被耦合到第三电流路径以及第二电流电极被耦合到地（VSS）。选择晶体管装置和 NRAM 装置的每个组合包括存储器单元。

存储器核心 201 包括写入字线 WWL0、WWL1、WWL2、和 WWL3，它们穿过 MRAM 装置的第一电流路径。WWL0 穿过 MRAM 装置 202、210、216、和 224。WWL1 穿过 MRAM 装置 204、212、218、和 226。WWL2 穿过 MRAM 装置 206、213、220、和 227。WWL3 穿过 MRAM 装置 208、214、222、和 228。存储器阵列 200 还包括写入位线 WBL0、WBL1、WBL2、和 WBL3，它们穿过 MRAM 装置的第二电流路径。WBL0 穿过 MRAM 装置 202、204、206、和 208。WBL1 穿过 MRAM 装置 210、212、213、和 214。WBL2 穿过 MRAM 装置 216、218、220、和 222。WBL3 穿过 MRAM 装置 224、226、227、和 228。另外存储器阵列 200 包括读出字线 RWL0、RWL1、RWL2、和 RWL3，它们被耦合到选择晶体管的栅极。RWL0 被耦合到选择晶体管 230、238、260、和 268。RWL1 被耦合到选择晶体管 232、240、262、和 270。RWL2 被耦合到选择晶体管 234、242、264、和 272。RWL3 被耦合到选择晶体管 236、244、266、和 274。存储器阵列 200 还包括读出全局位线 RGBL0 和 RGBL1 以及组选择线 GS0、GS1、GS2 和 GS3。

存储器阵列 200 还包括组选择晶体管 250、252、254、256、276、278、280、和 282，它们用于把存储器单元组耦合到读全局位线。另外，存储器阵列 200 包括本地位线 251、253、255、257、277、279、281、和 283，它们每个被耦合到它们的组的 MRAM 装置的第三电流路径。也就是，对于每个组有一个这样的本地位线。

晶体管 250 和 252 把它们的第一电流电极耦合在一起，以及耦合到读全局位线 RGBL0。晶体管 254 和 256 把它们的第一电流电极耦合在一起，以及耦合到读全局位线 RGBL0。晶体管 276 和 278 把它们的第一电流电极耦合在一起，以及耦合到读全局位线 RGBL1。晶体管 280 和 282 把它们的第一电流电极耦合在一起，以及耦合到都全局位

线 RGL1。晶体管 250、252、254、256、276、278、280、和 282，每个把第二电流电极耦合到本地位线 251、253、255、257、277、279、281、和 283。本地位线 251、253、255、257、277、279、281、和 283，每个分别被连接到 MRAM 装置 202 和 204、206 和 208、210 和 212、213 和 214、216 和 218、220 和 222、224 和 226、227 和 228 的第三电流路径。组选择线 GS0 被耦合到组选择晶体管 250 和 276。组选择线 GS1 被耦合到组选择晶体管 252 和 278。组选择线 GS2 被耦合到组选择晶体管 254 和 280。组选择线 GS3 被耦合到组选择晶体管 256 和 282。

除了存储器阵列 200 以外，存储器核心 201 包括写入列译码器/驱动器 283、284、285、和 286；写入行译码器/驱动器 287、289、291、和 293；读出行译码器/驱动器 288、290、292、和 294；以及读出列译码器/传感放大器 295 和 296。写入列译码器/驱动器 283、284、285、和 286 分别被耦合到写入字线 WBL0、WBL1、WBL2、和 WBL3。写入行译码器/驱动器 287、289、291、和 293 分别被耦合到写入位线 WWL0、WWL1、WWL2、和 WWL3。读出行译码器/驱动器 288、290、292、和 294 分别被耦合到读出字线 RWL0、RWL1、RWL2、和 RWL3。读出列译码器/驱动器 296 和 295 分别被耦合到读全局位线 RGL0 和 RGL1。

在运行时，MRAM 装置，诸如 MRAM 装置 202，是通过把电流流过选择的写入字线，诸如 WWL0，和选择的写入位线，诸如在本例中的 WBL0，以触发扳动存储器的状态，而被写入的。另外，状态也可以通过 WWL0 和 WBL0 被直接写入，如果存储器单元是直接写入单元而不是触发扳动单元。所有的 MRAM 装置是通过电流流过特定的 MRAM 装置的写入字线和写入位线而被选择的。MRAM 装置的状态，诸如 MRAM 装置 202，是通过把足够的电压经由读出字线 RWL0 加到它的相应的选择晶体管，诸如晶体管 230 的栅极，把足够的电压经由组选择线 GS0 加到相应的组晶体管，诸如晶体管 250 的栅极，以及由列译码器/传感放大器 296 经由读全局位线 RGL0 感知选择的

MRAM 装置, 在本例中的 MRAM 装置 202 的状态, 而被读出的。一个组由把它们第三电流路径共同连接在一起的 MRAM 装置组成。因此, 由单元加到读全局位线的电容被限制于在该组中的单元。另外, 晶体管 250 和 252 具有共同连接的电流电极, 栅极被耦合到不同的选择线。这具有折叠组的效果, 具有共同的全局位线和具有通过分开的全局选择线达到的、在组间的选择。因此, 在行方向有附加的线和在列方向有更少的。好处在于, 在行方向的线的增加是每个单元组一条。如果组是 32, 这被认为是优选量, 则对于 32 单元的距离有附加全局选择线。在不折叠的情形下, 对于每列有一个读全局位线, 而不是对于折叠情形下的每两个列有一个读全局位线。因此, 与折叠情形相比较, 不折叠情形的效果是对于每两个列 (它是两个单元宽度) 的一个额外的读全局位线。因此, 折叠在有利于折叠的位线方面是明显的。这个空间优点可被使用来增加线的尺寸以减小它们的电阻, 或用来减小存储器核心的尺寸, 或二者的组合。

而且, 通过把写入线与读出线分离开, 写入线的一端可被直接连接到电源 VDD, 消除如果读和写共用同一条线时所需要的第二电流开关。因此, 写入驱动器的总的面积是较小的, 以及用于存储器核心的平均位尺寸是较小的。另外, 通过消除在读和写之间切换线的需要, 写电压可对于性能被最佳化, 而没有损坏读电路的风险。而且, 因为选择晶体管不接收写电压, 这些选择晶体管可被做成小得多的尺寸, 因为它们不必接收写电平电压。这减小存储器单元的尺寸。当通常对于不同的电压需要不同地制做晶体管时, 这是特别重要的。

图 15 上显示组成 MRAM 组成 202 和晶体管 230 的存储器单元的截面图。这显示利用图 14 的结构的 MRAM 装置的普通的单元。在 MRAM 技术的典型的应用中, MRAM 装置将出现在具有巨大的逻辑的电路中, 诸如微处理器。在这种情形下, 有几层金属来完成逻辑设计, 以及在这些金属层形成后再制造 MRAM 装置的贮存单元。这是由于典型的隧道结不能在 400°C 以上的温度下处理又不恶化。

MRAM 装置 202 包括隧道结 300, 互联装置 306、互联装置 304、

以及写电流路径 314 和 302。互联装置 304 也是本地位线 251。晶体管 230 包括源极 324、漏极 322、和栅极 323。晶体管 230 的漏极经由互联装置 318、互联装置 308、互联装置 310、和互联装置 312（它们被形成为金属层用作为逻辑）被连接到 MRAM 装置 202。这些金属互联层经由熟知的通孔被连接在一起。写电流路径 314 被形成在同一个金属层上作为互联装置 318。栅极 323 是读出字线 RWL0 的一部分，被周期地连接到互联装置 320。互联装置 320 的使用是减小 RWL0 的电阻。这是通常的捆扎技术，避免相对较高的多晶硅的电阻。

图 16 所示的是对于图 15 所示的 MRAM 装置 202 和晶体管 230 的取的截面图。这个截面被扩展成包括 MRAM 装置 210 和晶体管 238。这显示在与互联装置 310 相同的互联装置的层上的读全局位线。应当指出，隧道结 300 和 WWL0 是与截面线偏离的，所以在图 16 上未示出。在图 16 上呈现的 MRAM 装置 210 的部分是写入位线 WBL1。类似于 MRAM 装置 202，MRAM 装置 21 的第三电流路径经由经由互联装置 340、互联装置 338、互联装置 334、和互联装置 330 被连接到晶体管 232。互联装置 330 和 306 分别提供到 MRAM 装置 210 和 202 的隧道结的连接。这些截面图表明可以作出这个结构而不需要需要特殊处理的不寻常的结构。

图 17 所示的是图 14 所示的结构替换例的一部分。在这种情形下，在每个组中的存储器单元被排列为串行存储器。相邻的位单元的多个组的每个组被串联连接到参考单元。在这种情形下，参考单元是地。在这个替换例这没有本地位线。对于类似的特性保留类似的装置数目。

本领域技术人员将容易对这里为了说明目的选择的实施例作出各种改变和修正。在这样的修正和改变不背离本发明的精神的情形下，打算把这些修正和改变包括在仅仅由以下的权利要求的合理的解译估计的本发明的范围内。

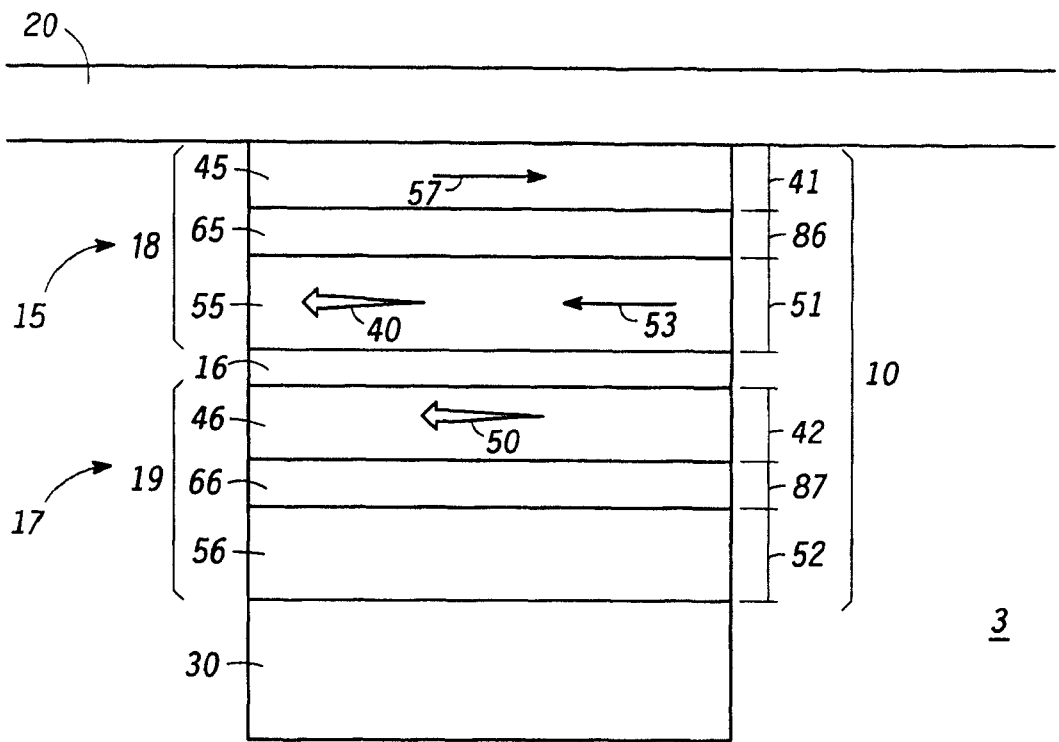


图1

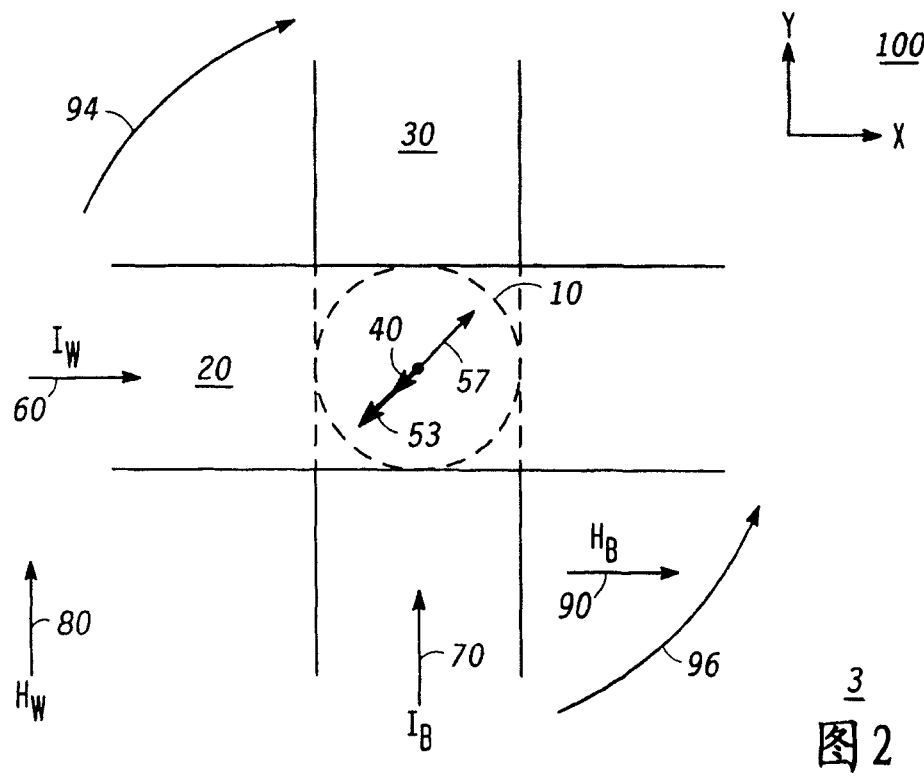


图2

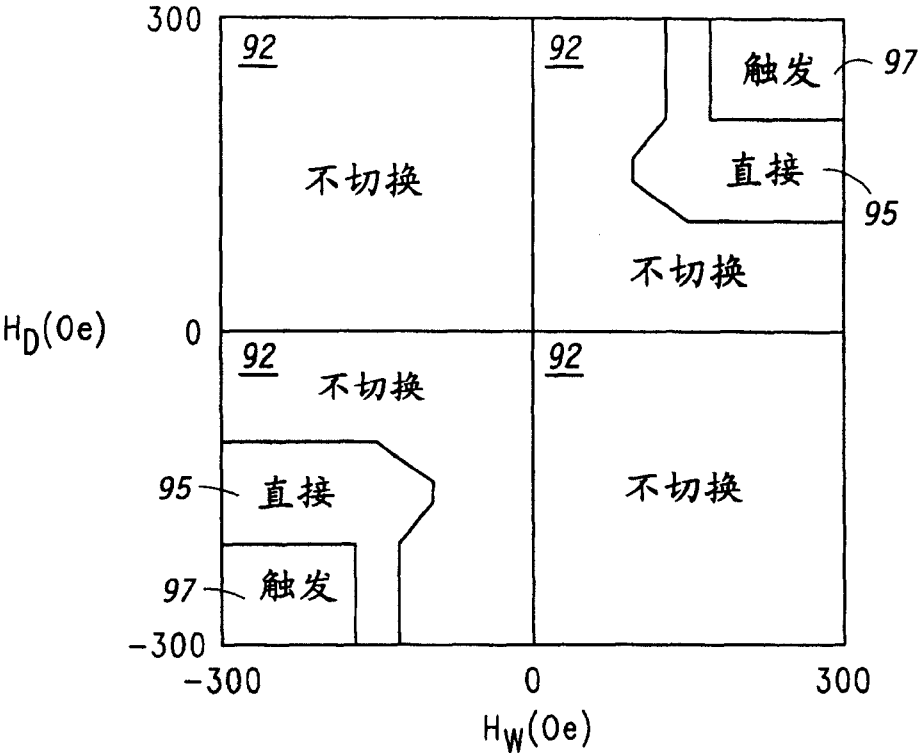


图 3

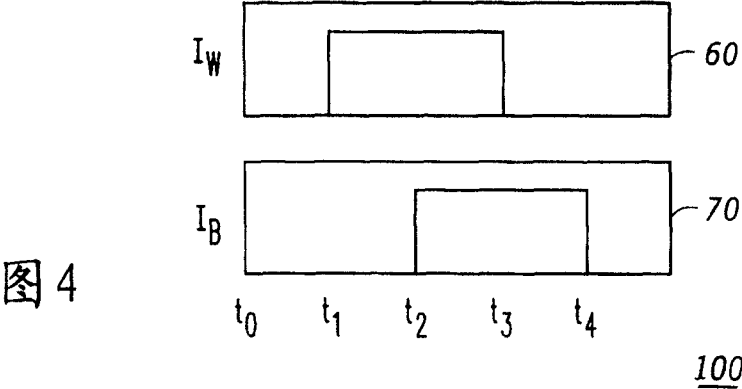
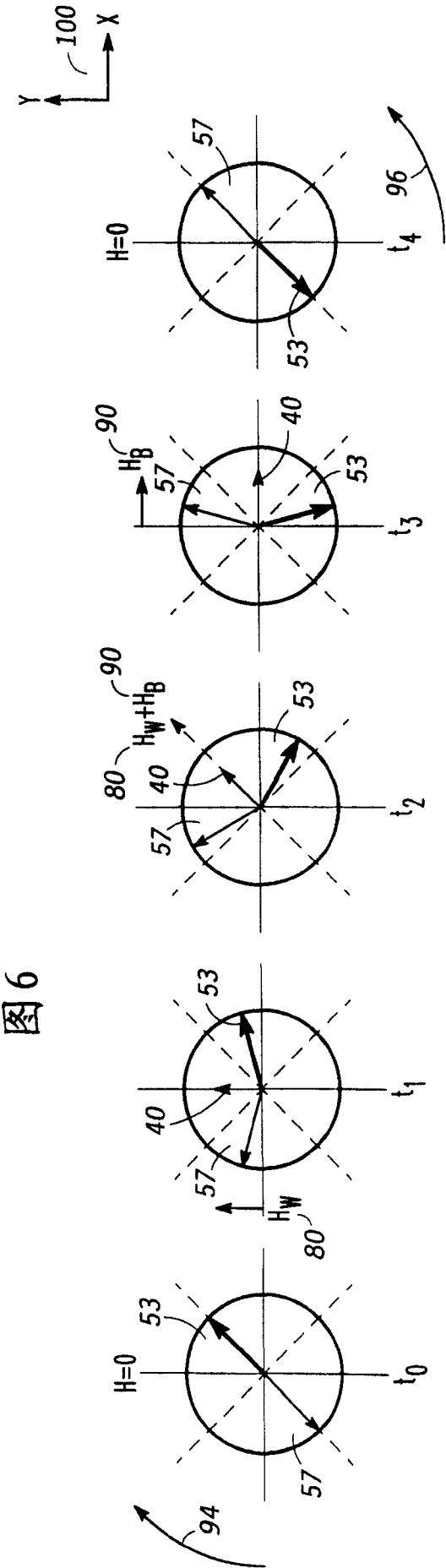
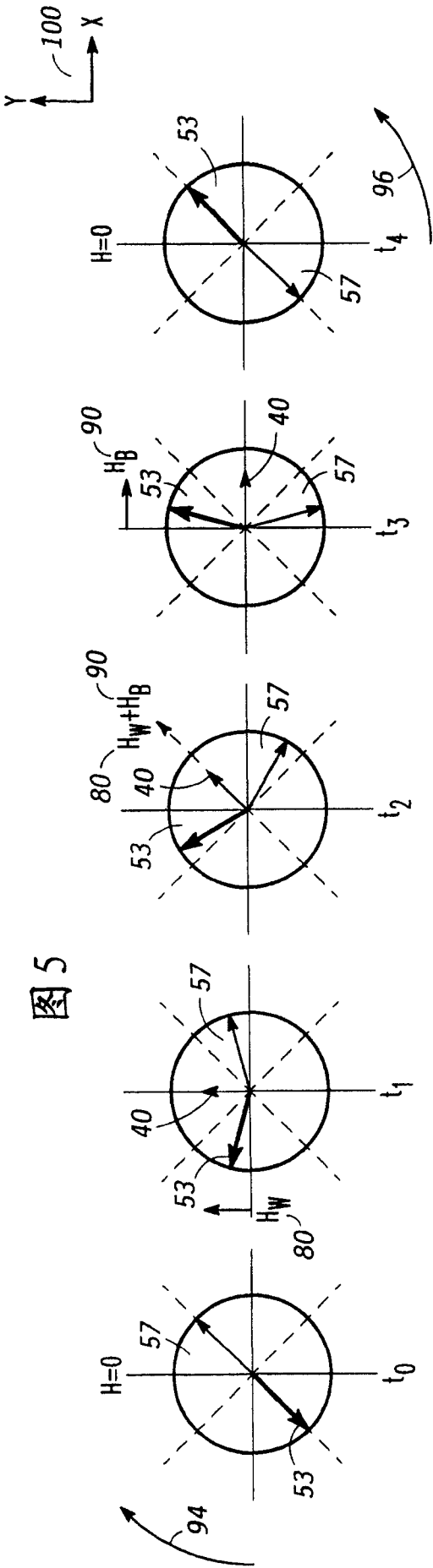
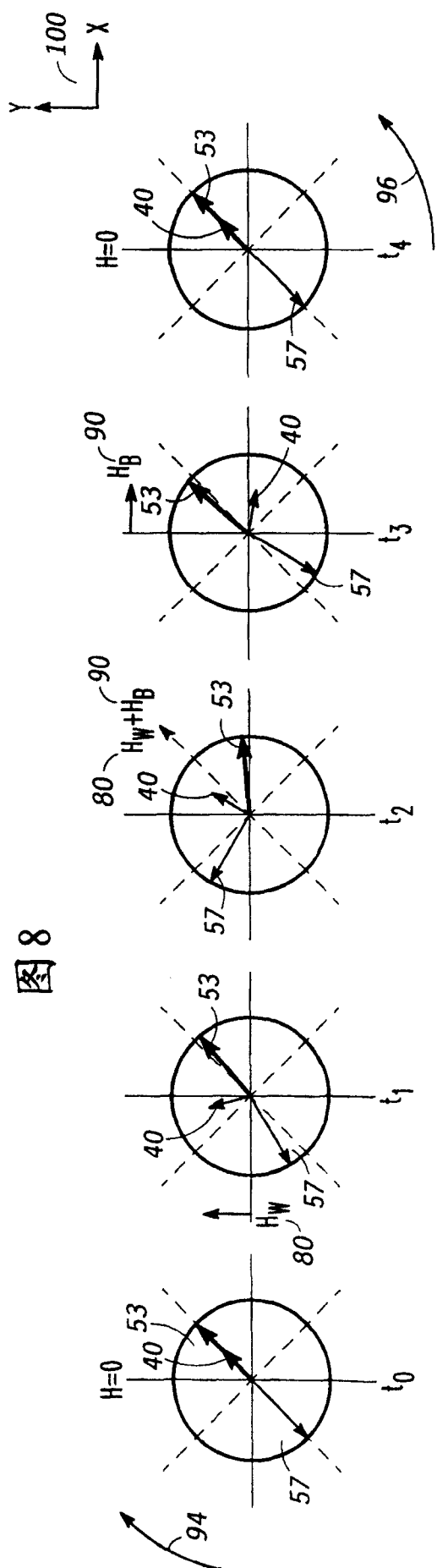
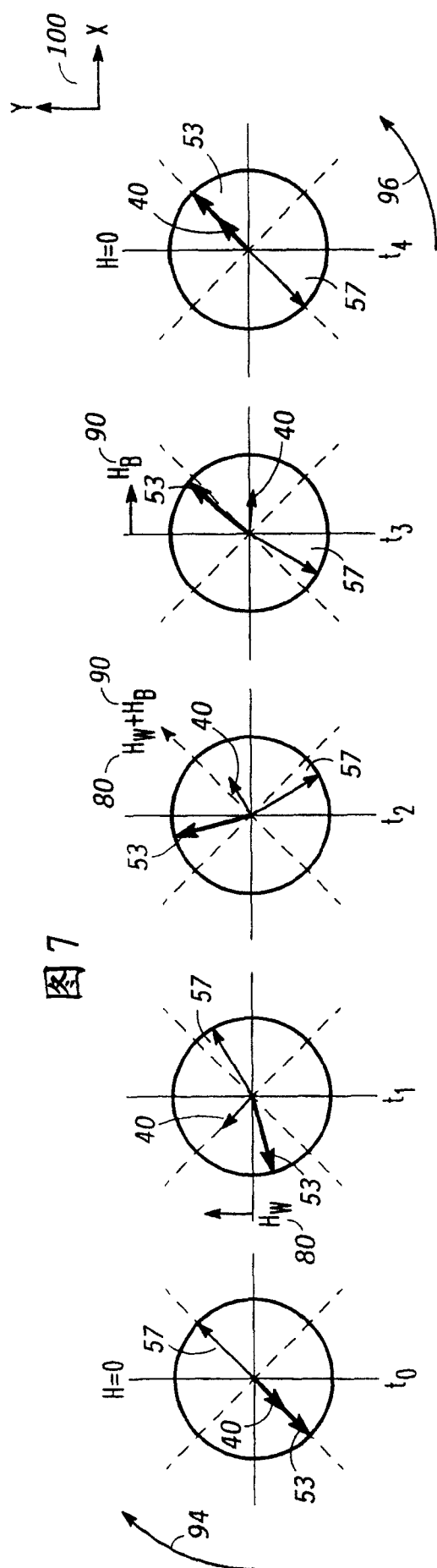


图 4





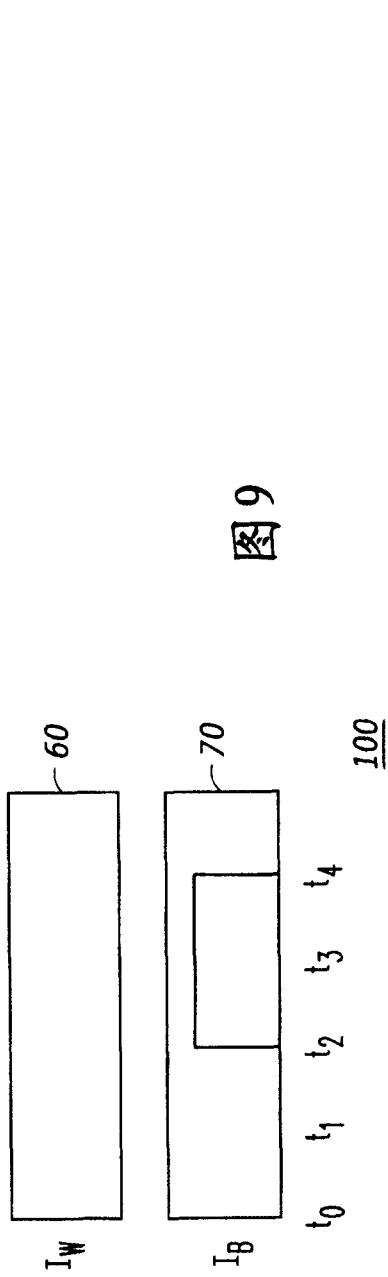


图 9

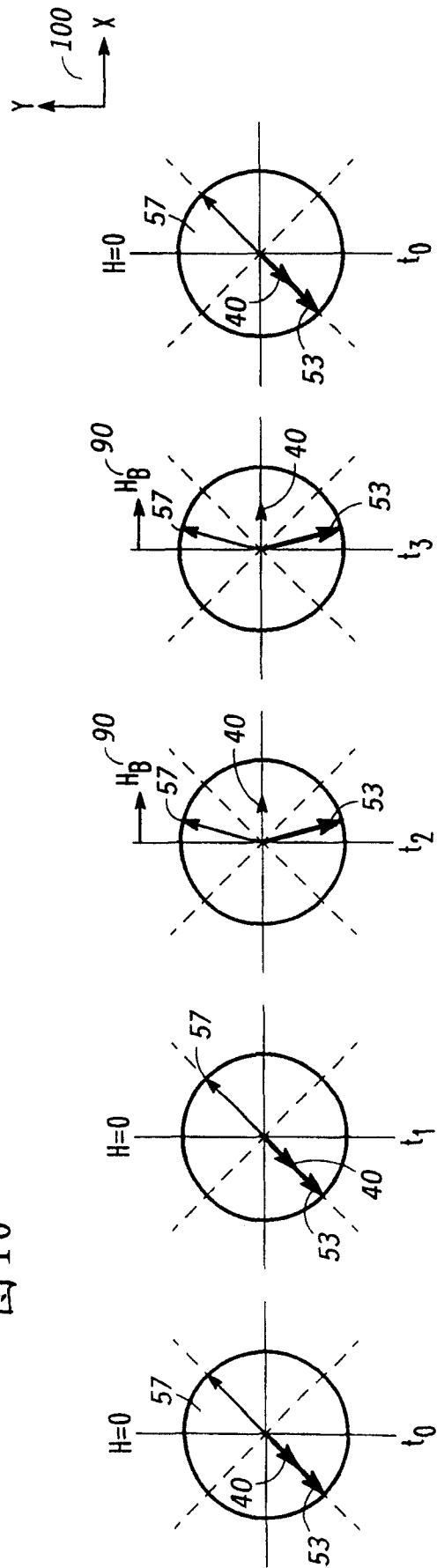


图 10

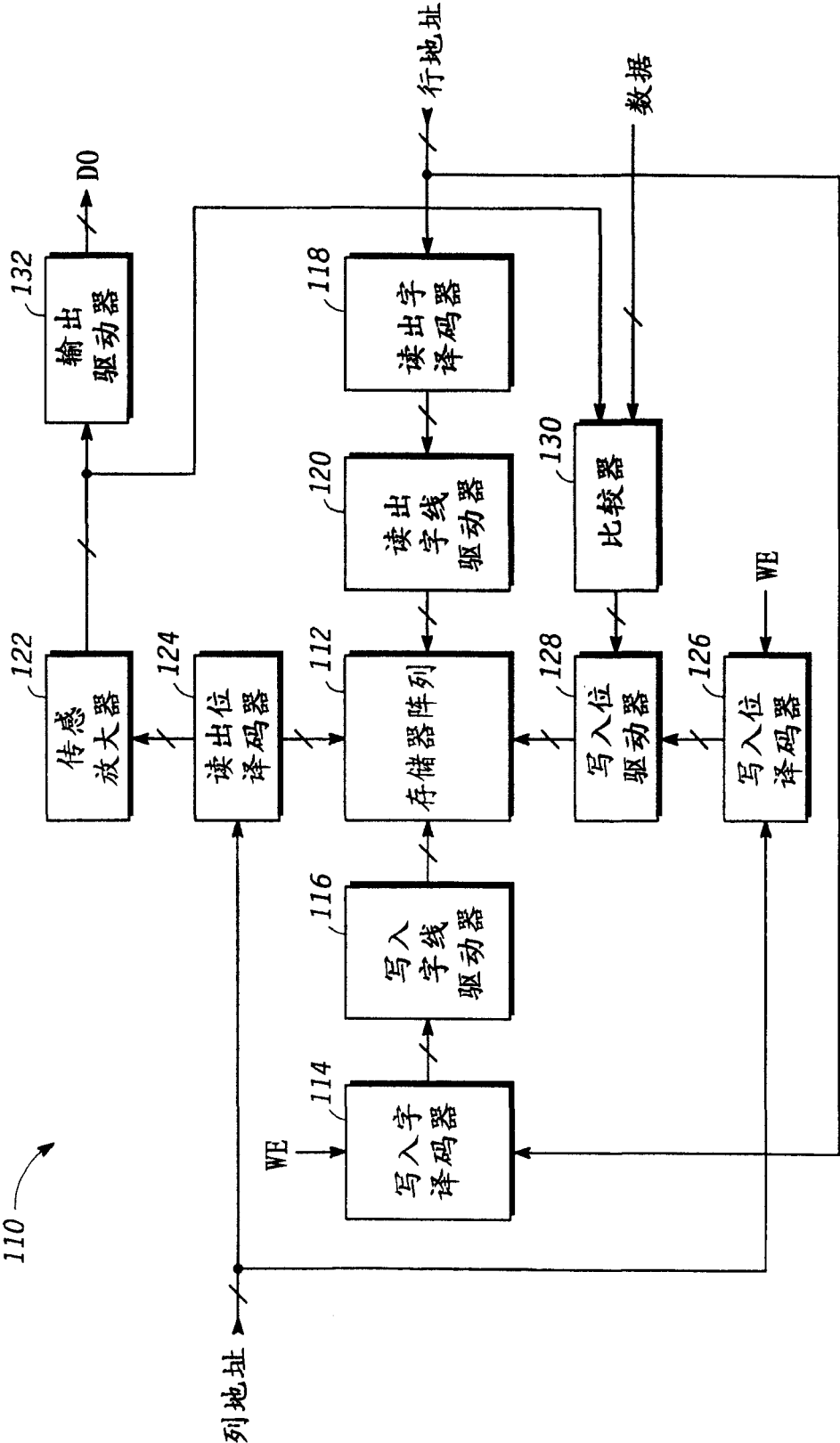


图11

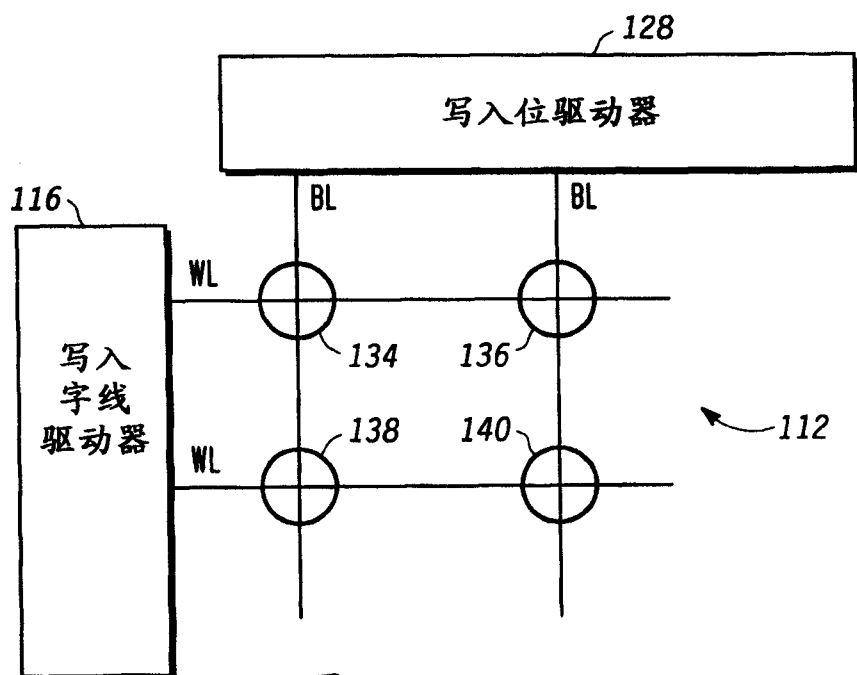


图 12

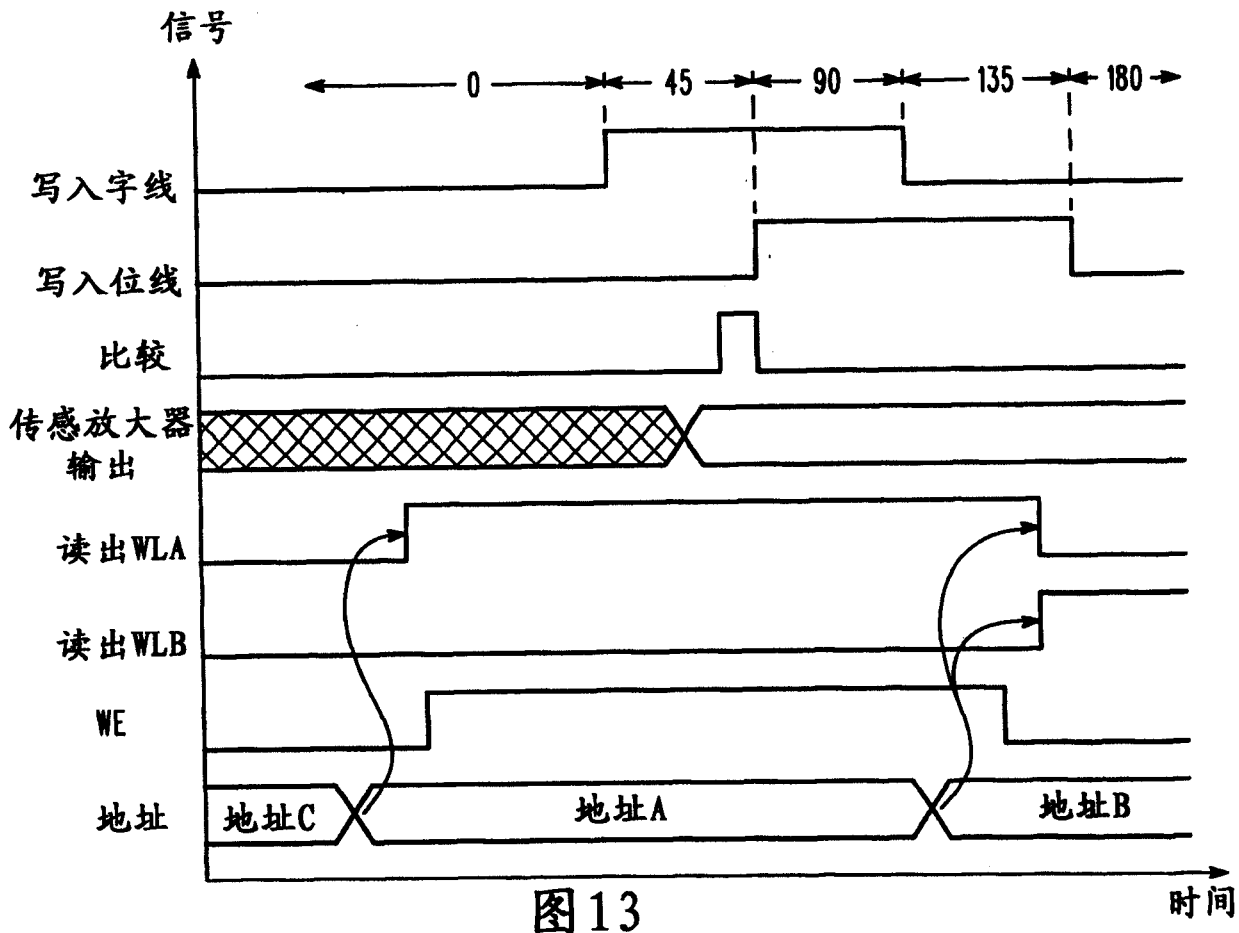
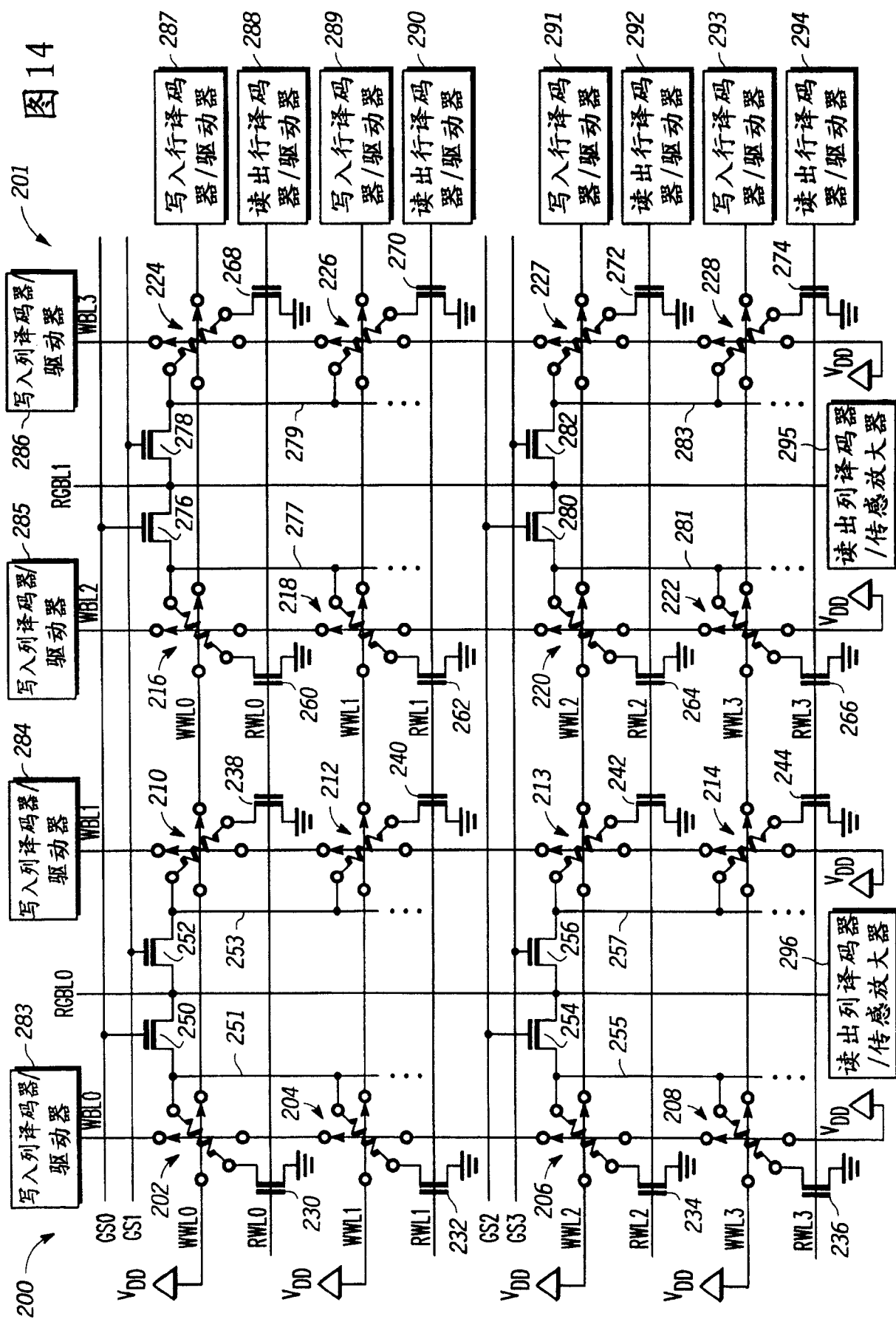


图 13



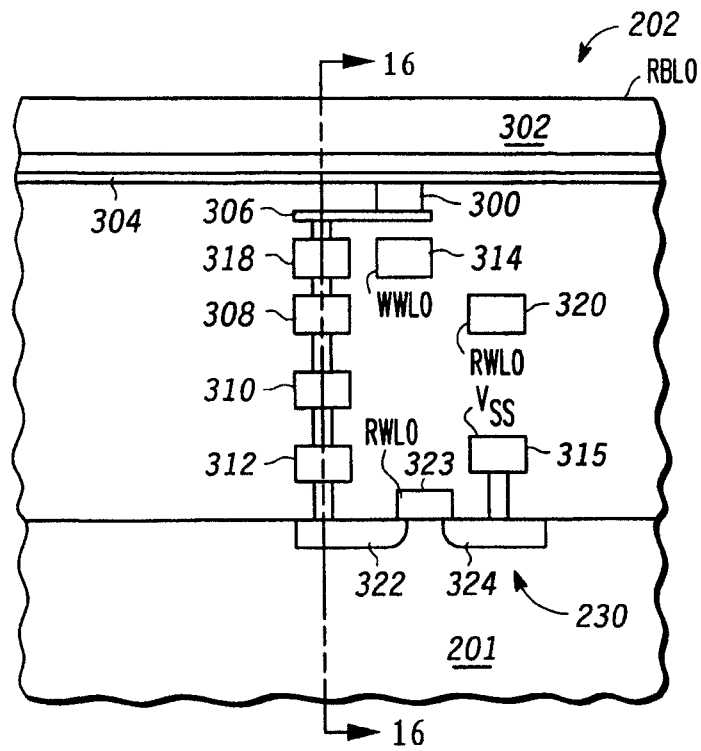


图 15

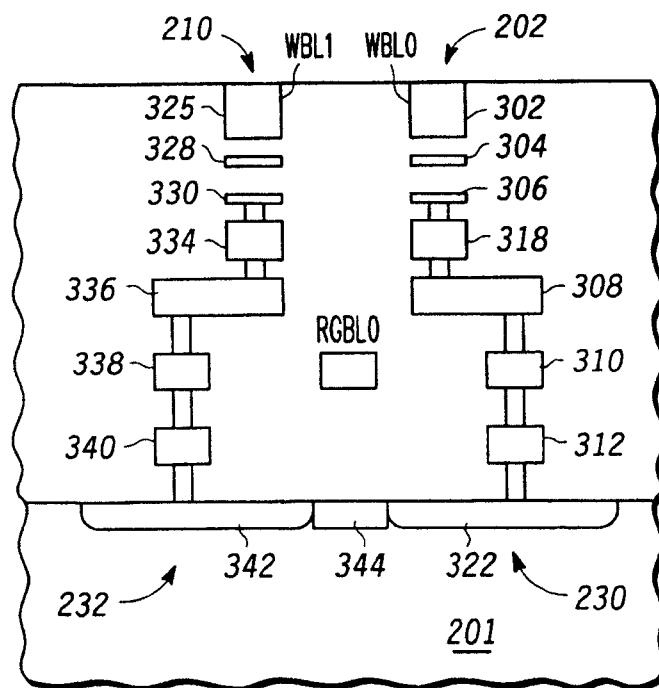


图 16

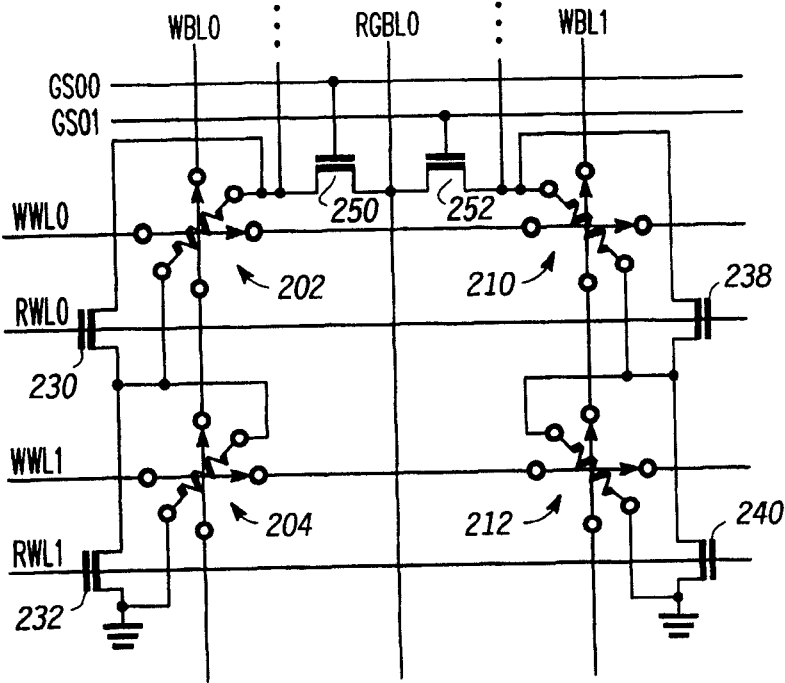


图17