

⑫

DEMANDE DE BREVET D'INVENTION

A1

⑫ Date de dépôt : 20.09.90.

⑬ Priorité : 12.07.90 KR 9010587.

⑭ Date de la mise à disposition du public de la demande : 17.01.92 Bulletin 92/03.

⑮ Liste des documents cités dans le rapport de recherche : *Se reporter à la fin du présent fascicule.*

⑯ Références à d'autres documents nationaux apparentés :

⑰ Demandeur(s) : Société dite: SAMSUNG ELECTRONICS CO., LTD. — KR.

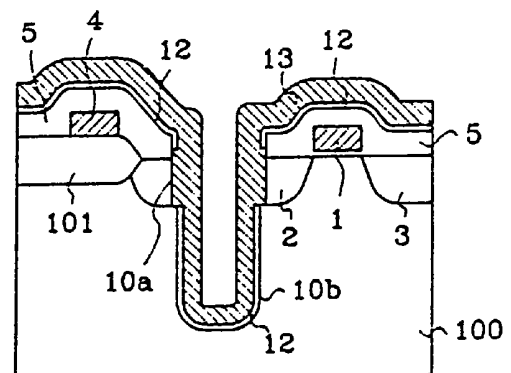
⑱ Inventeur(s) : Su-Han Choi, Seong-Tae Kim et Kyung-Hun Kim.

⑲ Titulaire(s) :

⑳ Mandataire : Cabinet Claude Rodhain Conseils en Brevets d'Invention.

① Dispositif à semi-conducteur pour mémoire vive dynamique et son procédé de fabrication.

② L'invention concerne un condensateur du type empilage-sillon combiné d'une mémoire vive dynamique. Le condensateur du type empilage-sillon combiné comporte un substrat (100), un transistor, un sillon (10a, 10b), une couche conductrice (13) servant de première électrode du condensateur et une couche de blocage de diffusion (12) disposée entre le substrat (100) et la couche conductrice (13) formée sur la surface du sillon (10a, 10b). Grâce à la structure du condensateur, un phénomène de pénétration qui apparaîtrait autrement entre les sillons et des erreurs possibles résultant des particules alpha peuvent être empêchés.



La présente invention se rapporte à un dispositif à semi-conducteur et un procédé de fabrication de celui-ci, et plus particulièrement à un dispositif à semi-conducteur dans lequel les caractéristiques électriques d'un condensateur du type empilage-sillon combiné sont améliorées, et à un procédé spécialement adapté à sa fabrication.

Des dispositifs de mémoire de grande capacité ont été développés récemment avec le progrès d'un procédé de fabrication d'un dispositif à semi-conducteur et l'extension du champ d'application d'un dispositif de mémoire. Plus spécialement, en formant, une cellule de mémoire individuelle ayant un seul condensateur et un seul transistor, un progrès considérable qui est favorable à l'augmentation de la densité d'intégration a été réalisé dans les mémoires vives dynamiques (DRAM).

En fonction de la structure de cellule de mémoire destinée à augmenter la densité d'intégration, la mémoire vive dynamique est développée à partir d'une structure de cellule de condensateur de type plan conventionnelle pour aboutir à des structures de cellule de condensateur de type empilage et de type sillon tridimensionnelles, utilisées pour des mémoires vives dynamiques de 4 mégabits, mais il y a de sérieux désavantages à les adapter à des mémoires vives dynamiques de 16 mégabits. De plus, un problème de recouvrement apparaît dans la cellule de condensateur de type empilage du fait de la structure du condensateur empilé sur le transistor. D'autre part, un problème de courant de fuite entre les sillons apparaît dans la cellule de condensateur du type sillon au cours du travail de réduction d'échelle, de telle sorte que l'application est difficile à des mémoires vives dynamiques de 64 mégabits.

Par conséquent, un condensateur du type empilage-sillon combiné, en tant que nouveau condensateur tridimensionnel, est proposé pour résoudre les problèmes mentionnés ci-dessus dans les mémoires vives dynamiques de grande capacité. Le processus de fabrication conventionnel pour le condensateur du type empilage-sillon combiné est illustré sur les figures 1A à 1D, et va être décrit en détail ci-dessous.

La figure 1A illustre un processus de formation d'un transistor sur un substrat semi-conducteur (100), dans lequel une zone active est définie en faisant croître une couche d'oxyde de champ (101) sur le substrat semi-conducteur (100). Une électrode de grille (1), une zone de source (2) et une zone de drain (3) d'un transistor, qui est un élément de cellule de mémoire, sont formées sur la zone active, et une première zone conductrice (4), par exemple une première couche de silicium polycristallin dopé avec des impuretés, est formée sur une partie prédéterminée de la couche d'oxyde de champ (101) de telle sorte qu'elle est reliée à une électrode de grille d'une cellule de mémoire disposée de manière adjacente à la couche d'oxyde de champ. Une première couche isolante (5), par exemple une couche d'oxyde à température élevée (HTO) ayant une épaisseur de environ 1500Å à 4000Å, est formée sur toute la surface de la structure mentionnée ci-dessus.

La figure 1B illustre un processus de formation d'une ouverture (6), dans lequel un motif de photoréserve (PR) est formé sur la première couche isolante (5) grâce aux étapes de dépôt de photoréserve, d'exposition de masque et de développement, et ensuite, l'ouverture (6) est formée de façon à exposer une partie de la zone de source (2) en gravant la première couche isolante (5) en utilisant le motif de photoréserve (PR).

La figure 1C illustre un processus de formation d'un sillon (10). Si l'on se réfère à la figure 1C, après que le motif de photoréserve ait été enlevé, le sillon est formé en gravant le substrat à l'aide d'un processus de gravure anisotrope. La première couche isolante (5) est utilisée ici comme masque.

La figure 1D illustre un processus de formation d'une deuxième couche conductrice (13) servant de première électrode du condensateur, dans lequel la deuxième couche conductrice (13) est réalisée en formant une deuxième couche de silicium polycristallin ayant une épaisseur de environ 500Å à 4000Å à la fois sur l'intérieur du sillon et la première couche isolante (5) au moyen d'un dispositif de dépôt de vapeur chimique à basse pression (LPCVD) et en y implantant ensuite des impuretés. A ce moment là, les impuretés implantées dans la deuxième couche de silicium polycristallin diffusent dans le substrat autour du sillon (10), au cours du processus de recuit, formant ainsi une zone de diffusion d'impuretés (14).

Après que le processus illustré sur la figure 1D ait été réalisé, un premier motif d'électrode du condensateur est réalisé en gravant la deuxième couche conductrice, et un film diélectrique est formé pour recouvrir la surface du premier motif d'électrode, et une troisième couche conductrice servant de deuxième électrode du condensateur est formée sur le film diélectrique, la formation du condensateur du type empilage-sillon combiné conventionnel étant alors terminée.

Dans un procédé de fabrication pour le condensateur du type empilage-sillon combiné conventionnel décrit ci-dessus, du fait que la deuxième couche conductrice utilisée comme première électrode du condensateur est formée par le processus de recuit après implantation des impuretés dans la couche

polycristalline, la zone de diffusion d'impureté est formée autour du sillon. Par conséquent, un phénomène de pénétration apparaît entre les sillons du fait de la zone de diffusion d'impureté et une zone d'appauvrissement est formée dans la zone entre les sillons où la pénétration apparaît. Il en résulte que la tension de claquage entre dispositifs est abaissée.

C'est donc un objet de la présente invention que de fournir un condensateur ayant une structure du type empilage-sillon combinée, dans lequel, dans le but de résoudre les problèmes décrits ci-dessus des techniques conventionnelles, une couche d'oxyde est formée sur la surface d'un sillon, empêchant ainsi les apparitions du phénomène de pénétration entre les sillons et des erreurs dues à des particules alpha dans une zone d'appauvrissement.

C'est un autre objet de la présente invention que de fournir un procédé destiné à fabriquer de manière efficace le condensateur ayant la structure décrite ci-dessus.

Afin de réaliser les objets mentionnés ci-dessus, le condensateur du type empilage-sillon combiné selon la présente invention comporte : une couche d'oxyde de champ formée de manière sélective sur un premier substrat semi-conducteur du type conducteur afin de définir une zone active; une électrode de grille électriquement isolée sur la zone active; une zone de source et une zone de drain formées sur des côtés respectifs de l'électrode de grille dans la surface du substrat semi-conducteur; une première couche conductrice formée afin de relier une électrode de grille d'une cellule de mémoire adjacente à une partie quelconque prédéterminée de la couche d'oxyde de champ; un sillon formé à l'intérieur de la zone de source dans le substrat semi-conducteur; une première couche isolante destinée à isoler l'électrode de grille

et la première couche conductrice; une deuxième couche conductrice formée sur la surface à la fois du sillon et de la première couche isolante; et une couche de blocage de diffusion prévue entre le substrat semi-conducteur et la deuxième couche conductrice formée sur la surface du sillon.

Un procédé de fabrication d'un condensateur ayant la structure mentionnée ci-dessus selon la présente invention comprend : un premier processus de définition d'une zone active en faisant croître une couche d'oxyde de champ sur un premier substrat semi-conducteur du type conducteur; un deuxième processus de formation d'une électrode de grille, d'une zone de source et d'une zone de drain d'un transistor qui est un élément d'une cellule de mémoire sur la zone active, de formation d'une première couche conductrice sur une partie quelconque prédéterminée de la couche d'oxyde de champ, et de formation d'une première couche isolante sur la structure résultante obtenue ci-dessus; un troisième processus de formation d'un premier sillon en appliquant un masque sur la première couche isolante disposée sur la zone de source; un quatrième processus de formation d'une couche de nitrure sur la structure obtenue après réalisation du troisième processus; un cinquième processus destiné à laisser la couche de nitrure sur les parois intérieures du premier sillon; un sixième processus de formation d'un deuxième sillon à relier au premier sillon; un septième processus de formation d'une couche de blocage de diffusion après réalisation du sixième processus; un huitième processus d'enlèvement de la couche de nitrure formée sur les parois intérieures du premier sillon; et un neuvième processus de formation d'une couche conductrice sur la structure obtenue en réalisant le huitième processus.

La présente invention va être décrite en se référant aux dessins, dans lesquels :

Les figures 1A à 1D représentent les processus de fabrication du condensateur du type empilage-sillon combiné conventionnel;

5 La figure 2 est une vue en coupe du condensateur du type empilage-sillon combiné selon la présente invention; et

10 Les figures 3A à 3I représentent une forme de réalisation des processus de fabrication du condensateur du type empilage-sillon combiné selon la présente invention.

Le condensateur du type empilage-sillon combiné selon la présente invention, comme cela est, représenté sur la figure 2, possède une partie d'une structure du type empilage-sillon combinée d'une manière telle qu'il comporte : une couche d'oxyde de champ (101) formée de manière sélective sur un premier substrat semi-conducteur du type conducteur (100) afin de définir une zone active; une électrode de grille (1) formée de façon à être électriquement isolée sur la zone active; une zone de source (2) et une zone de drain (3) formées sur des côtés respectifs de l'électrode de grille (1) dans la surface du substrat semi-conducteur; une première couche conductrice (4) formée sur une partie quelconque prédéterminée de la couche d'oxyde de champ (101) de telle sorte qu'elle est reliée à une électrode de grille d'une cellule de mémoire disposée de façon adjacente à la couche d'oxyde de champ; des sillons (10a) et (10b) formés à l'intérieur de la zone de source (2) dans le substrat semi-conducteur (100); une première couche isolante (5) formée sur l'électrode de grille (1) et la première couche conductrice (4); une couche de blocage de diffusion (12) formée sur la surface à la fois du sillon relié au substrat semi-conducteur (100) et de la première couche isolante (5); et une deuxième couche

15  
20  
25  
30  
35

conductrice (13) formée sur la couche de blocage de diffusion (12) et sur le côté de la zone de source (2).

Les figures 3A à 3I sont des vues en coupe représentant une forme de réalisation du procédé de fabrication du condensateur du type empilage-sillon combiné selon la présente invention.

La figure 3A représente un procédé de formation d'un transistor sur un substrat semi-conducteur (100), dans lequel une zone active est définie en faisant croître une couche d'oxyde de champ (101) sur un premier substrat semi-conducteur du type conducteur (100) au moyen d'une oxydation sélective. Une couche d'oxyde de grille (1), ayant une épaisseur de environ 100Å à 200Å, est formée sur la zone active, et une première couche conductrice, par exemple une première couche de silicium polycristallin dopé avec des impuretés, est formée de façon à servir d'électrode de grille (1) d'un transistor sur la couche d'oxyde de grille, et dans le même temps, une première zone conductrice (4), par exemple une première couche de silicium polycristallin dopé avec des impuretés, est formée sur une partie prédéterminée de la couche d'oxyde de champ (101) de façon à être reliée à une électrode de grille d'une cellule de mémoire adjacente à la couche d'oxyde de champ. Et une zone de source (2) et une zone de drain (3) sont formées par implantation ionique dans la surface du substrat semi-conducteur des deux côtés de l'électrode de grille (1), et une première couche isolante (5), par exemple une couche d'oxyde à température élevée (HTO) ayant une épaisseur de environ 1500Å à 4000Å, est formée sur toute la surface de la structure mentionnée ci-dessus.

La figure 3B illustre le processus de formation d'une ouverture (6), dans lequel un motif de photoréserve (PR) est formé sur la première couche isolante (5) grâce aux étapes de dépôt de photoréserve, d'exposition de masque et de développement, et ensuite,

l'ouverture (6) est formée en gravant la première couche isolante (5) en utilisant le motif de photoréserve (PR), exposant ainsi une partie de la zone de source (2).

5                    La figure 3C illustre le processus de formation d'un premier sillon (10a), dans lequel, après que le motif de photoréserve ait été enlevé, le sillon est formé par gravure anisotrope du substrat jusqu'à la profondeur de la zone de source (2) en utilisant la  
10 première couche isolante (5) comme un masque.

                  La figure 3D illustre le processus de formation d'une couche de nitrure, dans lequel la couche de nitrure (11) ayant une épaisseur de environ, 50Å à 200Å, est formée au moyen d'un dispositif de  
15 dépôt de vapeur chimique à basse pression (LPCVD) sur la structure obtenue à l'aide du processus de la figure 3C.

                  La figure 3E illustre le processus destiné à laisser la couche de nitrure (11) uniquement sur les  
20 parois du premier sillon (10a). Lorsque la couche de nitrure est totalement gravée au moyen du processus de gravure anisotrope, la couche de nitrure (11) est laissée uniquement sur les parois du premier sillon (10a), c'est à dire sur les parois latérales de la zone  
25 de source exposée comme cela est représenté sur la figure 3E, et la couche de nitrure formée sur l'autre zone est enlevée. Par conséquent, la couche de nitrure sur la partie de fond du premier sillon (10a) est également enlevée de telle sorte que le substrat est  
30 exposé.

                  La figure 3F illustre le processus de formation d'un deuxième sillon (10b) relié au premier sillon (10a). Le deuxième sillon (10b) ayant une profondeur prédéterminée de environ 1 m à 3 m est formé  
35 dans le substrat semi-conducteur (100), dans lequel le premier sillon (10a) est formé, de façon à ce que la deuxième sillon (10b) soit relié au premier sillon

(10a). A ce moment là, la couche de nitrure (11) formée sur les parois du premier sillon est conservée.

La figure 3G illustre le processus de formation d'une couche de blocage de diffusion (12) après que le processus représenté sur la figure 3F ait été réalisé. La couche de blocage de diffusion (12), par exemple une couche d'oxyde ayant une épaisseur de environ 50Å à 500Å, croît thermiquement. Ici, du fait que la couche de nitrure (11) formée sur les parois du premier sillon empêche la croissance thermique de la couche d'oxyde sur la couche de nitrure, la couche d'oxyde (12) croît uniquement sur la surface du deuxième sillon (10b) et de la première couche isolante, (5).

La figure 3H illustre le processus d'enlèvement de la couche de nitrure formée sur les parois du premier sillon, dans lequel la couche de nitrure formée sur les parois intérieures du premier sillon est enlevée sélectivement par un procédé de gravure humide, exposant ainsi les parois du premier sillon, c'est à dire les parois latérales de la zone de source exposée (2).

La figure 3I illustre le processus de formation d'une deuxième couche conductrice (13) servant de première électrode du condensateur. Comme cela est représenté, la couche (13) est prévue en formant une deuxième couche de silicium polycristallin ayant une épaisseur de environ 1000Å à 2000Å et en y implantant ensuite des impuretés. Dans le processus ci-dessus, la deuxième couche conductrice (13) recouvre également et est reliée à la paroi latérale de la zone de source (2) de laquelle la couche de nitrure est enlevée.

Après le processus illustré sur la figure 3I, le condensateur du type empilage-sillon combiné est terminé en formant ensuite un film diélectrique et une

troisième couche conductrice qui sert de deuxième électrode de condensateur.

Avec la structure de condensateur selon la présente invention, il est possible qu'une zone de diffusion d'impureté formée autour du sillon conventionnel puisse être bloquée en formant une couche de blocage de diffusion sur la surface du sillon formé dans le substrat semi-conducteur, le phénomène de pénétration apparaissant entre les sillons et des erreurs résultant des particules alpha pouvant ainsi être empêchés. Par conséquent, la fiabilité et les caractéristiques électriques du condensateur sont améliorées. De plus, du fait que la couche de blocage de diffusion n'est pas formée dans la zone de source où le sillon est formé, la zone de source et la deuxième couche conductrice deviennent partiellement reliées l'une à l'autre lorsque la deuxième couche conductrice est formée, permettant ainsi à la deuxième couche conductrice de servir de première électrode du condensateur.

## REVENDICATIONS

1. Dispositif semi-conducteur caractérisé en ce qu'il comporte : une couche d'oxyde de champ (101) formée de manière sélective sur un premier substrat semi-conducteur du type conducteur (100) afin de définir une zone active; une électrode de grille (1) électriquement isolée sur la zone active; une zone de source (2) et une zone de drain (3) formées sur des côtés respectifs de la dite électrode de grille (1) et sur la surface du dit substrat semi-conducteur (100); une première couche conductrice (4) formée afin de relier une électrode de grille d'une cellule de mémoire, adjacente à une partie quelconque prédéterminée de la dite couche d'oxyde de champ; un sillon (10a, 10b) formé dans le dit substrat semi-conducteur et à l'intérieur de la dite zone de source (2); une première couche isolante (5) destinée à isoler la dite électrode de grille (1) et la dite première couche conductrice (4); et une deuxième couche conductrice (13) formée à la fois à l'intérieur du dit sillon (10a, 10b) et de la dite première couche isolante (5);

une couche de blocage de diffusion (12) étant prévue entre le dit substrat semi-conducteur (100) et la dite deuxième couche conductrice (13) formée sur la surface du dit sillon (10a, 10b).

2. Dispositif semi-conducteur selon la revendication 1, caractérisé en ce que la dite couche de blocage de diffusion (12) consiste en une couche d'oxyde.

3. Dispositif semi-conducteur selon la revendication 1, caractérisé en ce que la dite première et la dite deuxième couche conductrice (4), (13) consistent en une couche de silicium polycristallin dopé avec des impuretés.

4. Procédé de fabrication d'un dispositif semi-conducteur caractérisé en ce qu'il comporte dans l'ordre cité les étapes :

5 de définition d'une zone active en faisant croître une couche d'oxyde de champ (101) sur un premier substrat semi-conducteur du type conducteur (100);

10 de formation d'une électrode de grille (1), d'une zone de source (2) et d'une zone de drain (3) d'un transistor sur la dite zone active, de formation d'une première couche conductrice (4) sur une partie quelconque prédéterminée de la dite couche d'oxyde de champ (101), et de formation d'une première couche  
15 isolante (5) sur la structure résultante;

de formation d'un premier sillon (10a) en appliquant un masque sur la dite première couche isolante (5) disposée sur la dite zone de source (2);

20 de formation d'une couche de nitrure (11) sur la structure résultante;

consistant à laisser la couche de nitrure (11) uniquement sur les parois du dit premier sillon (10a);

25 de formation d'un deuxième sillon (10b) à relier au dit premier sillon (10a);

de formation d'une couche de blocage de diffusion (12);

30 d'enlèvement de la dite couche de nitrure (11) formée sur les parois du dit premier sillon (10a); et

de formation d'une couche conductrice (13) sur la structure résultante.

35 5. Procédé de fabrication d'un dispositif semi-conducteur selon la revendication 4, caractérisé en ce que la dite étape de formation d'un premier sillon (10a) en appliquant un masque sur la dite

première couche isolante (5) disposée sur la dite zone de source (2) comporte les étapes :

de formation d'un motif de photoréserve (PR) sur la dite première couche isolante (5) et de formation d'une ouverture (6) de façon à exposer une partie de la dite zone de source (2) en gravant la première couche isolante (5) avec l'application du dit motif de photoréserve (PR); et

de gravure anisotrope du dit substrat semi-conducteur (100) aussi profondément que la profondeur de la dite zone de source (2) en utilisant la dite première couche isolante (5) comme masque, après enlèvement du dit motif de photoréserve (PR).

6. Procédé de fabrication d'un dispositif semi-conducteur selon la revendication 4, caractérisé en ce que la dite couche de nitrure (11) est formée au moyen d'un dépôt de vapeur chimique à basse pression (LPCVD), formant ainsi une épaisseur de environ 50Å à 200Å.

7. Procédé de fabrication d'un dispositif semi-conducteur selon la revendication 4, caractérisé en ce que la dite étape consistant à laisser la dite couche de nitrure (11) uniquement sur les parois du dit premier sillon (10a) est réalisée en gravant la couche de nitrure (11) sur la structure résultante obtenue au moyen des étapes précédentes.

8. Procédé de fabrication d'un dispositif semi-conducteur selon la revendication 4, caractérisé en ce que la dite étape de formation d'un deuxième sillon (10b) à relier au dit premier sillon (10a) est réalisée par gravure anisotrope à une profondeur prédéterminée du dit substrat semi-conducteur (100) ayant le dit premier sillon (10a).

9. Procédé de fabrication d'un dispositif semi-conducteur selon la revendication 8, caractérisé en ce que la dite profondeur prédéterminée est de environ 1 m à 3 m.

5

10. Procédé de fabrication d'un dispositif semi-conducteur selon la revendication 4, caractérisé en ce que la dite étape de formation d'une couche de blocage de diffusion (12) est réalisée par croissance thermique de la couche d'oxyde ayant une épaisseur de environ 50Å à 500Å.

10

11. Procédé de fabrication d'un dispositif semi-conducteur selon la revendication 4, caractérisé en ce que la dite étape d'enlèvement de la dite couche de nitrure (11) est réalisée par un processus de gravure humide.

15

FIG. 1A

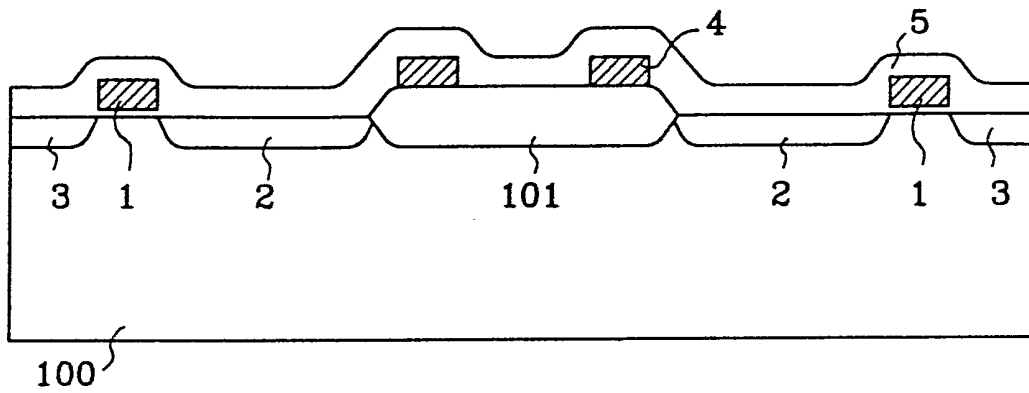


FIG. 1B

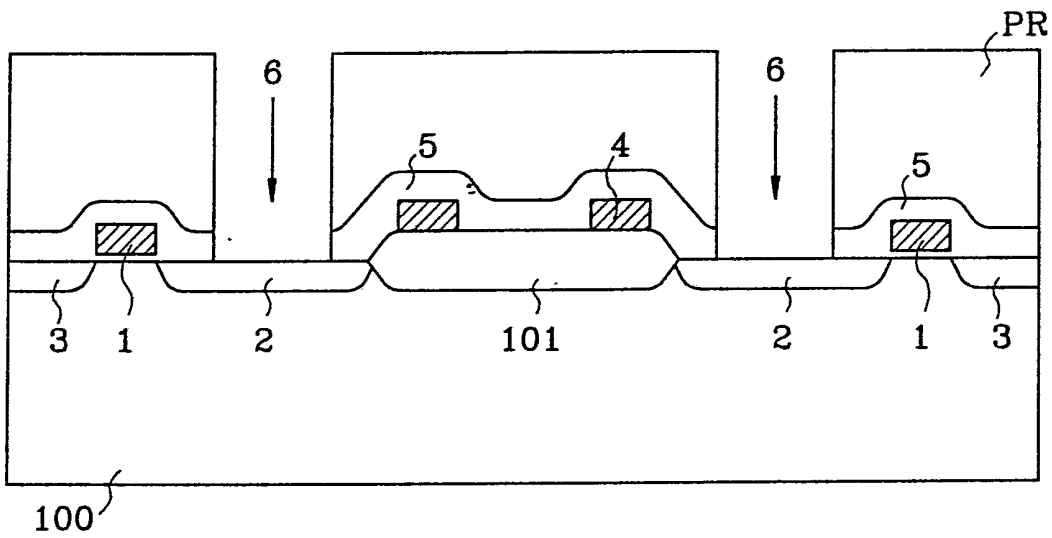


FIG. 1C

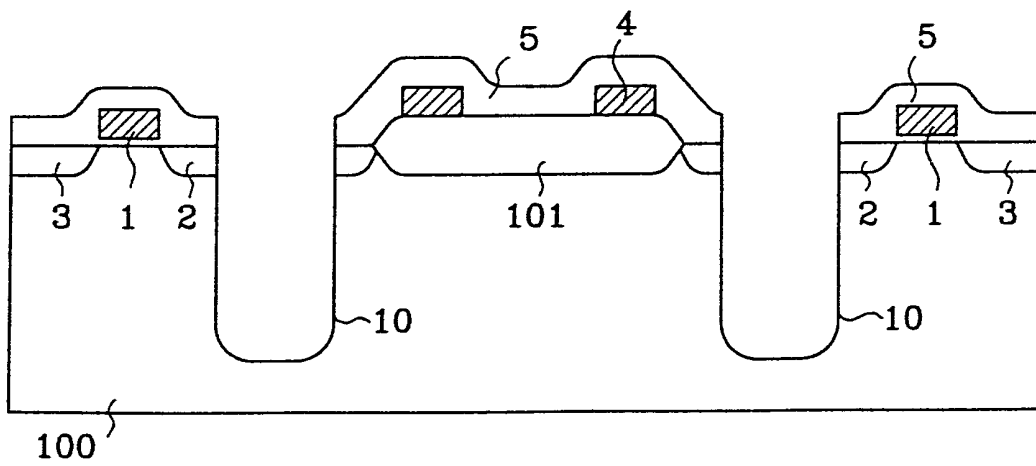


FIG. 1D

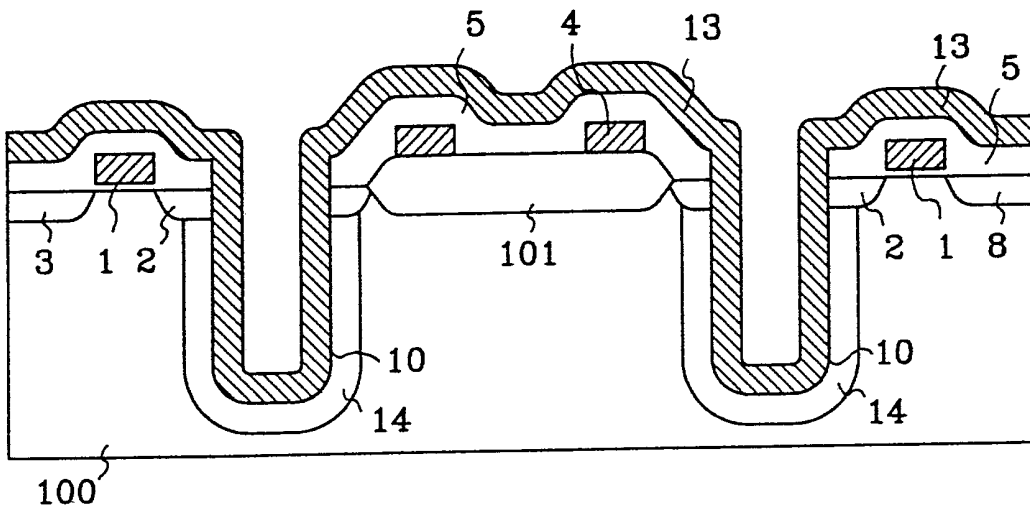


FIG. 2

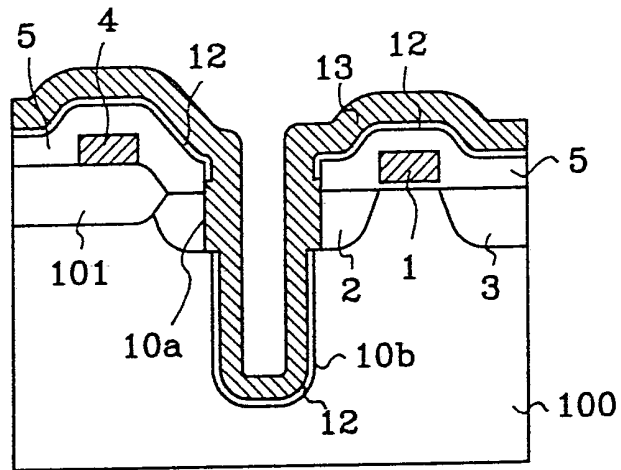


FIG. 3A

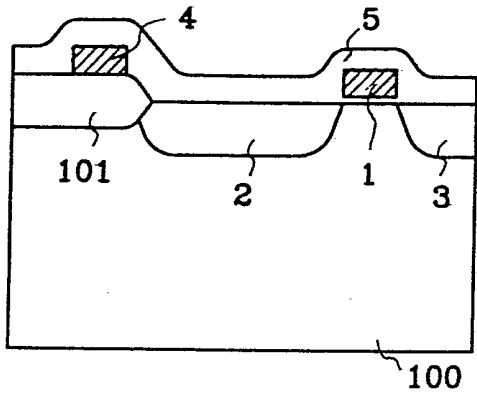


FIG. 3B

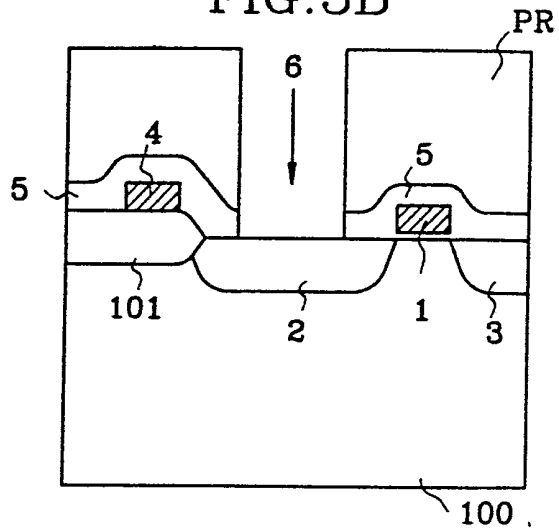


FIG. 3C

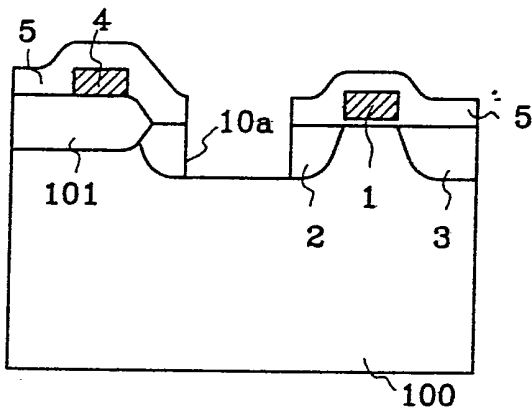


FIG. 3D

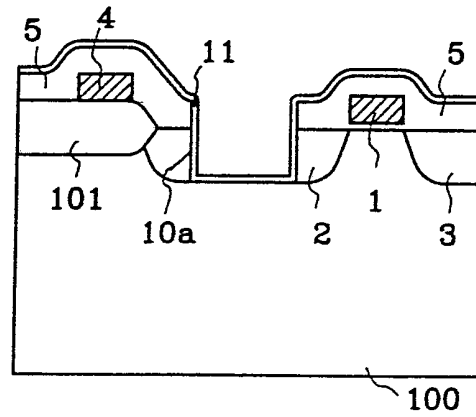


FIG. 3E

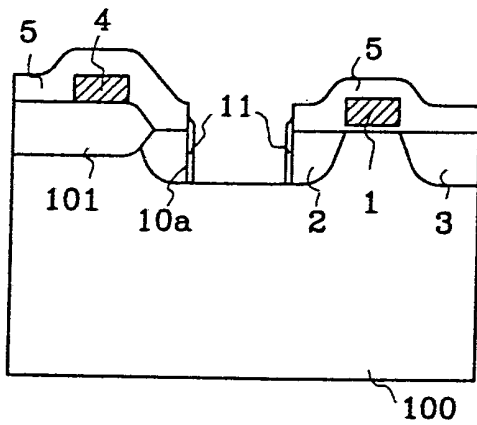


FIG. 3F

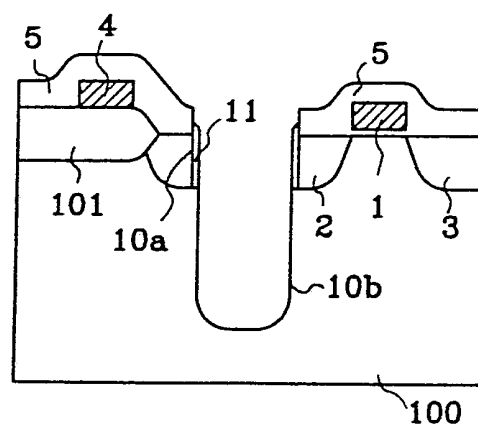


FIG. 3G

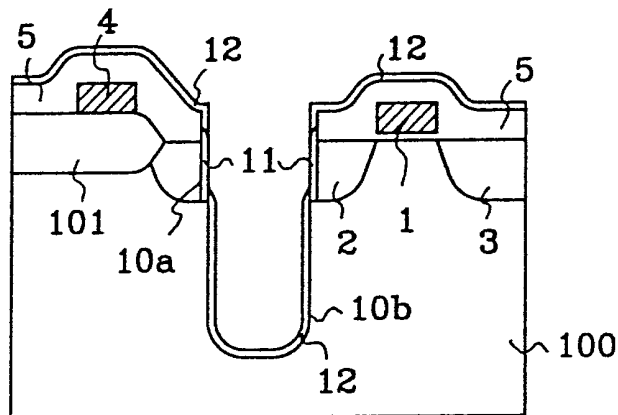


FIG. 3H

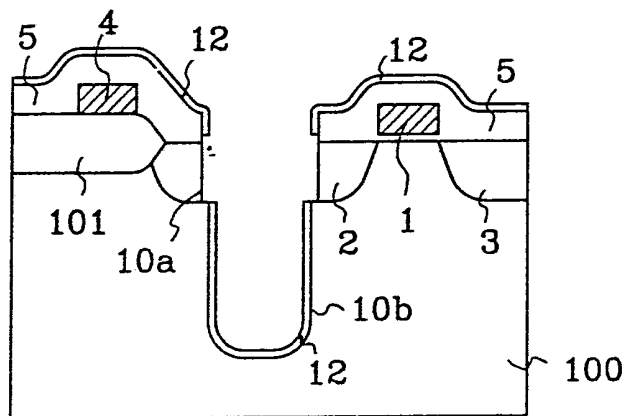
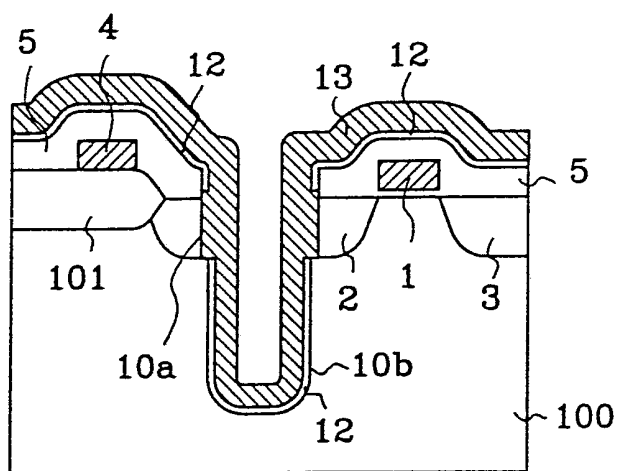


FIG. 3I



INSTITUT NATIONAL  
de la  
PROPRIETE INDUSTRIELLE

**RAPPORT DE RECHERCHE**  
établi sur la base des dernières revendications  
déposées avant le commencement de la recherche

FR 9011623  
FA 447354

DOCUMENTS CONSIDERES COMME PERTINENTS		Revendications concernées de la demande examinée
Catégorie	Citation du document avec indication, en cas de besoin, des parties pertinentes	
X	EP-A-0 164 829 (NIPPON TELEGRAPH AND TELEPHONE CORP.) * Pages 20-22; figures 8A-8F * ----	1-11
A	PATENT ABSTRACTS OF JAPAN, vol. 13, no. 343 (E-796)[3691], 2 août 1989; & JP-A-1 101 664 (NEC CORP.) 19-04-1989 * En entier * -----	1-11
		DOMAINES TECHNIQUES RECHERCHES (Int. Cl.5)
		H 01 L
Date d'achèvement de la recherche		Examineur
11-12-1990		SINEMUS M.
<p><b>CATEGORIE DES DOCUMENTS CITES</b></p> <p>X : particulièrement pertinent à lui seul                      Y : particulièrement pertinent en combinaison avec un autre document de la même catégorie                      A : pertinent à l'encontre d'au moins une revendication ou arrière-plan technologique général                      O : divulgation non-écrite                      P : document intercalaire</p> <p>T : théorie ou principe à la base de l'invention                      E : document de brevet bénéficiant d'une date antérieure à la date de dépôt et qui n'a été publié qu'à cette date de dépôt ou qu'à une date postérieure.                      D : cité dans la demande                      L : cité pour d'autres raisons                      .....                      &amp; : membre de la même famille, document correspondant</p>		

EPO FORM 1503 03.82 (P0413)