(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2023-0013328
(43) 공개일자 2023년01월26일

(51) 국제특허분류(Int. Cl.)
H02M 3/07 (2006.01)
(52) CPC특허분류
H02M 3/07 (2013.01)
(21) 출원번호 10-2021-0093955
(22) 출원일자 2021년07월19일
심사청구일자 2021년07월19일

(71) 출원인
인하대학교 산학협력단
인천광역시 미추홀구 인하로 100(용현동, 인하대학교)
(72) 발명자
김재국
인천광역시 남동구 아암대로1503번길 21, 1005동 1704호(논현동, 에코메트로 10블록 한화 꿈에그린 아파트)
안재현
인천광역시 부평구 부평북로 463, 311동 1201호(삼산동, 주공미래타운3단지)
(74) 대리인
네이트특허법인

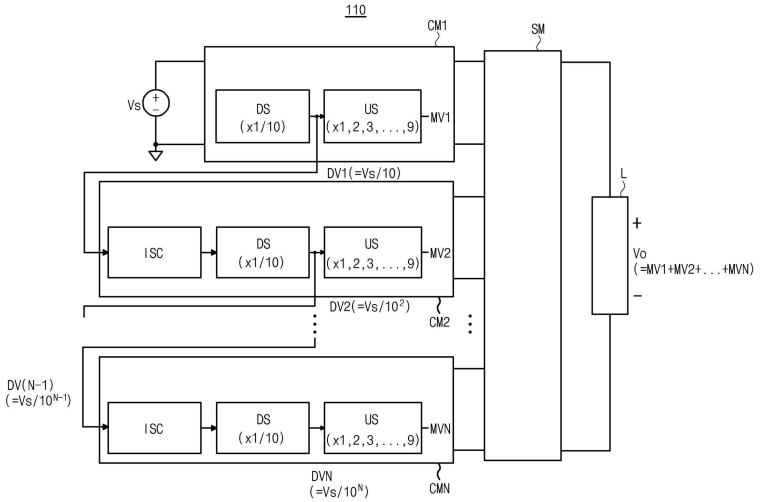
전체 청구항 수 : 총 9 항

(54) 발명의 명칭 **연속적 전압제어를 위한 고분해능 디지털 비자성체 직렬 모듈화 전력변환장치**

(57) 요 약

본 발명은, 입력전압을 이용하여 상이한 자리수의 제1 내지 제N모듈전압을 각각 생성하고, 캐스케이드 방식으로 연결되는 제1 내지 제N변환모듈과; 상기 제1 내지 제N모듈전압을 조합하여 출력전압을 생성하는 선택모듈을 포함하고, 상기 제2 내지 제N변환모듈은 각각 상기 제1 내지 제(N-1)변환모듈의 링크전압을 상기 입력전압으로 이용하여 상기 제2 내지 제N모듈전압을 생성하는 비자성체 전력변환장치를 제공한다.

대 표 도 - 도3



이 발명을 지원한 국가연구개발사업

과제고유번호	1711120629
과제번호	2020R1A2C1102234
부처명	과학기술정보통신부
과제관리(전문)기관명	한국연구재단
연구사업명	중견연구
연구과제명	연속적인 전압제어를 위한 고분해능 디지털 비자성체 전력변환장치 연구
기 여 율	1/1
과제수행기관명	인하대학교
연구기간	2020.09.01 ~ 2021.08.31

명 세 서

청구범위

청구항 1

입력전압을 이용하여 상이한 자리수의 제1 내지 제N모듈전압을 각각 생성하고, 캐스케이드 방식으로 연결되는 제1 내지 제N변환모듈과;

상기 제1 내지 제N모듈전압을 조합하여 출력전압을 생성하는 선택모듈

을 포함하고,

상기 제2 내지 제N변환모듈은 각각 상기 제1 내지 제(N-1)변환모듈의 링크전압을 상기 입력전압으로 이용하여 상기 제2 내지 제N모듈전압을 생성하는 비자성체 전력변환장치.

청구항 2

제 1 항에 있어서,

상기 제1 내지 제N변환모듈은, 각각

상기 입력전압을 강압하여 제1 내지 제N다운전압을 생성하는 다운스테이지와;

상기 제1 내지 제N다운전압을 승압하여 상기 제1 내지 제N모듈전압을 생성하는 업스테이지

를 포함하는 비자성체 전력변환장치.

청구항 3

제 2 항에 있어서,

상기 제1변환모듈의 다운스테이지는 소스전압을 강압하여 상기 제1다운전압을 생성하고,

상기 제2 내지 제N변환모듈의 다운스테이지는 각각 상기 제1 내지 제(N-1)다운전압을 강압하여 상기 제2 내지 제N다운전압을 생성하는 비자성체 전력변환장치.

청구항 4

제 3 항에 있어서,

제2 내지 제N변환모듈은, 각각

상기 제1 내지 제(N-1)다운전압을 저장한 후 상기 다운스테이지에 전달하는 분리스위칭셀을 더 포함하는 비자성체 전력변환장치.

청구항 5

제 4 항에 있어서,

제1변환모듈의 다운스테이지는,

출력 다운커패시터와;

상기 출력 다운커패시터의 양단 사이에 직렬로 연결되는 제1 및 제2다운스위치와 제3 및 제4다운스위치와;

상기 소스전압과 상기 출력 다운커패시터 사이에 직렬로 연결되는 제5 내지 제14다운스위치와;

상기 제5 내지 제14다운스위치의 연결노드와 상기 제1 및 제2다운스위치의 연결노드 사이 또는 상기 제5 내지 제14다운스위치의 연결노드와 상기 제3 및 제4다운스위치의 연결노드 사이에 연결되는 제1 내지 제9다운커패시터

를 포함하는 비자성체 전력변환장치.

청구항 6

제 4 항에 있어서,

제1 내지 제N변환모듈의 업스테이지는,

출력 업커패시터와;

상기 다운스테이지의 출력 다운커패시터의 양단 사이에 직렬로 연결되는 제1 및 제2업스위치와;

상기 출력 다운커패시터의 고전위단에 직렬로 연결되는 다수의 제1업커패시터와 다수의 제1업다이오드와;

상기 출력 다운커패시터의 저전위단에 직렬로 연결되는 다수의 제2업커패시터와 다수의 제2업다이오드와;

상기 제1 및 제2업스위치의 연결노드에 각각 직렬로 연결되는 다수의 제3업커패시터와 다수의 제4업커패시터와;

상기 다수의 제1업커패시터의 양단과 상기 출력 업커패시터 사이와 상기 다수의 제3업커패시터의 양단과 상기 출력 업커패시터 사이에 각각 연결되는 다수의 제3업스위치와;

상기 다수의 제2업커패시터의 양단과 상기 출력 업커패시터 사이와 상기 다수의 제4업커패시터의 양단과 상기 출력 업커패시터 사이에 각각 연결되는 다수의 제4업스위치

를 포함하는 비자성체 전력변환장치.

청구항 7

제 4 항에 있어서,

제2 내지 제4변환모듈의 분리스위칭셀은,

상기 제1 내지 제(N-1)다운전압의 고전위단에 직렬로 연결되는 제1 및 제2분리스위치와;

상기 제1 내지 제(N-1)다운전압의 저전위단에 직렬로 연결되는 제3 및 제4분리스위치와;

상기 제1 및 제2분리스위치의 연결노드와 상기 제3 및 제4분리스위치의 연결노드 사이에 연결되는 분리커패시터

를 포함하는 비자성체 전력변환장치.

청구항 8

제 7 항에 있어서,

제2 내지 제(N-1)변환모듈의 다운스테이지는,

출력 다운커패시터와;

상기 출력 다운커패시터의 양단 사이에 직렬로 연결되는 제1 및 제2다운스위치와 제3 및 제4다운스위치와;

상기 제2분리스위치와 상기 출력 다운커패시터 사이에 직렬로 연결되는 제5 내지 제13다운스위치와;

상기 제5 내지 제13다운스위치의 연결노드와 상기 제1 및 제2다운스위치의 연결노드 사이 또는 상기 제5 내지 제13다운스위치의 연결노드와 상기 제3 및 제4다운스위치의 연결노드 사이에 연결되는 제1 내지 제9다운커패시터

를 포함하는 비자성체 전력변환장치.

청구항 9

제 1 항에 있어서,

상기 선택모듈은,

상기 제1 내지 제N변환모듈의 출력단에 각각 연결되는 제1 내지 제N선택커패시터와;

상기 제1 내지 제N선택커패시터의 연결노드에 각각 연결되는 제11 내지 제(N-1)1선택스위치와;

상기 제11 내지 제(N-1)1선택스위치에 각각 백투백 스위치의 형태로 연결되는 제12 내지 제(N-1)2선택스위치와;

출력단 사이에 직렬로 연결되고, 그 연결노드가 제12 내지 제(N-1)2선택스위치에 각각 연결되는 제13 내지 제N3선택스위치

를 포함하는 비자성체 전력변환장치.

발명의 설명

기 술 분 야

[0001] 본 발명은 전력변환장치에 관한 것으로, 특히 상이한 출력전압을 갖는 다수의 모듈이 직렬 연결되어 고분해능의 출력전압을 갖는 고분해능 디지털 비자성체 직렬 모듈화 전력변환장치에 관한 것이다.

배 경 기 술

[0002] 최근에 전력변환장치의 시장에서는 보다 운전효율이 높으면서 크기와 무게가 작은 전력변환장치가 요구되고 있다. 신재생에너지 시스템과 같이 여러 차례의 전력변환 단계를 거치는 경우에 각각 고효율의 전력변환을 위한 전력변환장치가 매우 중요한 성능지표가 된다. 하이브리드 자동차나 전기자동차의 경우에는 차량의 연비 및 제한된 설치공간으로 인한 전력변환장치의 경량화와 고밀도화가 요구된다.

[0003] 전력변환장치의 소형화를 위해 사용되는 가장 대표적인 방식은 스위칭 주파수를 높여 자성체의 크기를 줄이는 것이다. 높은 스위칭 주파수는 전력변환장치 내에서 큰 부피를 차지하는 인덕터(inductor), 변압기(transformer)와 같은 자성체 기반의 소자의 크기를 줄여 회로의 전력밀도를 개선할 수 있다.

[0004] 그러나, 이러한 방식에서는, 높아진 스위칭 주파수로 인하여 전력반도체의 손실이 증가하므로, 전력변환장치의 성능 개선에 한계가 있다는 문제가 있다.

[0005] 이러한 한계를 극복하기 위해 전력변환장치에서 자성체를 제거하는 연구가 이루어지고 있다. 전력변환장치에 자성체를 사용하지 않을 경우, 전력변환장치의 부피 및 무게를 크게 줄일 수 있지만, 자성체가 없는 시스템 구조상 연속적인 출력전압의 제어가 어렵고 제어전압 사이의 간격이 상대적으로 넓은 불연속적인 출력전압이 나타나게 되어 출력전압의 제어 범위가 제한되며, 결과적으로 제한된 응용제품에만 적용되는 문제가 있다.

[0006] 도 1은 종래의 전력변환장치의 비자성체 전력변환회로를 도시한 도면이고, 도 2는 종래의 전력변환장치의 입출력전압을 도시한 도면이다.

[0007] 도 1에 도시한 바와 같이, 종래의 전력변환장치의 비자성체 전력변환회로는, 소스전압(Vs)을 출력 다운커패시터(DCo) 양단의 출력전압(VCo)으로 변환하여 출력하는데, 이를 위하여 제1 내지 제10다운스위치(DQ1 내지 DQ10)와 제1 내지 제5다운커패시터(DC1 내지 DC5)를 포함한다.

[0008] 구체적으로, 제1 및 제2다운스위치(DQ1, DQ2)는 출력 다운커패시터(DCo)의 저전위단 및 고전위단 사이에 직렬로 연결되고, 제3 및 제4다운스위치(DQ3, DQ4)는 출력 다운커패시터(DCo)의 고전위단 및 저전위단 사이에 직렬로 연결되고, 제5 내지 제10다운스위치(DQ5 내지 DQ10)는 소스전압(Vs)의 고전위단과 출력 다운커패시터(DCo)의 고전위단 사이에 직렬로 연결된다.

[0009] 그리고, 제1다운커패시터(DC1)는 제5 및 제6다운스위치(DQ5, DQ6)의 연결노드와 제1 및 제2다운스위치(DQ1,

DQ2)의 연결노드 사이에 연결되고, 제2다운커패시터(DC2)는 제6 및 제7다운스위치(DQ6, DQ7)의 연결노드와 제3 및 제4다운스위치(DQ3, DQ4)의 연결노드 사이에 연결되고, 제3다운커패시터(DC3)는 제7 및 제8다운스위치(DQ7, DQ8)의 연결노드와 제1 및 제2다운스위치(DQ1, DQ2)의 연결노드 사이에 연결되고, 제4다운커패시터(DC4)는 제8 및 제9다운스위치(DQ8, DQ9)의 연결노드와 제3 및 제4다운스위치(DQ3, DQ4)의 연결노드 사이에 연결되고, 제5다운커패시터(DC5)는 제9 및 제10다운스위치(DQ9, DQ10)의 연결노드와 제1 및 제2다운스위치(DQ1, DQ2)의 연결노드 사이에 연결된다.

[0010] 도 2에 도시한 바와 같이, 소스전압(Vs)이 약 30V이고, 스위칭 주파수가 약 200kHz이고, 출력 다운커패시터(DCo)와 제1 내지 제5다운커패시터(DC1 내지 DC5)가 각각 약 1㎌인 경우, 제5, 제4, 제3, 제2다운커패시터(DC5, DC4, DC3, DC2) 양단의 제5, 제4, 제3, 제2커패시터전압(VC5, VC4, VC3, VC2)은 각각 약 25V, 약 20V, 약 15V, 약 10V이고, 제1다운커패시터(DC1) 양단의 제1커패시터전압(VC1)과 출력 다운커패시터(DCo) 양단의 출력전압(VCo)은 약 5V이다.

[0011] 즉, 종래의 전력변환장치의 비자성체 전력변환회로에서, 입력전압인 소스전압(Vs) 대비 출력전압(VCo)의 전력변환 비는 1/6이고, 입력전압인 소스전압(Vs) 대비 제1 내지 제5다운커패시터(DC1 내지 DC5) 중 제k다운커패시터(DCk) 양단의 제k커패시터전압(VCk)의 전력변환 비는 k/6이다.

[0012] 그런데, 종래의 전력변환장치의 비자성체 전력변환회로에서는, 입력전압 대비 출력전압 및 각 다운커패시터의 전압변환 비가 회로 구조상 고정되어 있어서, 입력전압의 제어범위가 넓은 경우에는 목표 출력전압을 제어하기 어렵다는 문제가 있다.

[0013] 이에 따라, 종래의 전력변환장치의 비자성체 전력변환회로는 다양한 응용제품에 광범위하게 적용되지 못하는 문제가 있다.

발명의 내용

해결하려는 과제

[0014] 본 발명은, 상기한 문제점을 해결하고자 안출된 것으로, 다수의 변환모듈을 캐스케이드(cascade) 방식으로 연결함으로써, 고분해능의 연속적 출력전압을 갖는 비자성체 전력변환장치를 제공하는 것을 목적으로 한다.

[0015] 그리고, 본 발명은, 캐스케이드(cascade) 방식으로 연결되는 다수의 변환모듈과 다수의 변환모듈에 연결되는 선택모듈을 비자성체로 구성함으로써, 우수한 전력밀도를 갖고 소형화 및 경량화가 가능한 비자성체 전력변환장치를 제공하는 것을 목적으로 한다.

과제의 해결 수단

[0016] 상기 목적을 달성하기 위하여, 본 발명은, 입력전압을 이용하여 상이한 자리수의 제1 내지 제N모듈전압을 각각 생성하고, 캐스케이드 방식으로 연결되는 제1 내지 제N변환모듈과; 상기 제1 내지 제N모듈전압을 조합하여 출력전압을 생성하는 선택모듈을 포함하고, 상기 제2 내지 제N변환모듈은 각각 상기 제1 내지 제(N-1)변환모듈의 링크전압을 상기 입력전압으로 이용하여 상기 제2 내지 제N모듈전압을 생성하는 비자성체 전력변환장치를 제공한다.

[0017] 그리고, 상기 제1 내지 제N변환모듈은, 각각 상기 입력전압을 강압하여 제1 내지 제N다운전압을 생성하는 다운스테이지와;

[0018] 상기 제1 내지 제N다운전압을 승압하여 상기 제1 내지 제N모듈전압을 생성하는 업스테이지를 포함할 수 있다.

[0019] 또한, 상기 제1변환모듈의 다운스테이지는 소스전압을 강압하여 상기 제1다운전압을 생성하고, 상기 제2 내지 제N변환모듈의 다운스테이지는 각각 상기 제1 내지 제(N-1)다운전압을 강압하여 상기 제2 내지 제N다운전압을 생성할 수 있다.

[0020] 그리고, 제2 내지 제N변환모듈은, 각각 상기 제1 내지 제(N-1)다운전압을 저장한 후 상기 다운스테이지에 전달하는 분리스위칭셀을 더 포함할 수 있다.

[0021] 또한, 제1변환모듈의 다운스테이지는, 출력 다운커패시터와; 상기 출력 다운커패시터의 양단 사이에 직렬로 연결되는 제1 및 제2다운스위치와 제3 및 제4다운스위치와; 상기 소스전압과 상기 출력 다운커패시터 사이에 직렬로 연결되는 제5 내지 제14다운스위치와; 상기 제5 내지 제14다운스위치의 연결노드와 상기 제1 및 제2다운스위

치의 연결노드 사이 또는 상기 제5 내지 제14다운스위치의 연결노드와 상기 제3 및 제4다운스위치의 연결노드 사이에 연결되는 제1 내지 제9다운커패시터를 포함할 수 있다.

[0022] 그리고, 제1 내지 제N변환모듈의 업스테이지는, 출력 업커패시터와; 상기 다운스테이지의 출력 다운커패시터의 양단 사이에 직렬로 연결되는 제1 및 제2업스위치와; 상기 출력 다운커패시터의 고전위단에 직렬로 연결되는 다수의 제1업커패시터와 다수의 제1업다이오드와; 상기 출력 다운커패시터의 저전위단에 직렬로 연결되는 다수의 제2업커패시터와 다수의 제2업다이오드와; 상기 제1 및 제2업스위치의 연결노드에 각각 직렬로 연결되는 다수의 제3업커패시터와 다수의 제4업커패시터와; 상기 다수의 제1업커패시터의 양단과 상기 출력 업커패시터 사이와 상기 다수의 제3업커패시터의 양단과 상기 출력 업커패시터 사이에 각각 연결되는 다수의 제3업스위치와; 상기 다수의 제2업커패시터의 양단과 상기 출력 업커패시터 사이와 상기 다수의 제4업커패시터의 양단과 상기 출력 업커패시터 사이에 각각 연결되는 다수의 제4업스위치를 포함할 수 있다.

[0023] 또한, 제2 내지 제4변환모듈의 분리스위칭셀은, 상기 제1 내지 제(N-1)다운전압의 고전위단에 직렬로 연결되는 제1 및 제2분리스위치와; 상기 제1 내지 제(N-1)다운전압의 저전위단에 직렬로 연결되는 제3 및 제4분리스위치와; 상기 제1 및 제2분리스위치의 연결노드와 상기 제3 및 제4분리스위치의 연결노드 사이에 연결되는 분리커패시터를 포함할 수 있다.

[0024] 그리고, 제2 내지 제(N-1)변환모듈의 다운스테이지는, 출력 다운커패시터와; 상기 출력 다운커패시터의 양단 사이에 직렬로 연결되는 제1 및 제2다운스위치와 제3 및 제4다운스위치와; 상기 제2분리스위치와 상기 출력 다운커패시터 사이에 직렬로 연결되는 제5 내지 제13다운스위치와; 상기 제5 내지 제13다운스위치의 연결노드와 상기 제1 및 제2다운스위치의 연결노드 사이 또는 상기 제5 내지 제13다운스위치의 연결노드와 상기 제3 및 제4다운스위치의 연결노드 사이에 연결되는 제1 내지 제9다운커패시터를 포함할 수 있다.

[0025] 또한, 상기 선택모듈은, 상기 제1 내지 제N변환모듈의 출력단에 각각 연결되는 제1 내지 제N선택커패시터와; 상기 제1 내지 제N선택커패시터의 연결노드에 각각 연결되는 제11 내지 제(N-1)1선택스위치와; 상기 제11 내지 제(N-1)1선택스위치에 각각 백투백 스위치의 형태로 연결되는 제12 내지 제(N-1)2선택스위치와; 출력단 사이에 직렬로 연결되고, 그 연결노드가 제12 내지 제(N-1)2선택스위치에 각각 연결되는 제13 내지 제N3선택스위치를 포함할 수 있다.

발명의 효과

[0026] 본 발명은, 다수의 변환모듈을 캐스케이드(cascade) 방식으로 연결함으로써, 고 분해능의 연속적 출력전압을 생성할 수 있는 효과를 갖는다.

[0027] 그리고, 본 발명은, 캐스케이드(cascade) 방식으로 연결되는 다수의 변환모듈과 다수의 변환모듈에 연결되는 선택모듈을 비자성체로 구성함으로써, 우수한 전력밀도를 갖고 소형화 및 경량화가 가능한 효과를 갖는다.

도면의 간단한 설명

[0028] 도 1은 종래의 전력변환장치의 비자성체 전력변환회로를 도시한 도면.

도 2는 종래의 전력변환장치의 입출력전압을 도시한 도면.

도 3은 본 발명의 실시예에 따른 비자성체 전력변환장치를 도시한 도면.

도 4는 본 발명의 실시예에 따른 비자성체 전력변환장치의 분리스위칭셀을 도시한 도면.

도 5a 및 도 5b는 각각 본 발명의 실시예에 따른 비자성체 전력변환장치의 제1 및 제2변환모듈을 도시한 도면.

도 6은 본 발명의 실시예에 따른 비자성체 변환장치의 제1 및 제2변환모듈에 사용되는 스위칭신호를 도시한 도면.

도 7은 본 발명의 실시예에 따른 비자성체 변환장치의 선택모듈을 도시한 도면.

도 8은 본 발명의 실시예에 따른 비자성체 전력변환장치의 입출력전압을 도시한 도면.

발명을 실시하기 위한 구체적인 내용

[0029] 이하, 본 발명의 구체적인 내용을 첨부된 도면을 참조하여 상세하게 설명한다.

[0030] 도 3은 본 발명의 실시예에 따른 비자성체 전력변환장치를 도시한 도면이다.

[0031] 도 3에 도시한 바와 같이, 본 발명의 실시예에 따른 비자성체 전력변환장치(110)는, 소스전압(Vs)을 부하(L) 양단의 출력전압(Vo)으로 변환하여 출력하는데, 이를 위하여 제1 내지 제N변환모듈(CM1 내지 CMN)과 선택모듈(SM)을 포함한다.

[0032] 제1 내지 제N변환모듈(CM1 내지 CMN)은 각각 입력전압을 변환하여 제1 내지 제N모듈출력전압(MVo1 내지 MVoN)을 출력하는데, 이를 위하여 제1 내지 제N변환모듈(CM1 내지 CMN)은 각각 입력전압을 강압(step down)하는 다운스테이지(DS)와 입력전압을 승압(step up)하는 업스테이지(US)를 포함한다.

[0033] 예를 들어, 최상단의 제1변환모듈(CM1)은, 입력전압인 소스전압(Vs)을 1/10로 강압하여 링크전압인 제1다운전압(DV1)(=Vs/10)으로 출력하는 다운스테이지(DS)와, 입력전압인 제1다운전압(DV1)을 1배 내지 9배로 승압하여 제1모듈전압(MV1)(=DV1 X 1,2,3,...,9)으로 출력하는 업스테이지(US)를 포함할 수 있다.

[0034] 제1변환모듈(CM1) 다음의 제2변환모듈(CM2)은, 입력전압인 제1다운전압(DV1)을 일정시간 동안 저장한 후 전달하는 분리스위칭셀(isolation switching cell)(ISC)과, 입력전압인 제1다운전압(DV1)을 1/10로 강압하여 링크전압인 제2다운전압(DV2)(=Vs/10^{2})으로 출력하는 다운스테이지(DS)와, 입력전압인 제2다운전압(DV2)을 1배 내지 9배로 승압하여 제2모듈전압(MV2)(=DV2 X 1,2,3,...,9)으로 출력하는 업스테이지(US)를 포함할 수 있다.

[0035] 마찬가지로, 최하단의 제N변환모듈(CMN)은, 입력전압인 제(N-1)다운전압(DV(N-1))(=Vs/10^{N-1})을 일정시간 동안 저장한 후 전달하는 분리스위칭셀(ISC)과, 입력전압인 제(N-1)다운전압(DV(N-1))을 1/10로 강압하여 링크전압인 제N다운전압(DVN)(=Vs/10^{N})으로 출력하는 다운스테이지(DS)와, 입력전압인 제N다운전압(DVN)을 1배 내지 9배로 승압하여 제N모듈전압(MVN)(=DVN X 1,2,3,...,9)으로 출력하는 업스테이지(US)를 포함할 수 있다.

[0036] 여기서, 제1 내지 제N변환모듈(CM1 내지 CMN)은 이전 변환모듈(previous converter module)의 링크전압인 다운전압을 현재 변환모듈(present converter module)의 입력전압으로 이용하는 캐스케이드(cascade) 방식으로 연결된다.

[0037] 선택모듈(SM)은 제1 내지 제N변환모듈(CM1 내지 CMN)의 제1 내지 제N모듈전압(MV1 내지 MVN)을 조합하여 출력전압(Vo)(=MV1+MV2+...+MVN)을 출력한다.

[0038] 비자성체 전력변환장치(110)의 구체적 구성예를 도면을 참조하여 설명한다.

[0039] 도 4는 본 발명의 실시예에 따른 비자성체 전력변환장치의 분리스위칭셀을 도시한 도면이고, 도 5a 및 도 5b는 각각 본 발명의 실시예에 따른 비자성체 전력변환장치의 제1 및 제2변환모듈을 도시한 도면이고, 도 6은 본 발명의 실시예에 따른 비자성체 변환장치의 제1 및 제2변환모듈에 사용되는 스위칭신호를 도시한 도면이고, 도 7은 본 발명의 실시예에 따른 비자성체 변환장치의 선택모듈을 도시한 도면으로, 도 3을 함께 참조하여 설명한다.

[0040] 도 4에 도시한 바와 같이, 본 발명의 실시예에 따른 비자성체 전력변환장치(110)의 제2 내지 제N변환모듈(CM2 내지 CMN)의 분리스위칭셀(ISC)은, 이전 변환모듈의 다운전압을 분리입력전압(IVi)으로 입력 받아 일정시간 동안 저장한 후 분리출력전압(IVo)으로 출력하는데, 이를 위하여 제1 내지 제4분리스위치(IQ1 내지 IQ4)와 분리커패시터(IC)를 포함한다.

[0041] 구체적으로, 제1분리스위치(IQ1)는 분리입력전압(IVi)의 고전위단과 분리커패시터(IC)의 고전위단 사이에 연결되고, 제2분리스위치(IQ2)는 분리커패시터(IC)의 고전위단과 분리출력전압(IVo)의 고전위단 사이에 연결되고, 제3분리스위치(IQ3)는 분리입력전압(IVi)의 저전위단과 분리커패시터(IC)의 저전위단 사이에 연결되고, 제4분리스위치(IQ4)는 분리커패시터(IC)의 저전위단과 분리출력전압(IVo)의 저전위단 사이에 연결된다.

[0042] 분리커패시터(IC)는 제1 및 제2분리스위치(IQ1, IQ2)의 연결노드와 제3 및 제4분리스위치(IQ3, IQ4)의 연결노드 사이에 연결된다.

[0043] 제1구간 동안 제1 및 제3분리스위치(IQ1, IQ3)가 턴-온(turn-on) 되고 제2 및 제4분리스위치(IQ2, IQ4)가 턴-오프(turn-off) 되어 다운전압이 분리커패시터(IC)에 저장된 후, 제2구간 동안 제1 및 제3분리스위치(IQ1, IQ3)가 턴-오프 되고 제2 및 제4분리스위치(IQ2, IQ4)가 턴-온 되어 분리커패시터(IC)에 저장된 다운전압이 출력된다.

[0044] 예를 들어, 제2변환모듈(CM2)의 분리스위칭셀(ISC)은, 제1구간 동안 제1변환모듈(CM1)의 링크전압인 제1다운전

압(DV1)을 분리입력전압(IVi)으로 입력 받아 분리커패시터(IC)에 저장한 후, 제2구간 동안 분리커패시터(IC)에 저장된 제1다운전압(DV1)을 분리출력전압(IVo)으로 출력하여 제2변환모듈(CM2)의 다운스테이지(DS)로 전달할 수 있다.

[0045] 마찬가지로, 제N변환모듈(CMN)의 분리스위칭셀(ISC)은, 제1구간 동안 제(N-1)변환모듈(CM(N-1))의 링크전압인 제(N-1)다운전압(DV(N-1))을 분리입력전압(IVi)으로 입력 받아 분리커패시터(IC)에 저장한 후, 제2구간 동안 분리커패시터(IC)에 저장된 제(N-1)다운전압(DV1)을 분리출력전압(IVo)으로 출력하여 제N변환모듈(CMN)의 다운스테이지(DS)로 전달할 수 있다.

[0046] 이와 같이, 본 발명의 실시예에 따른 비자성체 전력변환장치(110)에서는, 제2 내지 제N변환모듈(CM2 내지 CMN)의 분리스위칭셀(ISC)에 의하여 이전 변환모듈의 링크전압인 제1 내지 제(N-1)다운전압(DV1 내지 DV(N-1))과 제2 내지 제N변환모듈(CM2 내지 CMN)의 다운스테이지(DS)이 시간적으로 분리된다.

[0047] 이에 따라, 이전 변환모듈의 링크전압인 제1 내지 제(N-1)다운전압(DV1 내지 DV(N-1))과 제2 내지 제N변환모듈(CM2 내지 CMN)의 다운스테이지(DS)이 직접 연결될 경우 접지단 연결에 의하여 출력전압 제어에 발생할 수 있는 불량이 방지된다.

[0048] 출력전압 제어에 불량이 발생할 가능성이 없는 다른 실시예에서는, 제2 내지 제N변환모듈(CM2 내지 CMN)의 분리스위칭셀(ISC)이 생략될 수 있다.

[0049] 도 5a에 도시한 바와 같이, 본 발명의 실시예에 따른 비자성체 전력변환장치(110)의 제1변환모듈(CM1)은, 소스전압(Vs)을 강압하여 출력 다운커패시터(DCo) 양단의 제1다운전압(DV1)으로 출력하는 다운스테이지(DS)와, 제1다운전압(DV1)을 승압하여 출력 업커패시터(UCo) 양단의 제1모듈전압(MV1)으로 출력하는 업스테이지(US)를 포함한다.

[0050] 제1변환모듈(CM1)의 다운스테이지(DS)는 제1 내지 제14다운스위치(DQ1 내지 DQ14)와 제1 내지 제9다운커패시터(DC1 내지 DC9)를 포함한다.

[0051] 여기서, 제1 및 제2다운스위치(DQ1, DQ2)는 출력 다운커패시터(DCo)의 저전위단 및 고전위단 사이에 직렬로 연결되고, 제3 및 제4다운스위치(DQ3, DQ4)는 출력 다운커패시터(DCo)의 고전위단 및 저전위단 사이에 직렬로 연결되고, 제5 내지 제14다운스위치(DQ5 내지 DQ14)는 소스전압(Vs)의 고전위단과 출력 다운커패시터(DCo)의 고전위단 사이에 직렬로 연결된다.

[0052] 제1다운커패시터(DC1)는 제5 및 제6다운스위치(DQ5, DQ6)의 연결노드와 제1 및 제2다운스위치(DQ1, DQ2)의 연결노드 사이에 연결되고, 제2다운커패시터(DC2)는 제6 및 제7다운스위치(DQ6, DQ7)의 연결노드와 제3 및 제4다운스위치(DQ3, DQ4)의 연결노드 사이에 연결되고, 제3다운커패시터(DC3)는 제7 및 제8다운스위치(DQ7, DQ8)의 연결노드와 제1 및 제2다운스위치(DQ1, DQ2)의 연결노드 사이에 연결되고, 제4다운커패시터(DC4)는 제8 및 제9다운스위치(DQ8, DQ9)의 연결노드와 제3 및 제4다운스위치(DQ3, DQ4)의 연결노드 사이에 연결되고, 제5다운커패시터(DC5)는 제9 및 제10다운스위치(DQ9, DQ10)의 연결노드와 제1 및 제2다운스위치(DQ1, DQ2)의 연결노드 사이에 연결되고, 제6다운커패시터(DC6)는 제10 및 제11다운스위치(DQ10, DQ11)의 연결노드와 제3 및 제4다운스위치(DQ3, DQ4)의 연결노드 사이에 연결되고, 제7다운커패시터(DC7)는 제11 및 제12다운스위치(DQ11, DQ12)의 연결노드와 제1 및 제2다운스위치(DQ1, DQ2)의 연결노드 사이에 연결되고, 제8다운커패시터(DC8)는 제12 및 제13다운스위치(DQ12, DQ13)의 연결노드와 제3 및 제4다운스위치(DQ3, DQ4)의 연결노드 사이에 연결되고, 제9다운커패시터(DC9)는 제13 및 제14다운스위치(DQ13, DQ14)의 연결노드와 제1 및 제2다운스위치(DQ1, DQ2)의 연결노드 사이에 연결된다.

[0053] 제1변환모듈(CM1)의 업스테이지(US)는 제1 및 제2업스위치(UQ1, UQ2), 다수의 제3업스위치(UQ3), 다수의 제4업스위치(UQ4), 다수의 제1업커패시터(UC1), 다수의 제2업커패시터(UC2), 다수의 제3업커패시터(UC3), 다수의 제4업커패시터(UC4), 다수의 제1업다이오드(UD1), 다수의 제2업다이오드(UD2)를 포함한다.

[0054] 여기서, 제1 및 제2업스위치(UQ1, UQ2)는 출력 다운커패시터(DCo)의 고전위단 및 저전위단 사이에 직렬로 연결된다.

[0055] 다수의 제1업커패시터(UC1)는 출력 다운커패시터(DCo)의 고전위단과 다수의 제3업스위치(UQ3) 중 최상측의 하나 사이에 직렬로 연결되고, 다수의 제3업커패시터(UC3)는 제1 및 제2업스위치(UQ1, UQ2)의 연결노드와 다수의 제3업스위치(UQ3) 중 다음 최상측의 하나 사이에 직렬로 연결된다.

[0056] 다수의 제2업커패시터(UC2)는 출력 다운커패시터(DCo)의 저전위단과 다수의 제4업스위치(UQ4) 중 최하측의 하나

사이에 직렬로 연결되고, 다수의 제4업커패시터(UC4)는 제1 및 제2업스위치(UQ1, UQ2)의 연결노드와 다수의 제4업스위치(UQ4) 중 다음 최하측의 하나 사이에 직렬로 연결된다.

[0057] 다수의 제1업다이오드(UD1)는 출력 다운커패시터(DCo)의 고전위단과 다수의 제3업스위치(UQ3) 중 최상측의 하나 사이에 직렬로 연결되고, 다수의 제2업다이오드(UD2)는 출력 다운커패시터(DCo)의 저전위단과 다수의 제4업스위치(UQ4) 중 최하측의 하나 사이에 직렬로 연결된다.

[0058] 다수의 제3업스위치(UQ3)는 각각 다수의 제1업커패시터(UC1)와 다수의 제3업커패시터(UC3)의 고전위단 및 저전위단과 출력 업커패시터(UCo)의 고전위단 사이에 연결되고, 다수의 제4업스위치(UQ4)는 각각 다수의 제2업커패시터(UC2)와 다수의 제4업커패시터(UC4)의 고전위단 및 저전위단과 출력 업커패시터(UCo)의 저전위단 사이에 연결된다.

[0059] 도 5b에 도시한 바와 같이, 본 발명의 실시예에 따른 비자성체 전력변환장치(110)의 제2변환모듈(CM2)은, 제1다운전압(DV1)을 일정시간 동안 저장한 후 출력하는 분리스위칭셀(ISC)과, 제1다운전압(DV1)을 강압하여 출력 다운커패시터(DCo) 양단의 제2다운전압(DV2)으로 출력하는 다운스테이지(DS)와, 제2다운전압(DV2)을 승압하여 출력 업커패시터(UCo) 양단의 제2모듈전압(MV2)으로 출력하는 업스테이지(US)를 포함한다.

[0060] 제2변환모듈(CM2)의 분리스위칭셀(ISC)은 제1 내지 제4분리스위치(IQ1 내지 IQ4)와 분리커패시터(IC)를 포함한다.

[0061] 여기서, 제1구간 동안 제1 및 제3분리스위치(IQ1, IQ3)가 턴-온 되고 제2 및 제4분리스위치(IQ2, IQ4)가 턴-오프 되어 제1다운전압(DV1)이 분리커패시터(IC)에 저장된 후, 제2구간 동안 제1 및 제3분리스위치(IQ1, IQ3)가 턴-오프 되고 제2 및 제4분리스위치(IQ2, IQ4)가 턴-온 되어 분리커패시터(IC)에 저장된 제1다운전압(DV1)이 출력된다.

[0062] 제2변환모듈(CM2)의 다운스테이지(DS)는 제1 내지 제13다운스위치(DQ1 내지 DQ13)와 제1 내지 제9다운커패시터(DC1 내지 DC9)를 포함한다.

[0063] 여기서, 제1 및 제2다운스위치(DQ1, DQ2)는 출력 다운커패시터(DCo)의 저전위단 및 고전위단 사이에 직렬로 연결되고, 제3 및 제4다운스위치(DQ3, DQ4)는 출력 다운커패시터(DCo)의 고전위단 및 저전위단 사이에 직렬로 연결되고, 제5 내지 제13다운스위치(DQ5 내지 DQ13)는 제2분리스위치(IQ2)와 출력 다운커패시터(DCo)의 고전위단 사이에 직렬로 연결된다.

[0064] 제1다운커패시터(DC1)는 제5 및 제6다운스위치(DQ5, DQ6)의 연결노드와 제1 및 제2다운스위치(DQ1, DQ2)의 연결노드 사이에 연결되고, 제2다운커패시터(DC2)는 제6 및 제7다운스위치(DQ6, DQ7)의 연결노드와 제3 및 제4다운스위치(DQ3, DQ4)의 연결노드 사이에 연결되고, 제3다운커패시터(DC3)는 제7 및 제8다운스위치(DQ7, DQ8)의 연결노드와 제1 및 제2다운스위치(DQ1, DQ2)의 연결노드 사이에 연결되고, 제4다운커패시터(DC4)는 제8 및 제9다운스위치(DQ8, DQ9)의 연결노드와 제3 및 제4다운스위치(DQ3, DQ4)의 연결노드 사이에 연결되고, 제5다운커패시터(DC5)는 제9 및 제10다운스위치(DQ9, DQ10)의 연결노드와 제1 및 제2다운스위치(DQ1, DQ2)의 연결노드 사이에 연결되고, 제6다운커패시터(DC6)는 제10 및 제11다운스위치(DQ10, DQ11)의 연결노드와 제3 및 제4다운스위치(DQ3, DQ4)의 연결노드 사이에 연결되고, 제7다운커패시터(DC7)는 제11 및 제12다운스위치(DQ11, DQ12)의 연결노드와 제1 및 제2다운스위치(DQ1, DQ2)의 연결노드 사이에 연결되고, 제8다운커패시터(DC8)는 제12 및 제13다운스위치(DQ12, DQ13)의 연결노드와 제3 및 제4다운스위치(DQ3, DQ4)의 연결노드 사이에 연결되고, 제9다운커패시터(DC9)는 제13다운스위치(DQ13) 및 제2분리스위치(IQ2)의 연결노드와 제1 및 제2다운스위치(DQ1, DQ2)의 연결노드 사이에 연결된다.

[0065] 제1변환모듈(CM1)의 업스테이지(US)는 제1 및 제2업스위치(UQ1, UQ2), 다수의 제3업스위치(UQ3), 다수의 제4업스위치(UQ4), 다수의 제1업커패시터(UC1), 다수의 제2업커패시터(UC2), 다수의 제3업커패시터(UC3), 다수의 제4업커패시터(UC4), 다수의 제1업다이오드(UD1), 다수의 제2업다이오드(UD2)를 포함한다.

[0066] 여기서, 제1 및 제2업스위치(UQ1, UQ2)는 출력 다운커패시터(DCo)의 고전위단 및 저전위단 사이에 직렬로 연결된다.

[0067] 다수의 제1업커패시터(UC1)는 출력 다운커패시터(DCo)의 고전위단과 다수의 제3업스위치(UQ3) 중 최상측의 하나 사이에 직렬로 연결되고, 다수의 제3업커패시터(UC3)는 제1 및 제2업스위치(UQ1, UQ2)의 연결노드와 다수의 제3업스위치(UQ3) 중 다음 최상측의 하나 사이에 직렬로 연결된다.

[0068] 다수의 제2업커패시터(UC2)는 출력 다운커패시터(DCo)의 저전위단과 다수의 제4업스위치(UQ4) 중 최하측의 하나

사이에 직렬로 연결되고, 다수의 제4업커패시터(UC4)는 제1 및 제2업스위치(UQ1, UQ2)의 연결노드와 다수의 제4업스위치(UQ4) 중 다음 최하측의 하나 사이에 직렬로 연결된다.

[0069] 다수의 제1업다이오드(UD1)는 출력 다운커패시터(DCo)의 고전위단과 다수의 제3업스위치(UQ3) 중 최상측의 하나 사이에 직렬로 연결되고, 다수의 제2업다이오드(UD2)는 출력 다운커패시터(DCo)의 저전위단과 다수의 제4업스위치(UQ4) 중 최하측의 하나 사이에 직렬로 연결된다.

[0070] 다수의 제3업스위치(UQ3)는 각각 다수의 제1업커패시터(UC1)와 다수의 제3업커패시터(UC3)의 고전위단 및 저전위단과 출력 업커패시터(UCo)의 고전위단 사이에 연결되고, 다수의 제4업스위치(UQ4)는 각각 다수의 제2업커패시터(UC2)와 다수의 제4업커패시터(UC4)의 고전위단 및 저전위단과 출력 업커패시터(UCo)의 저전위단 사이에 연결된다.

[0071] 도 6에 도시한 바와 같이, 제1 및 제2변환모듈(CM1, CM2) 각각의 제1, 제3, 제5, 제7, 제9, 제11, 제13다운스위치(DQ1, DQ3, DQ5, DQ7, DQ9, DQ11, DQ13)와 제1업스위치(UQ1)는 제1스위칭신호(SS1)에 따라 스위칭 되고, 제1 및 제2변환모듈(CM1, CM2) 각각의 제2, 제4, 제6, 제8, 제10, 제12, 제14다운스위치(DQ2, DQ4, DQ6, DQ8, DQ10, DQ12, DQ14)와 제2업스위치(UQ2)는 제2스위칭신호(SS2)에 따라 스위칭 된다.

[0072] 제1 및 제2스위칭신호(SS1, SS2)은 미리 정해진 주기(P)의 반에 해당하는 제1 및 제2시간구간(TP1, TP2) 동안 온전압(Von) 및 오프전압(Voff)을 갖는다.

[0073] 예를 들어, 제1스위칭신호(SS1)는 제1시간구간(TP1) 동안 온전압(Von)을 갖고 제2시간구간(TP2) 동안 오프전압(Voff)을 갖고, 제2스위칭신호(SS2)는 제1시간구간(TP1) 동안 오프전압(Voff)을 갖고 제2시간구간(TP2) 동안 온전압(Von)을 갖는다.

[0074] 제1변환모듈(CM1)의 다운스테이지(DS)에서, 제1시간구간(TP1) 동안, 제1, 제3, 제5, 제7, 제9, 제11, 제13다운스위치(DQ1, DQ3, DQ5, DQ7, DQ9, DQ11, DQ13)는 턴-온 되고, 제2, 제4, 제6, 제8, 제10, 제12, 제14다운스위치(DQ2, DQ4, DQ6, DQ8, DQ10, DQ12, DQ14)는 턴-오프 되어, 제1 내지 제9다운커패시터(DC1 내지 DC9)가 충전 및 방전된다.

[0075] 제2시간구간(TP2) 동안, 제1, 제3, 제5, 제7, 제9, 제11, 제13다운스위치(DQ1, DQ3, DQ5, DQ7, DQ9, DQ11, DQ13)는 턴-오프 되고, 제2, 제4, 제6, 제8, 제10, 제12, 제14다운스위치(DQ2, DQ4, DQ6, DQ8, DQ10, DQ12, DQ14)는 턴-온 되어, 제1 내지 제9다운커패시터(DC1 내지 DC9)가 충전 및 방전된다.

[0076] 이에 따라, 입력전압인 소스전압(Vs) 대비 출력전압인 제1다운전압(DV1)의 전력변환 비는 1/10이 되어 제1다운전압(DV1)은 소스전압(Vs)의 1/10의 값을 갖고(DV1=Vs/10), 입력전압인 소스전압(Vs) 대비 제1 내지 제9다운커패시터(DC1 내지 DC9) 중 제k다운커패시터(DCk) 양단의 제k커패시터전압의 전력변환 비는 k/10(VCk=kVs/10)이 된다.

[0077] 제2변환모듈(CM2)의 다운스테이지(DS)에서, 제1시간구간(TP1) 동안, 제1, 제3, 제5, 제7, 제9, 제11, 제13다운스위치(DQ1, DQ3, DQ5, DQ7, DQ9, DQ11, DQ13)는 턴-온 되고, 제2, 제4, 제6, 제8, 제10, 제12다운스위치(DQ2, DQ4, DQ6, DQ8, DQ10, DQ12)와 제2 및 제4분리스위치(IQ2, IQ4)는 턴-오프 되어, 제1 내지 제9다운커패시터(DC1 내지 DC9)가 충전 및 방전된다.

[0078] 제2시간구간(TP2) 동안, 제1, 제3, 제5, 제7, 제9, 제11, 제13다운스위치(DQ1, DQ3, DQ5, DQ7, DQ9, DQ11, DQ13)는 턴-오프 되고, 제2, 제4, 제6, 제8, 제10, 제12다운스위치(DQ2, DQ4, DQ6, DQ8, DQ10, DQ12)와 제2 및 제4분리스위치(IQ2, IQ4)는 턴-온 되어, 제1 내지 제9다운커패시터(DC1 내지 DC9)가 충전 및 방전된다.

[0079] 이에 따라, 입력전압인 제1다운전압(DV1) 대비 출력전압인 제2다운전압(DV2)의 전력변환 비는 1/10이 되어 제2다운전압(DV2)은 제1다운전압(DV1)의 1/10, 소스전압(Vs)의 $1/10^2$의 값을 갖고($DV2=DV1/10=Vs/10^2$), 입력전압인 제2다운전압(DV2) 대비 제1 내지 제9다운커패시터(DC1 내지 DC9) 중 제k다운커패시터(DCk) 양단의 제k커패시터전압의 전력변환 비는 k/10(VCk=kDV1/10)이 된다.

[0080] 제1변환모듈(CM1)의 업스테이지(US)에서, 제1시간구간(TP1) 동안, 제1업스위치(UQ1)는 턴-온 되고, 제2업스위치(UQ2)는 턴-오프 되어, 다수의 제1업커패시터(UC1)와 다수의 제4업커패시터(UC4)는 각각 제1다운전압(DV1)으로 충전된다.

[0081] 제2시간구간(TP2) 동안, 제1업스위치(UQ1)는 턴-오프 되고, 제2업스위치(UQ2)는 턴-온 되어, 다수의 제2업커패시터(UC2)와 다수의 제3업커패시터(UC3)는 각각 제1다운전압(DV1)으로 충전된다.

[0082] 이후, 특정 시간구간 동안, 다수의 제3업스위치(UQ3) 중 하나와 이와 대칭되는 다수의 제4업스위치(UQ4) 중 하나가 턴-온 되어, 출력 다운커패시터(DCo)와 다수의 제1업커패시터(UC1) 중 적어도 하나와 다수의 제2업커패시터(UC2) 중 적어도 하나에 충전되어 있는 제1다운전압(DV1)의 홀수배의 전압(1*DV1, 3*DV1, 5*DV1, 7*DV1, 9*DV1)이 제1모듈전압(MV1)으로 출력되거나, 다수의 제3업커패시터(UC3) 중 적어도 하나와 다수의 제4업커패시터(UC4) 중 적어도 하나에 충전되어 있는 제1다운전압(DV1)의 짝수배의 전압(2*DV1, 4*DV1, 6*DV1, 8*DV1)이 제1모듈전압(MV1)으로 출력된다.

[0083] 제2변환모듈(CM2)의 업스테이지(US)에서, 제1시간구간(TP1) 동안, 제1업스위치(UQ1)는 턴-온 되고, 제2업스위치(UQ2)는 턴-오프 되어, 다수의 제1업커패시터(UC1)와 다수의 제4업커패시터(UC4)는 각각 제2다운전압(DV2)으로 충전된다.

[0084] 제2시간구간(TP2) 동안, 제1업스위치(UQ1)는 턴-오프 되고, 제2업스위치(UQ2)는 턴-온 되어, 다수의 제2업커패시터(UC2)와 다수의 제3업커패시터(UC3)는 각각 제2다운전압(DV2)으로 충전된다.

[0085] 이후, 특정 시간구간 동안, 다수의 제3업스위치(UQ3) 중 하나와 이와 대칭되는 다수의 제4업스위치(UQ4) 중 하나가 턴-온 되어, 출력 다운커패시터(DCo)와 다수의 제1업커패시터(UC1) 중 적어도 하나와 다수의 제2업커패시터(UC2) 중 적어도 하나에 충전되어 있는 제2다운전압(DV2)의 홀수배의 전압(1*DV2, 3*DV2, 5*DV2, 7*DV2, 9*DV2)이 제2모듈전압(MV2)으로 출력되거나, 다수의 제3업커패시터(UC3) 중 적어도 하나와 다수의 제4업커패시터(UC4) 중 적어도 하나에 충전되어 있는 제2다운전압(DV2)의 짝수배의 전압(2*DV2, 4*DV2, 6*DV2, 8*DV2)이 제2모듈전압(MV2)으로 출력된다.

[0086] 도 7에 도시한 바와 같이, 본 발명의 실시예에 따른 비자성체 변환장치(110)의 선택모듈(SM)은, 제1 내지 제N변환모듈(CM1 내지 CMN)의 제1 내지 제N모듈전압(MV1 내지 MVN)을 조합하여 최종 출력전압(Vo)(=MV1+MV2+...+MVN)을 출력하는데, 이를 위하여 제1 내지 제N선택커패시터(SC1 내지 SCN), 제11 내지 제(N-1)1선택스위치(SQ11 내지 SQ(N-1)1), 제12 내지 제(N-1)2선택스위치(SQ12 내지 SQ(N-1)2), 제13 내지 제N3선택스위치(SQ13 내지 SQN3)를 포함한다.

[0087] 여기서, 제1 내지 제N선택커패시터(SC1 내지 SCN)의 양단은 각각 제1 내지 제N변환모듈(CM1 내지 CMN)의 출력단인 출력 업커패시터(UCo)의 양단에 연결되고, 제1 내지 제N선택커패시터(SC1 내지 SCN)는 선택모듈(SM)의 출력단 사이에 직렬로 연결된다.

[0088] 제11 및 제12선택스위치(SQ11, SQ12)는 백투백(back-to-back) 스위치의 형태로 제1 및 제2선택커패시터(SC1, SC2)의 연결노드에 연결되고, 제13선택스위치(SQ13)는 제12선택스위치(SQ12)에 연결된다.

[0089] 제21 및 제22선택스위치(SQ21, SQ22)는 백투백 스위치의 형태로 제2 및 제3선택커패시터(SC2, SC3)의 연결노드에 연결되고, 제23선택스위치(SQ23)는 제22선택스위치(SQ22)에 연결된다.

[0090] 제13 내지 제N3선택스위치(SQ13, SQN3)는 선택모듈(SM)의 출력단 사이에 직렬로 연결된다.

[0091] 이에 따라, 제1 내지 제N변환모듈(CM1 내지 CMN)의 제1 내지 제N모듈전압(MV1 내지 MVN)은 각각 선택모듈(SM)의 제1 내지 제N선택커패시터(SC1 내지 SCN)에 저장된 후, 제11 내지 제(N-1)1선택스위치(SQ11 내지 SQ(N-1)1), 제12 내지 제(N-1)2선택스위치(SQ12 내지 SQ(N-1)2), 제13 내지 제N3선택스위치(SQ13 내지 SQN3)의 턴-온 및 턴-오프에 따라 제1 내지 제N선택커패시터(SC1 내지 SCN)의 제1 내지 제N모듈전압(MV1 내지 MVN)이 조합되어 최종 출력전압(Vo)(=MV1+MV2+...+MVN)으로 출력된다.

[0092] 도 8은 본 발명의 실시예에 따른 비자성체 전력변환장치의 입출력전압을 도시한 도면으로, 도 3 내지 도 7을 함께 참조하여 설명한다.

[0093] 도 8에 도시한 바와 같이, 소스전압(Vs)이 약 100V이고, 스위칭 주파수가 약 100kHz인 경우, 제1변환모듈(CM1)의 다운스테이지(DS)는 약 10V의 제1다운전압(DV1)을 출력하고, 제1변환모듈(CM1)의 업스테이지(US)는 제1다운전압(DV1)을 이용하여 약 20V의 제1모듈전압(MV1)을 출력할 수 있다.

[0094] 이때, 제1변환모듈(CM1)의 업스테이지(US)의 다수의 제3업스위치(UQ3) 중 아래에서 두번째와 다수의 제4업스위치(UQ4) 중 위에서 두번째가 턴-온 될 수 있다.

[0095] 제2변환모듈(CM2)의 다운스테이지(DS)는 제1다운전압(DV1)을 이용하여 약 1V의 제2다운전압(DV2)을 출력하고, 제2변환모듈(CM2)의 업스테이지(US)는 제2다운전압(DV2)을 이용하여 약 2V의 제2모듈전압(MV2)을 출력할 수 있다.

[0096] 이때, 제2변환모듈(CM2)의 업스테이지(US)의 다수의 제3업스위치(UQ3) 중 아래에서 두번째와 다수의 제4업스위치(UQ4) 중 위에서 두번째가 턴-온 될 수 있다.

[0097] 선택모듈(SM)은 제1 및 제2모듈전압(MV1, MV2)을 조합하여 약 22V의 출력전압(Vo)을 출력할 수 있다.

[0098] 이상과 같이, 본 발명의 실시예에 따른 비자성체 전력변환장치(110)에서는, 제1 내지 제N변환모듈(CM1 내지 CMN)이 각각 상이한 자리수(10^k)의 제1 내지 제N모듈전압(MV1 내지 MVN)을 출력하고, 선택모듈(SM)이 제1 내지 제N모듈전압(MV1 내지 MVN)을 조합하여 출력전압(Vo)을 출력한다.

[0099] 예를 들어, 비자성체 전력변환장치(110)의 전체의 출력전압(Vo)은 제1 내지 제N모듈전압(MV1 내지 MVN) 중 하나가 되거나 제1 내지 제N모듈전압(MV1 내지 MVN) 중 2개 이상의 조합이 될 수 있는데, 최소 제N모듈전압(MVN)으로부터 최대 제1 내지 제N모듈전압(MV1 내지 MVN)의 합이 될 수 있다.

[0100] 이에 따라, 비자성체 전력변환장치(110)는, 연속적인 고 분해능의 출력전압(Vo)을 가질 수 있으며, 그 결과 상대적으로 넓은 입력전압 범위에서 제어가 가능해진다.

[0101] 그리고, 출력인덕터(inductor) 또는 변압기(transformer)와 같은 자성체 소자를 사용하지 않아서 우수한 전력밀도를 갖고 소형화 및 경량화를 구현할 수 있다.

[0102] 상기에서는 본 발명의 바람직한 실시예를 참조하여 설명하였지만, 해당 기술분야의 숙련된 당업자는 하기의 특허청구범위에 기재된 본 발명의 기술적 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

부호의 설명

[0103] 110: 비자성체 전력변환장치 Vs: 소스전압

CM1 내지 CMN: 제1 내지 제N변환모듈

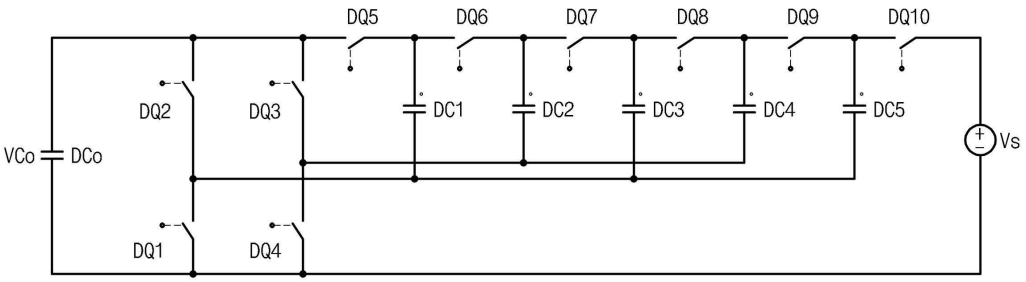
DV1 내지 DVN: 제1 내지 제N다운전압

MV1 내지 MVN: 제1 내지 제N모듈전압

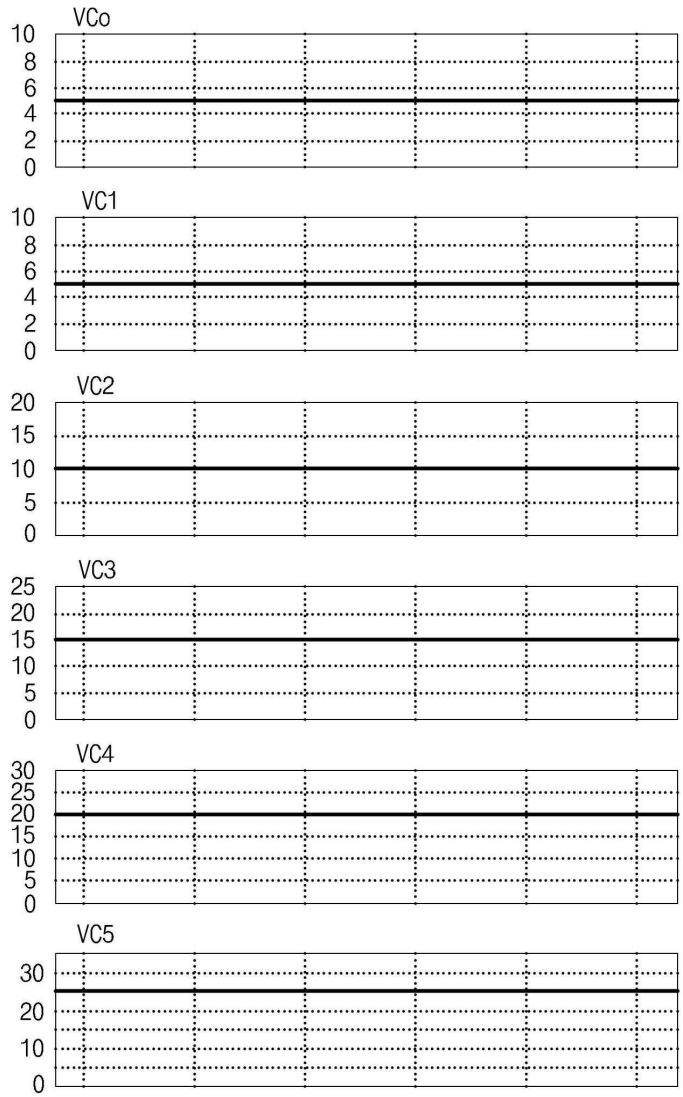
SM: 선택모듈 Vo: 출력전압

도면

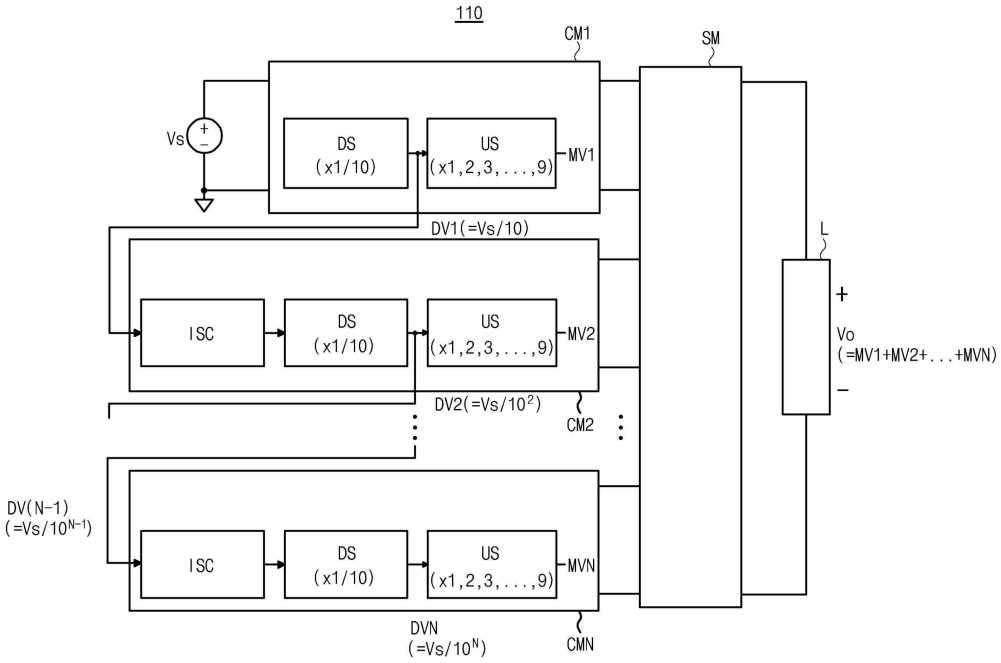
도면1



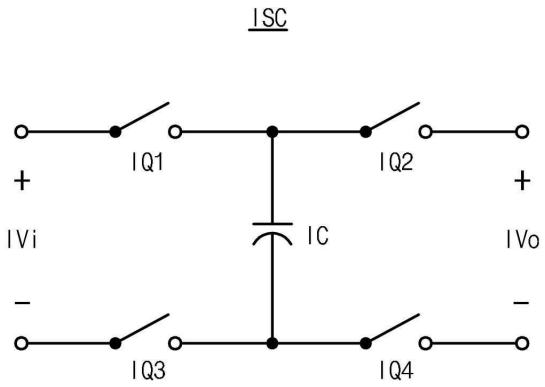
도면2


VCo
10
8
6
4
2
0
VC1
10
8
6
4
2
0
VC2
20
15
10
5
0
VC3
25
20
15
10
5
0
VC4
30
25
20
15
10
5
0
VC5
30
20
10
0

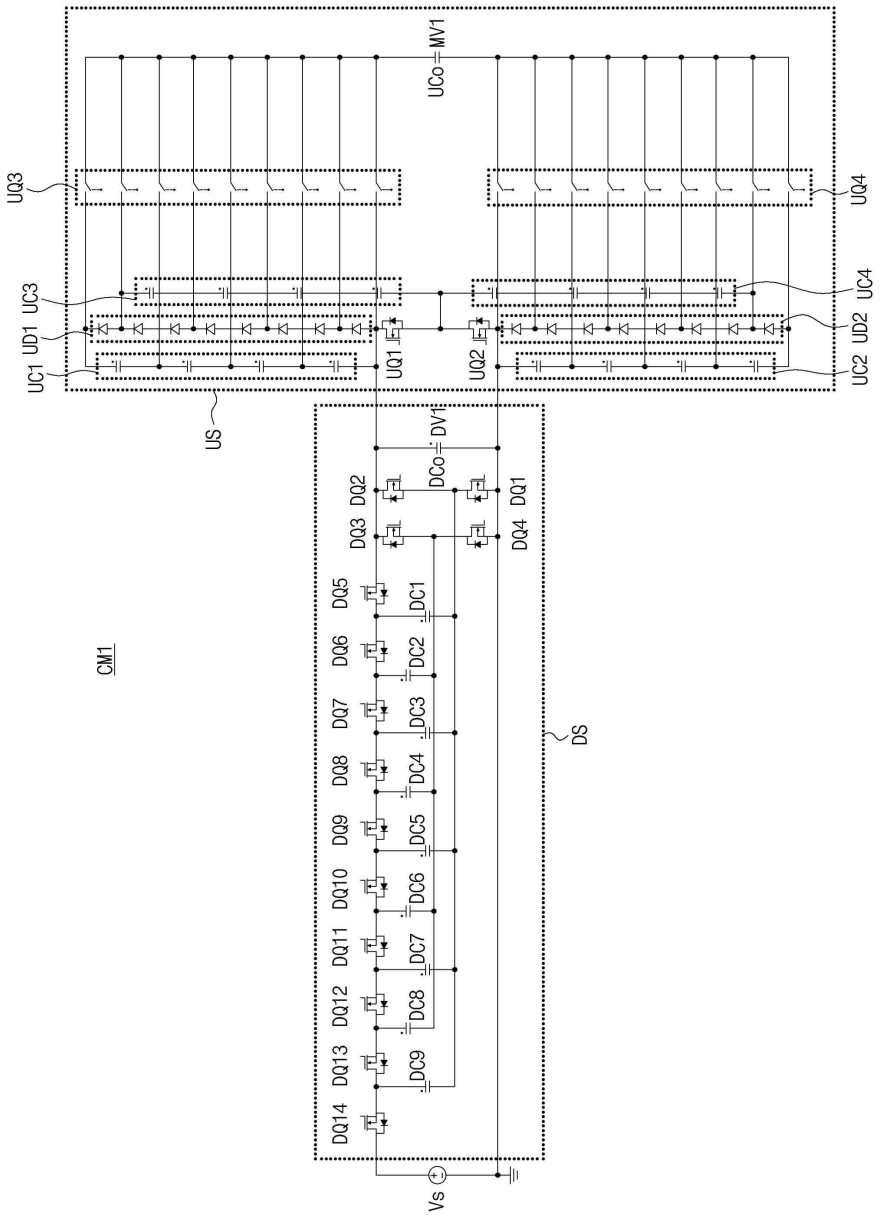
도면3


110
CM1
SM
Vs
DS
(x1/10)
US
(x1,2,3,...,9)
MV1
DV1(=Vs/10)
L
+
Vo
(=MV1+MV2+...+MVN)
−
ISC
DS
(x1/10)
US
(x1,2,3,...,9)
MV2
DV2(=Vs/10²)
CM2
DV(N−1)
(=Vs/10^(N−1))
ISC
DS
(x1/10)
US
(x1,2,3,...,9)
MVN
DVN
(=Vs/10^N)
CMN

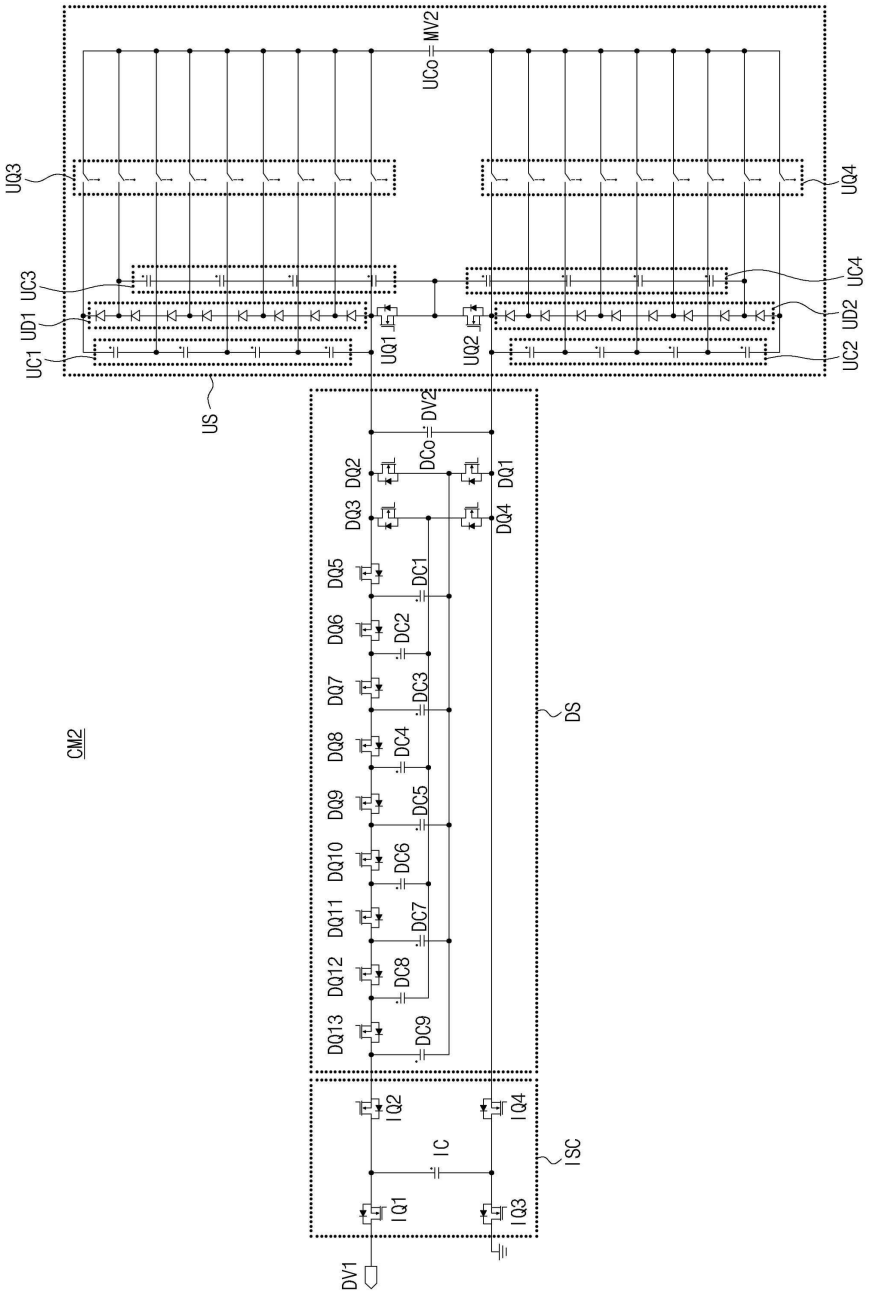
도면4


ISC
IQ1
IQ2
+
IVi
−
IC
+
IVo
−
IQ3
IQ4

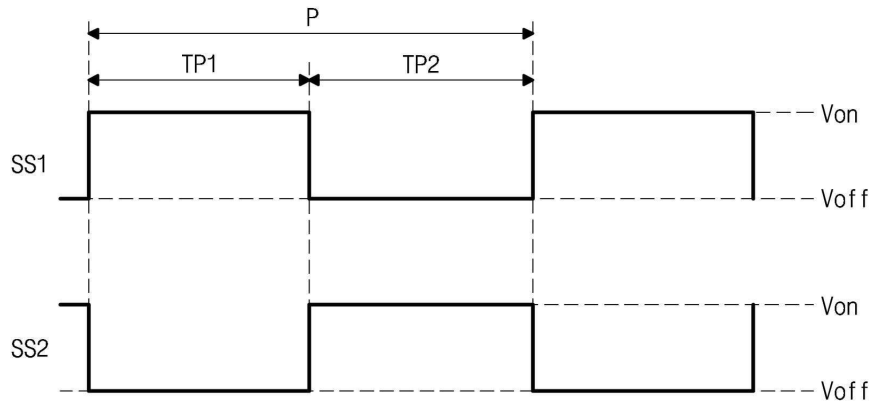
도면5a


UCo
MV1
UQ3
UQ4
UC3
UC4
UD1
UD2
UC1
UC2
UQ1
UQ2
US
DV1
DCo
DQ2
DQ1
DQ3
DQ4
DQ5
DC1
DQ6
DC2
DQ7
DC3
DQ8
DC4
DQ9
DC5
DQ10
DC6
DQ11
DC7
DQ12
DC8
DQ13
DC9
DQ14
CM1
DS
Vs

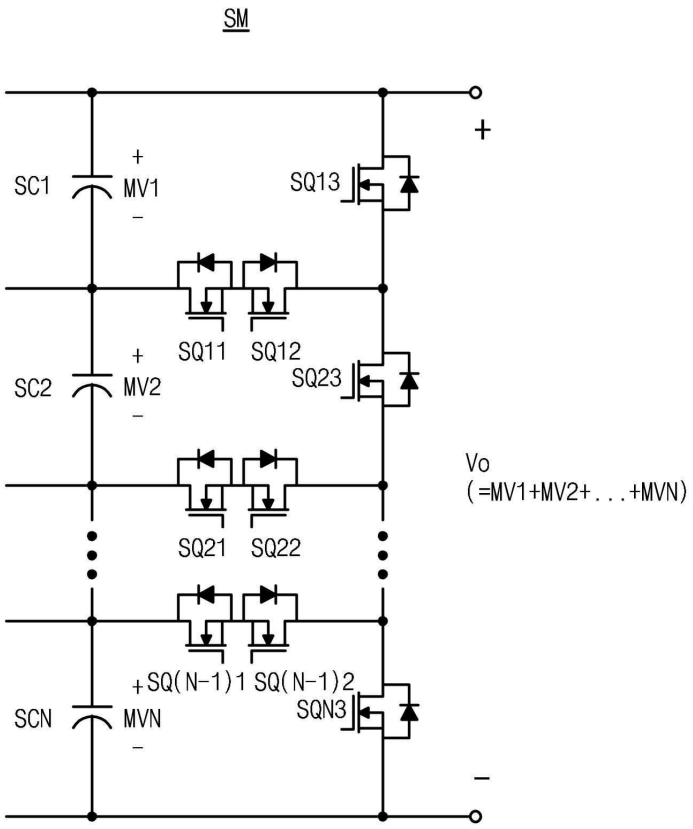
도면5b


UCo=MV2
UQ3
UQ4
UC3
UC4
UD1
UD2
UC1
UC2
UQ1
UQ2
US
DV2
DCo=DV2
DQ2
DQ1
DQ3
DQ4
DQ5
DC1
DQ6
DC2
DQ7
DC3
DQ8
DC4
DQ9
DC5
DQ10
DC6
DQ11
DC7
DQ12
DC8
DQ13
DC9
DS
CM2
IQ2
IQ4
IC
ISC
IQ1
IQ3
DV1

도면6


P
TP1
TP2
SS1
Von
Voff
SS2
Von
Voff

도면7


SM
+
SC1
+
MV1
−
SQ13
SQ11
SQ12
SC2
+
MV2
−
SQ23
Vo
(=MV1+MV2+...+MVN)
SQ21
SQ22
+SQ(N-1)1
SQ(N-1)2
SCN
MVN
−
SQN3
−

도면8

