

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges Eigentum
Internationales Büro



(43) Internationales Veröffentlichungsdatum
12. Juli 2001 (12.07.2001)

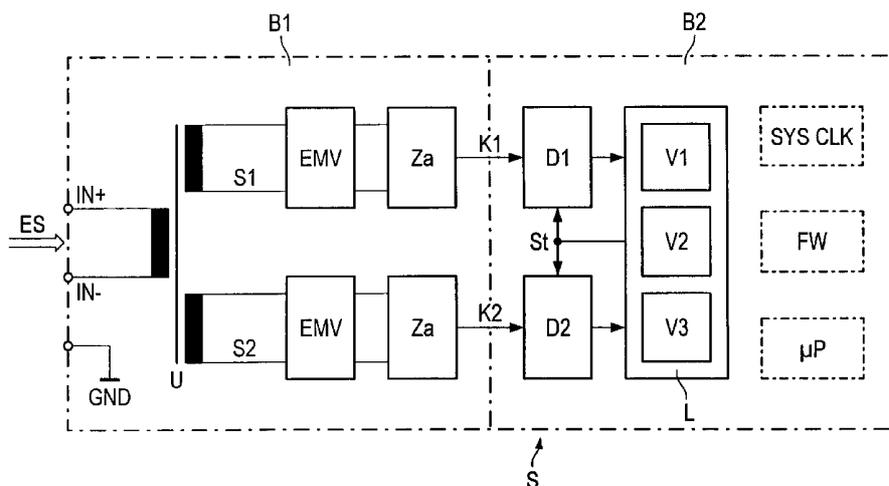
(10) Internationale Veröffentlichungsnummer
WO 01/50656 A2

PCT

- (51) Internationale Patentklassifikation⁷: **H04J 3/06**, H04L 7/00, 25/06
- (74) Gemeinsamer Vertreter: **SIEMENS AKTIENGESELLSCHAFT**; Postfach 22 16 34, 80506 München (DE).
- (21) Internationales Aktenzeichen: PCT/DE00/03839
- (81) Bestimmungsstaaten (*national*): CN, US.
- (22) Internationales Anmeldedatum: 31. Oktober 2000 (31.10.2000)
- (84) Bestimmungsstaaten (*regional*): europäisches Patent (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE).
- (25) Einreichungssprache: Deutsch
- (26) Veröffentlichungssprache: Deutsch
- Veröffentlicht:**
— Ohne internationalen Recherchenbericht und erneut zu veröffentlichen nach Erhalt des Berichts.
- (30) Angaben zur Priorität: 199 63 804.7 30. Dezember 1999 (30.12.1999) DE
- (71) Anmelder (für alle Bestimmungsstaaten mit Ausnahme von US): **SIEMENS AKTIENGESELLSCHAFT** [DE/DE]; Wittelsbacher Platz 2, 80333 München (DE).
- Zur Erklärung der Zweibuchstaben-Codes, und der anderen Abkürzungen wird auf die Erklärungen ("Guidance Notes on Codes and Abbreviations") am Anfang jeder regulären Ausgabe der PCT-Gazette verwiesen.
- (72) Erfinder; und
- (75) Erfinder/Anmelder (nur für US): **HIPP, Imre** [DE/DE]; Karl-Witthalm-Strasse 42, 81375 München (DE).

(54) Title: CIRCUIT AND METHOD OF A REFERENCE CLOCK INTERFACE

(54) Bezeichnung: SCHALTUNGSANORDNUNG UND VERFAHREN EINER REFERENZTAKTSCHNITTSTELLE



(57) Abstract: The inventive circuit and corresponding method are used to form a universal reference tact interface for any synchronization source, whereby compensation processes and level compensations adaptively occur at decision thresholds.

(57) Zusammenfassung: Mit dieser Schaltungsanordnung und dem dazugehörigen Verfahren wird eine universelle Referenztakt-schnittstelle für beliebige Synchronisationsquellen gebildet, wobei Abgleichvorgänge und Pegelanpassungen bei Entscheidungsschwellen adaptiv erfolgen.

WO 01/50656 A2

Beschreibung

Schaltungsanordnung und Verfahren einer Referenztaktschnittstelle

5

Taktgeneratoren, insbesondere für Vermittlungsanlagen wurden bisher mit Hilfe von Submodulen aufgebaut. Diese Submodule sind dabei jeweils Referenztakttypenspezifisch ausgestaltet. Jedes Submodul wies dabei nur eine Referenztaktschnittstelle auf. Eine Anpassung an eine Übertragungsfrequenz oder eine Kabelvariante erfolgte bisher durch manuelle Einstellung, eine Festlegung von Alarmschwellen für eine Pegelüberwachung erfolgte durch einmaliges Einstellen vorzugsweise bei der Fertigung der Submodule.

15

Der Erfindung liegt die Aufgabe zugrunde, eine weitere Schaltungsanordnung und ein dazugehöriges Verfahren zur Bildung einer Referenztaktschnittstelle anzugeben.

20 Die Lösung der Aufgabe ergibt sich aus den Merkmalen des Patentanspruches 1 oder 5.

Die Erfindung bringt den Vorteil mit sich, daß eine automatische Anpassung den jeweiligen Referenztakttyp erfolgt.

25

Die Erfindung bringt den Vorteil mit sich, daß von Einstellungen bezüglich Kabelvariante frei ist.

Die Erfindung bringt den Vorteil mit sich, daß unterschiedliche Eingangssignale erkannt und je Eingangssignal für dieses eine adaptive Schwellwertanpassung zur Abtastung des Eingangssignals gebildet wird.

Die Erfindung bringt den Vorteil mit sich, daß eine Vielzahl von Eingangssignalen wie eine Atomfrequenz, ein PCM24

35

recovered Signal, ein PCM30 recovered signal oder DS1 bei BITS-Anwendungen ohne weiteren Schaltungsaufwand bzw. ohne spezielle Einstellungen bei der Fertigung als Eingangssignal verwendbar ist.

5

Die Erfindung bringt den Vorteil mit sich, daß aus dem Eingangssignal mindestens ein erstes Signal zur Ableitung von Pegelinformation und SchwellwertEinstellung für ein zweites Signal, daß gleichzeitig als Triggersignal für den Taktgenerator dient ableitbar wird.

10

Die Erfindung bringt den Vorteil mit sich, daß sowohl bei binären und ternären Eingangssignaltypen eine kontinuierliche Frequenz- und Kontinuätsüberwachung durchführbar ist.

15

Die Erfindung bringt den Vorteil mit sich, daß selbständig die Frequenz des Eingangssignals ermittelt und parasitäre Störeffekte wie glitches und dropouts selektiert werden.

20

Die Erfindung bringt den weiteren Vorteil mit sich, daß mit der Quantisierung gleichzeitig die Jittertoleranz bestimmbar ist, bei der die Selektion der parasitären Störeffekte noch sichergestellt ist.

25

Weitere Besonderheiten der Erfindung werden aus den nachfolgenden näheren Erläuterungen eines Ausführungsbeispiels anhand von Zeichnungen ersichtlich.

30 Es zeigen:

Figur 1 eine Struktur einer Referenztaktschnittstelle,
Figur 2 eine Maske,
Figur 3 eine weitere Maske,

Figur 4 eine Einbindung einer Referenztaktschnittstelle in eine Takterzeugungseinheit,
Figur 5 ein Blockdiagramm und
Figur 6 einen Stromlauf.

5

Erfindungsgemäß wird die Realisierung einer universellen, abgleichfreien Referenztaktschnittstelle, insbesondere für einen Taktgenerator in der Vermittlungstechnik, durch nachfolgend gezeigte Schaltungsanordnung und ein
10 dazugehöriges Verfahren beschrieben.

In Figur 1 ist anhand eines Blockdiagrammes eine Struktur einer universellen Referenztaktschnittstelle mit einem Eingang IN+/IN- gezeigt. Dieses Blockdiagramm ist in ein erstes
15 Modul B1 und ein zweites Modul B2 unterteilt.

Im ersten Modul B1, eine "physikalische Schnittstelle", ist ein Übertrager U angeordnet, an dem das an der Primärseite des Übertragers U anliegende Eingangssignal sekundärseitig in
20 ein erstes Signal S1 und ein zweites Signal S2 aufgeteilt wird. Das eingangsseitig am Übertrager U anliegende Signal ES kann beispielsweise ein Referenztaktsignal sein. Mit dem ersten Signal S1 wird ein erster Kanal K1, ein sogenannter "level" Kanal, und mit dem zweiten Signal S2 wird ein zweiter
25 Kanal S2, ein sogenannter "trigger" Kanal, gespeist. Mit dem ersten Signal S1 wird die Pegelinformation (Alarmkriterium) erfaßt, mit dem zweiten Signal S2 erfolgt in Abhängigkeit von der gewonnenen Pegelinformation aus dem ersten Signal S1 eine
30 Triggerung bzw. Abtastung des zweiten Signals S2. Auf der Sekundärseite des Übertragers U ist in jedem Kanal ein Überspannungsschutz EMV und eine Impedanzanpassung (Za), welche zusammen eine Abschlußimpedanz für die am Eingang IN der Schaltungsanordnung angeschlossenen Leitung bildet.

In dem zweiten Modul B2 sind bezüglich des abzutastenden und individuell bereitzustellenden Referenztaktsignals Einheiten zur Ermittlung der hierfür notwendigen Information vorgesehen. Das zweite Modul B2 kann auch als ein adaptives digitales System bezeichnet werden. Die vom ersten Modul B1 gelieferten Analogsignale auf dem ersten und zweiten Kanal K1, K2 werden jeweils im zweiten Block B2 in den Modulen D1 und D2 separat digitalisiert. In den Modulen D1 und D2 ist eine Art 1Bit-Analog/Digitalwandler mit adaptiv gesteuerter Entscheidungsschwelle angeordnet. Diese Entscheiderschwelle wird mit Steuersignalen incl. Taktsignal von einer programmierbaren Logik L, z.B. einen programmierbaren gate array versorgt. Die programmierbare Logik L ermöglicht eine optimale Erfassung bezüglich Abtastung und Überwachung des am Eingang der Schaltungsanordnung S anliegenden Referenztaktsignals ES. Die aus den Pegelinformationen gewonnenen Kriterien werden mit Hilfe eines in dem zweiten Modul B2 angeordneten Baugruppenprozessors ermittelt. Dieser Baugruppenprozessor ist aus einem Mikroprozessor μ P und einem Modul FW gebildet. Ein lokaler Taktgenerator SYS CLK stellt Takt- und Zeitsignale für die Referenztaktschnittstelle zur Verfügung. Das zweite Modul B2 weist ein Logikmodul L auf in dem eine erste Verarbeitungseinheit V1 zur adaptiven Pegelüberwachung, eine zweite Verarbeitungseinheit V2 zur adaptiven SchwellwertEinstellung für das erste Signal und eine dritte Verarbeitungseinheit V3 zur Taktsignalanpassung des Eingangssignal ES integriert sind. In der dritten Verarbeitungseinheit V3 erfolgt eine der Art des Eingangssignals entsprechende Taktsignalaufbereitung.

Um die Referenztaktschnittstelle mit den verschiedenen standardisierten Kabelvarianten betreiben zu können, wird eine optimierte Eingangsimpedanz (Kabelabschluß) bestimmt. Bei der Bestimmung der Eingangsimpedanz ist darauf zu achten, dass entsprechend der Internationalen Norm ITU-T G.703 für beide existierende Impedanztypen 75 und 120 Ohm eine Reflexions-

- dämpfung von größer 15dB einzuhalten ist. Daraus abgeleitet läßt sich ein optimaler Eingangswiderstand von annähernd 96 Ohm für beide Impedanztypen bestimmen, damit beträgt für beide Impedanztypen die Reflexionsdämpfung etwa 18dB. Der Eingangswiderstand von 96 Ohm korreliert auch mit der in der amerikanischen Norm (Bellcore GR-499-CORE) definierten Abschluß-Testimpedanz von 100 Ohm $\pm 5\%$ für eine DS1-Pulsmaske in den BITS-Anwendungen.
- 10 Es ist besonders vorteilhaft dabei einen breitbandigen Übertrager U zu verwenden. Mit der Verwendung eines breitbandigen Übertragers U kann der Eingangswiderstand in einem weiten Frequenzbereich z.B. von 1..5 (10) MHz gehalten werden. An diese Schaltungsanwendung können alle beispielsweise Ein-
- 15 gangssignale von 1MHz (Atomfreq.) , 1544kHz (PCM24 recovered) , 2048kHz (PCM30 recovered) , 5/10MHz (Atomfreq.) bis zu den 1.5 MB/s-Datensignalen (DS1 bei BITS-Anwendungen) ohne jeglichen zusätzlichen Konfigurationsaufwand angeschlossen werden.
- 20 Die Kabelvarianten werden im Kabelstecker durch entsprechende Beschaltung der Eingänge festgelegt. Bei einem symmetrischen 120 Ohm-Kabel werden die beiden Adern an den Eingängen IN+ und IN- angeschlossen. Die Kabelschirmung wird an den GND-Anschluß kontaktiert. Bei Koax-Kabelanwendungen wird die Sig-
- 25 nalader des Koaxialkabels an IN+ und der Kabelschirm des Koaxialkabels an GND angeschlossen. Die Eingänge IN- und GND werden im Kabelstecker kurzgeschlossen.
- Durch die erreichte Kompatibilität sind beide Kabelvarianten
- 30 an beliebige Referenztakeingänge anschließbar. Aufgrund eines fest realisierten Eingangswiderstandes ist bei der Pegelüberwachung zu beachten, dass der gemessene Pegel wegen der Eingangsimpedanz $R_{in}=95..96$ Ohm um etwa 11% bei 75 Ohm-Anwendungen (mit Koax-Kabel) erhöht und bei 120 Ohm-Anwendun-
- 35 gen (mit symm.Kabel) reduziert wird.

Anhand der in Figur 2 gezeigten Signalmaske wird nach ITU-T G.703 für 2048kHz- und der in Figur 3 gezeigten Signalmaske Bellcore GR-499-CORE für 1,5MB/s-Synchronisierungssignale die Anforderungen an die Digitalisierung und deren Ansteuerung 5 erläutert. Um die beiden in den Figuren 2 und 3 gezeigten Masken miteinander vergleichen zu können, sind jeweils nur die oberen Impulshälften dargestellt.

10 Die beiden Systeme gemäß ITU-TG.703 und Bellcore GR-499-Core weisen prinzipielle Unterschiede auf. Eine wie in Figur 2 gezeigte Maske (T3-Maske) muß unmittelbar am Ausgang einer Synchronisationsquelle eingehalten werden. Die Maske wurde auf ein Sinussignal oder ein digitales Taktsignal (zweitwertiges Signal) ausgelegt. Für die Pegelüberwachung (Alarmerfassung) werden eine erste Entscheidungsschwelle P und eine 15 zweite Entscheidungsschwelle Q für eine Hysterese definiert. Die zweite Entscheidungsschwelle stellt eine Alarmeinschalt-schwelle für einen Pegelausfall dar. Sinkt der Pegel am Referenz-takteingang unter die zweite Entscheidungsschwelle ab, wird ein loss of signal Alarm ausgelöst und gleichzeitig die zweite Entschaiderschwelle auf das Potential der ersten Entschaiderschwelle P heraufgesetzt. Hier erfolgt dann bei 20 Wiederkehr des Referenztaktsignals die Rücknahme des Pegel-alarms, wobei die Entscheidungsschwelle wieder auf den Q-level heruntergesetzt wird. Zwischen den levels P und Q muß ein ausreichender Abstand (Hysterese) sein, um die Eindeutig-keit der Alarmierung auch bei schwankendem und gestörtem Pegel stets zu gewährleisten. Eine zu große Hysterese setzt 25 den Q-level sehr weit ab. Dadurch werden Referenztaktsignale mit zu kleinen Pegeln noch akzeptiert, was nachteilig ist, denn ein zu kleiner Pegel ist störanfällig und verursacht zusätzlich einen erhöhten Jitter bei der Digitalisierung. 30

Bei einem building integrated time source BITS-System wird die Impulsmaske im Gegensatz zur T3 Maske am Systemeingang DDF (digital distribution frame) kontrolliert, was bedeutet, dass das Verbindungskabel in die Überprüfung mit einbezogen wird. Existierende Systeme werden für Kabeldämpfungen bis zu 6dB ausgelegt. Das Kriterium für einen Pegeläusfall wird auf der digitalen Seite durch die Auswertung der Spektraldichte nach Abtastung definiert. Dieses Verfahren setzt eine adaptive Komparator-Schwellenanpassung (ca.50% der momentanen Amplitude) voraus. Die Maske, wie in Figur 3 gezeigt, wurde für ein B8ZS codiertes Datensignal (ternäres Signal) ausgelegt.

In der Tabelle 1 ist eine Zusammenfassung der Alarmkriterien im Vergleich zwischen den beiden oben genannten Signalarten (System) gezeigt. Ergänzend zeigt Tabelle 2 die Normforderung nach ITU-T G.775 bzw. einen konkreten Realisierungsansatz mit diskreten Schwellenwerten für beide Signalarten.

20 Tabelle 1 : Alarmkriterien

System	Alarm ein	Alarm aus	Ebene der Auswertung
T3 2048 kHz	Unterschreitung des Q-levels Für 5..124µs	Überschreitung des P-levels Für 5..124µs	Analog
BITS 1544 kB/s	Signaldensity < 12,5% für 65..162µs	Signaldensity = 12,5% für 65..162µs	Digital

Tabelle 2 : Alarmschwellen

System		Normforderung	Realisierungsansatz		
T3 Zo=75/120Ω	P:	= -9 dB ¹	0,47V	-12,6 dB / Zo=75Ω	-14,8 dB / Zo=120Ω
	Q:	= -35 dB ¹	0,23V	-20,8 dB / Zo=75Ω	-23,0 dB / Zo=120Ω
BITS Zo=100Ω		adaptiv: 50% des Amplitudenwertes ²	0dB-Schwelle : 1,70V (4,4V ³) -3dB-Schwelle : 1,15V (3,4V ³) -6dB-Schwelle : 0,85V		

1)bezogen auf den Nominalpegel

2)Die Norm fordert analogseitig keine Überwachung

5 3)Übergang zum nächst niedrigeren Pegelniveau

Die Grenzwerte P und Q für T3 ergeben bei 75Ω und 120Ω Kabel unterschiedliche Schwellenwerte, denn bei der Definition wird aus einer einheitlichen Signalleistung ausgegangen. Deshalb die relativen Normangaben dazu. Die im Realisierungsansatz
 10 verwendeten festen Schwellenwerte (gleich für beide Impedanzen) liegen gut innerhalb der zugelassenen Grenzen (siehe Vergleich in dB). Bei der Umrechnung wurde die Fehlanpassung mit ±1dB bereits berücksichtigt. Die Hysterese beträgt ca. 240 mV.

15

Um genügend Sicherheitsabstand zum Störpegel zu erreichen wird auf dem Kanal "level" das Referenzsignal um 1:2 hochtransformiert. Da die Norm die Amplitude in Vos spezifiziert, läßt sich einfach die Alarmschwelle in V mit dem dazugehörigen Pegel in Vss 1:1 vergleichen. Auf dem Kanal "trigger"
 20 wird das Referenzsignal 1:1 übertragen und zur Digitalisierungsstufe weitergeleitet. Die Schwelle liegt für T3 Referenzsignale immer bei 0V (Signalmitte).

25 Die diskreten BITS Grenzwerte hier in diesem Fall: 0dB, -3dB und -6dB (bezogen auf den Nominalpegel) erfüllen erfindungsgemäß in Verbindung mit einer nachgeschalteten Pulsbreiten-

kontrolle die Voraussetzungen einer optimalen bitfehlerfreien Abtastung der 1,5MB/s-Synchronisierungssignale.

Die Steuerung bei der Schwellwertfestlegung für BITS Anwendungen erfolgt in der Art adaptiv, indem auf dem Kanal
5 "level" zunächst die Amplitude mit dem Schwellenwert 4,4V verglichen wird. Dieser Meßwert entspricht einem Pegel um 2,7dB unter dem Nominalwert von 3,0V_{os} nach ITU-T G.703. Die dazu gehörige 0dB-Triggerschwelle liegt bei 1,70V (etwa 50%
10 der maximalen Amplitude von 3,6V_{os}. Reicht der Pegel nicht aus, wird auf den nächst niedrigeren Levelwert von 3,4V umgeschaltet (entspr. -5dB). Dazu gehört die -3dB-Triggerschwelle mit 1,15V (entspr. ca. 50% der 0dB-Grenze mit 4,4V). Reicht der Pegel immer noch nicht aus, wird die Triggerschwelle auf
15 die -6dB-Grenze mit 0,85V herabgesetzt (entspr. exakt 50% der -3dB-Grenze mit 3,4V). Die niedrigste Triggerschwelle entspricht einer analogseitigen Eingangsempfindlichkeit von -11dB (-9dB) bezogen auf den Nominalpegel (min. zulässigen Pegel). Bei einer Optimierung der diskreten Schwellenwerte
20 wurde insbesondere der negative Überschwinger des Referenzsignals berücksichtigt, sodass bei keinem Pegelwert eine Abtastung dieses Signalsegmentes vorkommen kann.

Eine nachgeschaltete Pulsbreitenkontrolle soll konfigurierte
25 Signalsegmente (Vorentzerrung) sowie erhöhte Kabelreflexionen detektieren und ausfiltern.

Mit diesem Verfahren werden beispielsweise bei einem ternären BITS-Signal nur die positiven Impulshälften erfaßt und der
30 Synchronisierung angeboten.

In Figur 4 ist eine Einbindung eines Referenztaktmodules ER in einem zentralen Taktgenerator CCGES gezeigt. In dieser Darstellung sind die mit einem Prozessor P des Taktgenerators
35 verbundenen Module gezeigt. Der Prozessor steht dabei

beispielsweise über eine Busverbindung mit dem Logikmodul L und mit einem Speichermodul SM in Verbindung. Eine Zeitbasiseinheit ZB liefert sowohl den Takt für den Prozessor P, das Logikmodul L und dem Referenztaktmodul ER. Das Logikmodul L steht in Verbindung mit einer Vielzahl von Schnittstelleneinheiten 2 bis n. Die erste Schnittstelleneinheit 1 wird anhand der weiteren Figuren näher erläutert und den dazugehörigen Beschreibungen beschrieben. Bei dieser Schaltungsanordnung wird die gesamte Funktionalität der Schaltungsanordnung vom Logikmodul L, einem programmierbaren Baustein, z.B. ein field programmable gate array (FPGA), in Verbindung mit dem Prozessor P bereitgestellt.

In Figur 5 wird ein Zusammenwirken einer ersten oder zweiten Einheit D1, D2 mit einer diesen nachgeordneten programmierbaren Logik erläutert. Die Schnittstelle zwischen Analog- und Digitalteil der Schaltungsanordnung wird jeweils mit einem Komparator K der beispielsweise in einem Baustein mit der Bezeichnung MAX916 integriert sein kann gebildet. Dieser Komparator K, ein zweifach 1Bit-Analog/Digitalwandler weist in vorteilhafter Ausgestaltung eine hohe Eingangsempfindlichkeit (ca. 2mV) sowie eine hohe Verarbeitungsgeschwindigkeit mit bis zu 50 MS/s zur besseren Verarbeitung der anliegenden analogen Signale auf. Ein erweiterter Eingangsspannungsbereich von $\pm 5V$ erlaubt eine Anwendung für alle standardisierten Referenztaktsignale. Ein 40MHz-Quantisierungstakt gewährleistet bereits eine sichere Abtastung von Referenzfrequenzen zwischen 1 bis 10MHz.

Die Referenzspannungen $U_{ref1,2}$ für das erste und zweite Signal S1, S2 werden von der programmierbaren Logik L über ein Tiefpassfilter LF geliefert. Das Tiefpassfilters glättet dabei die vom Digital/Analogwandler kommenden Spannungssprünge (Schwellenwert-Umschaltung) sowie die Unterdrückung von Wechsellspannungskomponenten wie Störpegel, Ripple etc. Die

dynamischen Eigenschaften des Tiefpassfilters LF werden von den Zeitparametern der Alarmkriterien bestimmt. Der Zeitparameter für beispielsweise einen Pegelalarm wurde einheitlich für beide Systeme (T3 und BITS) auf $100\mu\text{s}$ gesetzt. Um den eingeschwingenen Zustand schnell zu erreichen und gleichzeitig
5 möglichst große Tiefpasswirkung zu erzielen, wird eine kurze Tiefpasszeitkonstante von etwa $5\mu\text{s}$ gewählt.

Die Digital-Analog Umsetzer DAC sind Teil der programmierbaren Logik L. Beispielhaft können hier, zwei Methoden zur Analogspannungserzeugung zur kontinuierlichen Wertesteuerung über den in der Pulsbreite umgesetzten DC-Inhalt betrachtet werden. Bei einer ersten Methode wird die Wertesterung von der Höhe der Quantisierungsfrequenz bestimmt. Die Vorteile
15 dieser Methode liegen in der erhöhten Flexibilität der adaptiven Schwellensteuerung sowie darin, dass die Ansteuerung des Tiefpassfilters über nur eine Leitung erfolgt. Dadurch werden externe Komponenten, Pins und Platz gespart.

Die zweite im Ausführungsbeispiel realisierte Methode erlaubt eine auf wenige Werte begrenzte diskrete Wertesteuerung über mehrere statische Steuersignale von der programmierbaren Logik. Laut Tabelle 2 werden vorzugsweise drei diskrete Spannungswerte je Kanal (level und trigger) verwendet, um die
25 Funktion der Pegelerfassung für alle Referenztaktsignale zu gewährleisten. Dazu werden zwei Steuersignale mit drei möglichen Logikzuständen (L, H und high Z) benötigt. Vorteilhaft bei dieser Methode ist, dass keine hohe Anforderung betreffend der Dynamik an die programmierbare Logik gestellt werden muss und kein Rest-Ripple die Referenzspannung überlagert.
30

Die von der Komparatorstufe K gelieferten ersten und zweiten Signale werden einer digitalen Filterung dF unterzogen, um eine korrekte Auswertung der digitalisierten Analogsignale zu
35 ermöglichen. Die erfindungsgemäße Schaltungsanordnung ermit-

telt selbständig die Frequenz der angeschlossenen Referenz-
taktsignale und selektiert parasitäre Störeffekte wie bei-
spielsweise glitches und dropouts aus. Durch die Quantisie-
rung wird gleichzeitig die Jittertoleranz bestimmt, bei der
5 die Selektion der parasitären Störeffekte noch sicher funkti-
oniert.

Anhand der Anzahl der 40MHz-Quantisierungstaktperioden pro
Referenztaktperiode wird die Eingangsfrequenz gemäß Tabelle 3
10 überprüft und selektiert.

Tabelle 3

Referenz- freq.	10 MHz	5 MHz	2048 kHz	1544 kHz	1 MHz	BITS
Anzahl Min.	3	7	18	24	38	48
Anzahl Nom.	4	8	19,5	25,9	40	51,8 / 77,7 ¹
Anzahl Max.	5	9	21	28	42	84
Frequenz- band	8,00... 13,333	4,444... 5,714	1905... 2222	1429... 1667	0,952... 1,053	1429... 1667kB/s
Jitter- toleranz	25ns	25ns	37ns	48ns	50ns	144ns

1) Rahmenlücke im 1,5MB/s "all ones" BITS-Signal

15

Eine weitere Funktion der digitalen Filterung dF ist die Kon-
trolle der Impulsbreite der von der Komparatorstufe kommenden
Referenztaktsignale. Eine Spikeunterdrückung erfolgt auf dem
Triggerkanal und die richtige Einphasung auf oberen Impuls-
20 hälften der BITS-Signale bei vorhandenen Reflexionen auf der
Kabelverbindung zur Referenztaktschnittstelle.

Die Steuerlogik SL des Logikbausteins L führt die adaptive Schwellensteuerung der Komparatorstufe K über das μ P-Interface aus, indem sie der Komparatorstufe Steuersignale zur Erzeugung der Referenzspannungen zur Verfügung stellt. Ferner wird der Quantisierungstakt unter Berücksichtigung der Laufzeitverhältnisse der I/O-Zellen phasenangepaßt vom Taktblock CLK angeboten.

Die Weitergabe der digital gefilterten Referenztaktsignale (Kanal "trigger") und die Pegel-Meßsignale auf dem ersten Kanal "level" an das μ P-Interface erfolgt ebenso über die Steuerlogik SL.

Das μ P-Interface stellt die Verbindung zwischen der programmierbaren Logik L und dem Baugruppenprozessor μ P und FW, wie in Figur 1 gezeigt her. Alle zeitunkritischen mathematischen Operationen und Zeitmessungen werden vom μ P selber durchgeführt. Darunter gehören die Ermittlung der Alarmkriterien sowie die Kodierung zur adaptiven Schwellensteuerung.

Die universelle Referenztaktschnittstelle beinhaltet in dieser Ausgestaltung vier identisch aufgebaute Kanäle entsprechend dem in Figur 6 gezeigten Stromlauf. Gemeinsam ist lediglich für alle vier Kanäle der programmierbare gate array, z.B. FPGA:XC4044XLA, welcher außer der Schnittstellenfunktionen sämtliche zeitkritische HW-Komponenten des zentralen Taktgenerators CCGES in sich vereint.

An den Steuerausgängen L1,2 und T1,2 ist ein einfacher DAC (digital/analog Wandler) inklusive Tiefpass-filter (LF) bestehend aus RC-Komponenten angeschlossen. Die Tiefpasswirkung an den Ausgängen Uref1 und Uref2 wegen der Ansteuerung mit 3-wertigem Kode ist variabel. Die kodeabhängigen Zeitkonstanten liegen angepaßt an die Normforderungen im Bereich von

0,5...10 μ s. Anhand der Tabelle 4 wird die Kodierung mit der Zuordnung zu den diversen Schwellenwerten gezeigt.

Tabelle 4 : Kodierung der im Figur 6 realisierten Schwellensteuerung

System	Bezeichnung	Level-Komparator			Trigger-Komparator		
		L1	L2	U _{ref1}	T1	T2	U _{ref2}
T3	P	L	Z	0,47V	L	L	0V
	Q	L	L	0,23V	L	L	0V
BITS	0dB	Z	Z	4,4V	H	H	1,70V
	-3dB	H	H	3,4V	L	H	1,15V
	-6dB	-	-	-	H	Z	0,85V

Der Komparator K wird mit $\pm 5V$ Versorgungsspannung betrieben. Die digitalen Ein- und Ausgänge (CLK_{A,B} und Q_{A,B}) arbeiten mit TTL-Pegel, so das eine direkte Anbindung an das erste Modul in LV-CMOS mit 3,3V ist ohne Pegeladaption möglich ist. Lediglich werden die Verbindungsleitungen mittels Widerständen beispielsweise 33 Ohm seriell HF-mäßig angepasst. Die hochohmigen Analogeingänge des MAX916 (level und trigger) werden gegen Überspannungsspitzen durch die Widerstände R4, R5 zu je 330 Ohm Widerstand geschützt, da die internen Klemmdioden nur begrenzte Stromspitzen zulassen.

Die zwei Widerstände R2, R3 beispielsweise 215 Ohm zusammen mit einem Widerstand R1 beispielsweise 1 kOhm (direkt am Eingang) realisieren die optimale Impedanzanpassung (Z_a, Bild 1) der Referenztaktingänge für 95..96 Ohm. Die beiden LCDA05 Bausteine von der Fa. Semtech sorgen für ausreichenden Überspannungsschutz (ESD, EFT) mit Hilfe von integrierten Supressor-Dioden (TVS-Array). Durch die Integration von seriellen Schottky-Dioden in diesem Chip wird eine sehr niedrige Lastkapazität erreicht, was die HF-Eigenschaften der Referenztaktingänge wesentlich verbessert.

Der letzte Baustein ist der Schnittstellenübertrager T1068
der Fa. Pulse. Dieser 8-Fach Ringkern-Übertrager in SMD Auf-
bautechnik ist speziell für die 1,5MB/s und 2MB/s Datenrate
5 entwickelt worden. Er beinhaltet vier Übertrager mit $\dot{u}=1:1$
(CT) und vier mit $\dot{u}=1:2$ (CT). Durch die hervorragenden HF-
Eigenschaften bis etwa 5MHz sind die vier hochtransformieren-
den Übertrager für den Einsatz in den Referenztakeingängen
bestens geeignet. Die Funktion kann bis 10MHz ausgeweitet
10 werden, wobei eine Verschlechterung der Eingangsreflexion um
bis zu 6dB in Kauf genommen werden muß.

Patentansprüche

1. Schaltungsanordnung zur Erzeugung von mindestens einem Referenztakt mit
- 5 einem ersten Modul (B1) zur Bildung einer physikalischen Schnittstelle, wobei mindestens ein erstes und zweites Signal aus einem am Eingang des ersten Moduls (B1) anliegenden Eingangssignals (ES) gebildet wird,
- 10 einem zweiten Modul (B2) zur Überwachung des ersten Signals sowie zur Ermittlung von Anpassungsparametern für eine Abtastung des zweiten Signals.
2. Schaltungsanordnung nach Anspruch 1,
d a d u r c h g e k e n n z e i c h n e t,
- 15 daß das erste Modul (B1) einen Übertrager (U) aufweist, durch den das an seiner Primärwicklung anliegende Eingangssignal (ES) auf der Sekundärseite in das erste und zweite Signal aufgeteilt wird.
- 20 3. Schaltungsanordnung nach Anspruch 1,
d a d u r c h g e k e n n z e i c h n e t,
- daß das zweite Modul (B2) eine erste Verarbeitungseinheit (V1) zur adaptiven Pegelüberwachung, eine zweite Verarbeitungseinheit (V2) zur adaptiven Schwellwerteinstellung für
- 25 das erste Signal und eine dritte Verarbeitungseinheit (V3) zur Taktsignalanpassung des Eingangssignals aufweist.
4. Schaltungsanordnung nach Anspruch 3,
d a d u r c h g e k e n n z e i c h n e t,
- 30 daß mit der dritten Verarbeitungseinheit (V3) eine der Art des Eingangssignals entsprechende Taktsignalaufbereitung erfolgt.

5. Verfahren zur Erzeugung von mindestens einem Referenztakt mit den Verfahrensschritten,
daß in einem ersten Modul eine physikalische Schnittstelle gebildet wird, wobei mindestens ein erstes und zweites Signal
5 aus einem am Eingang des ersten Moduls anliegenden Eingangssignals gebildet wird,
daß in einem zweiten Modul (B2) das erste Signal überwacht wird sowie die Anpassungsparameter für eine optimale Abtastung des zweiten Signals ermittelt werden.
- 10
6. Verfahren nach Anspruch 5,
d a d u r c h g e k e n n z e i c h n e t,
daß in dem ersten Modul (B1) aus dem Eingangssignal ein erstes und zweites Signal gebildet wird.
- 15
7. Verfahren nach Anspruch 5,
d a d u r c h g e k e n n z e i c h n e t,
daß in dem zweite Modul (B2) eine adaptiven Pegelüberwachung des Eingangssignals durchgeführt wird,
20 daß eine adaptive Schwellwerteinstellung für das erste Signal durchgeführt wird und
daß eine Taktsignalanpassung des Eingangssignal durchgeführt wird.
- 25
8. Verfahren nach Anspruch 7,
d a d u r c h g e k e n n z e i c h n e t,
daß entsprechend der Art des Eingangssignals eine entsprechende Taktsignalaufbereitung erfolgt.

FIG 1

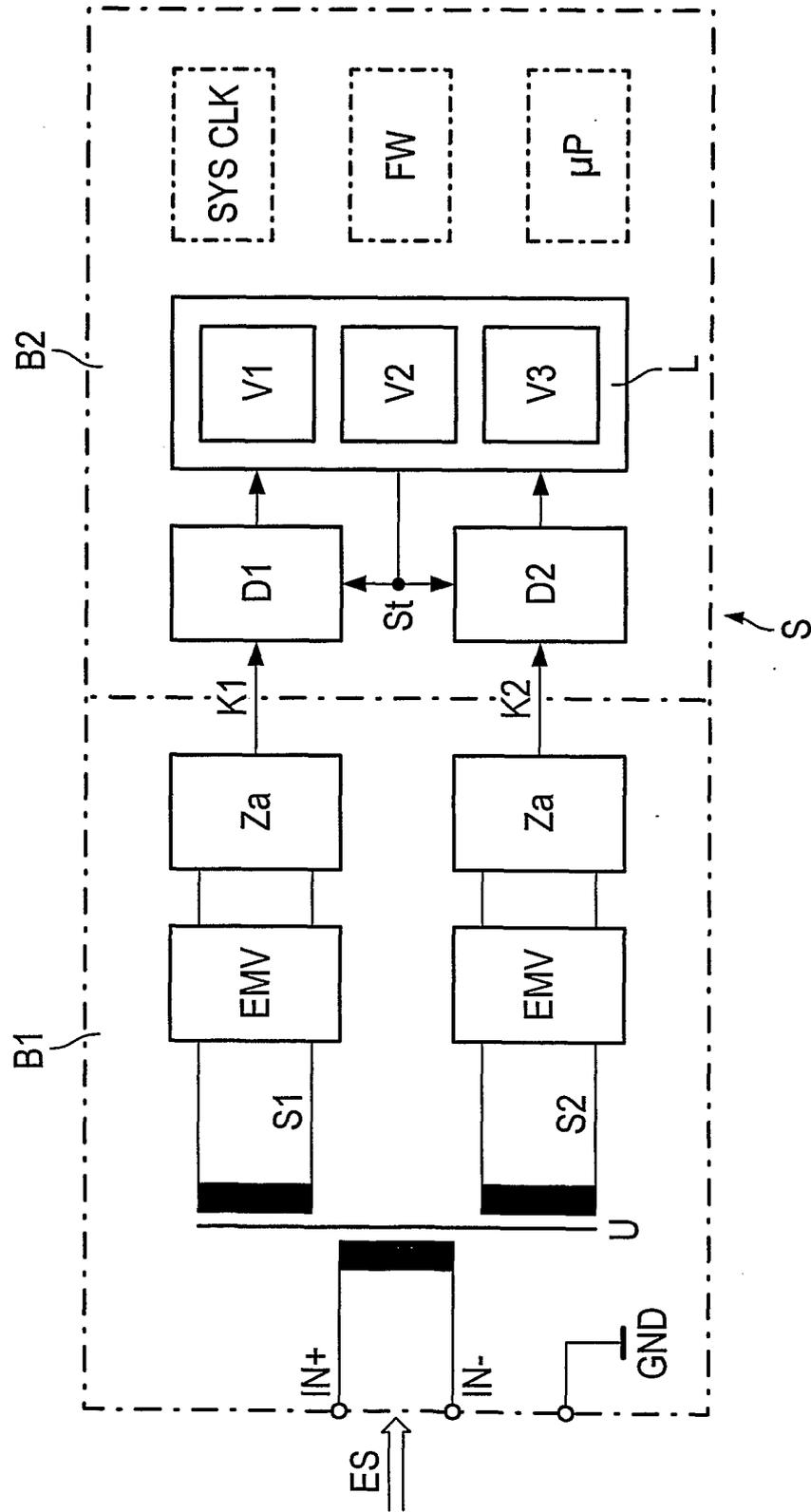


FIG 2

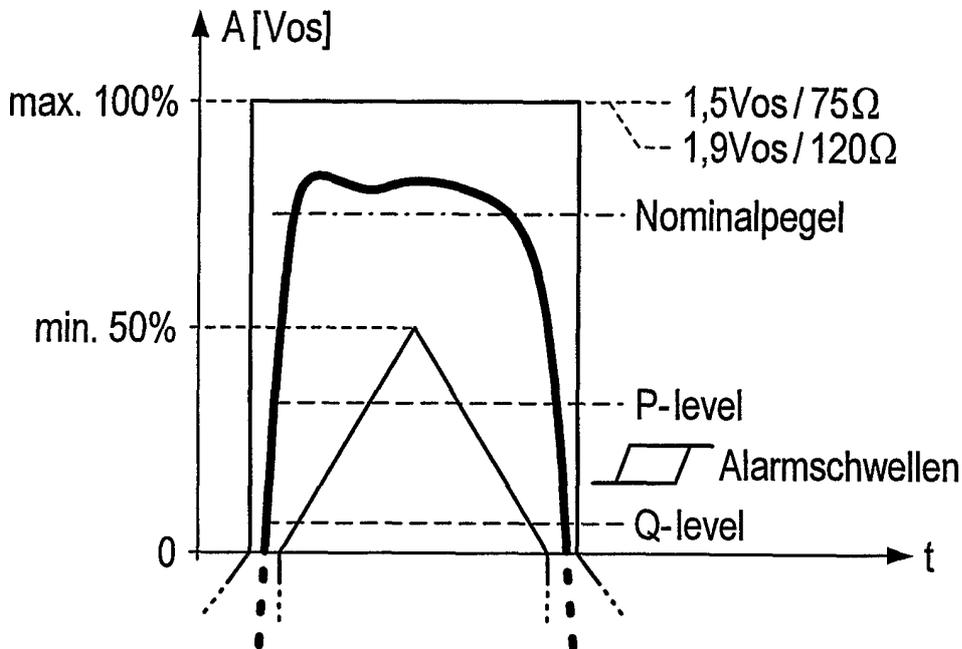


FIG 3

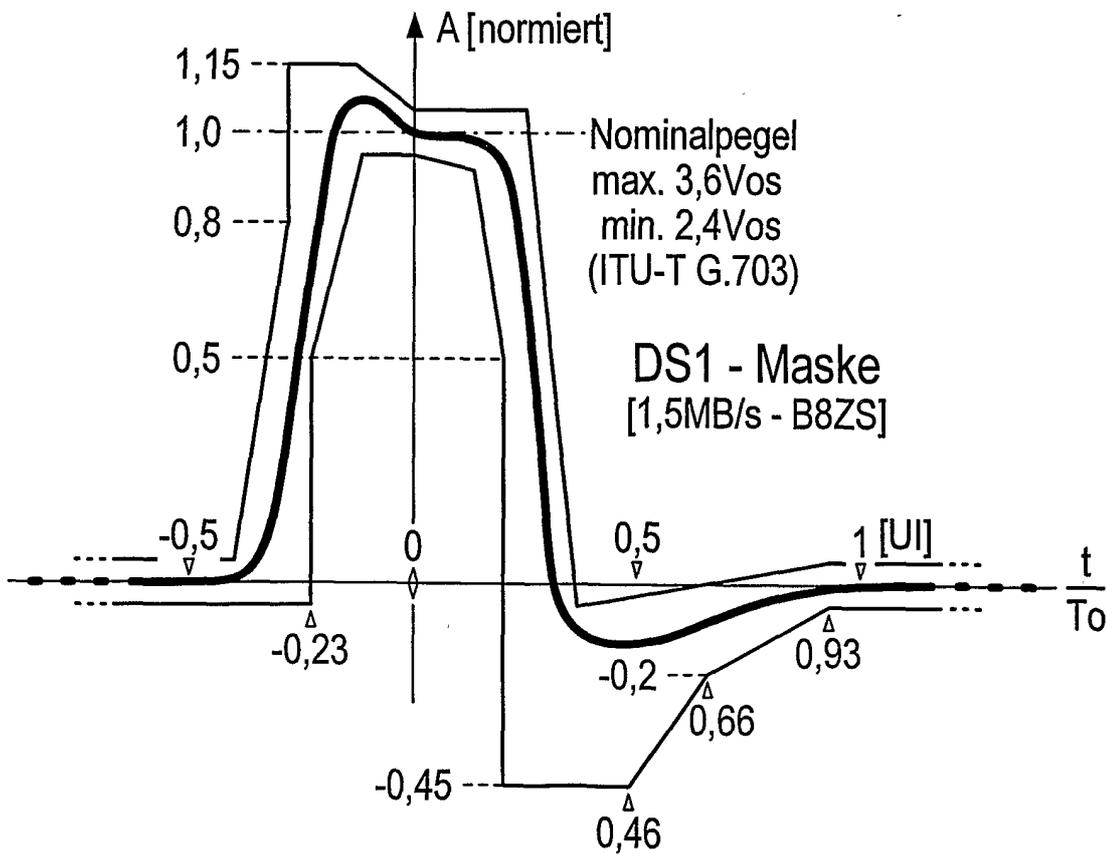
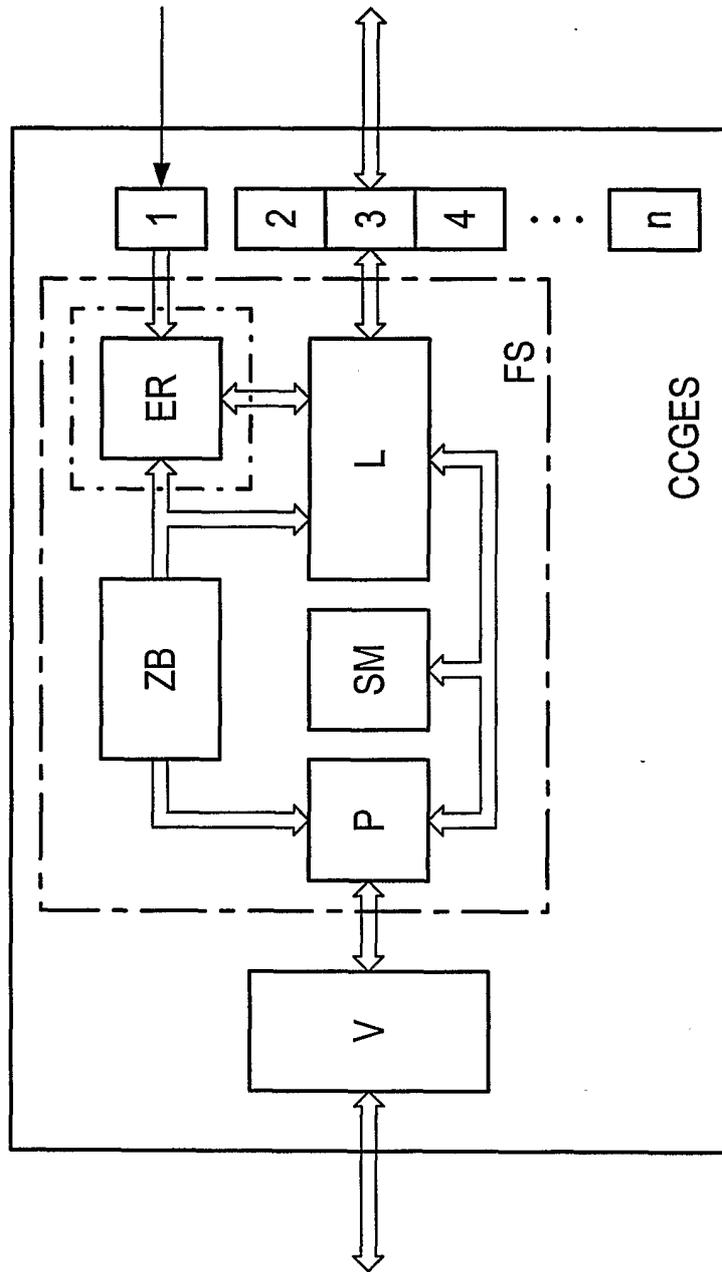


FIG 4



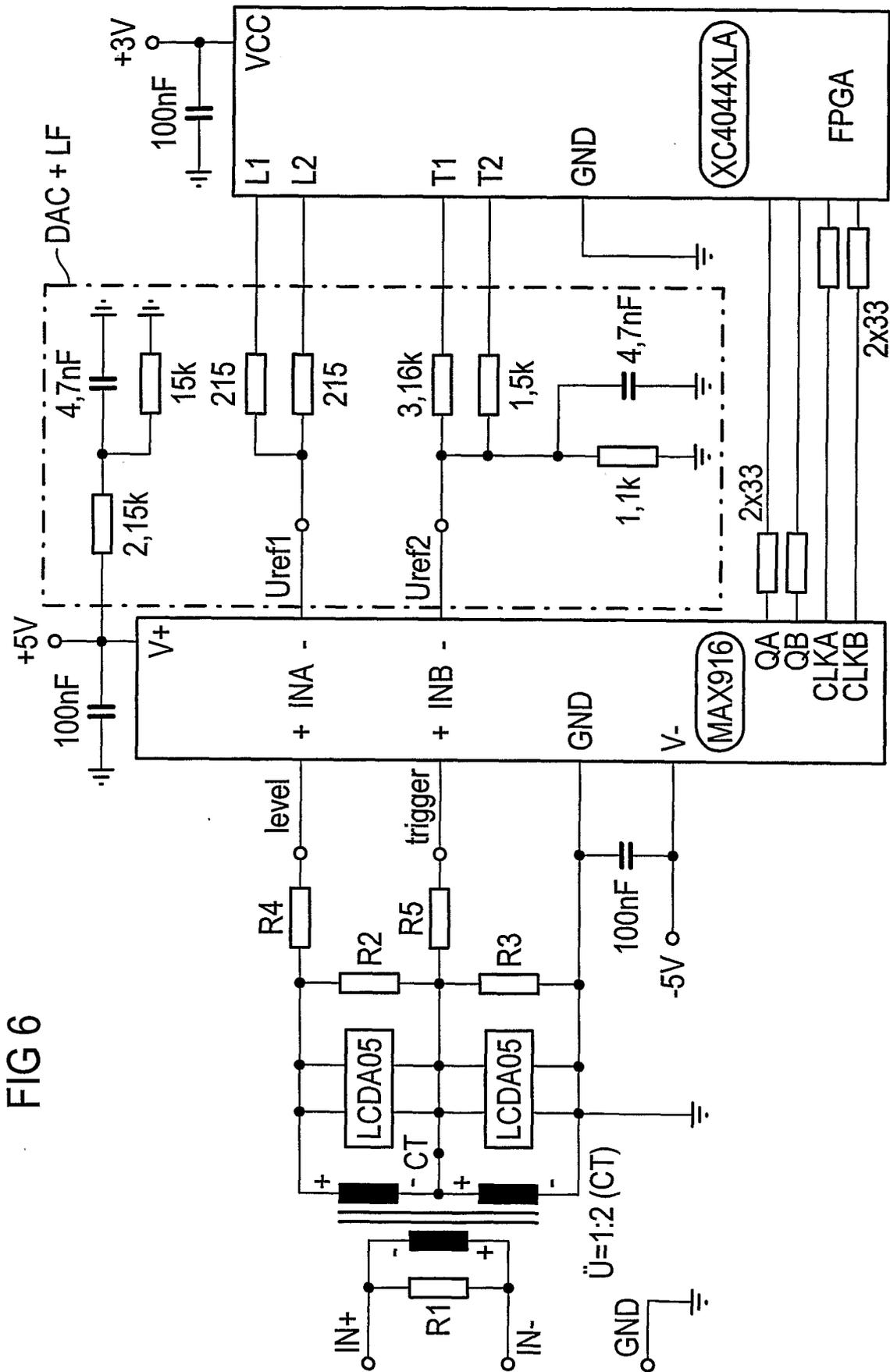


FIG 6