(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl. [7]
H01L 27/11

(45) 공고일자 2001년08월07일
(11) 등록번호 10-0292277
(24) 등록일자 2001년03월21일

(21) 출원번호 10-1997-0037475
(22) 출원일자 1997년08월06일

(65) 공개번호 특1998-0079309
(43) 공개일자 1998년11월25일

(30) 우선권주장 055015 1997년03월10일 일본(JP)

(73) 특허권자 미쓰비시덴키 가부시키가이샤
다니구찌 이찌로오, 기타오카 다카시
일본국 도쿄도 지요다쿠 마루노우치 2쵸메 2반 3고

(72) 발명자 혼다 히로키
일본국 도오교도 지요다구 마루노우찌 2쪼메 2-3미쓰비시 뎅끼 가부시끼가이샤 나이

(74) 대리인 이화익

심사관 : 임동우

(54) 반도체 기억장치의 레이아웃구조

요약

SRAM의 레이아웃구조에 있어서, 종래의 이점을 유지한 채로 배선층수와 접속구멍수를 삭감한다.

종래, 상하방향으로 인접한 셀끼리로 겸용되고 있던 콘택볼과 필드를, 각 셀로 분리시킨다. 이에 의해, 각 셀은 각각 비트선방향 D1에도 병진배치된다. 이로 인해 생긴 영역내에, GND선용의 제 1층째의 폴리실리콘 배선층1G(G)을 워드선용의 제 1층째의 폴리실리콘 배선층1G(W)과 동시에 워드선방향D2으로 평행하게 형성한다. 또한, 드라이버 트랜지스터 DTr 1, DTr 2의 게이트전극과 필드 FL의 접속구멍 GK2, GK1을, 필드 FL과 GND 배선층 1G(G)와의 접속구멍 GK3에도 이용한다. 또 상기 배선층1G(G)상에, 높은 전원전위의 배선층을 형성한다.

대표도
도 2

명세서

도면의 간단한 설명

도 1은 고저항 부하형의 SRAM 셀의 회로를 나타내는 도면.

도 2는 본 발명의 실시의 형태 1에 의한 반도체 기억장치의 레이아웃구조를 나타내는 평면도.

도 3은 본 발명의 실시의 형태 1에 의한 반도체 기억장치의 레이아웃구조를 나타내는 평면도.

도 4는 본 발명의 실시의 형태 1에 의한 반도체 기억장치의 레이아웃구조를 나타내는 단면도.

도 5는 GND 콘택구조의 비교를 나타내는 단면도.

도 6은 스택형의 SRAM 셀의 회로를 나타내는 도면.

도 7은 본 발명의 실시의 형태 2에 의한 SRAM 셀의 레이아웃구조를 나타내는 단면도.

도 8은 PNP 형의 트랜지스터의 단면구조의 비교를 나타내는 도면.

도 9는 필드형상을 나타내는 평면도.

도 10은 필드형상을 나타내는 평면도.

도 11은 필드형상을 나타내는 평면도.

도 12는 필드형상을 나타내는 평면도.

도 13은 고저항 부하형의 SRAM 셀의 종래의 레이아웃을 나타내는 평면도.

도 14는 고저항 부하형의 SRAM 셀의 종래의 레이아웃을 나타내는 평면도.

도 15는 고저항부층의 레이아웃을 형성하기 위한 레지스트의 마무리형상을 모식적으로 나타내는 평면도.

도 16은 종래기술의 문제점을 지적하기 위한 설명 도면.

< 도면의주요부분에대한부호의설명 >

100 : 기초층 1G(G) : GND 배선층

1G(W) : 워드선 배선층 CR : 셀프레임

GK1 GK3 : 접속구멍 CH1,CH2 : 콘택홀

FL1,FL2 : 필드 10N : 형확산층

2G : 고전원전위 배선층 R1,R2 : 고저항부

1B1,1B2 : 베리드(buried)콘택

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은, SRAM(스태틱·랜덤 액세스 메모리)등의 반도체 기억장치에서의 복수의 셀의 레이아웃기술에 관한 것이다.

고저항 부하형의 SRAM셀 레이아웃구조의 평면도를, 도 13, 도 14에 나타낸다. 동 레이아웃은, 「J. R. Pfiester etc. " A symmetric Vss cross-under bitcell technology for 64Mb SRAMs" , IEEE IEDM 94, PP. 623 626, ′94」에 개시되어 있는 것이다. 동 도면13에 나타내는 바와 같이, 필드 FLP, 게이트베리드 콘택 GKP, 게이트용의 제 1층째의 폴리실리콘 배선층1GP, 제 1베리드 콘택1BP, GND 선용의 제 2층째의 폴리실리콘 배선층2GP이 배치되어 있고, 이에 의해, 액세스 트랜지스터 ATrP1, ATrP2용의 워드선, 드라이버 트랜지스터 DTrP1, DTrP2의 게이트층, GND 선이 형성된다. 또한, 필드 FLP와 제 1층째의 폴리실리콘 배선층 1GP가 교차하는 영역Rα은, 불순물을 게이트형성전에 주입함으로써 저저항화되어 있다.

또한 도 14에 나타내는 바와 같이, 제 2베리드 콘택2B, VCC 선용의 제 3층째의 폴리실리콘 배선층3GP, 비트선이나 바비트선의 콘택용의 콘택홀 CHP, 비트선 및 바 비트선용의 알루미늄층ALP, 바(bar) ALP가 배치되어 있고, 이에 의해, 고저항 및 V_{CC} 선(불순물주입의 유무로 양자를 구별하여 만든다)와, 비트선/바 비트선이 형성된다. 양도면13, 14 중 부호CRP는 하나의 셀프레임을 나타낸다.

이상의 레이아웃구조에 의해, 고저항부하형의 SRAM의 회로(도 1참조)를 반도체기판상에 실현할 수 있다.

본 레이아웃은, 대칭성이 좋기 때문에 이하의 이점을 가진다. 즉, ① 만일 각 패턴이 좌우, 상하로 어긋나면, 그것은 트랜지스터의 특성에 중대한 영향을 끼치게 되지만, 본 레이아웃에서는 각 패턴이 대칭적으로 형성되어 있기 때문에, 그만큼 안정적으로 셀이 동작할 수 있다.

또, ② 각 패턴의 형상이 기본적으로 직선적이기 때문에, 프로세스상의 안정성이 좋다고 하는 이점이 있다. 라고 하는 것은, 횡단면(横斷面)형상이 사각형인 패턴은 이것을 용이하게 형성할 수 있지만, 만일 패턴의 횡단면형상이 비사각형인 경우에는, 정확하게 그와 같은 패턴을 형성하기가 곤란하여, 본 레이아웃에서는, 그와 같은 비사각형의 패턴이 적기 때문이다.

또한, ③ 워드선 1GP(액세스 트랜지스터의 게이트) 및 드라이버 트랜지스터의 게이트 길이방향이 모두 동일방향인, 즉, 워드선1GP과 드라이버 트랜지스터용 게이트층이 모두 워드선방향에 평행하게 직선적으로 연장되어 있기 때문에, 제조시의 게이트길이의 제어성이 좋고, 안정된 트랜지스터 특성을 얻을 수 있다고 하는 이점이 있다. 라고 하는 것은, 게이트패턴은 포토리소그래피 공정에 의해서 형성되지만, 그 때 직사각형형의 마스크패턴에 비해서, 레지스트패턴은 기초필드 패턴으로부터의 빛의 반사에 의한 영향을 받아 아무래도 굽어지고, 더구나 그 형상이 안정되지 않는 것이 현실이다. 그러나, 본 레이아웃과 같이, 기초 필드패턴에 대하여 게이트층과 워드선1GP이 동일방향으로 직선적으로 연장되어 있을 때에는, 그와 같은 굽어짐에 의한 영향을 적게 할 수가 있다.

발명이 이루고자 하는 기술적 과제

그러나, 도 13, 도 14에 예시한 종래의 레이아웃구조에는, 다음과 같은 문제점이 야기되고 있다.

그 제 1의 문제점이란, 상기 기술에서는 각 층의 폴리실리콘 배선층(1GP, 2GP, 3GP)및 알루미늄배선층ALP, 바(bar) ALP를, 즉, 3층분의 폴리실리콘배선층과 1층분의 금속배선층의 합계 4층분의 배선층을 반도체기판상에 형성할 필요가 있지만, 이래서는 필연적으로 프로세스가 길어지고 장치의 비용이 비싸게 먹히게 되는 것이다.

그 제 2의 문제점이란, 상기 레이아웃에서는 그 많은 패턴이 직선적으로 형성되어 있기는 하지만, V_{CC} 선용의 제 3층째의 폴리실리콘 배선층3G에 대해서는, 도 14에 나타내는 바와 같이, 여전히 비직선적인 형상부분이 설치되어 있는 점이다. 도 14에 점선으로 둘러싼 폴리실리콘 배선층3GP의 모난 부분3GR이 그것이다. 이러한 형상은, 예컨대 도 15(a), (b)의 평면도에 모식적으로 나타내는 바와 같이, 레지스트패턴 RP2의 레이아웃패턴 RP1과의 불일치를 초래한다. 상기 부분3GR은 실제로는, 도 15(b)와 같이, 레지스트가 포토그래피 공정시에 완전히 빠지지 않고 잔류하여 버리는 결과, 레지스트패턴 RP2은 둥그런 형상이 되어 버린다. 이렇게 되면, 도 14의 고저항부 3GP의 제어성이 현저히 저하하여 버리게 된다. 라고 하는 것은, 제 3층째의 폴리실리콘 배선층3GP의 직선적으로 연장된 고저항부 형성부분 3GHR에 몇 시트분의 면적이 있는가에 의해, 거기에 형성되어야 할 고저항의 수치를 미리 예측하여 레이아웃 설계를 행하고 있음에도 불구하고, 도 15에서 나타내는 바와 같이 고저항부 형성부분3GHR의 구석이 둥글게 되어 버려, 실질적으로 동 부분3GHR의 직선부분이 감소하여 버리면, 고저항부3GP의 저항값이 예측치보다도 감소하여, 그 값이 실제로 어느정도로 되는지 제조시에는 전혀 예측하여 없게 되어버리기 때문이다. 이 점이 해결하여야 할 문제점으로서 종래의 레이아웃구조에 여전히 남아 있는 것이다.

그 제 3의 문제점이란, 도 16에 모식적으로 나타내는 바와 같이, 제 2 베리드콘택2B에 대한 커버마진 A, 제 3층째의 폴리실리콘 배선층3GP의 제외되는 길이 C 및, 같은 층3GP과 콘택홀CHP와의 분리마진 D를 취할 필요가 있기 때문에, V_{CC} 배선으로서의 폴리실리콘 배선층3 GP의 폭 W이 작아져버린다. 그 때문에, V_{CC} 배선의 저항이 커지고, 그래서 전위차가 생겨 정확하게 전원전위V_{CC} 를 공급할 수가 없게 된다고 하는 점이다.

그 제 4의 문제점이란, 원래 극히 저저항의 배선층이어야 될 GND 배선층의 저항값이 증대하여 버리는 점이다. 라고 하는 것은, 게이트선 내지 워드선은 그 저저항화를 위해, 예컨대, WSi/폴리 Si 와 같이 복합적으로 구성되어 있는 것이지만, 이러한 구성을 상기 목적을 위하여 GND 배선층에도 적용하는 것이 일반적이고, 종래의 레이아웃에도 그렇게 되어 있다. 그러나 그렇게 하면, 종래의 레이아웃에서는, 제 1층째의 배선층1GP의 윗쪽에 GND선용의 제 2층째의 배선층2GP을 형성하고 있기 때문에, 접속구멍의 단차가 커져서 제 1 베리드 콘택1BP의 깊이가 점점 깊어져 버려, 거기에 무시할 수 없을 정도의 플러그저항을 발생시켜 버리는 것이다. 이 점은 나중에 보다 자세히 설명될 것이다.

본 발명의 주안점은, 종래의 레이아웃구조가 가지는 상술한 이점 ①　③을 유지하면서, 이러한 제 1로부터 제 4까지의 문제점을 모두 극복할 수 있게 하는데 있다.

덧붙여서 본 발명은, 신규의 SRAM 셀의 회로를 효율적으로 실현할 수 있는 레이아웃구조를 제공하는 것도 중요한 목적으로 하고 있다.

또한 본 발명은, 필드형상을 적정화하여 각 셀내의 트랜지스터에 실제로 요구되는 성능등을 만족시키는 것과, 나아가서는 그와 같은 효과를 모두 만족시킬 때에 셀의 소형화에도 배려하는 것을, 부차적인 목적으로 하고 있다.

청구항 1에 관계되는 발명의 반도체 기억장치의 레이아웃구조는, 제 1도전형의 기초층과 상기 기초층의 표면상 및 상기 기초층내에, 제 1방향 및 상기 제 1방향에 수직한 제 2 방향을 따라서 형성된 복수의 셀을 구비하고, 상기 복수의 셀의 각각은, 동일한 레이아웃이 되도록 상기 제 1방향 및 상기 제 2방향에 병진적으로 배치되어 있는 것을 특징으로 한다.

청구항2에 관계되는 발명은, 청구항1에 기재된 반도체 기억장치의 레이아웃구조에 있어서, 상기 복수의 셀 각각의 상기 레이아웃은 해당 셀의 중심점에서 보아 점대칭이 되도록 형성되어 있는 것을 특징으로 한다.

청구항3에 관계되는 발명은, 청구항2에 기재된 반도체 기억장치의 레이아웃구조에 있어서, 상기 기초층의 상기 표면상에 상기 복수의 셀의 각각의 층간 절연막으로서 형성된 절연층과, 상기 층간 절연막상에 상기 제 1방향을 따라서 서로 대치하도록 형성된, 상기 제 1방향상에 일렬로 배치되어 있는 상기 복수의 셀과 공통인 제 1및 제 2비트선 배선층을 더 구비하고, 상기 복수의 셀의 각각은, 상기 기초층의 상기 표면상 및 상기 기초층내의 안쪽이고, 상기 제 1비트선 배선층의 바로 아래에 위치하는 해당 셀이 형성되는 셀프레임내에만 상기 제 1방향을 따라서 형성된 제 1소자형성영역과, 상기 기초층의 상기 표면상 및 상기 기초층내의 안에서, 상기 제 2비트선 배선층의 바로 아래에 위치하는 해당 셀이 형성

되는 셀프레임 안에만, 상기 제 1방향을 따라서상기 제 1소자형성영역에 대치하도록 형성된 제 2소자형성영역을 구비하는 것을 특징으로 한다.

발명의 구성 및 작용

(실시의 형태 1)

도 1은, 본 실시의 형태 1의 반도체 기억장치가 실현하여야 할 SRAM 회로를 나타내는 것이고, 종래부터 알려진 고저항 부하형의 SRAM의 회로에 관한 것이다. 각 기호는 다음과 같다. 즉, BIT, 바(bar) BIT는 각각 비트선(제 1 비트선), 바(bar)비트선(제 2 비트선)을, ATr1, ATr2는 각각 제 1 및 제 2 액세스 트랜지스터를, W는 워드선을, Vcc는 고전원전위를, GND는 그라운드전위를, R1, R2는 각각 제 1, 제 2 고저항을, DTr1, DTr2는 각각 제 1 및 제 2 드라이버 트랜지스터를, N1 N5는 후술하는 레이아웃 구조상의 각 접속구멍에 대응한 노드를 각각 나타낸다. 또, 『고저항』이란, 큰 저항값을 가지는 부하저항을 의미한다.

도 2 및 도 3은, 도 1의 SRAM을 실현하기 위한 본 실시의 형태에 관계되는 레이아웃구조를 나타내는 평면도이다. 또한, 도 4, 도 2 및 도 3중에 나타낸 A-A′선에 관한 제 1필드의 종단면도이다. 제 2필드에 관한 종단면도는 도 4에 나타낸 구조를 반전한 것이 된다. 이들 도면 중, D1은 제 1방향(비트선방향)을, D2는 제 1방향 D1에 수직한 제 2방향(워드선방향)을 각각 나타낸다. 또한, 이들 도면중에 붙인 기호 ATr1, ATr2, DTr1, DTrZ는, 도 1에 대응하는 각 트랜지스터의 형성영역, 특히 채널영역과 그 위의 게이트산화막영역 및 게이트전극 영역인 것을 나타내고 있다.

기호 1G(G)는, GND선용의 WSi/폴리실리콘 배선층을, 1G(W)는 워드선용의 WSi/폴리실리콘 배선층을 각각 나타내지만, 이들 배선층1G(G), 1G(W)는 둘 다 동일 공정에서 생성되는 제 1층째의 배선층이기 때문에, 이들을 총칭할 때에는, 제 1층째의(WSi/폴리실리콘)배선층1G이라고 부르기로 한다. 여기서, WSi/폴리실리콘 배선층으로 하고 있는 것은, 워드선(따라서, GND선)의 배선저항의 저저항화를 위해서이다. 또한, 기호2G는 고전위전원 Vcc배선용의 폴리실리콘 배선층이고, 제 2층째의(폴리실리콘)배선층이라고도 부른다.

접속구멍GK은 각 셀에 관해서 3종의 접속구멍GK1 GK3으로 이루어진다. 즉, 제 1접속구멍GK1은, 제 1필드 FL1(또는 N형확산층10)과 제 2드라이버 트랜지스터 DTr2의 게이트배선층11과의 접속구멍이다. 또한, 제 2 접속구멍 GK2은, 제 2 필드 FL2(또는 N형확산층10)과 제l 드라이버 트랜지스터 DTr1의 게이트배선층12의 접속구멍이다. 또한, 제 3접속구멍 GK3은, 대응하는 필드FL(또는 N형 확산층10)과 제 1층째의 GND 배선층1G(G)과의 접속구멍이다.

또한, 제 1및 제 2콘택홀 CH1, CH2은, 대응하는 필드FL(또는 N형확산층10)과 제 3층째의 비트선용 알루미늄배선층 BIT, 바(bar) BIT의 콘택홀이다. 이들 콘택홀 CH1, CH2을 총칭할 때에는 콘택홀 CH라고 부른다. 또한, 콘택홀 CH와 해당 홀 CH를 메우는 플러그층을 총칭하여 「콘택부」라고 정의한다.

상기 접속구멍 GK1 GK3, 콘택홀 CH와, 도 1의 각 노드 N1 N5의 대응관계는, 다음과 같다. 즉, 노드 N1가 제 1콘택홀 CH1에, 노드 N2가 제 2콘택홀 CH2에, 노드 N3가 제 1접속구멍 GK1에, 노드 N4가 제 2접속구멍 GK2에, 노드 N5가 제 3접속구멍GK3에 각각 대응하고 있다.

또, 제 1, 제 2필드 FL1, FL2를 총칭하여 필드 FL이라고 정의한다. 여기서, 「필드」란 소위 「소자형성영역」에 해당한다. 이하에서는 이 의미로, 필드 FL이라는 용어를 사용하고 있다.

또한 기호CR는 1개의 셀프레임을 나타낸다.

또한, 도 3중에 나타낸 부호100는, 제 1도전형(여기서는, P형)의 반도체기판 또는 웰이고, 「기초층」이라고도 칭한다. 또 N 형은, 여기서는 제 2도전형에 해당한다.

또한, 도 4중의 IF1, IF2는 각각 제 1 및 제 2층간 절연막(예컨대, SiO_2막)이고, 이들을 총칭하여 층간절연막 IF라고 칭한다.

또한, 도 4중의 고저항부 R1, R2는, 도 1중의 고저항부하 R1, R2의 형성영역부분을 나타내고 있고, 이들은 각각, 고전원전위Vcc의 배선층2G의 일부분, 즉, 제 1방향 D1에 따라서 기초표면에 평행하게 연장된 고저항형성층 2G1, 2G2 중에서 불순물이 주입되지 않은 영역을 형성함으로서 형성된다. 이 점은 종래의 기술과 마찬가지이다.

또한, 도 3중의 기호AL, 바(bar)AL은, 각각 도 1의 비트선(BIT), 바(bar)비트선(바 BIT)에 대응한 제 3층째의 알루미늄배선층이다.

또한, 기호1B1, 1B2는, 각각 제 1 및 제 2 베리드콘택을 나타내고 있고, 이들을 총칭하여 베리드콘택 1B라고도 칭한다. 또, 베리드 콘택 1B와 그 속에 형성되는 플러그층(도 4, 도 5(b)참조)를 일체적으로 총칭하여 「베리드콘택부」라고 정의한다.

또한, 도 4중에 있어서, 제 1 콘택홀 CH1에 접속한 확산층10과 GND 배선층 1G(G)과의 사이에 개재하는 것은, 게이트산화막에 해당하는 절연막이다.

본 실시의 형태에서는 상술의 도 2 도 4에서 밝혔듯이, 하나의 셀프레임 CR내에는, 섬 모양으로 분포하여 기초층100의 표면내 및 기초층 100내에 6개의 N형의 확산층10이 형성되어 있다. 이들 확산층10에 번호를 붙여서 구별하여 정의하면 다음과 같다. 즉, 도 4에 있어서, 제 1필드 FL 내의 제 1 인접셀측의 제 1콘택홀에 접속한 제 1액세스 트랜지스터 ATr1의 제 1전극층을 이루는 확산층10은 「제 1확산층 형성영역」, 그 오른쪽의 제 1액세스 트랜지스터 ATr1의 제 2전극층 및 제 1드라이버 트랜지스터 DTr1의 제 1전극층을 이루는 확산층10을 「제 2확산층 형성영역」, 제 1드라이버 트랜지스터 DTr1의 제 2전극층을 이루고, 또한 제 3 접속구멍 GK3에서 그라운드배선층 1G(G)에 직접 접속한 확산층10을 「제 3확산층 형성영역」이라고 정의한다. 또 한편,제 2필드 FL2에서는 제 2 인접셀측의 제 2콘택홀 CH2과 접속되고, 또한 제 2액세스 트랜지스터 ATr2의 제 1전극층을 이루는 확산층10을 「제 4확산층 형성영역」, 상기 트랜지스터 ATr2의 제 2전극층이고 또한 제 2드라이버 트랜지스터 DTr2의 제 1전극층이기도 한 확산층10을 「제 5확산층 형성영역」, 상기 트랜지스터 DTr2의 제 2전극이고, 또한 제 1인접셀측의 접속구멍 GK3에서 직접 그라운드 배선층 1G(G)과 접속된 확산층10을 「제 6확산층 형성영역」이라고 정의한다.

도 2 도 4에 나타낸 본 실시의 형태의 반도체 기억장치의 레이아웃구조의 특징점은, 상술한 도 13, 도 14의 종래예와 비교하여 설명하면 다음과 같다.

즉, ① 그 제 1은, 종래 상하방향으로 인접하는 각 셀에서 겸용하고 있던 콘택홀 CH 및 필드 FL를 인접하는 상하의 각 셀에서 분리하도록 해서, 서로 인접하는 각 셀을 제 1 및 제 2방향 D1, D2의 어느것에 대해서도 병진적인 배치의 구성으로 한 점에 있다. 이에 의해 각 셀은, 각 셀고유의 2개의 콘택홀 CH1, CH2와 2개의 필드 FL1, FL2를 가진다.

② 그 제 2의 특징점은, 상기 ①의 구성의 채용에 의해 생긴 해당 셀의 제 1콘택홀 CH1과, 상측의 인접셀(제 1인접셀이라 칭한다)의 제 2콘택홀 CH2 사이의 기초층100의 표면상 영역과, 해당 셀의 제 2 콘택홀 CH2과 하측의 인접셀(제 2 인접셀이라 칭한다)의 제 1콘택홀 CH1의 사이의 기초층100의 표면상 영역에, 종래에는 워드선용으로서만 사용하고 있던것에 지나지않았던 제 1층째의 WSi/폴리실리콘 배선층1G을, GND선용 배선층(단지 GND 배선층이라 칭한다) 1G(G)로서 배치한 점에 있다. 여기서 제 1층째의 배선층을 기호1G로서 총칭적으로 칭한다. 제 1층째의 배선층1G은, 종래 기술과 마찬가지로 워드선용 배선층1G(W)로서도 사용되는 것이기 때문에, 도 1의 워드선 W의 지연(액세스 트랜지스터의 기생용량과 워드선의 저항성분에 의한 지연)을 억제하기 위해서, 작은 저항값의 배선층으로 할 필요가 있다. 그 때문에, 배선층1G(G)은, WSi/폴리실리콘 배선층으로서 형성되어 있다. 따라서, 본 실시의 형태에서는, 이 배선층1G(

W)과 동일공정이고, 또한 해당 배선층1G(W)과 동일재료를 사용하여 GND 배선층1G(G)을 형성하고 있기 때문에, GND 배선층 1G(G)은 저저항배선층으로 된다. 게다가, 본 실시의 형태는 종래 기술의 이점, 즉, 양층 1G(G), 1G(W)은 워드선방향D2으로 평행하게 직선적으로 배치되어 있는 점도 그대로 유지하고 있다.

③ 제 3의 특징점은, GND 배선층 1G(G)과 필드 FL(또는 N형 확산층10)과의 접속구멍에는, 제 2 및 제 1드라이버 트랜지스터 DTr2, DTr1의 게이트전극층11, 12과 대응하는 필드 FL1, FL2를 접속하고 있는 제 1, 제 2 접속구멍GK1, GK2을 이용하여 형성하고 있는점에 있다. 이 접속구멍은 상술의 제 3접속구멍GK3이다. 이들 접속구멍GK1 GK3은 동일공정으로 만들어진다. 이에 의해, 제 3접속구멍 GK3으로서의 단차는, 게이트산화막 두께분(10nm정도)만큼이 되고, 종래기술의 경우의 접속구멍1BP(단차100nm 150nm)과 비교하여 1자리수 정도 작기 때문에 저단차가 된다. 본 발명에서의 단차는 거의 무시할 수 있는 값이다. 이에 의해, 본 실시의 형태에서는, 상기 접속구멍 GK3내의 플러그저항이 현저하게 작아지기 때문에, 보다 작은 저항값, 즉, 저저항을 가지는 콘택저항를 얻을 수 있다. (도 5 (a), (b)참조(단, 본 도면은, 간략화하여 그려지고 있다)). 이 점을 보다 구체적으로 말하면 다음과 같다.

도 5 (a)의 종래 예에 나타내는 것처럼, 종래 기술의 레이아웃 구조에서는 에칭스톱용의 층간 절연막IFP(SiO_2)의 막두께에는 100 150nm이 필요하다. 이 때문에, 접속구멍 1BP의 깊이를 얕게 하는데에는 한계가 있다. 따라서, 원래 GND 배선층 2GP의 전위는 0V이어야 되는데, 동부1BP의 단차에서의 플러그저항에 의해 전위차가 생기고, 셀의 안정성이 손상된다고 하는 문제점이 있었다.

이에 대하여, 도 5(b)에 확대화하여 나타내는 본 발명의 레이아웃구조에 의하면, GND 선에는 WSi/폴리 Si 구조의 워드선 배선층1G(W)이 사용하고 있기 때문에, GND 배선층1G(G)자신의 저저항화와 접속구멍GK3에서의 무시할 수 있는 정도까지의 플러그저항의 저하의 상승(相乘)효과에 의해서, 매우 저저항인 GND 배선을 실현할 수 있다.

이상의 신규인 레이아웃구조의 채용에 의해, 종래에는 4층배선(1GP, 2GP, 3GP, ALP(바ALP))를 필요로 하고 있었던데 비하여, 본 실시의 형태에서는 3층배선(1G, 2G, AL(바AL))만으로 이루어지고, 제 4층째의 배선층의 형성을 필요로 하지 않음과 동시에, 접속구멍의 수도 종래의 4종류(GKP, 1BP, 2B, CHP)에서 3종류(GK, 1B, CH)로 감소시키는 일이 가능해진다. 이에 의해, 본 실시의 형태의 레이아웃구조는, 종래의 레이아웃구조의 상술한 이점① ③을 그대로 유지한 채로, 배선층과 접속구멍의 수를 줄여서 현저한 저비용화를 꾀할 수 있다. 즉, 워드선 배선층 1G(W) (각 액세스 트랜지스터 ATr1, ATr2의 게이트), 각 드라이버 트랜지스터 DTr1, DTr2의 게이트층12, 11, 및 GND 배선층1G(G)의 긴쪽의 방향(제 2방향 D2)이 모두 동일(평행 화)하기 때문에, 상술한 바와 같이 게이트길이의 제어가 잘 되고, 또한 GND 배선층의 형상의 제어성도 바람직하게 되기 때문에, 안정된 트랜지스터특성 및 안정된 작은 저항값을 가지는 GND 배선층을 얻을 수 있다.

또한, 상하방향에 인접한 셀 끼리의 콘택홀 CH 사이에 생긴 영역(여지영역)에, 다시 제 2층째의 폴리실리콘 배선층2G(Vcc 배선)을 배치하는 것이 가능해진다. 이 때문에, 도 3에 나타내는 바와 같이, V_{CC} 배선을 이루는 제 2층째의 배선층2G의 주부(主部)2GM은, 종래 기술의 도 15에서 지적하였던 것과 같은, 귀퉁이 부분이 둥글게 되거나 하는 현상을 발생시키지 않고 거의 직선형상으로 형성됨과 동시에, 각 필드 FL 상의 주부2GM의 부분으로부터 제 1방향 D1에 기초표면에 평행으로 게시한 (제 1, 제 2) 고저항부층2G1, 2G2을, 해당 배선층2G의 주부 2GM(VCC 배선)에 대하여 거의 직각의 각도로 교차하도록 형성할 수가 있고, V_{CC} 배선을 이루는 주부2GM 및 고저항부층2G1, 2G2을 안정된 형상으로 해서 얻을 수가 있게 된다. 즉, 상기 안정형상의 달성에 의해 동부2G1, 2G2에는 몇 시트분의 영역을 형성할 수 있을까를 제조시에 정확하게 예측할 수 있어서, 설계대로의 고저항부하R1, R2를 고저항부층 2G1, 2G2의 해당 부분에 만드는 일이 가능해진다.

이상에 의해, 안정된 Vcc 배선(2GM)의 저저항화 및 고저항부층 2G1, 2G2에서의 안정된 고저항값(R1, R2)의 실현화를 달성할 수가 있다.

덧붙여서, 종래의 기술(도 14)에서는 접속구멍2B와 콘택홀 CHP 사이에 설치되어 있던 제 3층째의 배선층3GP(V_{CC} 배선)이 본 실시의 형태에서는 없어졌기 때문에, 본 발명에서는 그 몫만큼 접속구멍1B에 대한 제 2층째의 배선층2G의 여유도(餘裕度) A(도 3)를 충분하게 취할 수가 있다고 하는 이점도 얻을 수 있다.

이상에 의해 본 실시의 형태에서는, 각 셀을 제 1방향 D1에 대해서도 병진적으로 배치하고, 각 셀내의 레이아웃구성을 도 2에 나타내는 중심점 IP을 중심으로 점대칭으로 하여, 인접셀로부터 독립한 필드 FL와 콘택홀 CH을 각 셀이 2개 가지는 것으로 하고 있다. 이에 의해, (1) 프로세스, 배선층, 접속구멍의 삭감화에 의한 저비용화, (2) GND 배선층의 저저항화, (3) GND 콘택(플러그저항)의 저저항화, (4) Vcc 배선층 자체의 저항의 안정화, (5) 고저항부(R1, R2)의 안정화, (6) 접속구멍1B의 커버마진(여유도A)의 확대화, (7) 제 1층째의 배선층1G의 길이제어성의 향상화를 달성할 수가 있다.

(실시의 형태2)

도 6에 나타내는 회로구성은, 본원 출원인의 출원에 관계되는 특원평 8-325699호의 발명(평성8년 12월5일 출원)에서 나타나 있는 신규인 (공지되지 않은)SRAM의 회로이다. 도 6의 구성인 SRAM은, 「스택형」이라고 불리우는 것이고, ① 제 1비트선 BIT과 제 1액세스 트랜지스터 ATr1의 한 편의 소스/드레인영역의 사이 및 제 2비트선바 BIT과 제 2액세스트랜지스터 ATr2의 한편의 소스/드레인영역과의 사이에, 각각, PNP 형의 제 1, 제 2바이폴라 트랜지스터 BTr 1, BTr 2를 설치함과 동시에, ② 제 1및 제 2액세스 트랜지스터 ATr1, ATr2의 게이트를 각각 제 1 및 제 2워드선 WL1, WL2에 접속하고, 다시 ③ 제 1드라이버 트랜지스터 DTr1의 다른 쪽의 소스/드레인영역과 GND와의 사이 및, 제 2드라이버 트랜지스터 DTr2의 다른 쪽의 소스/드레인영역과 GND의 사이에, 각각 N형의 제 1, 제 2 MOS트랜지스터 MTr1, MTr2를 설치하여, 트랜지스터 MTr1, MTr2의 게이트를 각각 제 2 및 제 1워드선 WL2, WL1에 접속하는 것으로 하고 있다.

본 실시의 형태에서는, 도 6의 신규인 SRAM 회로의 구성을 다시 개량하는 것을 목적으로 하고 있는 것은 아니고, 도 6의 회로를 반도체기판상에 실현할 때의 레이아웃기술의 제공을 실현하는 것이 주안점이다. 특히, 본 실시의 형태는, 실시의 형태 1에서 개시한 레이아웃구조를 모조리 그대로 이용하여, 도 1의 회로의 SRAM뿐만 아니라, 도 6의 회로 SRAM도 실현할 수 있는 것을 주장하고자 하는 것이다.

따라서, 도 6의 회로의 동작에 관하여는, 여기서는 자세하게 기술하지 않는다. 단, 도 6의 회로 동작의 특징을 한마디로 말하면 다음과 같다. 즉, 바이폴라 트랜지스터 BTr 1, BTr2는 해당 셀의 기억정보에 따라서 대응하는 비트선 BIT, 바 BIT의 전위레벨을 구동하여, 그 결과, 저전원전압에서도 고속으로 데이터를 판독하는 것이 가능해진다.

지금, 설명한 도 2, 도 3의 레이아웃구조를 참조하여 생각하면, ② 각 콘택홀 CH의 저면을 이루는 반도체기판 내지 기초층100의 표면에서 그 아래쪽에 위치하는 N형 확산층10의 일부분에까지, P형의 에미터층(제 1도전형의 별도의 확산층)을 형성한다고 하면, 상기 N형의 확산층10과 다시 그 아래의 P형의 반도체기판100을 각각 베이스층 및 콜렉터층으로서 사용할 수가 있기 때문에, 이것에 의해서 도 6의 PNP형의 트랜지스터 BTr1, BTr2를 실현할 수 있다. 더구나, ② 도 2의 아직 사용하지 않고 있는 영역 Rβ을, 도 6의 MOS 트랜지스터 MTr 1, MTr 2의 형성용에 이용할 수 있다. 그러기 위해서는, 영역 Rβ바로 아래의 제 3확산층 형성영역을 하나의 N형확산층으로 하지 않고서, 해당 영역을 P형의 기초층을 통해 2개의 N형 확산층으로 분할하면 된다. 따라서, 도 2, 도 3의 레이아웃에 대하여 상기 개량 ①, ②를 실시하는 것 만으로 도 6의 회로 SRAM을 용이하게 실제의 디바이스로서 실현할 수 있다. 즉, 도 6의 회로 SRAM은, 8개의 트랜지스터와 2개의 고저항으로 이루어지고, 이것은 4개의 트랜지스터와 2개의 고저항으로 이루어지는 도 1의 회로 SRAM과 비교하여, 트랜지스터의 사용수가 2배로 되어 있음에도 불구하고, 도 2 도 4의 레이아웃구조를 기본적으로 도 6의 회로용의 레이아웃구조로서도 채용하여, 그것에 상기 수정 ①, ②를 가하는 것 만으로, 셀사이즈 및 배선수·접속구멍수를 전혀 바꾸지 않고, 매우 효율적으로, 도 6에 나타내는 SRAM의 셀을 반도체기판100상 및 반도체기판100내에 레이아웃할 수 있는 것이다. 물론, 실시의 형태 1에서 설명한 레이아웃상의 모든 효과는 여기서도 마찬가지로 얻

을 수 있다.

그와 같은 레이아웃 구조의(도 2의 A-A′선에 관한)종단면도를 도 7에 나타낸다.

도 7중에서, PNP형의 트랜지스터 BTr1의 형성영역부분Rγ을, 도 8에 확대하여 나타낸다. 그 중에서 도 8(a)는, 비교를 하기 위해, 가령 도 13, 도 14에 나타난 종래의 레이아웃기술을 사용하여 도 6의 PNP형 트랜지스터를 실현하려고 했을 경우에 완성되는 구조를 나타내고 있고, 도 8(b)는 본 발명의 적용예이다. 도 8(a), (b)에서, 가령 종래의 레이아웃을 적용하려고 해도, 이 경우에는 인접하는 셀과 해당 셀이 동일한 베이스영역을 겸용하도록 되어버리기 때문에, 근본적으로 도 6의 회로를 실현할 수 없다는 것을 알 수 있을 것이다.

또한, 본 실시의 형태에서는, 제 1MOS 트랜지스터 MTr1의 제 1, 제 2전극층(10)과 그 사이의 채널부분(100)을 합친 전체가, 「제 3확산층 형성영역」에 해당한다. 마찬가지로 「제 6확산층 형성영역」은, 제 2 MOS트랜지스터 MTr2의 제 1, 제 2 전극층(10)과 채널부분(100)을 포함하는 개념이다.

(부기)

본 실시의 형태 1, 2에서는, 도 1 및 도 6의 부하소자를 고저항 R1, R2으로 실현하고 있으나, 이것에 대신해서 부하소자를 MOSFET으로 실현해도 되고, 폴리실리콘층을 더 형성함으로써 박막트랜지스터(TFT)로 상기 부하소자를 형성하도록 해도 된다. 이 경우에는, 고저항R1, R2에 교대하는 고저항부분은, TFT의 채널영역 및 소스/드레인 영역이 된다.

또한 도 6의 회로에서는, N형의 MOS트랜지스터와 PNP형의 트랜지스터를 사용하는 경우의 레이아웃구조로 하고 있지만, 이것 대신에, P형의 MOS트랜지스터와 NPN 형의 트랜지스터의 조합으로 상기 도 6의 회로를 구성하는 경우의 레이아웃구조에도 본 발명을 적용할 수 있다.

(실시의 형태 3)

이하의 각 실시의 형태는, 필드형상의 개량기술에 관한 것이다. 그 밖의 구조에는 개량점은 없다.

실시의 형태 1, 2에서는 필드 FL의 형상으로서, 그 횡단면(비트선방향 D1과 워드선방향 D2을 포함하는 평면으로 반도체 기억장치를 절단했을 때에 생기는 단면을 말한다)형상이 완전한 사각형이 되는 것을 채용하고 있다. 그러나 이 구조는 이념적인 것이고, 실제로는 도 1의 SRAM 회로의 경우, 드라이버 트랜지스터 DTr1, DTr2의 구동력을 높이고, 액세스 트랜지스터 ATr1, ATr2의 구동력을 내려서 β 비를 크게 설정하기 때문에, 드라이버 트랜지스터 DTr1, DTr2의 형성영역에 대응하는 필드 FL의 폭W_D와, 액세스 트랜지스터 ATr 1, ATr 2의 형성영역에 대응하는 필드 FL의 폭 W_A는 W_D > WA의 관계식이 성립하게 된다. 따라서, 이 관계식을 만족시키기 위해서는, 필드 FL의 횡단면형상은 도 9에 나타내는 바와 같은 워드선방향 D2에 약간 구부러진 형상, 즉, 비트선방향 D1에 따라서 그 횡단면형상의 폭이 좁아져 가는 형상이 된다 (반대로 보면, 그것은 폭이 넓어져 가는 형상이라고 할 수 있다).

이에 의해, 트랜지스터의 β 비를 크게 하면서, 상술한 실시의 형태 1의 효과를 모두 발휘시키는 것이 가능해진다.

(실시의 형태 4)

또한, 도 6의 SRAM의 회로의 경우에는, β 비를 특별히 크게 할 필요성은 없어지고, 오히려 PNP형의 트랜지스터 BTr1, BTr2의 콜렉터에미터간 내압을 확보하기 위해서, 콘택홀부와 필드 FL의 벽면의 여유B(도 10)를 충분히 취할 필요가 있다.

그래서, 본 실시의 형태에서는, 필드 FL의 형상을 그 횡단면도가 도 10에 나타내는 것과 같은 구조를 하고 있다. 따라서, W_D < WA가 된다. 이에 의해, 필드여유B를 실용상 필요한 값에까지 확보하여 PNP형 트랜지스터의 콜렉터 에미터간 내압을 확보하면서, 실시의 형태2에서 설명한 효과도 모두 만족시키는 것이 가능해진다.

(실시의 형태 5)

그러나, 도 9, 도 10에 나타내는 바와 같이 필드 FL의 형상을 구성하면, 하나에 해당하는 셀의 크기가 도리어 커져 버린다고 하는 새로운 문제점을 발생시켜 버린다. 그래서, 본 실시의 형태에서는, 예컨대 도 1및 도 4의 회로를 적용하는 경우, 각각 도 11및 도 12의 평면도에 나타내는 바와 같이, 각 필드 FL의 횡단면형상을 ① 비트선방향D1에 선대칭으로 함과 동시에, ② 비트선방향 D1에 대하여 폭W를 단계적으로 작게/크게 형성하여 가는 것으로 하고 있다. 이러한 각 셀내의 필드 FL의 구조는, 도 11, 도 12에 나타난 셀중심점 PS을 가상설정한다면, 해당 중심점PS의 주위에 점대칭으로 배치된 구조라고도 말할 수가 있다.

이러한 구조를 채용함에 의해, 실시의 형태 1과 3, 또는 실시의 형태 2와 4의 효과를 실현시키면서 각 셀의 길이의 증대를 효과적으로 방지하여, 가장 작은 길이의 최적인 셀의 레이아웃구조를 실현하는 것이 가능해진다.

발명의 효과

청구항 1기재의 발명에 의하면, 제 1및 제 2방향으로 동시에 병진적인 배치의 레이아웃구조로 하였기 때문에, 각 셀의 레이아웃을 서로 독립화시킬 수가 있고, 게다가 각 셀의 레이아웃 구조를 모두 공통의 구조로 설정할 수가 있다. 따라서, 제 2방향에만 병진적으로 배치된 종래 기술의 경우와 비교하여 각 셀의 레이아웃구조를 간단화할 수가 있고, 각 셀의 레이아웃중의 배선층 및 접속구멍의 수를 모두 삭감할 수 있게 하기 위한 여지를 각 셀중에 부여할 수가 있다.

청구항 2기재의 발명에 의하면, 각 셀의 레이아웃구조를 점대칭이 되도록 설정하고 있기 때문에, 각 셀의 레이아웃중의 배선층、접속구멍의 수를 모두 삭감할 수 있게 하기 위한 여지 내지 구조를 각 셀중에 제공하여, 프로세스 및 구조를 간단화할 수 있는 가능성을 줄 수 있다.

청구항3기재의 발명에 의하면, 종래와 같이 각 셀이 소자형성영역을 공유한다고 하는 구조를 채용하지 않고, 각 셀마다 독립한 2개의 소자형성영역을 설치하도록 하였기 때문에, 서로 인접한 셀간의 기초표면상 및 기초표면내에 소자형성영역이 형성되어 있지 않은 부분, 이른바 여지부분을 발생시킬 수가 있고, 이 여지부분을 각 셀의 다른 배선층을 위해 이용하는 것을 가능하게 할 수 있다.

(57) 청구의 범위

청구항 1.

제 1도전형의 기초층과, 상기 기초층의 표면상 및 상기 기초층내에, 제 1방향 및 상기 제 1방향에 수직한 제 2방향을 따라서 형성된 복수의 셀을 구비하고,

상기 복수의 셀의 각각은, 동일한 레이아웃이 되도록 상기 제 1방향 및 상기 제 2방향에 병진적으로 배치되어 있는 것을 특징으로 하는 반도체 기억장치의 레이아웃구조.

청구항 2.

제 1 항에 있어서,

상기 복수의 셀 각각의 상기 레이아웃은, 해당 셀의 중심점에서 보아서 점대칭이 되도록 형성되어 있는 것을 특징으로 하는 반도체 기억장치의 레이아웃구조.

청구항 3.

제 2 항에 있어서,

상기 기초층의 상기 표면상에 상기 복수의 셀 각각의 층간 절연막으로서 형성된 절연층과,

상기 층간 절연막상에 상기 제 1방향을 따라서 서로 대치하도록 형성된, 상기 제 1방향상에 일렬로 배치되어 있는 상기 복수의 셀에 공통인 제 1및 제 2비트선 배선층을 더 구비하고,

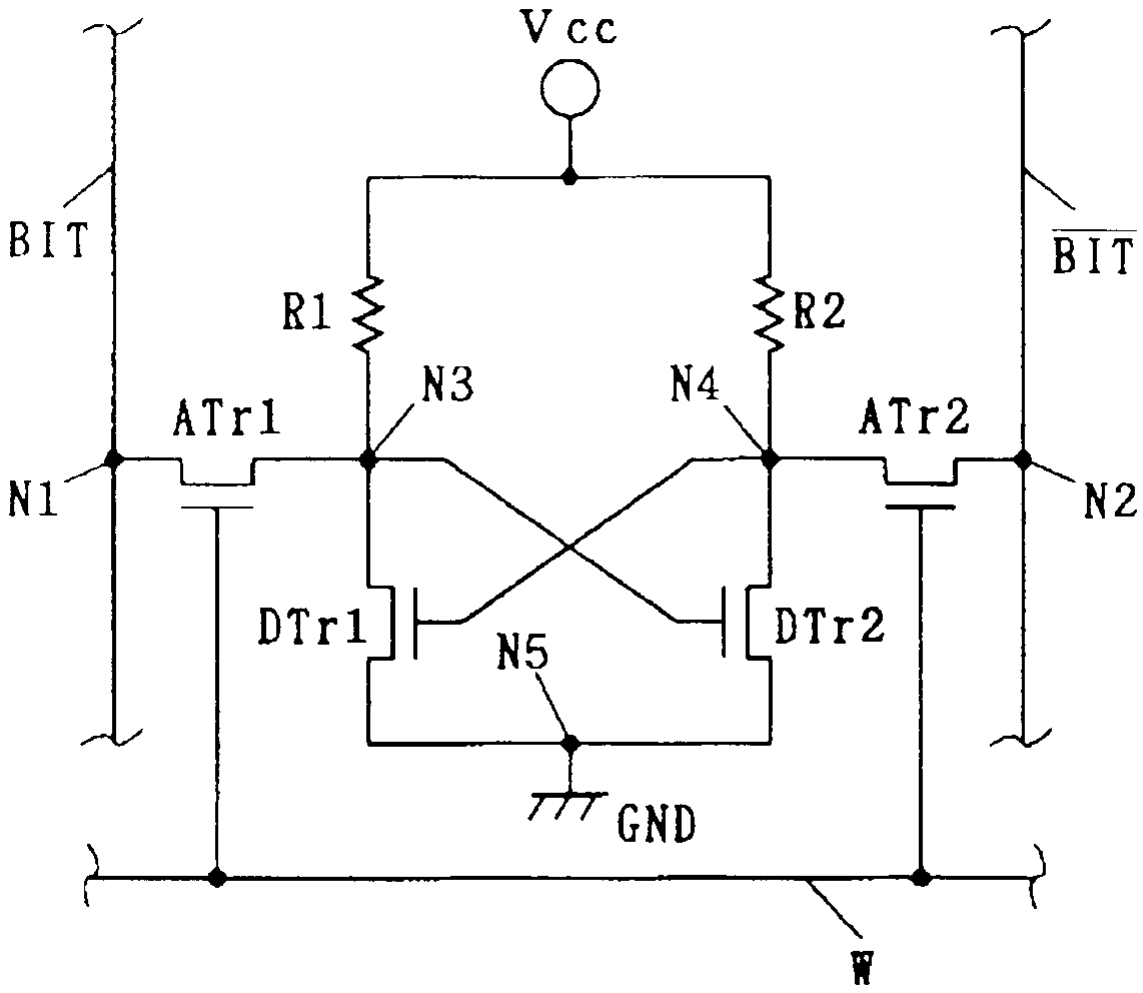
상기 복수의 셀의 각각은,

상기 기초층의 상기 표면상 및 상기 기초층의 안쪽이고, 상기 제 1비트선 배선층의 바로 아래에 위치하는 해당 셀이 형성되는 셀프레임 내에만, 상기 제 1방향을 따라서 형성된 제 1소자형성영역과,

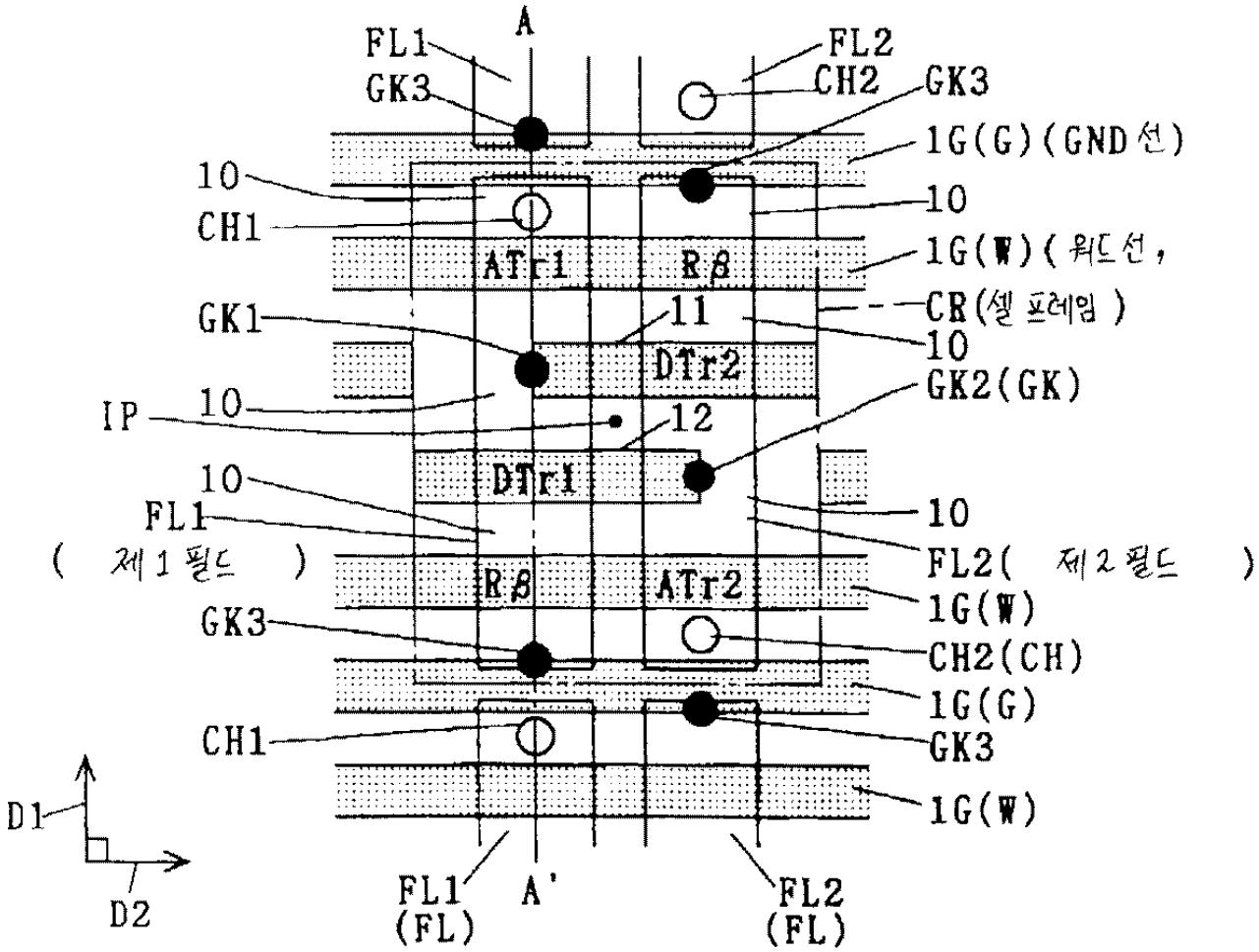
상기 기초층의 상기 표면상 및 상기 기초층의 안쪽이고, 상기 제 2비트선 배선층의 바로 아래에 위치하는 해당 셀이 형성되는 셀프레임 내에만, 상기 제 1방향을 따라서상기 제 1소자형성영역에 대치하도록 형성된 제 2소자형성영역을 구비하는 것을 특징으로 하는 반도체 기억장치의 레이아웃구조.

도면

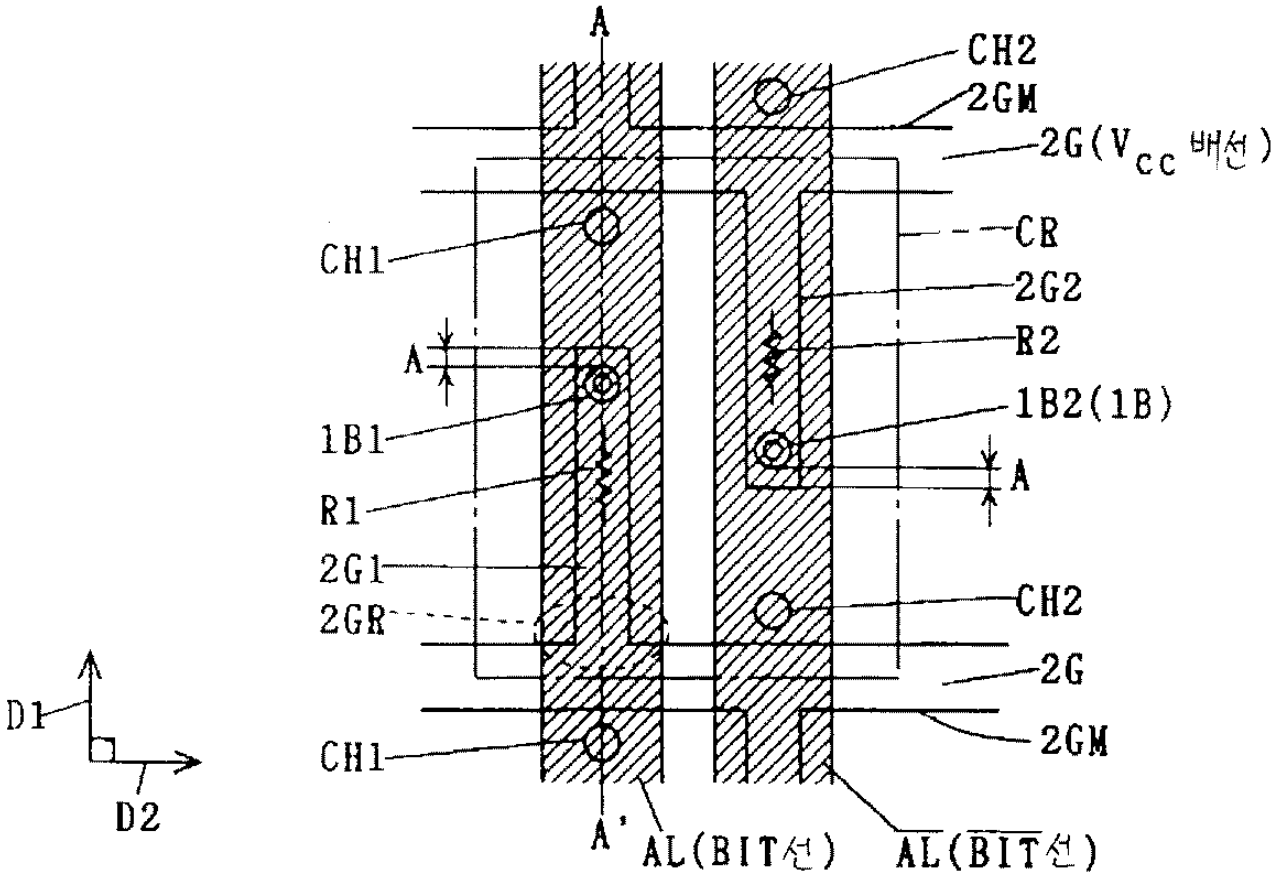
도면 1



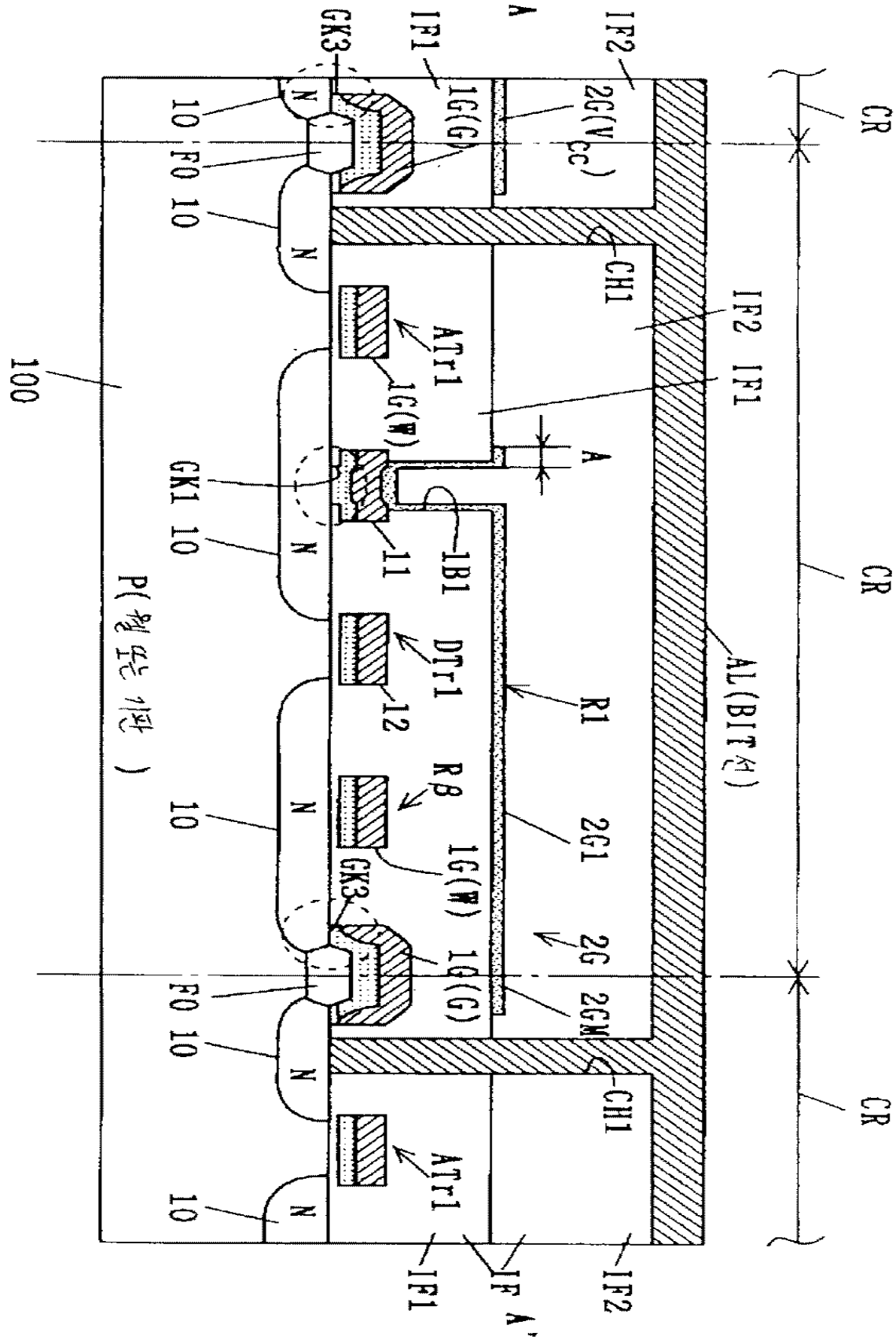
도면 2


A
FL1
GK3
FL2
CH2
GK3
1G(G)(GND선)
10
CH1
10
ATr1
Rβ
1G(W)(워드선,
GK1
11
CR(셀 프레임)
10
DTr2
IP
10
12
GK2(GK)
DTr1
10
FL1
(제1필드)
10
FL2(제2필드)
Rβ
ATr2
1G(W)
GK3
CH2(CH)
1G(G)
CH1
GK3
1G(W)
D1
D2
FL1
(FL)
A'
FL2
(FL)

도면 3

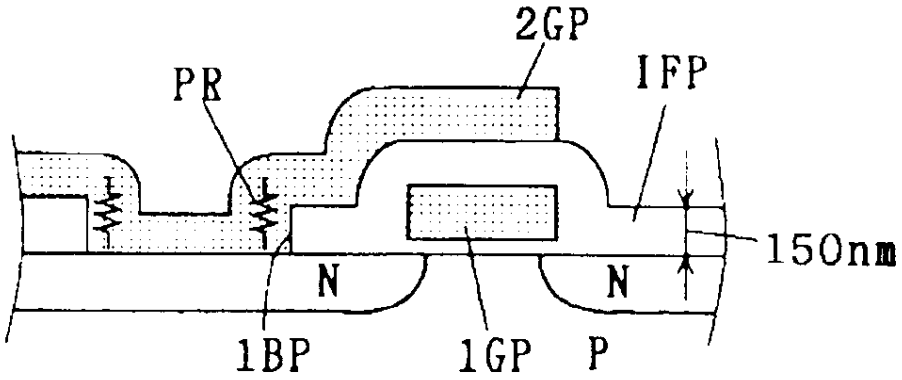

A
CH2
2GM
2G(Vcc 배선)
CR
2G2
R2
1B2(1B)
A
CH2
2G
2GM
AL(BIT선)
AL(BIT선)
A'
CH1
2GR
2G1
R1
1B1
A
CH1
D1
D2

도면 4

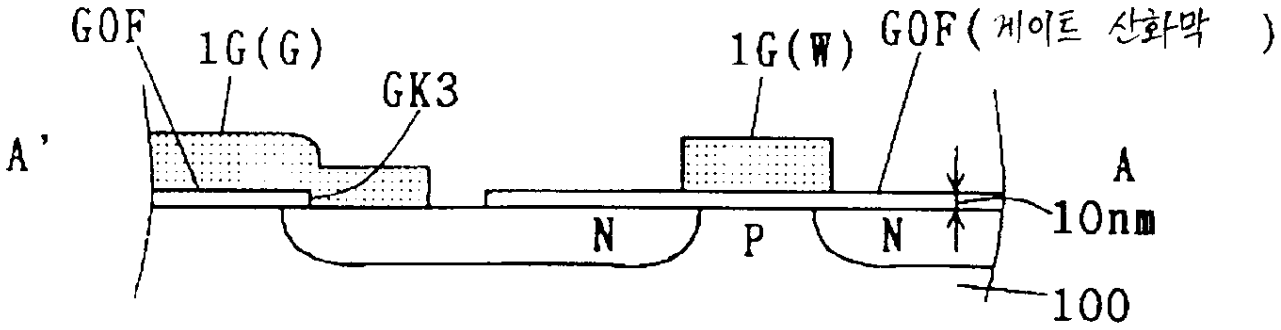

GK3
IF1
A
IF2
CR
10
FO
1G(G)
2G(Vcc)
CH1
ATr1
1G(W)
100
GK1
11
1B1
DTr1
12
R1
AL(BIT선)
Rβ
2G1
2G
2GM
P(웰 또는 기판)
N
IF A'

도면 5

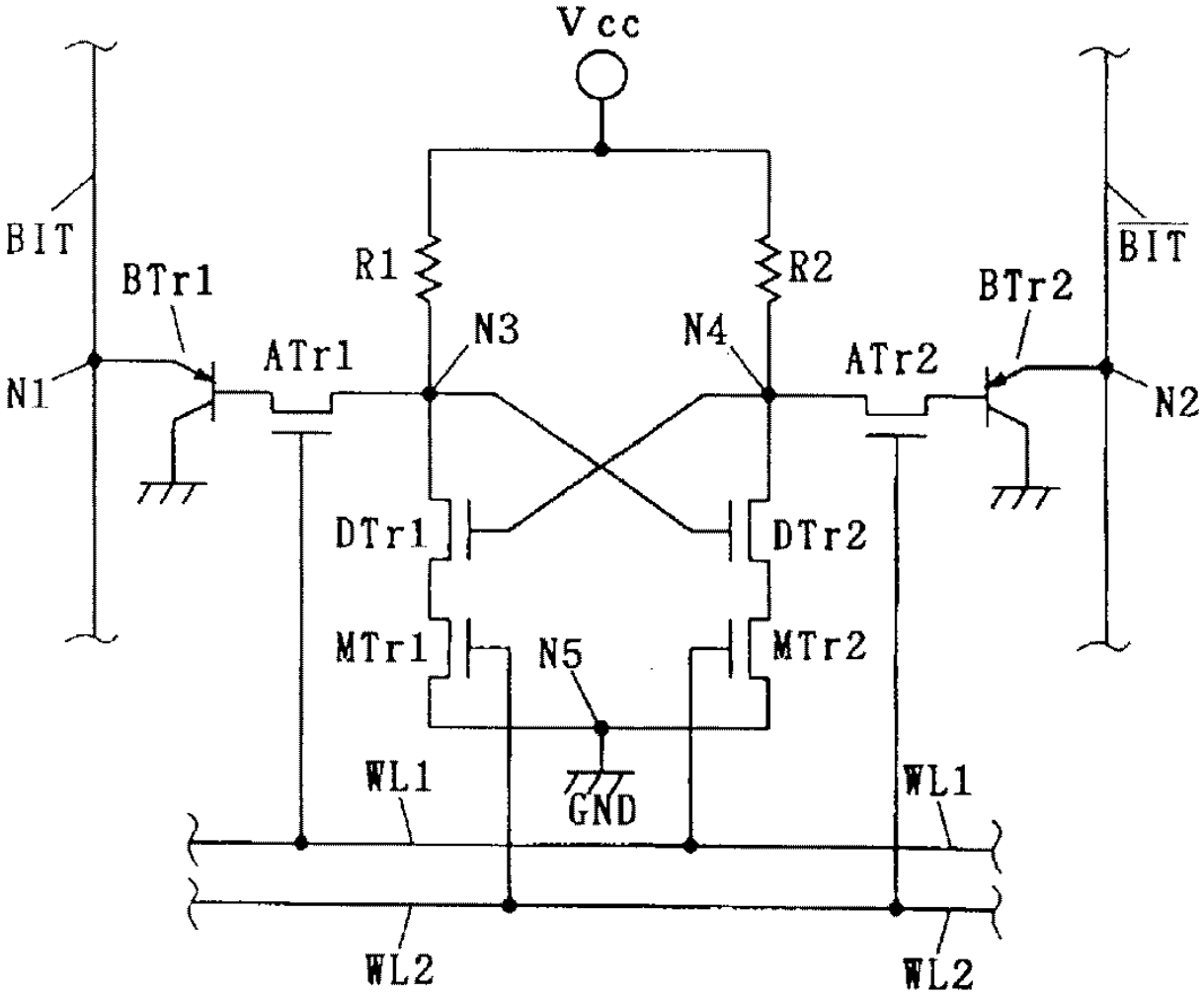
(a) 종래 기술



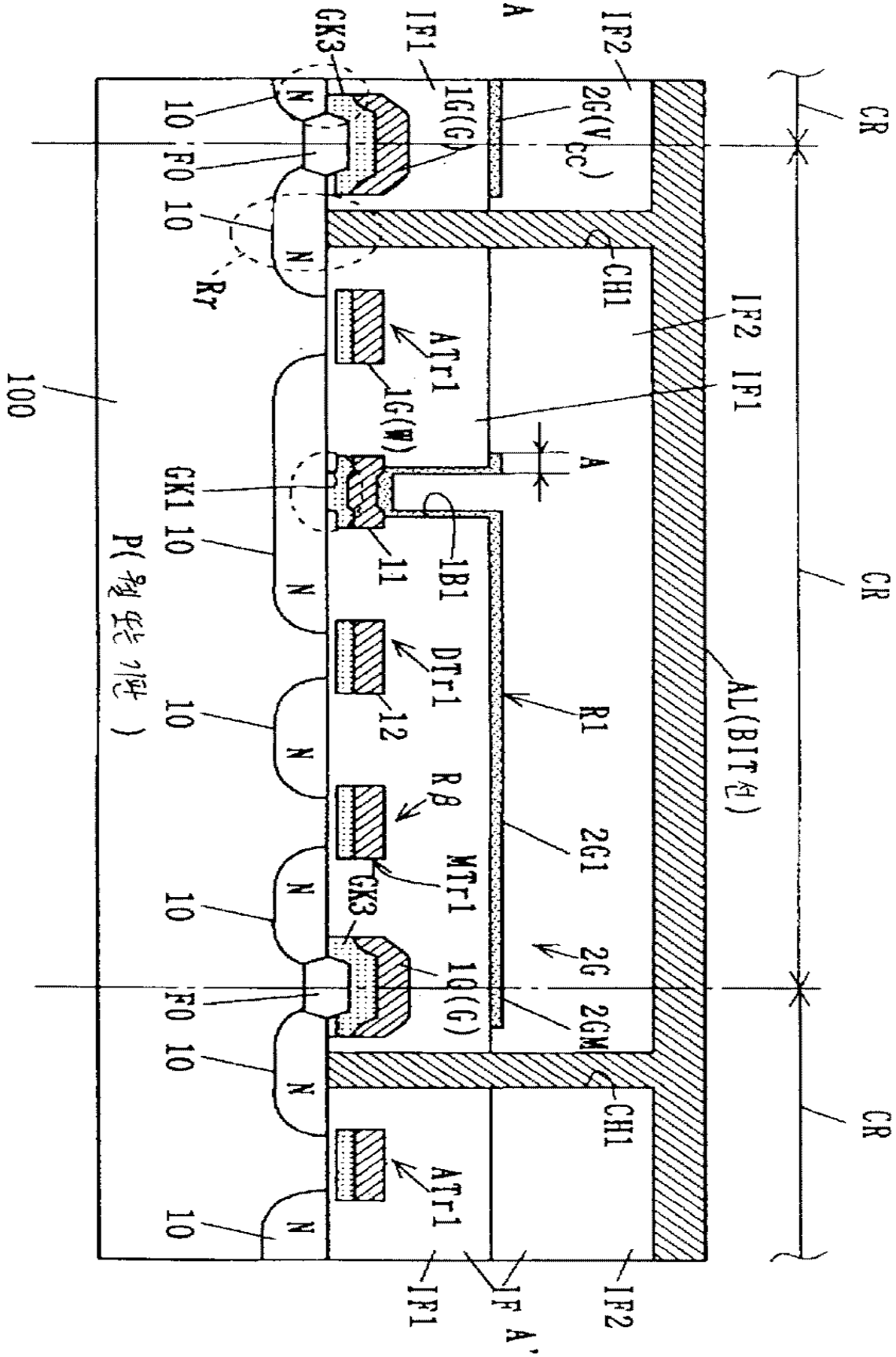
(b) 본 발명



도면 6

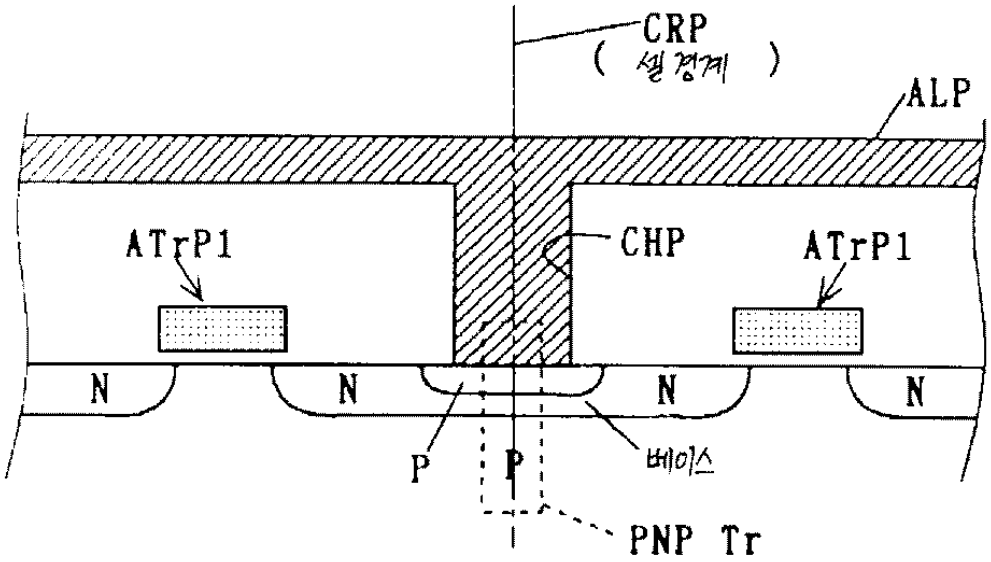

Vcc
BIT
BTr1
R1
R2
BTr2
$\overline{BIT}$
N1
ATr1
N3
N4
ATr2
N2
DTr1
DTr2
MTr1
N5
MTr2
WL1
GND
WL1
WL2
WL2

도면 7

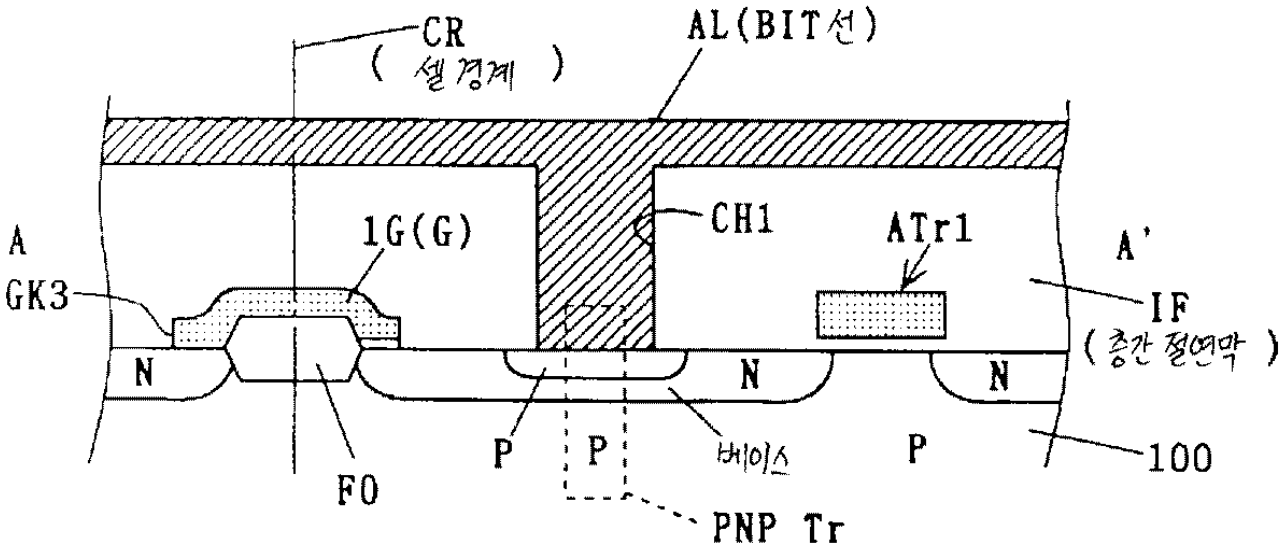

A
IF2
IF1
GK3
2G(Vcc)
1G(G)
CR
10
FO
10
Rr
CH1
IF2
IF1
ATr1
1G(W)
100
A
GK1
10
11
1B1
P(월 또는 기판)
DTr1
12
R1
AL(BIT선)
Rβ
MTr1
2G1
GK3
2G
1G(G)
2GM
CH1
ATr1
IF1
IF
IF2
A'

도면 8

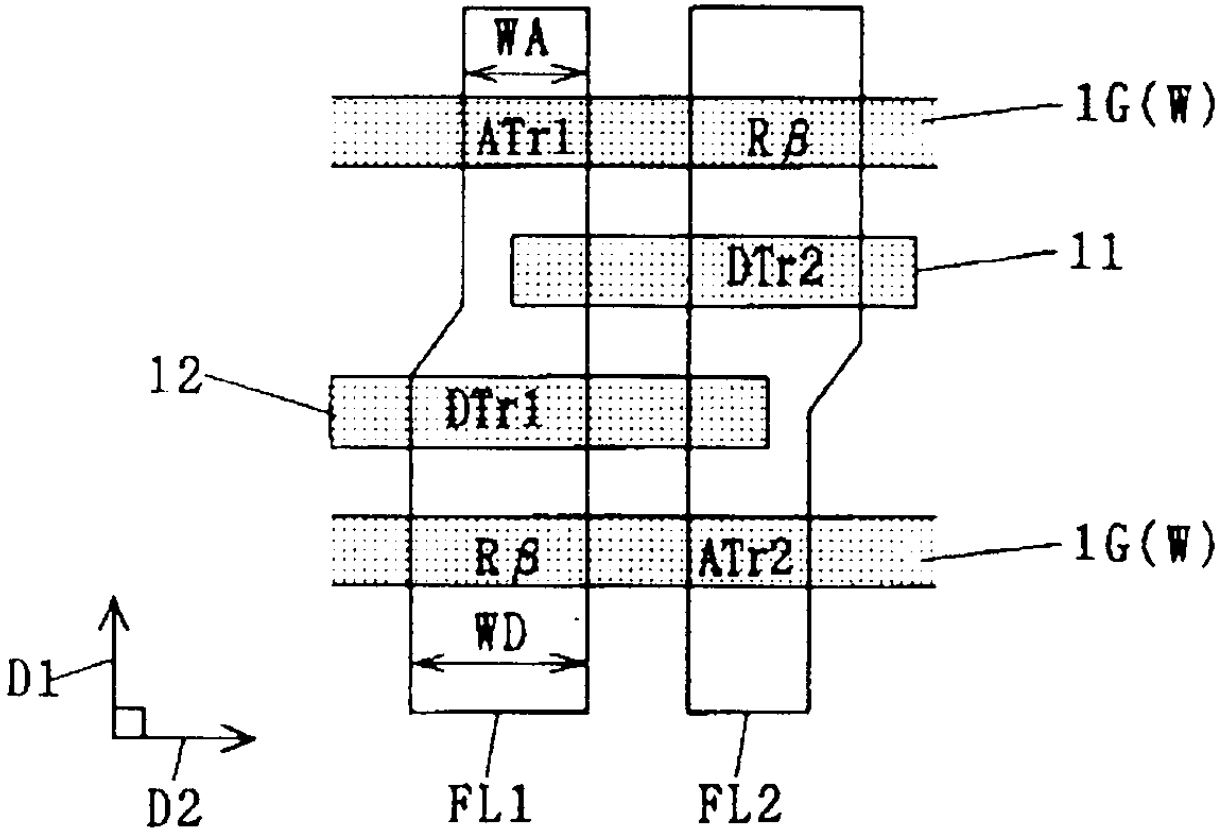
(a) 종래 기술



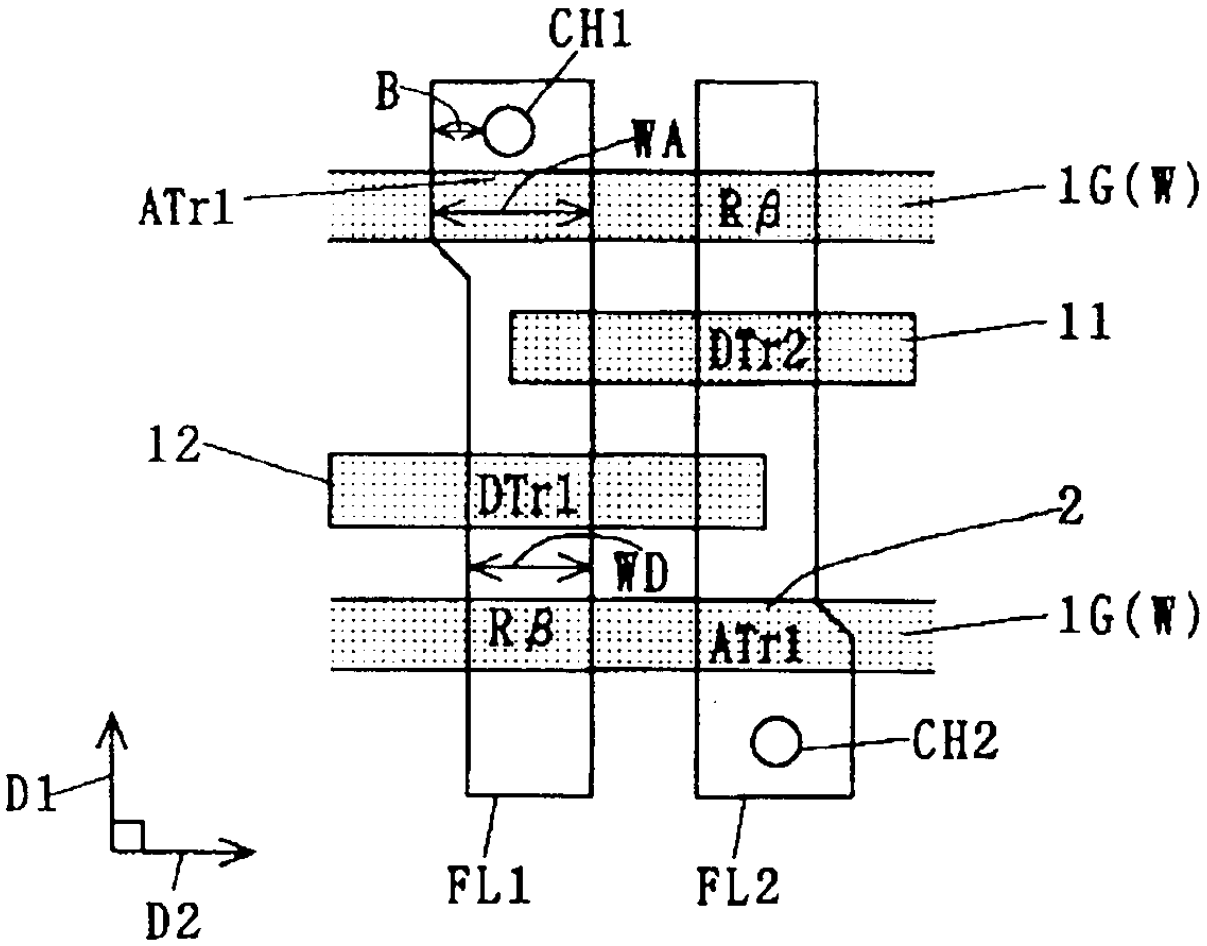
(b) 본 발명



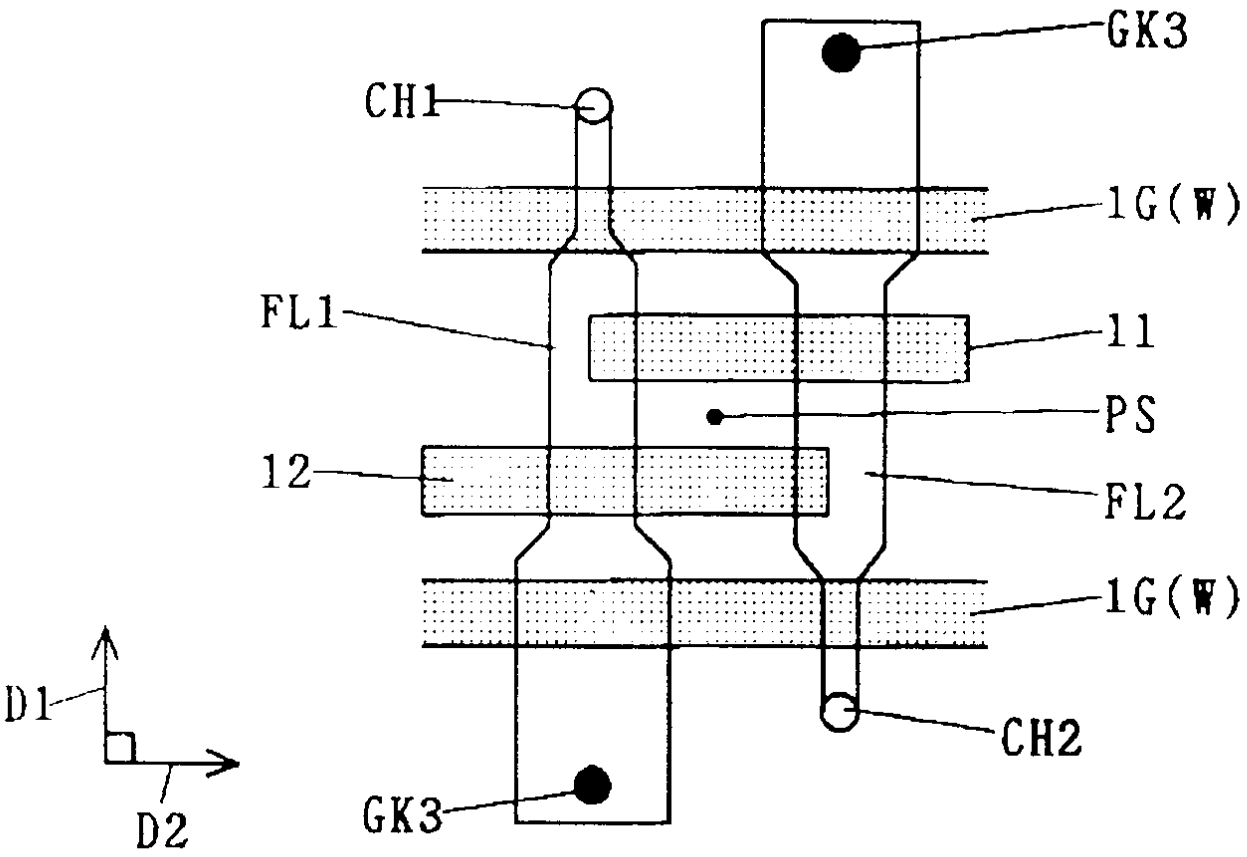
도면 9



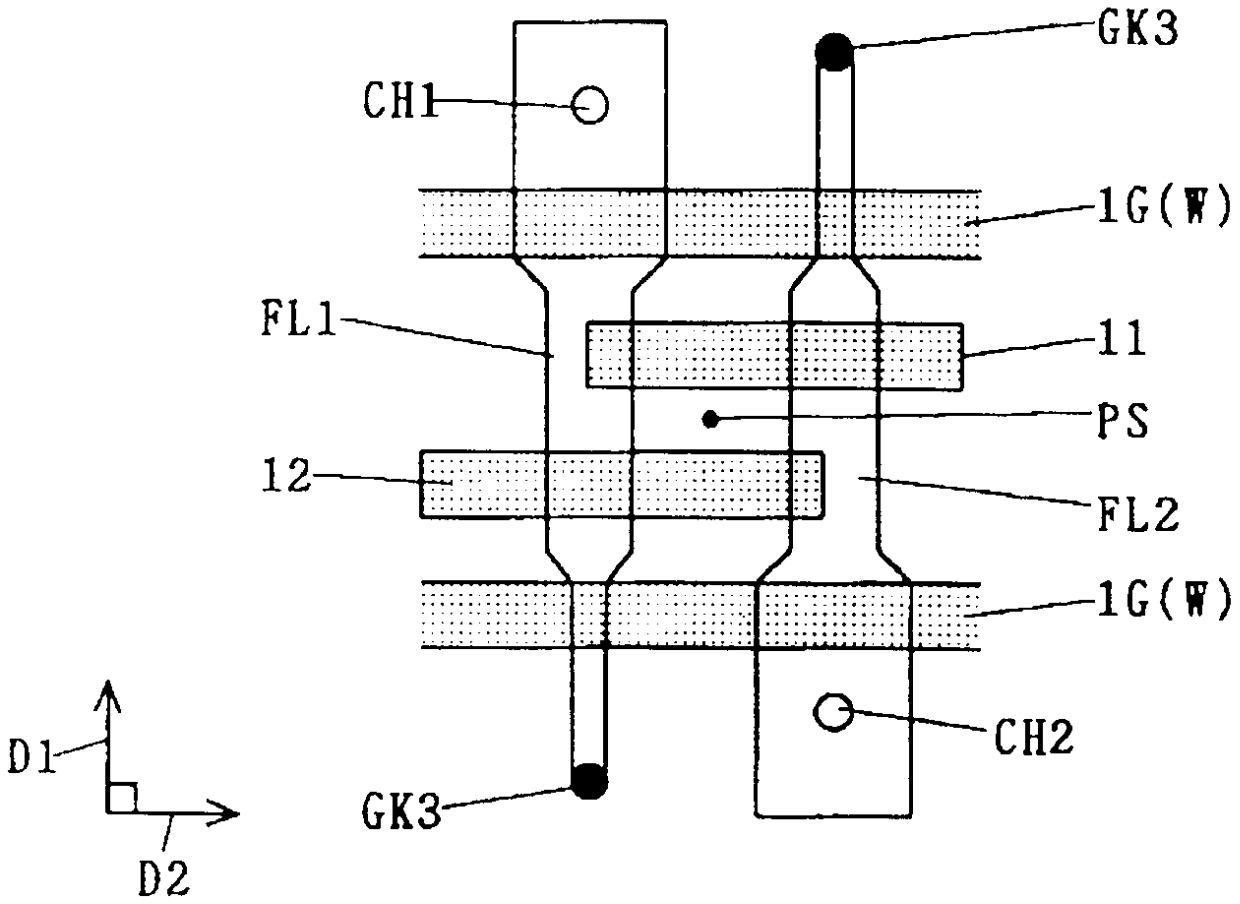
도면 10


CH1
B
WA
ATr1
1G(W)
Rβ
11
DTr2
12
DTr1
2
WD
Rβ
ATr1
1G(W)
CH2
D1
D2
FL1
FL2

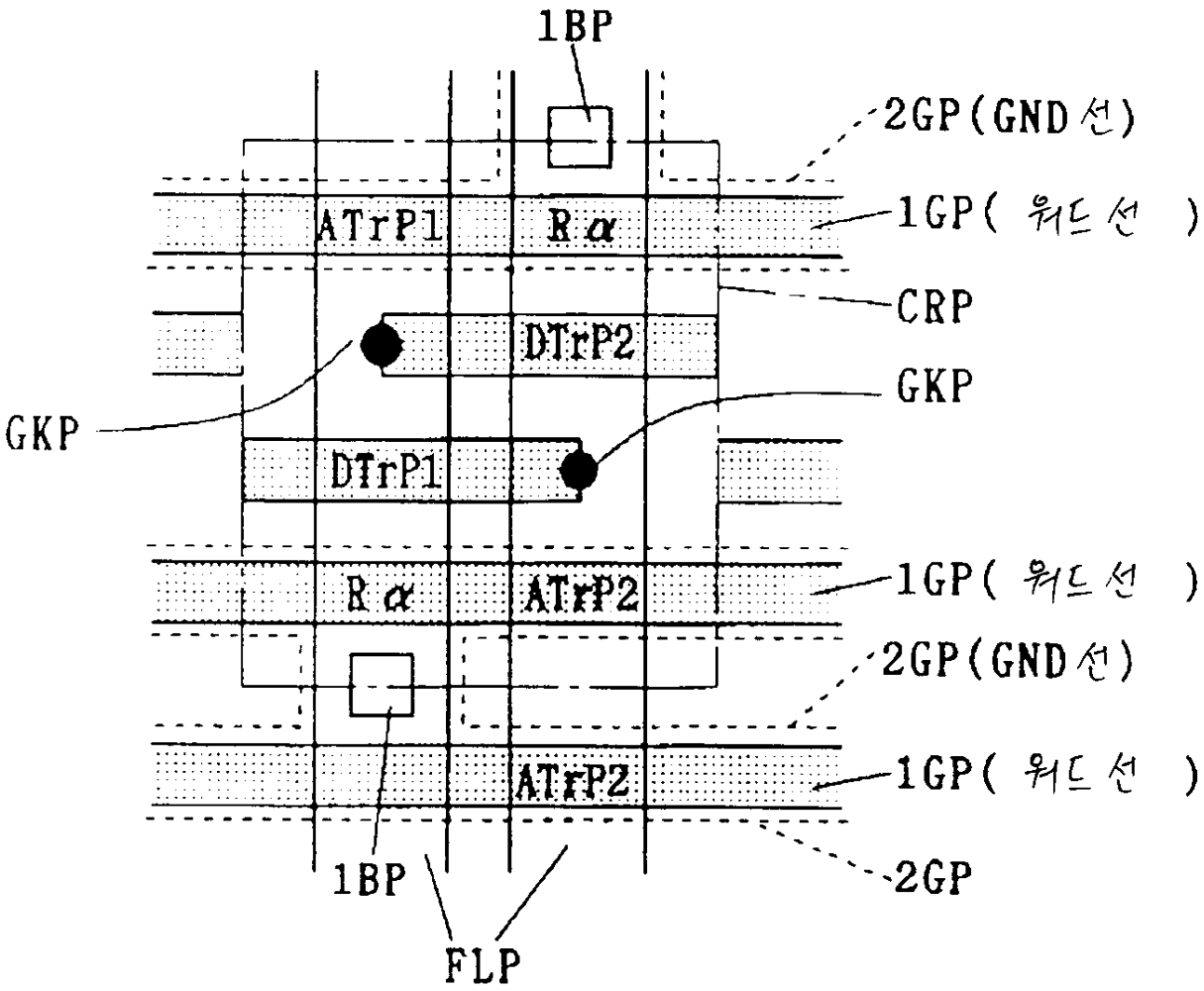
도면 11



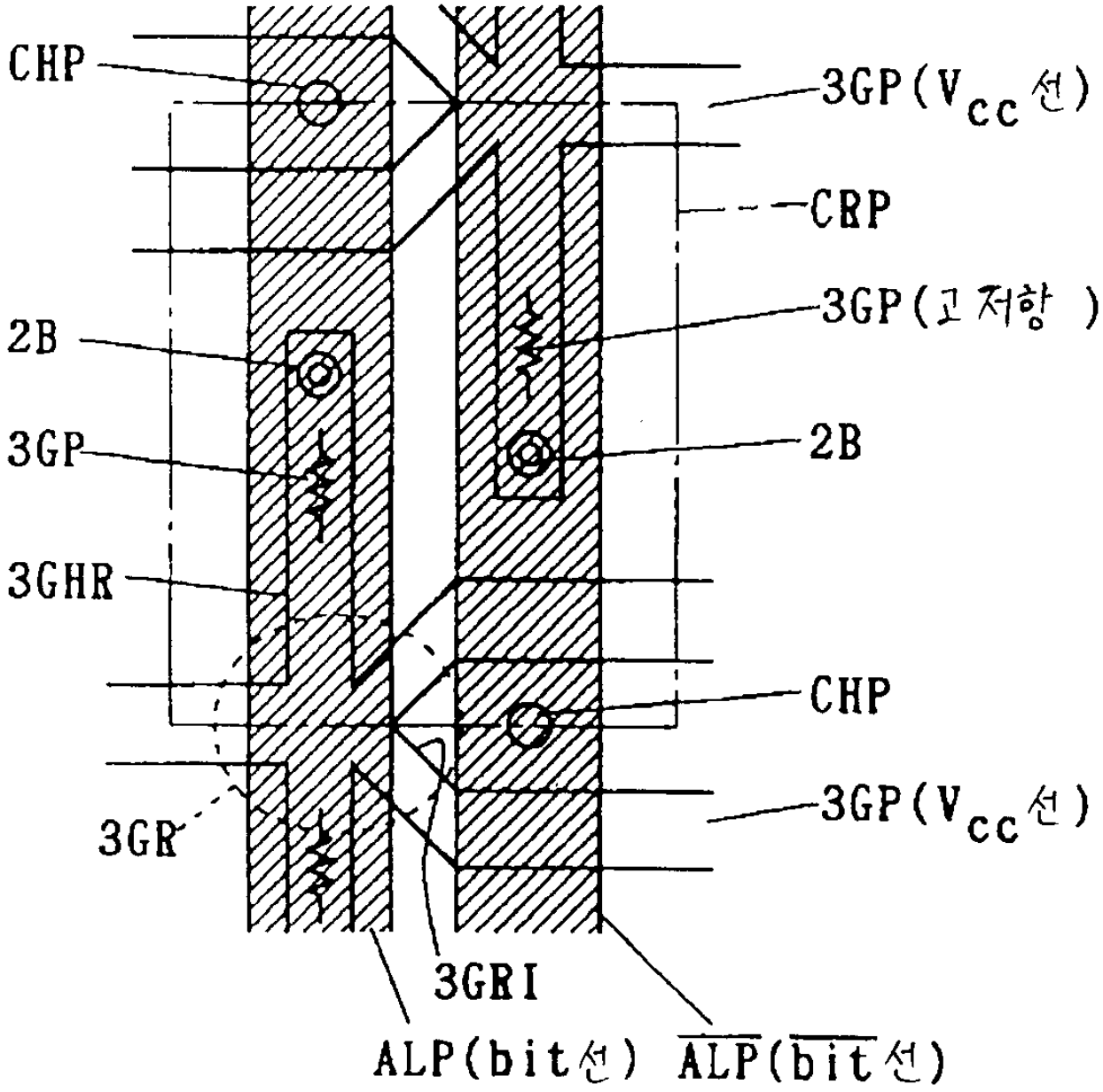
도면 12



도면 13

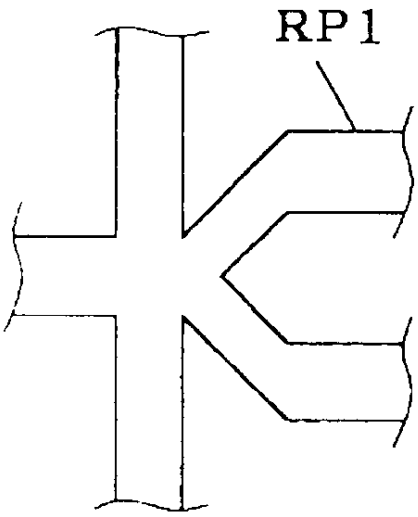

1BP
2GP(GND선)
1GP(워드선)
ATrP1
Rα
CRP
DTrP2
GKP
GKP
DTrP1
1GP(워드선)
Rα
ATrP2
2GP(GND선)
ATrP2
1GP(워드선)
2GP
1BP
FLP

도면 14

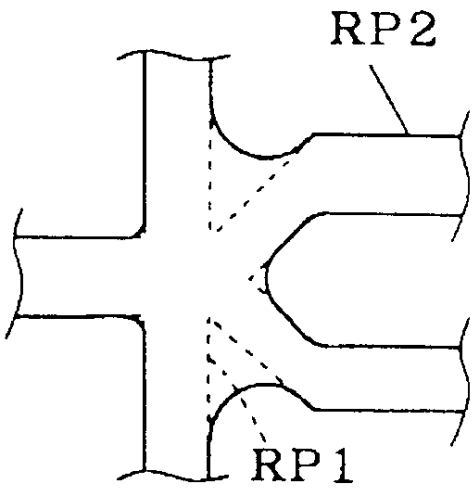

CHP
3GP(Vcc선)
CRP
3GP(고저항)
2B
3GP
2B
3GHR
CHP
3GP(Vcc선)
3GR
3GRI
ALP(bit선)
ALP(bit선)

도면 15

(a) < 레이 아웃 >



(b) < 레지스트 >



도면 16

