



# (12) 发明专利

(10) 授权公告号 CN 112368583 B

(45) 授权公告日 2025. 01. 28

(21) 申请号 201980043080.X

(22) 申请日 2019.06.26

(65) 同一申请的已公布的文献号  
申请公布号 CN 112368583 A

(43) 申请公布日 2021.02.12

(30) 优先权数据  
1855757 2018.06.27 FR

(85) PCT国际申请进入国家阶段日  
2020.12.25

(86) PCT国际申请的申请数据  
PCT/EP2019/067098 2019.06.26

(87) PCT国际申请的公布数据  
W02020/002484 FR 2020.01.02

(73) 专利权人 赛峰电子与防务公司  
地址 法国巴黎

(72) 发明人 P·舍唐尼奥 F·吉约

(74) 专利代理机构 上海专利商标事务所有限公司 31100  
专利代理师 蔡悦 陈斌

(51) Int.Cl.  
G01R 15/18 (2006.01)

(56) 对比文件  
CN 101646300 A, 2010.02.10  
CN 112335005 A, 2021.02.05  
CN 116868065 A, 2023.10.10

审查员 石敏

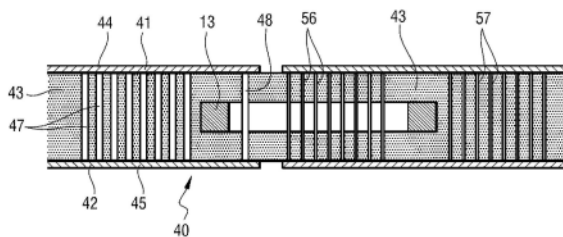
权利要求书1页 说明书8页 附图4页

## (54) 发明名称

包含分流桥的印刷电路板

## (57) 摘要

一种印刷电路板,包括:第一迹线(44)、第二迹线(45)、以及位于第一迹线与第二迹线之间的至少一个绝缘层(43),该印刷电路板进一步包括具有至少一个第一金属化孔(47)的第一贯通组装件以及具有至少一个第二金属化孔(48)的第二贯通组装件,每个第一金属化孔和每个第二金属化孔通过穿过绝缘层来连接第一迹线和第二迹线,第一贯通组装件和第二贯通组装件分别形成分流桥的第一分支和第二分支。



1. 一种印刷电路,包括:第一迹线(44)、第二迹线(45)、以及在所述第一迹线与所述第二迹线之间延伸的至少一个绝缘层(43),所述印刷电路进一步包括具有至少一个第一电镀通孔(47)的第一贯通组装件以及具有至少一个第二电镀通孔(48)的第二贯通组装件,每个第一电镀通孔和每个第二电镀通孔通过延伸穿过所述绝缘层来将所述第一迹线和所述第二迹线连接在一起,所述第一贯通组装件和所述第二贯通组装件分别形成分流桥(53)的第一分支(51)和第二分支(52),所述印刷电路进一步包括测量装置,所述测量装置被布置成:测量在所述第二分支(52)中流动的待测量电流( $I_m$ ),所述测量装置被用于基于所述待测量电流来估计在所述第一迹线(44)和所述第二迹线(45)中流动的主电流( $I_p$ )。

2. 如权利要求1所述的印刷电路,其特征在于,所述第一迹线和所述第二迹线中的每一者在所述印刷电路(40)的各个相对面上延伸。

3. 如权利要求1所述的印刷电路,其特征在于,所述至少一个第一电镀通孔(47)和所述至少一个第二电镀通孔(48)具有相同的第一直径。

4. 如权利要求3所述的印刷电路,其特征在于,所述测量装置包括变压器(12),所述第二贯通组装件形成所述变压器(12)的初级绕组的一部分。

5. 如权利要求4所述的印刷电路,其特征在于,进一步包括第三贯通组装件,所述第三贯通组装件具有延伸穿过所述绝缘层(43)的至少一个第三电镀通孔(56),所述第三贯通组装件形成所述变压器的次级绕组的第一部分。

6. 如权利要求5所述的印刷电路,其特征在于,进一步包括第四贯通组装件,所述第四贯通组装件具有延伸穿过所述绝缘层(43)的至少一个第四电镀通孔(57),所述第四贯通组装件形成所述变压器的所述次级绕组的第二部分。

7. 如权利要求6所述的印刷电路,其特征在于,所述至少一个第三电镀通孔和所述至少一个第四电镀通孔具有小于所述第一直径的相同第二直径。

8. 如权利要求7所述的印刷电路,其特征在于,所述变压器包括沿所述印刷电路(40)的厚度延伸的磁芯(13)。

9. 如权利要求8所述的印刷电路,其特征在于,所述磁芯包括在所述第三贯通组装件与所述第四贯通组装件之间延伸的次级磁芯部分(61)。

10. 一种磁通门电流传感器,包括如任一前述权利要求所述的印刷电路。

## 包含分流桥的印刷电路板

[0001] 本发明涉及包含分流桥的印刷电路的领域。

[0002] 发明背景

[0003] 磁通门电流传感器利用形成磁芯的磁性材料的属性,藉此该磁芯从某个磁激励电平饱和。参照图1,对于增大的磁场H,磁场H与磁通密度B之间的传递函数的斜率从磁芯的所谓“饱和”值大幅下降。在图1中,饱和值对应于范围 $\Delta H$ 和 $\Delta B$ 。

[0004] 参照图2和3,在用于测量在导体中流动的电流 $I_m$ 的常规磁通门电流传感器1中,方波信号发生器2向绕磁芯4缠绕的激励绕组3的端子施加方波激励电压 $V_{ex}$ 。在激励绕组3中流动的激励电流 $I_{ex}$ 由测量模块5测量。连接到测量模块5的峰值检测器6提供两项信息:饱和电平以及激励电流 $I_{ex}$ 的各峰值电流之间的差值。饱和电平用以对激励电压 $V_{ex}$ 的振幅进行伺服控制。激励电流 $I_{ex}$ 的各峰值电流之间的差值用以估计待测量电流 $I_m$ ,并且该差值经由电压至电流转换器7起作用以对退磁电流的振幅进行伺服控制,该退磁电流在退磁绕组8中流动并且用以补偿由待测量电流 $I_m$ 在磁芯4中产生的磁通量。

[0005] 磁通门电流传感器在某些应用中是优选的。这特别适用于测量在用户装备的固态功率控制器(SSPC)型的截止构件中流动的电流,或者适用于测量在连接到电机一相的功率电子模块(PEM)型的能量转换器构件中流动的电流。当待测量电流 $I_m$ 较大时,出现主要困难。

[0006] 用以补偿由待测量电流 $I_m$ 在磁芯4中产生的磁通量的退磁电流必须也非常大。退磁电流的值必须等于待测量电流 $I_m$ 的值除以变压器的变压比,该变压器将待测量电流 $I_m$ 在其中流动的导体作为其初级绕组并将退磁绕组8作为其次级绕组。

[0007] 然而,退磁绕组8的匝数受到其大小和所产生电感的限制。电感越大,退磁电流的变化率就越受限,并且由此磁通门电流传感器1的带宽就越受限。由此,增加退磁绕组8的匝数不构成相关解决方案。

[0008] 直接增加所生成的退磁电流也不构成相关解决方案。具体而言,该增加将需要产生非常大的退磁电压,这难以使用标准组件来实现。

[0009] 发明目的

[0010] 本发明的目的是为了解决上述问题。

[0011] 发明概述

[0012] 为了实现该目的,提供了一种印刷电路,包括:第一迹线、第二迹线、以及在第一迹线与第二迹线之间延伸的至少一个绝缘层,该印刷电路进一步包括具有至少一个第一电镀通孔的第一贯通组装件以及具有至少一个第二电镀通孔的第二贯通组装件,每个第一电镀通孔和每个第二电镀通孔通过延伸穿过绝缘层来将第一迹线和第二迹线连接在一起,第一贯通组装件和第二贯通组装件分别形成分流桥的第一分支和第二分支。

[0013] 在印刷电路(诸如本发明的印刷电路)中,第一电镀通孔和第二电镀通孔的电特性优选地是可再现的。由此,非常准确地知晓分流桥的第一分支的电阻与第二分支的电阻之间的比率。

[0014] 作为示例,分流桥由此使得能够减小期望测量的主电流,以获得相对于主电流按

照准确已知的比率减小的待测量电流。由此基于对减小的待测量电流的测量来估计主电流。

[0015] 由此,通过在磁通门电流传感器中纳入分流桥,减小了待测量电流,从而减小为了补偿由所述待测量电流在磁通门电流传感器的磁芯中产生的磁通量而需要的退磁电流。

[0016] 还提供了一种包括如上所述的印刷电路的磁通门电流传感器。

[0017] 本发明可以鉴于以下对本发明的特定非限定性实施例的描述而被更好地理解。

[0018] 附图简述

[0019] 参照附图,在附图中:

[0020] • 图1绘制了磁场与磁通密度之间的传递函数的曲线;

[0021] • 图2示出了现有的磁通门电流传感器;

[0022] • 图3示出了激励现有磁通门电流传感器的磁芯的激励电压的曲线和激励电流的曲线;

[0023] • 图4示出了新颖的磁通门电流传感器;

[0024] • 图5示出了被纳入本发明的印刷电路中并用于测量待测量电流的分流桥。

[0025] • 图6是纳入分流桥的本发明的印刷电路的剖面视图;以及

[0026] • 图7是与图6的视图类似、但从上方观看的视图。

[0027] 本发明的详细描述

[0028] 参照图4,在该示例中使用磁通门电流传感器10来测量待测量且在导体11中流动的电流 $I_m$ 。

[0029] 磁通门电流传感器10包括变压器12,该变压器12包括磁芯13、初级绕组和次级绕组。初级绕组是导体11。磁芯13围绕导体11延伸。次级绕组是绕磁芯13缠绕的测量绕组14。

[0030] 磁通门电流传感器10包括形成数字部分15和模拟部分16的多个电子组件。

[0031] 数字部分15包括数字处理器组件,该数字处理器组件特别是现场可编程门阵列(FPGA),但它可以是某种其他组件:微控制器、处理器专用集成电路(ASIC)等等。

[0032] 磁通门电流传感器10进一步包括获取电路17。获取电路17形成模拟部分16的一部分。

[0033] 获取电路17连接到测量绕组14。

[0034] 获取电路17包括高通滤波器19和连接到高通滤波器19的输出的模数转换器(ADC)20。

[0035] 在该示例中,ADC 20是12位转换器,该转换器的操作以频率 $F_{ech}$ 进行时钟控制。在该示例中, $F_{ech}=100$ 兆赫兹(MHz)。ADC 20自然地可以呈现不同的特性。

[0036] 获取电路17从测量绕组14的端子获取模拟测量电压 $V_e$ 。测量电压 $V_e$ 被用作高通滤波器19的输入。

[0037] 所产生的电压被用作ADC 20的输入,该ADC 20产生数字测量信号 $S_m$ 。磁通门电流传感器10包括高频发生器22。高频发生器22被纳入FPGA中(其中术语“被纳入”可以用以下任何术语来代替:被编程、被实现、被提供等等)。

[0038] 高频发生器22产生频率 $f_0$ 的数字参考信号、频率 $2f_0$ 的数字参考信号、以及频率 $3f_0$ 的数字参考信号。

[0039] 在该示例中,频率 $f_0$ 的数字参考信号具有以下形式:

[0040]  $S1r = \sin(\omega 0t)$ 。

[0041] 在该示例中,频率 $2f_0$ 的数字参考信号具有以下形式:

[0042]  $S2r = \cos(2\omega 0t)$ 。

[0043] 在该示例中,频率 $3f_0$ 的数字参考信号具有以下形式:

[0044]  $S3r = \sin(3\omega 0t)$ 。

[0045] 磁通门电流传感器10进一步包括激励电路23。激励电路23在FPGA中实现。

[0046] 激励电路23连接到高频发生器22。

[0047] 激励电路23包括原始激励电路24和激励伺服控制电路25。

[0048] 原始激励电路24接收频率 $f_0$ 的数字参考信号和频率 $3f_0$ 的数字参考信号,并且原始激励电路24从这些信号产生频率 $f_0$ 的部分数字激励信号和频率 $3f_0$ 的部分数字激励信号。

[0049] 在该示例中,频率 $f_0$ 的部分数字激励信号具有以下形式:

[0050]  $S1p = k1 \cdot \sin(\omega 0t)$ 。

[0051] 在该示例中,频率 $3f_0$ 的部分数字激励信号具有以下形式:

[0052]  $S3p = k2 \cdot \sin(3\omega 0t)$ 。原始激励电路24将频率 $f_0$ 的部分数字激励信号和频率 $3f_0$ 的部分数字激励信号相加在一起以生成原始数字激励信号。原始数字激励信号具有以下形式:

[0053]  $Seb = S1p + S3p = k1 \cdot \sin(\omega 0t) + k2 \cdot \sin(3\omega 0t)$ 。

[0054] 激励伺服控制电路25连接到高频发生器22。

[0055] 激励伺服控制电路25接收频率 $3f_0$ 的数字参考信号,并且激励伺服控制电路25从该频率 $3f_0$ 的数字参考信号产生频率 $3f_0$ 的数字解调信号。

[0056] 在该示例中,频率 $3f_0$ 的数字解调信号具有以下形式:

[0057]  $S3d = k3 \cdot \sin(3\omega 0t)$ 。

[0058] 激励伺服控制电路25包括第一乘法器27、第二乘法器28、积分器29、以及第一放大器30。第一放大器30连接到积分器29的输出。

[0059] 第一乘法器27将数字测量信号 $S_m$ 乘以频率 $3f_0$ 的数字解调信号。所产生的信号被用作积分器29的输入。

[0060] 应当观察到,第一乘法器27和积分器29充当第一同步解调器。

[0061] 第一放大器30由此产生数字误差信号。第二乘法器28将原始数字激励信号 $Seb$ 乘以数字误差信号以获得数字激励信号。数字激励信号具有以下形式:

[0062]  $Se = k0 \cdot (k1 \cdot \sin(\omega 0t) + k2 \cdot \sin(3\omega 0t))$ 。

[0063] 磁通门电流传感器10进一步包括退磁伺服控制电路32。退磁伺服控制电路32被纳入FPGA中。

[0064] 退磁伺服控制电路32连接到高频发生器22。

[0065] 退磁伺服控制电路32接收频率 $2f_0$ 的数字参考信号,并且退磁伺服控制电路32从该频率 $2f_0$ 的数字参考信号产生频率 $2f_0$ 的数字解调信号。

[0066] 在该示例中,频率 $2f_0$ 的数字解调信号具有以下形式:

[0067]  $S2d = k4 \cdot \cos(2\omega 0t)$ 。

[0068] 退磁伺服控制电路32包括第三乘法器33、低通滤波器34、以及第二放大器35。第二

放大器35连接到低通滤波器34的输出。

[0069] 第三乘法器33将数字测量信号 $S_m$ 乘以频率 $2f_0$ 的数字解调信号。所产生的信号被用作低通滤波器34的输入。第二放大器35由此产生作为待测量电流 $I_m$ 的数字镜像的信号,该信号也是数字退磁信号 $S_{dm}$ 。数字镜像信号或数字退磁信号 $S_{dm}$ 具有以下形式:

[0070]  $S_{dm} = k \cdot I_m$ 。

[0071] 应当观察到,第三乘法器33和低通滤波器34充当第二同步解调器。

[0072] 磁通门电流传感器10进一步包括求和电路36。求和电路36在FPGA中实现。

[0073] 求和电路36对数字激励信号 $S_e$ 和数字退磁信号 $S_{dm}$ 进行求和以获得数字注入信号 $S_i$ 。这给出:

[0074]  $S_i = k_0 \cdot (k_1 \cdot \sin(\omega_0 t) + k_2 \cdot \sin(3\omega_0 t)) + k \cdot I_m$ 。

[0075] 磁通门电流传感器10进一步包括注入电路37。注入电路37形成模拟部分16的一部分。

[0076] 注入电路37连接到求和电路36和测量绕组14。

[0077] 注入电路37包括数模转换器(DAC)38。

[0078] 在该示例中,DAC 38是12位转换器,并且该转换器的操作以频率 $F_{ech}$  ( $F_{ech} = 100\text{MHz}$ ) 进行时钟控制。DAC 38自然地可以呈现不同的特性。

[0079] DAC 38获取数字注入信号 $S_i$ ,从数字注入信号 $S_i$ 产生模拟激励电流 $I_e$ ,并将激励电流 $I_e$ 注入到测量绕组14中。

[0080] 下文描述磁通门电流传感器10的操作。

[0081] 激励电路23生成数字激励信号 $S_e$ ,该数字激励信号 $S_e$ 被变换为激励电流 $I_e$ 并被注入到测量绕组14中。

[0082] 测量电压 $V_e$ 被获取并且随后被数字化以产生数字测量信号 $S_m$ 。

[0083] 在第二放大器35的输出处获得作为待测量电流 $I_m$ 的数字镜像的信号。该数字镜像信号被用于估计待测量电流 $I_m$ 。

[0084] 数字镜像信号也是数字退磁信号 $S_{dm}$ ,其用以补偿由待测量电流 $I_m$ 产生的磁通量。

[0085] 藉由求和电路36和并联连接,容易将数字退磁信号 $S_{dm}$ 和数字激励信号 $S_e$ 相加在一起。激励电流由此用以激励磁芯13并且还用以对磁芯13进行退磁。退磁电流由此被纳入激励电流 $I_e$ 中。

[0086] 磁芯13的饱和引起测量电压 $V_e$ 中的不对称性,所述测量电压 $V_e$ 由频率 $f_0$ 的 $\sin(\omega_0 t)$ 分量(对应于基波)和频率 $2f_0$ 的 $\cos(2\omega_0 t)$ 分量(对应于二次谐波分量)的总和构成。

[0087] 应当观察到,频率 $f_0$ 的部分数字激励信号和频率 $3f_0$ 的部分数字激励信号的振幅被设置成获得激励电流 $I_e$ ,其中频率 $3f_0$ 的分量(或三次谐波分量)与频率 $f_0$ 的分量(或基波)同相。

[0088] 如在使用第一同步解调器进行同步解调之后获得的测量电压 $V_e$ 的三次谐波分量为正。在磁芯13饱和的情况下,三次谐波分量比基波衰减地更强烈,并且在同步解调之后,三次谐波分量变为负,这是由于三次谐波与基波变成反相。

[0089] 由此,当激励电流 $I_e$ 使得磁芯13接近饱和时,测量电压 $V_e$ 的第一谐波分量和三次谐波分量的振幅之比发生变化,直至三次谐波分量变为零,并且之后直至三次谐波分量的相位反相。与测量电压 $V_e$ 的三次谐波分量变为零相对应的操作点由此是磁通门电流传感器

10的最佳操作点。该最佳操作点对应于绘制传递函数的图1曲线中的弯曲部9。

[0090] 在来自第一放大器30的输出处获得数字误差信号。

[0091] 数字误差信号用以对激励电流 $I_e$ 进行伺服控制。伺服控制包括控制激励电流 $I_e$ 以使测量电压 $V_e$ 的三次谐波分量为零。磁通门电流传感器10由此在最佳操作点上连续操作。这用以获得具有由待测量电流 $I_m$ 引入并且在测量电压 $V_e$ 中可检测的不对称性的最大增益。应当观察到,通过同步地解调三次谐波分量的这种伺服控制对于外部电磁扰动相对不敏感,这是因为所有除了频率 $3f_0$ 之外的频率的信号生成具有由连接到第三乘法器33的输出到低通滤波器34滤波的分量的互调产物。还可以观察到,该伺服控制不需要非常快,这是因为来自外部参数(温度、老化)的变化相对较慢。

[0092] 由此,测量绕组14同时被用于激励磁芯13、控制激励、测量待测量电流 $I_m$ 、以及补偿由待测量电流 $I_m$ 在磁芯13中产生的磁通量(退磁)。

[0093] 在单个测量绕组14中组合各功能用以简化磁通门电流传感器10,降低其成本和重量、以及促进其制造。

[0094] 还应当观察到,用于处理测量的系统主要是数字的:单个FPGA用以执行该处理系统的主要部分。

[0095] 对处理系统进行数字化增加该处理系统的可靠性和稳健性(特别是在温度方面)、降低其成本、促进其制造、并提高其工业可再现性。

[0096] 通过由第一同步解调器执行的解调得到的在调节操作点方面的改进还用以获得更好的噪声抗扰性。此外,同步解调器的使用使得可以在高频下操作,从而允许待测量电流 $I_m$ 的宽带宽,同时保留对外部电磁扰动非常良好的抗扰性。

[0097] 由于总是在对应于饱和弯曲部9的最佳操作点处执行测量,因此磁通门电流传感器10的灵敏度在温度范围中是恒定的。磁通门电流传感器10的准确性由此在大的温度范围上良好。

[0098] 如上面提到的,磁通门电流传感器10测量待测量且在导体11中流动的电流 $I_m$ 。

[0099] 当待测量电流 $I_m$ 较小(例如,小于1安培(A))时这种情况不会引起任何特定的困难。

[0100] 然而,当待测量电流较大时,出现主要困难。

[0101] 用以补偿由待测量电流 $I_m$ 在磁芯13中产生的磁通量的退磁电流必须也非常大。退磁电流的振幅需要等于待测量电流的振幅除以变压器12的变压比,该变压比与初级绕组和次级绕组的特性相关联。

[0102] 然而,测量绕组14的匝数受到其大小和所产生电感的限制。电感越大,(来自数字退磁信号 $S_{dm}$ 的)退磁电流的变化率就越受限,并且由此磁通门电流传感器10的带宽就越受限。由此,增加次级绕组的匝数不是有效的解决方案。

[0103] 增加退磁电流也不是有效的解决方案。具体而言,这会涉及生成与大的退磁电流相关联的非常大的退磁电压,这难以使用标准组件来实现。

[0104] 应当观察到,该问题并非特定于如上所述的磁通门电流传感器10,而是适用于所有磁通门电流传感器(并且具体而言适用于包括仅专用于退磁的绕组的那些磁通门电流传感器)。

[0105] 为了解决该困难,利用分流桥以减小待测量电流的振幅。参照图5至7,磁通门电流

传感器10包括本发明的印刷电路40,该印刷电路40上特别安装有形成数字部分15和模拟部分16的多个电子组件。

[0106] 在该示例中,本发明的印刷电路40包括第一导电层41、第二导电层42、以及绝缘层43。在该示例中,第一导电层41和第二导电层42中的每一者在印刷电路40的对应相对面上延伸。

[0107] 第一导电层41具有第一迹线44,并且第二导电层42具有第二迹线45。绝缘层43由此在第一迹线44与第二迹线45之间延伸。

[0108] 印刷电路40进一步包括具有至少一个第一电镀通孔47的第一贯通组装件以及具有至少一个第二电镀通孔48的第二贯通组装件。在该示例中并且具体而言,第一贯通组装件具有多个第一电镀通孔47,并且第二贯通组装件具有多个第二电镀通孔48。在该示例中,第一电镀通孔47和第二电镀通孔48都具有相同的第一直径。

[0109] “电镀通孔”也可以被称为“通孔”。可以通过任何类型的方法来制作“电镀通孔”。具体而言可以通过沉积金属材料或任何类型的导电材料来使“电镀通孔”导电。还可以通过插入由金属或任何类型的导体制成的管或铆钉来使“电镀通孔”导电。

[0110] 每个第一电镀通孔47和每个第二电镀通孔48通过延伸穿过绝缘层43来将第一迹线44和第二迹线45连接在一起。

[0111] 第一贯通组装件和第二贯通组装件分别形成分流桥53的第一分支51和第二分支52。

[0112] 由此,在该示例中,待测量电流 $I_m$ 实际上不是具有待确定值的主电流 $I_p$ ,而是通过对主电流 $I_p$ 进行分流来获得待测量电流 $I_m$ ,并且随后将其用于估计主电流 $I_p$ 的值。主电流 $I_p$ 在第一迹线44中、分流桥53的第一分支51和第二分支52中、以及第二迹线45中流动。

[0113] 在该示例中,由此可以清楚地看到,传送待测量电流的上述导体11由第二贯通组装件(或第二分支52)构成。

[0114] 在该示例中,主电流 $I_p$ 等于10A。

[0115] 第一贯通组装件中的第一电镀通孔47的数目比第二贯通组装件中的第二电镀通孔48的数目大九倍。第二分支52的第二电阻由此比第一分支51的第一电阻大九倍。

[0116] 在分流桥53的第二分支52中流动的待测量电流 $I_m$ 等于1A,而在分流桥53的第一分支51中流动的电流等于9A。

[0117] 在该示例中,利用在相同印刷电路40中毗邻的多个相同直径的电镀通孔的电特性的可再现性属性。

[0118] 第一分支51的第一电阻和第二分支52的第二电阻并非准确已知,但由于该可再现性,因此非常准确地知晓这两个电阻的比率。

[0119] 第一贯通组装件和第二贯通组装件由此等效于具有良好受控比率的两个分流电阻器。

[0120] 由此非常准确地知晓待测量电流 $I_m$ 与主电流 $I_p$ 之间的比率。测量待测量电流 $I_m$ 使得能够非常准确地估计主电流 $I_p$ ,同时减小主电流以减小所需要的退磁电流。

[0121] 待测量电流 $I_m$ 通过使用上面提到的变压器12来测量。

[0122] 变压器12包括印刷电路40,或者更精确而言,假定印刷电路还携带数字部分15和模拟部分16,则变压器12包括印刷电路40的一部分。

[0123] 如上所述的第二贯通组装件在本文中也被称为“初级贯通组装件”。第二电镀通孔48是“初级电镀通孔”。

[0124] 印刷电路40还包括第三贯通组装件和第四贯通组装件,该第三贯通组装件包括延伸穿过绝缘层43的至少一个第三电镀通孔56,该第四贯通组装件包括延伸穿过绝缘层43的至少一个第四电镀通孔57。在该示例中并且具体而言,第三贯通组装件包括多个第三电镀通孔56,并且第四贯通组装件包括多个第四电镀通孔57。在该示例中,第三电镀通孔56和第四电镀通孔57都具有相同的第二直径,出于可用空间的原因,该第二直径小于第一电镀通孔47和第二电镀通孔48的第一直径。第三电镀通孔56的数目等于第四电镀通孔57的数目。

[0125] 第三和第四贯通组装件一起形成在本文中被称为“次级贯通组装件”的组装件。在次级贯通组装件中,第三电镀通孔56形成至少一个、并且具体而言多个“第一次级电镀通孔”56,而第四电镀通孔57形成至少一个、并且具体而言多个“第二次级电镀通孔”57。

[0126] 变压器12还包括磁芯13。磁芯13沿印刷电路40的厚度延伸。

[0127] 磁芯13具有管的形状,该管具有矩形的内侧和外侧剖面。应当观察到,磁芯13自然地可以具有不同的形状。磁芯13包括初级磁芯部分60和次级磁芯部分61。

[0128] 初级贯通组装件在磁芯13的内部、在初级磁芯部分60的附近延伸。

[0129] 初级贯通组装件由此形成变压器12的初级绕组的一部分,所述初级绕组在该示例中仅具有一匝。

[0130] 第一次级电镀通孔56在磁芯13的内部、在次级磁芯部分61的附近延伸。第二次级电镀通孔57在磁芯13外部、在次级磁芯部分61的附近延伸。

[0131] 可以看到,第一次级电镀通孔56和第二次级电镀通孔57通过在第一导电层41中和第二导电层42中延伸的导电元件65(举例而言但并非必然,迹线)连接在一起。图7中仅示出了两个导电元件65。

[0132] 第三贯通组装件由此形成变压器12的次级绕组的第一部分。第四贯通组装件由此形成变压器的次级绕组的第二部分。次级贯通组装件由此形成变压器12的次级绕组的一部分。

[0133] 次级绕组具有多个匝,每一匝包括第一次级电镀通孔56、第二次级电镀通孔57、以及导体元件65。

[0134] 由此可见,变压器12的次级绕组是上面提到的测量绕组14。

[0135] 下文描述如何制造印刷电路40和沿印刷电路40的厚度延伸的磁芯13。

[0136] 印刷电路40包括第一预浸层和第二预浸层(其中“预浸(prepreg)”是“预浸渍(pre-impregnated)的简称)。第一和第二预浸层未被聚合。

[0137] 磁芯13包括磁粉和构成磁粉粘合剂的树脂的混合物。

[0138] 磁粉由晶体结构、特别是钇铁石榴石( $Y_3Fe_{15}O_{12}$ )制成。

[0139] 树脂是环氧树脂。

[0140] 磁芯13通过丝网印刷被沉积在第一预浸层上。

[0141] 之后,用第二预浸层覆盖磁芯13。

[0142] 随后使印刷电路40通过烘箱。

[0143] 随后对印刷电路40钻孔以制作上述电镀通孔。

[0144] 替换地,可以使用增材制造技术通过激光烧结来制造磁芯13。

[0145] 磁粉被沉积在第一预浸层上。之后,使用激光束将磁粉层聚结在预定义区域中以形成磁芯13。

[0146] 随后用第二预浸层覆盖磁芯13。

[0147] 通过激光烧结制造磁芯13看起来更加有效。具体而言,当通过丝网印刷进行制造时,观察到在磁粉和树脂的混合物中将发现与磁粉颗粒中一样多的气隙。这些气隙降低磁芯13的性能。利用激光烧结,磁粉颗粒被熔化,这避免了产生所述气隙。

[0148] 自然地,本发明不限于所描述的实施例,而是涵盖了落入如由权利要求书限定的本发明范围内的任何变型。

[0149] 阐述了磁通门电流传感器包括数字部分和模拟部分,并且ADC和DAC形成模拟部分的一部分。自然地,可以考虑这些组件是数字组件,并且甚至可以考虑这些组件被直接纳入FPGA中(或微控制器中或某种其他组件中),在该情形中它们将形成数字部分的一部分。

[0150] 上面阐述了包括第一迹线的第一导电层和包括第二迹线的第二导电层中的每一者在印刷电路的各个相对面上延伸。自然地,第一导电层和第二导电层可以是印刷电路的内部层,这些层由一个或多个绝缘层分隔开。

[0151] 上面,每个贯通组装件被描述为包括一个或多个电镀通孔。上面,电镀通孔都穿过单个绝缘层。自然地,电镀通孔可以穿过多个绝缘层,或者甚至穿过一个或多个绝缘层以及一个或多个导电层。不同的贯通组装件同样可以很好地穿过不同的层堆叠。

[0152] 上面阐述了次级贯通组装件包括位于磁芯的次级磁芯部分的相对侧的至少一个第一次级电镀通孔和至少一个第二次级电镀通孔。自然地,也可以使初级贯通组装件包括位于磁芯的初级磁芯部分的相对侧的至少一个第一初级电镀通孔和至少一个第二初级电镀通孔。也可以使这两种配置共存。

[0153] 自然地,本发明的印刷电路和分流桥可以被用于需要分流桥的任何类型的应用中:本发明不以任何方式受限于磁通门电流传感器。

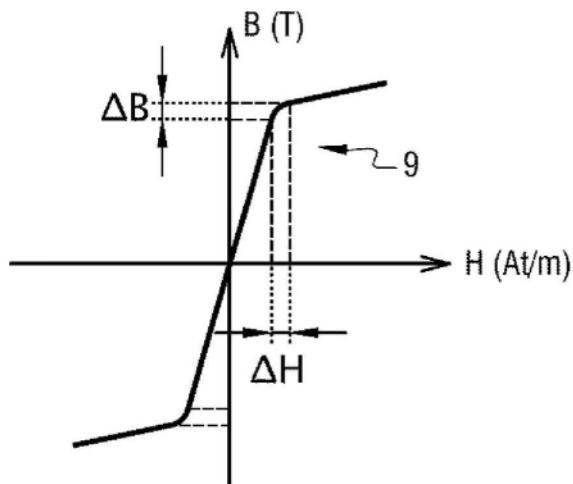


图1

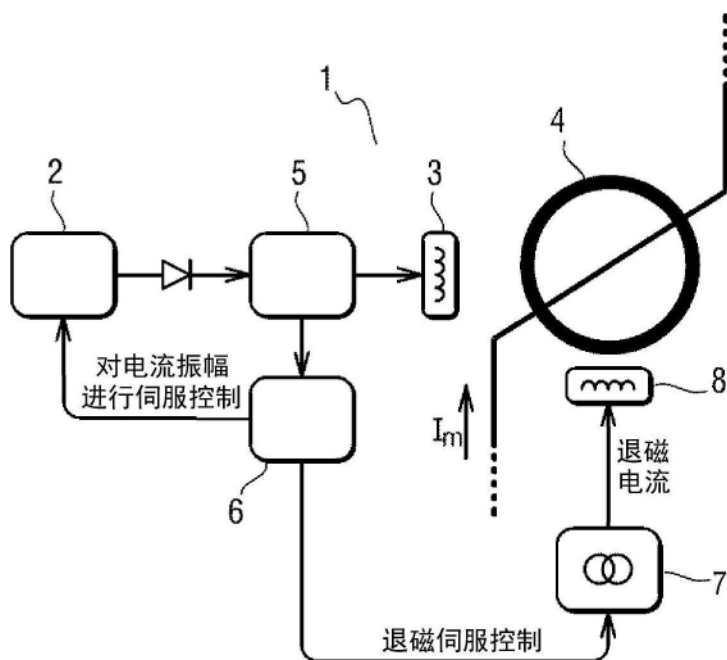


图2

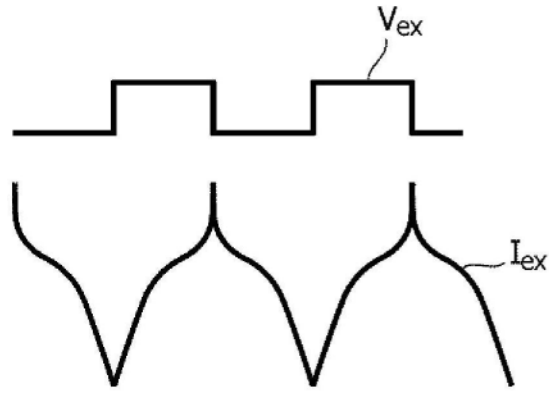


图3

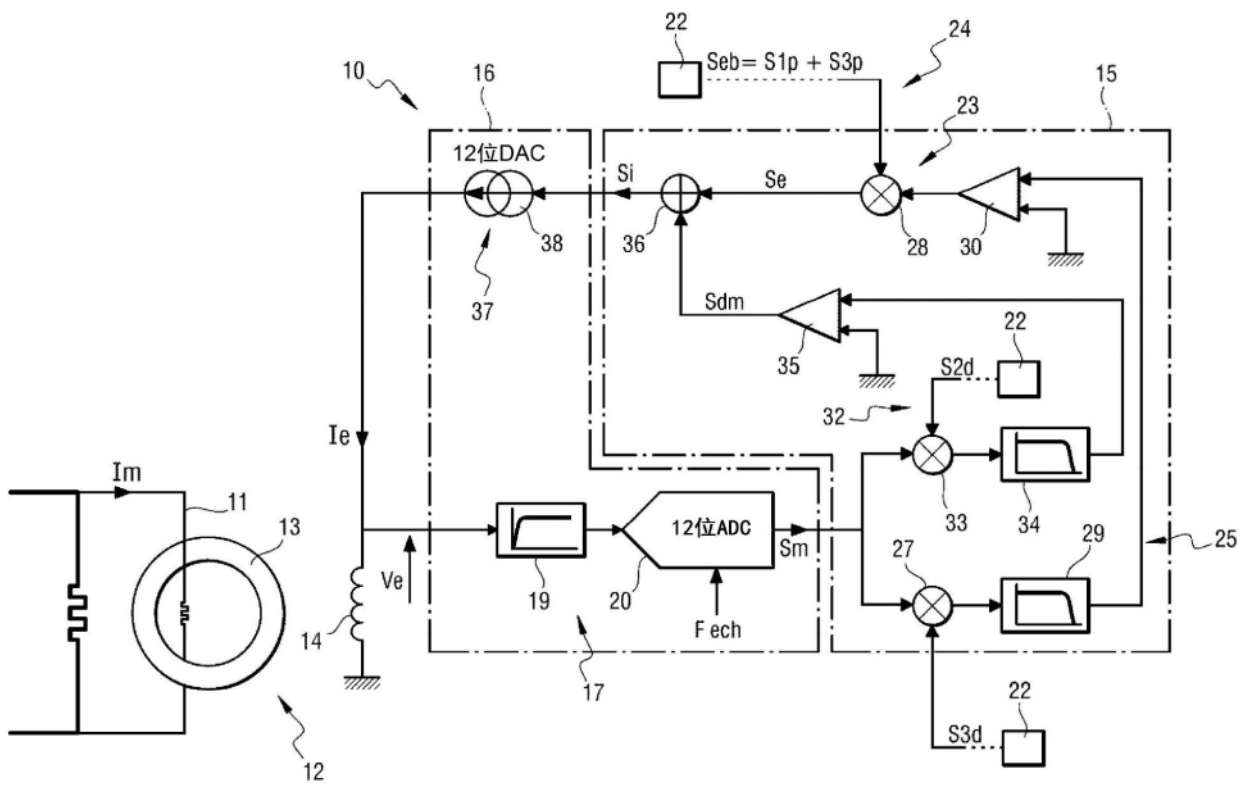


图4

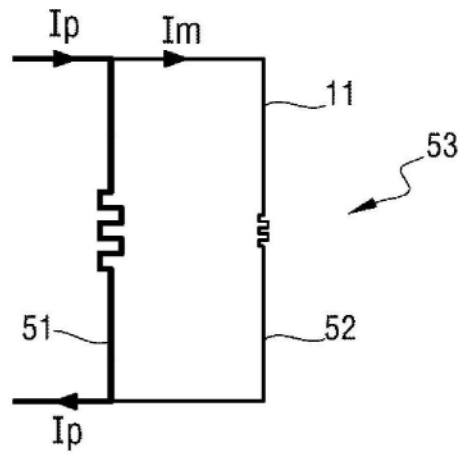


图5

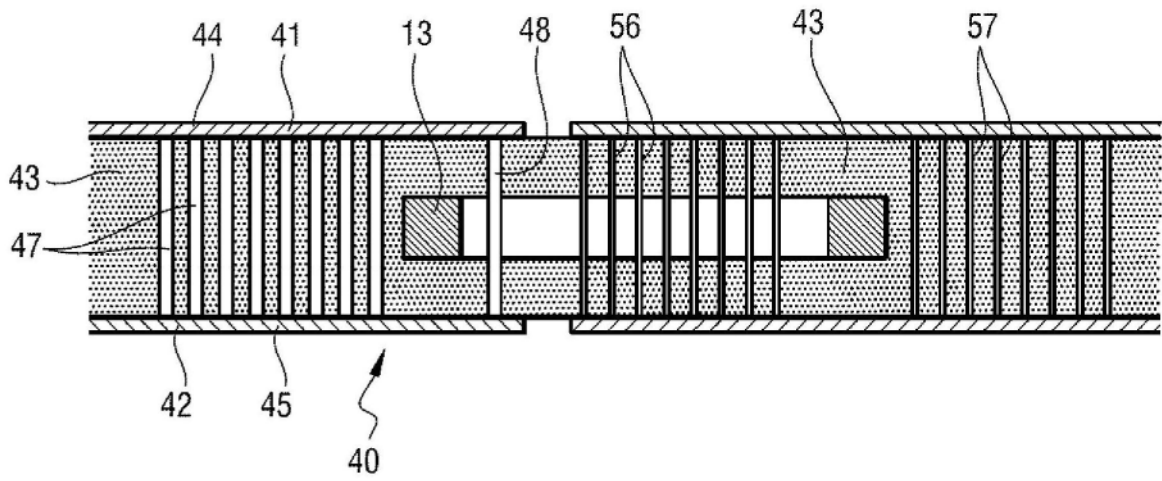


图6

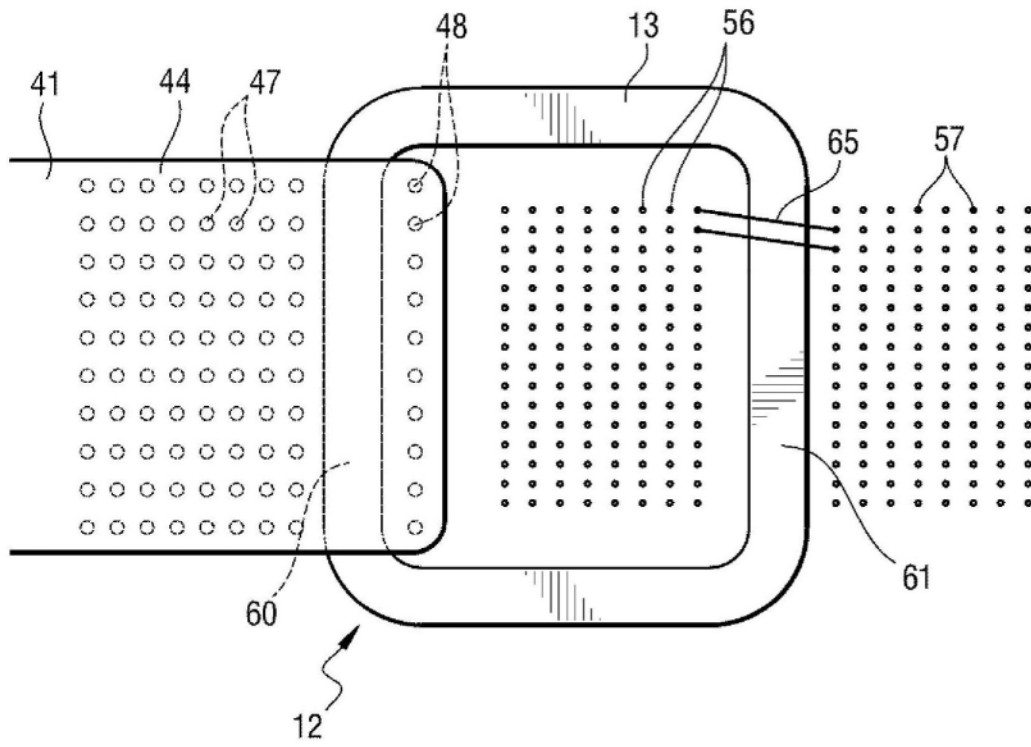


图7