

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局

(43) 国際公開日  
2012年9月7日(07.09.2012)



(10) 国際公開番号  
WO 2012/118217 A1

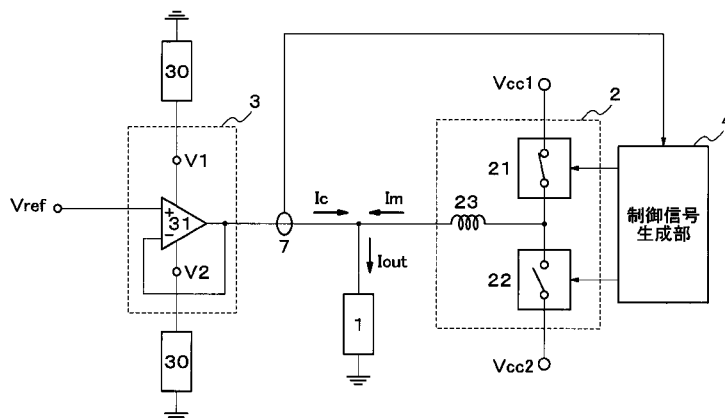
- (51) 国際特許分類:  
H03F 1/02 (2006.01) H03F 3/217 (2006.01)
- (21) 国際出願番号: PCT/JP2012/055499
- (22) 国際出願日: 2012年2月28日(28.02.2012)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:  
特願 2011-046502 2011年3月3日(03.03.2011) JP
- (71) 出願人(米国を除く全ての指定国について): 日本電気株式会社(NEC CORPORATION) [JP/JP]; 〒1088001 東京都港区芝五丁目7番1号 Tokyo (JP).
- (72) 発明者; および
- (75) 発明者/出願人(米国についてのみ): 國弘 和明(KUNIHIRO, Kazuaki) [JP/JP]; 〒1088001 東京都港区芝五丁目7番1号日本電気株式会社内 Tokyo (JP). 堀 真一(HORI, Shinichi) [JP/JP]; 〒1088001 東京都港区芝五丁目7番1号日本電気株式会社内 Tokyo (JP). 谷尾 真明(TANIO, Masaaki) [JP/JP]; 〒1088001 東京都港区芝五丁目7番1号日本電気株式会社内 Tokyo (JP).
- (74) 代理人: 下坂 直樹(SHIMOSAKA, Naoki); 〒1088001 東京都港区芝五丁目7番1号日本電気株式会社内 Tokyo (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーロパ (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

[続葉有]

(54) Title: POWER SUPPLY DEVICE AND CONTROL METHOD

(54) 発明の名称: 電源装置および制御方法

図6



4 CONTROL SIGNAL GENERATION UNIT

(57) Abstract: In order to improve the power efficiency, this power supply device is equipped with a switching amplification unit that supplies the main power to a first load and a linear amplification unit that corrects an output voltage to be applied to the first load according to an input signal. The power supply device supplies a current that flows into the linear amplification unit at the time of the correction to the second load from the power supply terminal of the linear amplification unit.

(57) 要約: 電力効率を向上させるため、電源装置は、第1の負荷に主たる電力を供給するスイッチング増幅部と、前記第1の負荷にかかる出力電圧を入力信号に応じて補正する線形増幅部と、を備え、前記補正の際に前記線形増幅部に流れ込む電流を、前記線形増幅部の電源端子から第2の負荷に供給する。

WO 2012/118217 A1

添付公開書類:

- 国際調査報告 (条約第 21 条(3))

## 明細書

### 発明の名称

電源装置および制御方法

### 5 技術分野

本発明は、電源装置および制御方法に関する。

### 背景技術

携帯電話や無線LAN(Local Area Network)など、近年の無線通信に用いられているデジタル変調方式は、QPSK(Quadrature Phase Shift Keying)や多値QAM(Quadrature Amplitude Modulation)などの変調フォーマットが採用されている。このような変調フォーマットでは、一般にシンボル間の遷移時に信号の軌跡が振幅変調を伴い、マイクロ波帯のキャリア信号に重畳された高周波変調信号では、時間とともに信号の振幅(包絡線)が変化する。このとき、高周波変調信号のピーク電力と平均電力の比は、PAPR(Peak-to-Average Power Ratio)と呼ばれている。PAPRが大きい信号を増幅する場合は、高い線形性を確保する為に、ピーク電力に対しても波形が歪まないように電源から十分に大きな電力を増幅器に供給する必要がある。言い換えると、増幅器を電源電圧で制限される飽和電力よりも十分低い電力領域で余裕(バックオフ)をもたせて動作させる必要がある。一般に、A級やB級動作させた線形増幅部では、その飽和出力電力付近で電力効率が最大になるので、バックオフ

10

15

20

25

30

次世代携帯電話や無線LAN、デジタルテレビ放送に採用されているマルチキャリアを用いたOFDM(Orthogonal Frequency Division Multiplexing)方式では、PAPRは非常に大きくなる傾向にあり、増幅器の平均効率はさらに低下する。したがって、増幅器の特性としては、バックオフの大きい電力領域でも高い効率を有していることが望ましい。

バックオフの大きい電力領域で広いダイナミックレンジに渡って高効率に信号を増幅する方式として、EER(Envelope Elimination and Restoration:包絡線除去・復元)方式や、ET(Envelope Tracking:包絡線追跡)方式が知られている。

EER方式の場合、まず、入力変調信号は、その位相成分と振幅成分とに分解され

る。位相成分は、位相変調情報を維持したまま振幅一定で電力増幅器に入力される。このとき、電力増幅器は、常に効率が最大となる飽和付近で動作させる。一方、振幅成分は、振幅変調情報に応じて電源装置の出力電圧を変化させ、これを電力増幅器の電源として用いる。このように動作させることにより、電力増幅器は乗算器として動作し、変調信号の位相成分と振幅成分は合成され、バックオフによらず高い効率で増幅された出力変調信号が得られる。

一方、ET方式でも、入力変調信号の振幅成分は、振幅変調情報に応じて電源装置の出力電圧を変化させ、それを電力増幅器の電源として用いる構成は、EER方式と同じである。異なるのは、EER方式では、電力増幅器に振幅一定の位相変調信号のみを入力し飽和動作させるのに対して、ET方式では、振幅変調と位相変調の両方を含む入力変調信号をそのまま電力増幅器に入力し、線形動作させる点である。この場合は、電力増幅器は線形動作するので、電力効率としては、EER方式より劣る。しかしながら、入力変調信号の振幅の大きさに応じて、電力増幅器には必要最小限の電力しか供給されないため、電力増幅器を振幅によらず一定電圧で使用した場合に比べると、やはり高い電力効率を得ることができる。また、ET方式では、振幅成分と位相成分を合成するタイミングマージンが緩和され、EER方式に比べ実現しやすいという利点もある。

ここで、EER方式やET方式に用いる変調電源装置は、入力変調信号の振幅成分に応じて、精度よく、低ノイズで、かつ高効率に出力電圧を変化できる電圧源である必要がある。なぜならば、携帯電話など近年のデジタル変調を用いた無線通信方式では、ACPR(Adjacent Channel Leakage Power Ratio:隣接チャネルへの漏洩電力)や、変調誤差を表すEVM(Error Vector Magnitude:エラーベクトル強度)を一定値以下に抑えることが規格で定められている。電源装置の出力電圧が、入力振幅信号に対して線形でないと、相互変調歪によりACPRやEVMが劣化する。また、電源装置のノイズが増幅器の出力に混入すると、やはりACPRが劣化する。また、EER方式やET方式において、電源装置の応答帯域(速度)は、変調信号の帯域(速度)の最低でも2倍以上は必要と言われている。例えば、携帯電話のWCDMA(Wideband Code Division Multiple Access)規格では、変調帯域は約5MHz、無線LANのIEEE802.11a/g規格では、変調帯域は約20MHzある。一般的なスイッチングコンバータ構成の電源装置では、このような広い帯域の変調信号を出力するのは困難で

ある。なお、上記において、IEEEは、Institute of Electrical and Electronic Engineersの略である。

5 高効率かつ高品質な電圧源を実現するために、高効率なスイッチング増幅部と高精度な線形増幅部とを組み合わせたハイブリッド電圧源の2つの基本構成が、非特許文献1に記載されている。

図1は、非特許文献1に記載の第1のハイブリッド電圧源のブロック図を示す。第1のハイブリッド電圧源は、電流源として動作するスイッチング増幅部2と電圧源として動作する線形増幅部3とを並列に接続する。この構成において、高精度な線形増幅部3は、出力電圧 $V_{out}$ が参照信号 $V_{ref}$ に等しくなるように補正する役割を果たす。一方、  
10 スwitching増幅部2を構成するスイッチング素子21、22は、電流検知抵抗7によって検知された線形増幅部3の出力電流 $I_c$ に基づいて、制御信号生成部4によって制御される。このような動作を行うことによって、スイッチング増幅部2は電流源として動作する。負荷1に供給される電力の大部分は、高効率なスイッチング増幅部2から供給される。ここで、高精度だが効率の低い線形増幅部3は、出力電圧 $V_{out}$ に含まれるリップル  
15 を除去する程度の電力しか消費しない。従って、第1のハイブリッド電圧源は、高い精度と高い効率を両立することができる。

図2は、非特許文献1に記載の第2のハイブリッド電圧源のブロック図を示す。第2のハイブリッド電圧源は、スイッチング増幅部2と線形増幅部3とを直列に接続する。この構成でも、高精度な線形増幅部3は、出力電圧 $V_{out}$ が参照信号 $V_{ref}$ に等しくなる  
20 ように帰還をかけ、補正する役割を果たす。一方、スイッチング増幅部2は、その出力電圧 $V_m$ が、参照信号 $V_{ref}$ (もしくは、それを線形にスケールした出力電圧 $V_{out}$ )とほぼ等しくなるように制御信号生成部4へ帰還をかける。スイッチング増幅部2を構成するスイッチング素子21、22は、制御信号生成部4によって制御される。スイッチング増幅部2の出力電圧 $V_m$ に、線形増幅部3の出力 $V_c$ を、例えば、トランス35を介して  
25 直列に加算する。このような動作を行うことによって、負荷1に供給される電力の大部分は、高効率なスイッチング増幅部2から供給される。ここで、高精度だが効率の低い線形増幅部3は、出力電圧に含まれるリップルを除去する程度の電力しか消費しない。従って、第2のハイブリッド電圧源は、高い精度と高い効率を両立することができる。

30 スwitching増幅部と線形増幅部とを組み合わせたハイブリッド電圧源の構成は、図1と図2に示したいずれかの構成に分類される。

図1に示した第1のハイブリッド電圧源の構成を、ET方式の電源装置に適用した増幅器が、非特許文献2に提案されている。

図3は、このET方式増幅器のブロック図を示す。該ET方式増幅器において、図1の参照信号Vrefに相当する部分には入力変調信号の振幅信号9が入力される。得られた高効率・広帯域な変調電圧11は、電力増幅器(負荷1)の電源として供給される。

図4は、図3に示す上記ET方式増幅器の動作を説明するための波形図である。図4(a)は、振幅信号9の波形を示す。図4(b)において、符号13はスイッチング電流Imの波形を示し、符号14はボルテージフォロア3の出力電流(線形増幅部の出力電流)Icを示す。図4(c)において、符号10はスイッチング電圧Vsw(図3参照)の波形を示し、符号11は変調電圧11(図3参照)の波形を示す。以下、図1、図3、図4を用いて、上記ET方式増幅器の具体的な動作について説明する。

振幅信号9は、オペアンプ31で構成されたボルテージフォロア3(線形増幅部)に入力される。ここでは、振幅信号9として、WCDMAダウンリンク信号の包絡線を用いている(図4(a)の9参照)。ボルテージフォロア3の出力電流Icは、電流検知抵抗7で電圧に変換された後に、制御信号生成部4を構成するヒステリシスコンパレータ41に入力される。この際、ボルテージフォロア3から電流が流れ出る(Ic>0)ときがHigh、流れ込む(Ic<0)ときがLowとなるように極性を選ぶことにより、ヒステリシスコンパレータ41の出力は、振幅信号9の強度に応じたパルス幅変調信号50になる。この信号を、スイッチング素子21の制御信号として用いる。スイッチング素子21は、典型的にはMOS電界効果トランジスタ(MOSFET: Metal Oxide Semiconductor Field Effect Transistor)などで構成される。スイッチング素子21は、ダイオード22と合わせてスイッチングコンバータを構成している。パルス幅変調信号50がHighの場合、スイッチング素子21は、オン(導通状態)になり、電源Vcc1から、電力増幅器(負荷1)に向かって電流が流れる。この場合、スイッチング電圧Vswは、Vcc1(ここでは15Vに設定)となる(図4(c)の符号10で示す波形参照)。スイッチング素子21からの電流は、インダクタ23(ここでは、0.6μHを設定)を通過することにより積分され、スイッチング周波数の成分が除去されたスイッチング電流Imになる。

出力電圧Voutの端子ではIc=Iout-Imの関係が成立するので、電力増幅器(負荷1)に流れる出力電流Ioutに対してスイッチング電流Imが過剰になると、ボルテージフォロア3の出力電流(線形増幅部の出力電流)Icは逆流(Ic<0)し、オペアンプ31に

流れ込む方向に流れ始める。結果として、ヒステリシスコンパレータ41の極性は逆転してLowとなり、スイッチング素子21はオフ(非導通状態)になる。この時、インダクタ23を流れる電流を維持するために、GNDからダイオード22を介して電力増幅器(負荷1)に向かって電流 $I_m$ が流れる。また、ダイオード22のカソード電位(すなわち、スイッチング電圧 $V_{sw}$ )は、0Vになる(図4(c)の符号10で示す波形参照)。上記のスイッチング動作を繰り返し、電力増幅器(負荷1)に対して、 $V_{cc1}$ とGNDから交互にスイッチング電流 $I_m$ を供給する(図4(b)の符号13で示す波形参照)。スイッチング電流 $I_m$ にはスイッチングによる誤差成分が含まれているが、ボルテージフォロア3によって電圧補正され、出力信号である変調電圧11(図4(c)の符号11で示す波形参照)は、入力信号である振幅信号9(図4(a)の波形参照)を正確に再現、増幅して、電力増幅器(負荷1)に供給される。

この一連の動作において、効率の低いオペアンプ31を流れる電流 $I_c$ (図4(b)の符号14で示す波形参照)は、誤差成分だけである。従って、線形増幅部3が消費する電力は小さく、高効率なスイッチング増幅部2によって、入力信号の大部分が増幅されるため、電源装置の効率を高くすることができる。

また、このようにして得られた出力電圧 $V_{out}$ を電力増幅器(負荷1)の電源として用いて、前述のEER動作もしくはET動作を行うことによって、電源装置からは、入力変調信号の振幅に応じて最小限の電力しか供給されない。従って、電力増幅器(負荷1)は常に効率の高い飽和付近で動作し、この電源装置と電力増幅器を備えた送信機システム全体の電力効率も向上する。

[非特許文献]

[非特許文献1]IEEE TRANSACTIONS ON POWER ELECTRONICS (1986年、VOL. PE-1、NO. 1、pp. 48-54、Fig. 1)

[非特許文献2]IEEE MTT-S Digest (2004年、Vol. 3、pp. 1543-1546、Fig. 6)

## 発明の開示

### 発明が解決しようとする課題

図3に挙げた増幅器(送信装置)において、高効率を実現するためには、スイッチング素子21のスイッチング周波数は入力信号である振幅信号9の変調帯域に比べでき

るだけ高くし、スイッチング電流 $I_m$ に含まれるスイッチング誤差を低減して、オペアンプ31を流れる電流を低減することが望ましい。

しかしながら、この回路構成を、例えば携帯電話基地局のように大電力の装置に適用しようとした場合、電源電圧 $V_{cc1}$ は数10Vとなる。一般的に、このような大振幅信号を高速、低損失でスイッチングすること困難とされる。なぜならば、スイッチング増幅部を構成するスイッチング素子21(例えば、MOSFET)やダイオード22には、出力寄生容量 $C_p$ が存在する。これを、電源電圧 $V$ 、スイッチング周波数 $f_{sw}$ でスイッチングさせた場合、 $C_p \cdot V^2 \cdot f_{sw}$ の電力損失が発生する。したがって、電源電圧 $V$ やスイッチング周波数 $f_{sw}$ が大きくなると、電力損失も大きくなり、スイッチング増幅部2の効率が低下するためである。

そこで、スイッチング周波数を下げるために、インダクタ23の値を大きくすることが考えられる。

図5は、インダクタ23の値を2倍(すなわち、 $2 \times L_0 = 1.2 \mu H$ )とした場合の、図3に示す上記ET方式増幅器の動作波形を示す。図5(c)の符号10で示す波形と、図4(c)の符号10で示す波形(インダクタ23の値が $L_0 = 0.6 \mu H$ の場合)とを比較すると、スイッチング周波数は、インダクタ23の値を2倍にしたほうにおいて、約1/2に低減していることが諒解される。

入力信号(図5(a)の符号9で示す波形)のスルーレートが大きいピークの部分では、スイッチング電流 $I_m$ (図5(b)の符号13で示す波形)のスルーレートが入力信号のそれよりも低くなっている。その結果、ピークの部分では、入力信号波形を再現するために、線形増幅部3から大きな電流(図5(b)の符号14で示す波形)を供給する必要がある。

逆に、入力信号が小さい部分では、インダクタ23の値が大きいため、スイッチングがオフになっても、前のオン状態に伴うスイッチング電流 $I_m$ (図5(b)の符号13で示す波形)が残留しており、やはり、入力信号波形を再現するためには、線形増幅部3に大きな電流(図5(b)の符号14で示す波形)を回収する必要がある。

このように、WCDMAのような広帯域の信号を入力すると、実際には、電力効率の低い線形増幅部3に大きな電流が流れるため、電源装置全体の効率が低下する。結果として、この電源装置を用いたET方式電力増幅器を備えた送信機全体の効率も劣化することが課題であった。

本発明は、電力効率に優れる電源装置および制御方法を提供することを目的とする。

#### 課題を解決するための手段

本発明の電源装置は、第1の負荷に主たる電力を供給するスイッチング増幅部と、  
5 前記第1の負荷にかかる出力電圧を入力信号に応じて補正する線形増幅部と、を備え、前記補正の際に前記線形増幅部に流れ込む電流を、前記線形増幅部の電源端子から第2の負荷に供給する。

また、本発明の電源装置は、入力信号に応じた出力電圧を生成する電源装置であって、前記入力信号と出力電圧とが線形関係となるように補正する線形増幅部と、前記線形増幅部の出力電流が流れる向きと大きさに基づいた制御信号を生成する制御  
10 信号生成部と、前記制御信号に基づいてスイッチング増幅された電流を出力するスイッチング増幅部と、を備え、前記線形増幅部と前記スイッチング増幅部とは並列に設けられ、前記線形増幅部の出力電流と前記スイッチング増幅部の出力電流とを加算して第1の負荷に出力し、前記補正の際に前記線形増幅部に流れ込む電流を、前記  
15 線形増幅部の電源端子から第2の負荷に供給する。

また、本発明の電源装置は、入力信号に応じた出力電圧を生成する電源装置であって、前記入力信号と出力電圧とが線形関係となるように補正する線形増幅部と、前記入力信号に応じた制御信号を生成する制御信号生成部と、前記制御信号に基づいてスイッチング増幅された電圧を出力するスイッチング増幅部と、を備え、前記線形  
20 増幅部と前記スイッチング増幅部とは直列に設けられ、前記線形増幅部の出力電圧と前記スイッチング増幅部の出力電圧とを加算して第1の負荷に出力し、前記補正の際に前記線形増幅部に流れ込む電流を、前記線形増幅部の電源端子から第2の負荷に供給する。

また、本発明の制御方法は、スイッチング増幅部と線形増幅部とを備える電源装置  
25 の制御方法であって、前記スイッチング増幅部において、第1の負荷に主たる電力を供給し、前記線形増幅部において、前記第1の負荷にかかる出力電圧を入力信号に応じて補正し、前記補正の際に前記線形増幅部に流れ込む電流を、前記線形増幅部の電源端子から第2の負荷に供給する。

#### 発明の効果

30 本発明によれば、電力効率を向上させることが可能となる。

## 図面の簡単な説明

- 【図1】非特許文献1に記載の第1のハイブリッド電圧源のブロック図である。
- 【図2】非特許文献1に記載の第2のハイブリッド電圧源のブロック図である。
- 5 【図3】図1に示す第1のハイブリッド電圧源の構成を、ET方式の電源装置に適用した増幅器(送信装置)のブロック図である。
- 【図4】図3に示す上記ET方式増幅器の具体的な動作を説明するための波形図である。
- 【図5】図3に示す上記ET方式増幅器の具体的な動作を説明するための別の波形
- 10 図である。
- 【図6】本発明の第1の実施形態に係る電源装置の構成例を示すブロック図である。
- 【図7】図6に示す電源装置の各ブロックの具体的な構成例を示すブロック図である。
- 【図8】図7に示す線形増幅部を構成するオペアンプの具体的な構成例を示すブロック
- 15 図である。
- 【図9】本発明の第2の実施形態に係る電源装置の構成例を示すブロック図である。
- 【図10】図9に示す電源装置の各ブロックの具体的な構成例を示すブロック図である。
- 【図11】図10に示す線形増幅部を構成するオペアンプの具体的な構成例を示すブ
- 20 ック図である。
- 【図12】本発明の第3の実施形態に係る送信装置の構成例を示すブロック図であ
- る。
- 【図13】本発明の第4の実施形態に係る送信装置の構成例を示すブロック図であ
- る。
- 【図14】本発明の第5の実施形態に係る電源装置の構成例を示すブロック図であ
- る。
- 25 【図15】本発明の第6の実施形態に係る電源装置の構成例を示すブロック図であ
- る。

## 発明を実施するための最良の形態

### [第1の実施形態]

- 図6は、本発明の第1の実施形態に係る電源装置の構成例を示すブロック図である。
- 30 該電源装置は、第1の負荷1と、スイッチング増幅部2と、線形増幅部3と、制御信号

生成部4と、を少なくとも備える。

スイッチング増幅部2は、電流源として動作し、第1の負荷1に電流を供給する。線形増幅部3は、電圧源として動作し、第1の負荷1にかかる出力電圧が入力電圧と一致するように補正する。スイッチング増幅部2と線形増幅部3とは、第1の負荷1に対して並列に接続されている。線形増幅部3の電源端子から第2の負荷30に電力が供給される。

電源装置への参照信号 $V_{ref}$ は、線形増幅部3に入力され、線形に増幅される。電流検知抵抗7は、線形増幅部3の出力電流 $I_c$ の流れる方向と大きさを検知し、検知結果を制御信号生成部4に対して出力する。制御信号生成部4は、検知した電流の方向と大きさに応じてHighとLowの2値からなるパルス幅変調信号を生成し、スイッチング増幅部2に対して制御信号として出力する。スイッチング増幅部2では、制御信号に基づいて、スイッチング素子21、22をオン/オフ動作させ、インダクタ23において電流 $I_m$ に変換して出力する。スイッチング増幅部2の出力端子および線形増幅部3の出力端子とは接続される。スイッチング増幅部2の出力電流 $I_m$ (以下、スイッチング電流 $I_m$ と記載する場合もある)と、線形増幅部3の出力電流 $I_c$ とは加算され、第1の負荷1に供給される。線形増幅部3の電源 $V_1$ 、 $V_2$ には、第2の負荷30が接続される。この場合、第2の負荷30は、システムを構成する他のブロックである。

図7は、図6の電源装置の各ブロックの具体的構成例を示すブロック図である。スイッチング増幅部2は、スイッチング素子21と、ダイオード22と、インダクタ23と、を少なくとも備える。線形増幅部3は、オペアンプ31を少なくとも備える。制御信号生成部4は、ヒステリシスコンパレータ41を少なくとも備える。

以下、本発明の第1の実施の形態の動作について、図7を参照して詳細に説明する。

図7に示すように、入力信号としての参照信号 $V_{ref}$ は、線形増幅部3で、ボルテージフォロアを構成するオペアンプ31に入力される。オペアンプ31の出力電流 $I_c$ は、電流検知抵抗7で電圧に変換されヒステリシスコンパレータ41に入力される。オペアンプ31から第1の負荷1に向かって電流 $I_c$ が流れ出るとき( $I_c > 0$ )がHigh、流れ込むとき( $I_c < 0$ )がLowとなるように極性を選ぶことにより、ヒステリシスコンパレータ41の出力は、参照信号 $V_{ref}$ の強度に応じたパルス幅変調信号50になる。

線形増幅部3から第1の負荷1に向かって流れる出力電流 $I_c = I_c(+)$ が増加し、ヒ

ステリシスコンパレータ41の高電圧側のしきい値と等しいかあるいは大きくなると、ヒステリシスコンパレータ41の出力はHighになる。この信号は、例えばMOSFETで構成されるスイッチング素子21のゲートに入力され、スイッチング素子21をオン(導通状態)にする。その結果、スイッチング素子21を介して、電源Vcc1から電流が流れ込み、インダクタ23で平滑化された後、第1の負荷1の方向に向かって電流Imが流れる。このとき、スイッチング電圧Vsw=Vcc1なので、ダイオード22には、逆方向電圧が印加され、電流は流れない。

図7の電源装置の出力電圧Voutの端子では、 $I_c = I_{out} - I_m$ の関係が成立する。ここで、図7の回路において、線形増幅部3は、上述のようにボルテージフォロアを構成している。すなわち、微小な電流検知抵抗7を無視すれば、 $V_{ref} = V_{out}$ となる。第1の負荷1を抵抗Rと仮定すると、 $I_{out} = V_{out} / R$ で、 $V_{ref}$ を決めれば $I_{out}$ の値は固定されることになる。一方、線形増幅部3(ボルテージフォロア)は、電圧源として働くので、 $I_c$ はいかなる値もとることが可能である。したがって、固定された $I_{out}$ に対して、スイッチング増幅部2から過剰な電流 $I_m$ が流れても、 $I_{out}$ の値は固定されているので、過剰な電流分は $I_c$ で調整せざるを得ない。従って、第1の負荷1に流れる出力電流 $I_{out}$ に対してスイッチング電流 $I_m$ が過剰になると、オペアンプ電流 $I_c = I_c(-)$ は逆流し、オペアンプ31に流れ込む方向に流れ始める。オペアンプ電流 $I_c(-)$ によって電流検知抵抗7にかかる電圧が、ヒステリシスコンパレータ41の低電圧側のしきい値よりも小さくなると、ヒステリシスコンパレータ41の極性は逆転し、スイッチング素子21はオフ(非導通状態)になる。この時、インダクタ23を流れる電流を維持するために、GNDからダイオード22を介して第1の負荷1に向かって電流が流れる。また、ダイオード22のカソード電位(すなわち、スイッチング電圧Vsw)は、0Vになる。上記のスイッチング動作を繰り返し、第1の負荷1に対して、スイッチング素子21とダイオード22が交互に電流 $I_m$ を供給する。電源装置の出力電圧Voutは、線形増幅部(ボルテージフォロア)3によって、参照信号 $V_{ref}$ と一致する(あるいは、線形にスケールリングされる)。

一方、オペアンプ31の負側の電源V2には、第2の負荷30(例えば、システムを構成する他のブロック)を接続し、オペアンプ電流 $I_c(-)$ を第2の負荷30に供給する電流の一部として利用する。この際、オペアンプ31の負側の電源V2には、大きな容量のコンデンサ37を設けて、 $I_c(-)$ の時間的な変動の影響を除去する。

スイッチング増幅部2(電流源)と線形増幅部3(電圧源)をハイブリッド構成にした、

一般的な電源装置の場合、出力電圧の補正の為に線形増幅部3で消費した電力 $V2 \times Ic(-)$ は損失となり、システム全体の効率が低下する。これに対して、本実施形態では、この電力を、第2の負荷30、例えば、システムを構成する他のブロックに再利用することにより、システム全体として高い効率を達成することができる。

- 5 尚、図7の例では、線形増幅部3の負側の電源V2に第2の負荷30を接続する構成を用いて説明したが、第1の負荷1に接続されるブロックの電氣的な極性や第2の負荷30に接続されるブロックの電氣的な極性によっては、線形増幅部3の正側の電源V1に第2の負荷30を接続する構成も考えられる。

- 10 図8は、図7に示す線形増幅部3を構成するオペアンプ31の具体的構成例を示すブロック図である。本構成において、オペアンプ31は、大電力を扱うため、図8に示すように、小電力・広帯域オペアンプ311と、バッファアンプ312、313と、出力段ソースフォロアプッシュプルアンプを構成するn型トランジスタ314およびp型トランジスタ315と、からなるハイブリッド構成とすることも可能である。

- 15 図7に示す電源装置では、出力端子Voutにおいて、 $Ic = Iout - Im$ の関係が成り立つ。

まず、第1の負荷1を流れる電流Ioutに対してスイッチング増幅部2からの電流Imが不足している場合の動作について説明する。この場合、線形増幅部3の出力段ソースフォロアプッシュプルアンプを構成するn型トランジスタ314から電流 $Ic = Ic(+)$ が流れ出て、Ioutの一部として第1の負荷1に流れ込む。

- 20 次に、第1の負荷1を流れる電流Ioutに対して、スイッチング増幅部3からの電流Imが過剰な場合の動作について説明する。線形増幅部3の出力段ソースフォロアプッシュプルアンプを構成するp型トランジスタ315に電流 $Ic = Ic(-)$ が流れ込み、 $V2 \times Ic(-)$ の電力が消費される。この電流 $Ic(-)$ は、本来、第1の負荷1には不要な電流であり、システム全体から見ると損失になる。V2端子に、第2の負荷30として、システムを構成する他のブロックの電源を接続することにより、電流 $Ic(-)$ をシステム内で再利用することができ、システム全体としては損失を減らすことができる。
- 25

- ここで、システムとして、第1の負荷1が電力増幅器である送信装置を考える。携帯電話の基地局用の送信装置では、電力増幅器の出力電力が大きいため、 $V2 \times Ic(-)$ は、数Wに及ぶ場合がある。そこで、第2の負荷30として、送信装置を構成する増幅器以外のドライバアンプ、トランシーバIC、ベースバンドIC、ADC/DACなどを接
- 30

続することで、今までは損失として廃棄していた電力を有効電力として用いることができ、送信装置全体の消費電力を減らすことができる。なお、上記において、ICは、Integrated Circuitの略である。ADCは、Analog-to-Digital Converterの略である。DACは、Digital-to-Analog Converterの略である。

- 5 以上を纏めると、第1の実施形態の電源装置は、第1の負荷1に高効率で電力を供給するスイッチング増幅部と、第1の負荷1にかかる電圧が入力信号波形に応じて線形に変化するように補正する高精度な線形増幅部とからなる。さらに、本電源装置は、電圧の補正に際して発生した電力損失を、システムを構成する他のブロックの電源として再利用する。従って、本電源装置は、入力信号の大きさに応じて出力電圧が変化する機能を有し、高効率で且つ線形性が高い。

10 尚、図8では、V2側に電流 $I_c(-)$ が流れ込む場合で説明したが、第1の負荷1に接続されるブロックの電氣的極性、および第2の負荷30に接続されるブロックの電氣的極性によっては、V1側に第2の負荷30を接続する構成も可能である。

- 15 また、以上説明した第1の実施形態において、スイッチング増幅部2、線形増幅部3、制御信号生成部4の構成は、図7(線形増幅部3に関しては、さらに図8)に示した回路構成に限るものではない。

#### [第2の実施形態]

- 20 図9は、本発明の第2の実施形態に係る電源装置の構成例を示すブロック図である。該電源装置は、第1の負荷1と、スイッチング増幅部2と、線形増幅部3と、制御信号生成部4と、を少なくとも備える。

- 25 スイッチング増幅部2は、電圧源として動作し、第1の負荷1に電圧を供給する。線形増幅部3は、電圧源として動作し、第1の負荷1にかかる出力電圧が入力電圧と一致するように補正する。スイッチング増幅部2と線形増幅部3とは、第1の負荷1に対して直列に接続されている。線形増幅部3の電源端子から第2の負荷30に電力が供給される。

- 30 制御信号生成部4は、電源装置への参照信号 $V_{ref}$ とスイッチング増幅部2の出力電圧 $V_m$ に応じたHighとLowの2値からなるパルス幅変調信号を生成し、スイッチング増幅部2に対して制御信号として出力する。スイッチング増幅部2では、制御信号に基づいて、スイッチング素子21、22をオン/オフ動作させる。出力電圧 $V_{sw}$ は、インダクタ23とコンデンサ26で構成される低域フィルタによって平滑化された電圧 $V_m$ を出力

する。線形増幅部3は、参照信号Vrefと第1の負荷1にかかる電圧Voutを比較し、差電圧Vcを出力する。差電圧Vcは、トランス35で、スイッチング増幅部2の電圧Vm(以下、スイッチング電圧Vmと記載する場合もある)と加算され、第1の負荷1に供給される。線形増幅部3の電源V1、V2には、第2の負荷30が接続される。この場合、第2の負荷30は、システムを構成する他のブロックである。

図10は、図9の電源装置の各ブロックの具体的構成例を示すブロック図である。スイッチング増幅部2は、スイッチングMOSFET21、22と、インダクタ23と、コンデンサ26と、を少なくとも備える。線形増幅部3は、オペアンプ31を少なくとも備える。制御信号生成部4は、コンパレータ42と、サンプルホールド回路43と、減算器44と、を少なくとも備える。

以下、本発明の第2の実施の形態の動作について、図10を参照して詳細に説明する。

図10に示すように、入力信号としての参照信号Vrefは、制御信号生成部4で、減算器44に入力される。減算器44は、参照信号Vrefとスイッチング増幅部2の出力Vmとの差分を出力する。サンプルホールド回路43は、差分信号を、クロック周波数fclkで離散化する。離散化された差分信号は、コンパレータ42に入力する。コンパレータ42は、離散化された差分信号の正負を判定し、正のときHighとなり、負のときLowとなる制御信号を、スイッチング増幅部2へ出力する。このようにして得られた制御信号は、参照信号Vrefが増加している時はHighの比率が高くなり、減少している時はLowの比率が高くなる、デルタ変調信号になる。

スイッチング増幅部2は、p型のスイッチングMOSFET21とn型のスイッチングMOSFET22とからなるインバータ構成になっており、制御信号生成部4からの制御信号を反転して入力する。制御信号がHighのとき、スイッチングMOSFET21はオン(導通状態)となり、スイッチングMOSFET22はオフ(非導通状態)となり、Vcc1から電流が流れ込み、インダクタ23を介して、第1の負荷1の方向に電流を出力する。このとき、出力電圧VswはVcc1になる。一方、制御信号がLowのとき、スイッチングMOSFET21はオフ(非導通状態)となり、スイッチングMOSFET22はオン(導通状態)となり、インダクタ23を流れる電流を維持するために、GNDから電流が流れ込み、第1の負荷1の方向に電流を出力する。このとき、出力電圧Vswは0になる。このようにして得られたパルス状の出力電圧Vswは、インダクタ23とコンデンサ26からなる低域フィルタで平

滑化され、電圧 $V_m$ を出力する。また、この動作において、スイッチング増幅部2は、理想的には、電力を消費しないため、高い電力効率で電圧 $V_m$ を負荷に供給することができる。上記の動作で得られたスイッチング増幅部2の出力電圧 $V_m$ は、サンプルホールド回路43のクロック周波数 $f_{clk}$ が十分高いと、参照信号 $V_{ref}$ と略等しくなる。しかしながら、クロック周波数 $f_{clk}$ を高くしすぎると、スイッチング増幅部2のスイッチング速度も高くなり、スイッチングMOSFET21、22の寄生容量に起因した電力損失が大きくなる。すなわち、高い電力効率を維持するためには、 $f_{clk}$ は、あまり高くできないので、出力電圧 $V_m$ には、スイッチングノイズが残留し、参照信号 $V_{ref}$ とは一致しない。

線形増幅部3は、帰還増幅器を構成するオペアンプ31に参照信号 $V_{ref}$ を入力し、第1の負荷1にかかる電圧 $V_{out}$ を帰還して、差電圧 $V_c$ を出力する。差電圧 $V_c$ は、スイッチング増幅部2の出力に2次側コイルが接続されたトランス35の1次側コイルに入力される。このとき、線形増幅部3は、AC成分のみ増幅するようにし、DC電流がトランス35に流れないようにする。以下、AC成分のみが増幅される理由について説明する。図10の線形増幅部3のオペアンプ31は、例えば、図11に示すような構成を有する(図11の説明は後述する)。コンデンサ316によってDC電流はトランス35には流れない。オペアンプ31は、 $V_{ref}=V_{out}$ となるように出力電圧を調整するが、コンデンサ316によって、AC成分しか出力(増幅)されない。 $V_{ref}$ 、 $V_{out}$ にはDC成分が含まれるが、トランス35にはAC成分しか出力されないため、結果として、「AC成分のみ」が増幅されたことになる。トランス35の1次側と2次側の巻き数を1:1とすると、スイッチング増幅部2の出力電圧 $V_m$ と差電圧 $V_c$ が加算されて、第1の負荷1に $V_{out}$ として出力する。このようにして得られた電源装置の出力電圧 $V_{out}$ は、高い精度で、参照信号 $V_{ref}$ と一致する(あるいは、線形にスケールされる)。

オペアンプ31の負側の電源 $V_2$ には、第2の負荷30(例えば、システムを構成する他のブロックを接続し、 $I_c(-)$ を、第2の負荷30に供給する電流の一部として利用する。この際、オペアンプ31の負側の電源 $V_2$ には、大きな容量のコンデンサ37を設けて、 $I_c(-)$ の時間的な変動の影響を除去する。

スイッチング増幅部2(電圧源)と線形増幅部3(電圧源)をハイブリッド構成にした、一般的な電源装置の場合、出力電圧の補正の為に線形増幅部3で消費した電力 $I_c(-) \cdot V_2$ は損失となり、システム全体の効率が低下する。これに対して、本実施形態では、この電力を、第2の負荷30(例えば、システムを構成する他のブロック)に再利

用することにより、システム全体として高い効率を達成することができる。

尚、図10の例では、線形増幅部3の負側の電源V2に第2の負荷30を接続する構成を用いて説明したが、第1の負荷1に接続されるブロックの電気的な極性や第2の負荷30に接続されるブロックの電気的な極性によっては、線形増幅部3の正側の電源V  
5 1に第2の負荷30を接続する構成も考えられる。

図11は、図10に示す線形増幅部3を構成するオペアンプ31の具体的構成例を示すブロック図である。本構成例において、オペアンプ31は、大電力を扱うため、図11に示すように、小電力・広帯域オペアンプ311と、バッファアンプ312、313と、出力段ソースフォロアプッシュプルアンプを構成するn型トランジスタ314およびp型トランジスタ3  
10 15と、コンデンサ316と、からなるハイブリッド構成とすることも可能である。図11から諒解されるように、 $I_c(-)$ は、コンデンサ316を通過しているので、AC成分のみである。また、大容量のコンデンサ37に流れる電流は、変位電流 $i = dQ/dt = C \times dV/dt$ である(Qはコンデンサに貯まった電荷)。図10の場合、コンデンサ37の両端電圧は、電源電圧V2に固定されていて変化しないので(すなわち、 $dV/dt = 0$ )、変位電流iは流  
15 れず、 $I_c(-)$ はすべて第2の負荷30に流れる。ここで、実際には、 $I_c(-)$ が電源V2に流れ込んだのか、第2の負荷30に流れたのかを区別することは困難であるが、マクロ的に見ると、第2の負荷30に電流が流れているので、「 $I_c(-)$ を第2の負荷30に供給する電流の一部として利用する」という表現を使用することができる。

なお、上記したように、電源V2の電位が理想値に固定されている場合は、電圧安  
20 定化のためのコンデンサ37は必須ではない。大容量なコンデンサ37が必要な理由は、寄生抵抗などの影響で第2の負荷30にかかる電位が変動する可能性がある場合、大きな容量をつけて電位変動 $\Delta V$ を抑制する( $\Delta V = \Delta Q/C \approx 0$ )ためである。この場合、変位電流は流れるが、コンデンサ37に貯まった電荷の変化分 $\Delta Q$ は、電源V2とやり取りするか、第2の負荷30に与えるかなので、 $I_c(-)$ によって充電された電荷は  
25 無駄になっておらず、本発明の効果は維持される。言い換えると、変位電流がコンデンサ37に流れても、 $I_c(-)$ のエネルギーは、コンデンサ37では消費されず、寄生抵抗で微小に消費されるが、第2の負荷30でほぼ再利用されることができる。

図10に示す電源装置では、出力端子Voutにおいて、 $V_c = V_{out} - V_m$ の関係が成り立つ。スイッチング増幅部2は、その出力電圧 $V_m$ が電源装置全体の出力電圧Vout  
30 に近くなる様に、高効率なスイッチング増幅を行うが、一般には、 $V_{out} \neq V_m$ である。

線形増幅部3は、電源装置の出力 $V_{out}$ と参照信号 $V_{ref}$ が一致する(もしくは線形にスケールされる)ように帰還がかかっている。したがって、第1の負荷1にかかるべき電圧 $V_{out}$ に対して、スイッチング増幅部2からの電圧 $V_m$ が低い場合( $V_m < V_{out}$ )は、線形増幅部3の出力段ソースフォロアプッシュプルアンプを構成するn型トランジスタ314から電流 $I_c = I_c(+)$ が流れ出て、トランス35の1次側に $V_c = V_{out} - V_m (> 0)$ の電圧を発生する。それが、トランス35の2次側に伝達され、 $V_m$ と加算され、所望の出力電圧 $V_{out}$ を生成する。一方、第1の負荷1にかかる電圧 $V_{out}$ に対して、スイッチング増幅部2からの電圧 $V_m$ が高い場合( $V_m > V_{out}$ )は、線形増幅部3の出力段ソースフォロアプッシュプルアンプを構成するp型トランジスタ315に電流 $I_c = I_c(-)$ が流れ込み、トランス35の1次側に $V_c = V_{out} - V_m (< 0)$ の電圧を発生する。それが、トランス35の2次側に伝達され、 $V_m$ と加算され、所望の出力電圧 $V_{out}$ を生成する。この電流 $I_c(-)$ は、本来、第1の負荷1には不要な電流であり、システム全体から見ると損失になる。 $V_2$ 端子に、第2の負荷30(例えば、システムを構成する他のブロック)の電源を接続することにより、電流 $I_c(-)$ をシステム内で再利用することができ、システム全体としては損失を減らすことができる。

ここで、システムとして、第1の負荷1が電力増幅器である送信装置を考える。携帯電話の基地局用の送信装置では、電力増幅器の出力電力が大きいため、 $V_2 \times I_c(-)$ は、数Wに及ぶ場合がある。これを、第2の負荷30として、送信装置を構成する増幅器以外のドライバアンプ、トランシーバIC、ベースバンドIC、ADC/DACなどを接続することで、今までは損失として廃棄していた電力を有効電力として用いることができ、送信装置全体の消費電力を減らすことができる。

以上を纏めると、第2の実施形態の電源装置は、第1の負荷1に高効率で電力を供給するスイッチング増幅部と、第1の負荷1にかかる電圧が入力信号波形に応じて線形に変化するように補正する高精度な線形増幅部とからなる。さらに、本電源装置は、電圧の補正に際して発生した電力損失を、システムを構成する他のブロックの電源として再利用する。従って、本電源装置は、入力信号の大きさに応じて出力電圧が変化する機能を有し、高効率で且つ線形性が高い。

尚、図11では、 $V_2$ 側に電流 $I_c(-)$ が流れ込む場合で説明したが、第1の負荷1に接続されるブロックの電氣的極性、第2の負荷30に接続されるブロックの電氣的極性によっては、 $V_1$ 側に第2の負荷30を接続する構成も可能である。

また、図10の例では、制御信号生成部4は、デルタ変調の例で示したが、パルス幅変調やデルタシグマ変調でもよい。

また、以上説明した第2の実施形態において、スイッチング増幅部2、線形増幅部3、制御信号生成部4の構成は、図10(線形増幅部3に関しては、さらに図11)に示した回路構成に限るものではない。

[第3の実施形態]

図12は、本発明の第3の実施形態に係る送信装置の構成例を示すブロック図である。該送信装置は、第1の実施形態の電源装置(具体的には、図7に記載の電源装置)を用いた送信装置である。

電源装置の構成と動作原理は、第1の実施形態の説明において図6と図7で説明したものと同一なので、それらについての説明を省略する。以下、送信装置の構成および動作について説明する。

本実施形態の送信装置では、電源装置に接続される第1の負荷1として、電力増幅器を接続する。電源装置には、参照信号 $V_{ref}$ として、入力変調信号8の振幅信号9が入力される。入力された振幅信号9は、図7で説明した電源装置の動作原理により、その波形を線形に増幅した出力電圧 $V_{out}$ (図12において符号11で示す波形)として出力される。出力電圧 $V_{out}$ は、電力増幅器の電源電圧として用いられる。電力増幅器は、電源装置の出力電圧 $V_{out}$ を電源として、ET方式の時はA級やAB級などの線形増幅を行い、EER方式の時はE級、F級、D級などのスイッチングモード増幅を行う。そして、電力増幅器は、振幅と位相変調された高周波変調信号12を出力する。

電源装置を構成する線形増幅部3の負側の電源 $V_2$ には、第2の負荷30(例えば、送信機を構成する他のブロック)を接続し、 $I_c(-)$ を、第2の負荷30に供給する電流の一部として利用する。この際、線形増幅部3の負側の電源 $V_2$ には、大きな容量のコンデンサ37を設けて、 $I_c(-)$ の時間的な変動の影響を除去する。

このような動作を行うことにより、第1の負荷1(例えば、電力増幅器)は、入力された変調信号8の振幅に応じて必要最小限の電力しか電源装置から与えられないため、一定電圧を供給した場合に比べて、無駄な電力が発生せず、高い電力効率で動作することができる。また、電源装置で変調電圧 $V_{out}$ を生成する際に生じる無駄な電力を、第2の負荷30(例えば、送信機を構成する別のブロック)で利用するため、送信機全体として、非常に高い電力効率を実現することができる。

送信機を構成する別のブロックとしては、ドライバアンプ、トランシーバIC、ベースバンドIC、ADC/DACなどが考えられる。一般的に、電力増幅器で消費される電力は、送信機を構成する他のブロックの消費電力に比べ非常に大きいため、電源装置で出力電圧 $V_{out}$ の誤差を補正するために消費する程度の電力でも、他のブロックに対しては、  
5 十分有効な電源となりうる。

また、図12に示した送信装置では、電源装置として、第1の実施形態の電源装置（電流源として動作するスイッチング増幅部と電圧源として動作する線形増幅部とが並列に接続された電源装置）を採用したが、これに限定されない。送信装置の電源装置は、例えば、第2の実施形態の電源装置（電圧源として動作するスイッチング増幅部と  
10 電圧源として動作する線形増幅部とが直列に接続された電力装置）とすることもできる。

#### [第4の実施形態]

図13は、本発明の第4の実施形態に係る送信装置の構成例を示すブロック図である。該送信装置は、第1の実施形態の電源装置（具体的には、図7に記載の電源装置）を用いた送信装置である。  
15

本実施形態の送信装置では、電源装置に接続される第1の負荷1として「電力増幅器」を接続し、第2の負荷30として電力増幅器の「ドライバアンプ」を接続する場合を例に挙げる。

電源装置の構成と動作原理は、第1の実施形態の説明において図6と図7で説明したものとほぼ同じである。異なるのは、スイッチング増幅部2の構成と動作である。線形増幅部3の出力電流 $I_c = I_c(+)$ が増加し電流検知抵抗7にかかる電圧が、ヒステリシスコンパレータ41の高電圧側しきい値と等しいかあるいは大きくなると、ヒステリシスコンパレータ41の出力はHighになる。この信号は、例えばMOSFETで構成されるスイッチング素子21のゲートに入力され、スイッチング素子21をオン（導通状態）にする。  
20  
25 スwitching素子21の一方の端子は接地され、他方の端子はトランス25の1次側コイルを介して電源 $V_{cc1}$ に接続される。スイッチング素子21を介して、電源 $V_{cc1}$ からトランス25の1次側に電流が流れ、そこに蓄積した電力は、2次側コイルに伝達され、2次側電源 $V_{offset}$ からトランス25の2次コイルとダイオード24を介して電流が流れ、インダクタ23で平滑化された後、第1の負荷1の方向に向かって電流 $I_m$ が流れる。この時、  
30 トランス25の1次側コイルと2次側コイルの巻き数比を1:1とすると、ダイオード24のカ

ソードには、 $V_{sw} = V_{offset} + V_{cc1}$ の電圧が生じる。

図13の電源装置の出力端子 $V_{out}$ では、 $I_c = I_{out} - I_m$ が成立するので、第1の負荷1に流れる出力電流 $I_{out}$ に対してスイッチング電流 $I_m$ が過剰になると、線形増幅部3の出力電流 $I_c = I_c(-)$ は逆流し、線形増幅部3に流れ込む方向に流れ始める。線形増幅部3の出力電流 $I_c$ により電流検知抵抗7にかかる電圧が、ヒステリシスコンパレータ41の低電圧側のしきい値よりも小さくなると、ヒステリシスコンパレータ41の極性は逆転し、スイッチング素子21はオフ(非導通状態)になる。この時、トランス25の2次側では、インダクタ23を流れる電流を維持するために、 $V_{offset}$ からダイオード22を介して第1の負荷1に向かって電流が流れる。また、ダイオード22のカソードの電位 $V_{sw}$ は、 $V_{offset}$ になる。上記のスイッチング動作を繰り返し、ダイオード24とダイオード22が交互に負荷1に電流 $I_m$ を供給する。この電源装置の動作において、線形増幅部3の正側の電源電圧 $V_1$ と負側の電源電圧 $V_2$ も、典型的には $V_{offset}$ 分シフトさせる。

電源装置には、参照信号 $V_{ref}$ として、入力変調信号8の振幅信号9が入力される。入力された振幅信号9は、上に説明した電源装置の動作原理により、その波形を線形に増幅した出力電圧に、 $V_{offset}$ 分のオフセットがかかった出力電圧 $V_{out}$ (図13において符号11で示す波形)として出力される。出力電圧 $V_{out}$ は、電力増幅器の電源電圧として用いられる。電力増幅器は、電源装置の出力電圧 $V_{out}$ を電源として、A級やAB級などの線形増幅を行い、振幅と位相変調された高周波変調信号12を出力する。

電源装置を構成する線形増幅部3の負側の電源 $V_2$ には、第2の負荷30としてのドライバンプがチョークインダクタ36を介して接続し、 $I_c(-)$ を、ドライバンプに供給する電流の一部として利用する。この際、線形増幅部の負側の電源 $V_2$ には、大きな容量のコンデンサ37を設けて、 $I_c(-)$ の時間的な変動の影響を除去する。ドライバンプには、変調信号8が入力され、出力は、電力増幅器に入力される。

このような動作を行うことにより、電力増幅器は、入力された変調信号8の振幅に応じて必要最小限の電力しか電源装置から与えられないため、一定電圧を供給した場合に比べて、無駄な電力が発生せず、高い電力効率で動作することができる。また、電源装置で変調電圧 $V_{out}$ を生成する際に生じる無駄な電力を、第2の負荷30(例えば、送信機を構成するドライバンプ)で利用するため、送信機全体として、非常に高い電力効率を実現することができる。

さらに、本実施形態の送信装置では、出力電圧にVoffset分のオフセット電圧をかけており、それに応じて、線形増幅部3の電圧V1、V2も調整できるため、第2の負荷30に接続されるブロックの動作条件に応じた設計の自由度が上がる。また、Voutにある程度のオフセットを設けることは、ET方式で動作する電力増幅器の出力信号12に

5 電源装置のノイズや非線形性の影響が及ぶのを避ける意味でも望ましい。

尚、図13では、第2の負荷30として、ドライバアンプを接続した例を示したが、これに限定されない。第2の負荷30は、例えば、送信装置を構成するブロックである、トランシーバIC、ベースバンドIC、ADC/DACなどでもよい。一般的に、第1の負荷1(例えば、電力増幅器)で消費される電力は、第2の負荷30(例えば、送信機を構成する

10 他のブロック)の消費電力に比べ非常に大きいため、電源装置で出力電圧Voutの誤差を補正するために発生する程度の電力でも、他のブロックに対しては、十分有効な電源となりうる。

また、図13に示した送信装置では、電源装置として、第1の実施形態の電源装置(電流源として動作するスイッチング増幅部と電圧源として動作する線形増幅部とが並

15 列に接続された電源装置)を採用したが、これに限定されない。送信装置の電源装置は、例えば、第2の実施形態の電源装置(電圧源として動作するスイッチング増幅部と電圧源として動作する線形増幅部とが直列に接続された電力装置)とすることもできる。この場合も、電圧源として動作するスイッチング増幅部の出力にオフセット電圧Voffsetを印加してから、電力増幅器(第1の負荷1)に接続する。

#### 20 [第5の実施形態]

図14は、本発明の第5の実施形態に係る電源装置の構成例を示すブロック図である。本電源装置の特徴は、線形増幅部3に接続される第2の負荷30Aの構成にある。従って、図14では、第2の負荷30Aのみを示し(線形増幅部3は第2の負荷30Aの説明上必要であるため図示する)、それら以外の各構成についての図示は省略する。また、第2の負荷30A以外の各構成およびそれらの動作については、上記第1～第4の実施形態のいずれかで説明済みであるので、以下では、それらの説明については省略

25 する。

図14から諒解されるように、第2の負荷30Aは、線形増幅部3の負側の電源V2に接続される。第2の負荷30Aにおいて、電源V2は、複数の出力を持つDC(Direct Current) - DCコンバータ60に入力する。DC-DCコンバータ60は、電源V2を、複数

30

の出力V21、V22、V23に変換する。出力V21には負荷61が接続される。出力V22には負荷62が接続される。出力V23には負荷63が接続される。

このような構成が特に有効になるのは、例えば、図12や図13に示したような第1の負荷1として「電力増幅器」を接続した場合などである。一般的に、電力増幅器で消費される電力は、第2の負荷30A(例えば、送信機を構成する他のブロック)の消費電力に比べ十分に大きい。そのため、電源装置で出力電圧Voutの誤差を補正するために発生する程度の電力でも、複数のブロックを駆動するのに、十分有効な電源となりうる。さらに、基地局用途などでは、電力増幅器の電源電圧は、送信機を構成する他のブロック(例えば、トランシーバIC、ベースバンドIC、ADC/DACなど)に比べ十分大きい。従って、電源V2を、DC-DCコンバータ60によって各ブロックに適した電圧に変換して供給することが有効である。例えば、基地局用途では、V2=10V程度になることがあり、V21=1.8V、V22=3.3V、V23=5Vなどそれぞれのブロックに適した電圧に降圧して、他のブロックに供給する。

尚、図14の例では、線形増幅部3の負側の電源V2に、第2の負荷30Aを接続したが、第1の負荷1の電気的な極性や、第2の負荷30Aの電気的な極性によっては、正側の電源V1に第2の負荷を接続する場合もありうる。

また、以上説明した第2の負荷30Aを、第1～第4の各実施形態の各第2の負荷30に適用可能であることは説明するまでもない。

#### [第6の実施形態]

図15は、本発明の第6の実施形態に係る電源装置の構成例を示すブロック図である。該電源装置は、第1の負荷214に主たる電力を供給するスイッチング増幅部210と、第1の負荷214にかかる出力電圧を入力信号に応じて補正する線形増幅部212と、を備える。上記補正の際に線形増幅部212に流れ込む電流は、線形増幅部212の電源端子から第2の負荷216に供給される。

以上説明した第6の実施形態によれば、線形増幅部212は、出力電圧の補正に際して発生した電力損失(上記補正の際に線形増幅部212に流れ込む電流に基づく電力)を、第2の負荷216(例えば、システムを構成する他のブロック)の電源として再利用するので、電力効率を向上させることが可能となる。

以上説明した各実施形態は、携帯電話、無線LAN、WiMAX(Worldwide Inter-

perability for Microwave Access)向けの端末や基地局、あるいは地上波デジタル放送局の送信装置に適用することができる。

以上、実施形態を参照して本願発明を説明したが、本願発明は上記実施形態に限定されものではない。本願発明の構成や詳細には、本願発明の範囲内で当業者  
5 が理解し得る様々な変更をすることができる。

この出願は、2011年3月3日に提出された日本出願特願2011-046502を基礎とする優先権を主張し、その開示の全てをここに取り込む。

上記の実施形態の一部又は全部は、以下の付記のようにも記載されうるが、以下  
10 には限られない。

(付記1)第1の負荷に主たる電力を供給するスイッチング増幅部と、前記第1の負荷にかかる出力電圧を入力信号に応じて補正する線形増幅部と、を備え、前記補正の際に前記線形増幅部に流れ込む電流を、前記線形増幅部の電源端子から第2の負荷に供給する電源装置。

15 (付記2)入力信号に応じた出力電圧を生成する電源装置であって、前記入力信号と出力電圧とが線形関係となるように補正する線形増幅部と、前記線形増幅部の出力電流が流れる向きと大きさに基づいた制御信号を生成する制御信号生成部と、前記制御信号に基づいてスイッチング増幅された電流を出力するスイッチング増幅部と、  
20 を備え、前記線形増幅部と前記スイッチング増幅部とは並列に設けられ、前記線形増幅部の出力電流と前記スイッチング増幅部の出力電流とを加算して第1の負荷に出力し、前記補正の際に前記線形増幅部に流れ込む電流を、前記線形増幅部の電源端子から第2の負荷に供給する電源装置。

(付記3)前記線形増幅部の出力電流が流れる向きと大きさは、前記線形増幅部の出力経路に直列に設けられた抵抗体による電位降下を検知することにより求められる、  
25 付記2に記載の電源装置。

(付記4)前記制御信号生成部は、少なくとも1つのヒステリシスコンパレータを有し、前記線形増幅部の出力電流が流れる向きと大きさに基づいた判定結果を前記制御信号として出力する、付記2または3に記載の電源装置。

(付記5)入力信号に応じた出力電圧を生成する電源装置であって、前記入力信号  
30 と出力電圧とが線形関係となるように補正する線形増幅部と、前記入力信号に応じた

制御信号を生成する制御信号生成部と、前記制御信号に基づいてスイッチング増幅された電圧を出力するスイッチング増幅部と、を備え、前記線形増幅部と前記スイッチング増幅部とは直列に設けられ、前記線形増幅部の出力電圧と前記スイッチング増幅部の出力電圧とを加算して第1の負荷に出力し、前記補正の際に前記線形増幅部に流れ込む電流を、前記線形増幅部の電源端子から第2の負荷に供給する電源装置。

(付記6)前記制御信号生成部は、デルタ変調、パルス幅変調、およびデルタシグマ変調のいずれかに基づく構成を有する、付記5に記載の電源装置。

(付記7)前記線形増幅部は、ボルテージフォロアもしくは負帰還増幅器であり、帰還信号を出力端子から得る、付記1~6のいずれか1項に記載の電源装置。

(付記8)前記第2の負荷は、並列に接続された複数のブロックから構成され、前記線形増幅部の電源電圧を前記複数のブロックのそれぞれに対応した電圧に変換して接続する、付記1~7のいずれか1項に記載の電源装置。

(付記9)振幅変調成分と位相変調成分を含む入力変調信号を増幅して出力する送信装置であって、付記1~8のいずれか1項に記載の電源装置と、該電源装置の第1の負荷として接続された電力増幅器と、第2の負荷として接続された構成ブロックと、を有し、前記入力変調信号の振幅変調成分を前記電源装置の入力とし、前記電力増幅器は該電源装置の出力信号を電源として動作し前記入力変調信号を増幅して出力する送信装置。

(付記10)振幅変調成分と位相変調成分を含む入力変調信号を増幅して出力する送信装置であって、付記1~8のいずれか1項に記載の電源装置と、該電源装置の第1の負荷として接続された電力増幅器と、第2の負荷として接続された構成ブロックと、を有し、前記入力変調信号の振幅変調成分を前記電源装置の入力とし、前記電力増幅器は該電源装置の出力信号を電源として動作して前記入力変調信号の位相成分を増幅して出力する送信装置。

(付記11)スイッチング増幅部と線形増幅部とを備える電源装置の制御方法であって、前記スイッチング増幅部において、第1の負荷に主たる電力を供給し、前記線形増幅部において、前記第1の負荷にかかる出力電圧を入力信号に応じて補正し、前記補正の際に前記線形増幅部に流れ込む電流を、前記線形増幅部の電源端子から第2の負荷に供給する制御方法。

## 請求の範囲

### [請求項1]

- 第1の負荷に主たる電力を供給するスイッチング増幅手段と、  
前記第1の負荷にかかる出力電圧を入力信号に応じて補正する線形増幅手段と、  
5      を備え、  
前記補正の際に前記線形増幅手段に流れ込む電流を、前記線形増幅手段の電源端子から第2の負荷に供給することを特徴とする電源装置。

### [請求項2]

- 入力信号に応じた出力電圧を生成する電源装置であって、  
10      前記入力信号と出力電圧とが線形関係となるように補正する線形増幅手段と、  
前記線形増幅手段の出力電流が流れる向きと大きさに基づいた制御信号を生成する制御信号生成手段と、  
前記制御信号に基づいてスイッチング増幅された電流を出力するスイッチング増幅手段と、  
15      を備え、  
前記線形増幅手段と前記スイッチング増幅手段とは並列に設けられ、前記線形増幅手段の出力電流と前記スイッチング増幅手段の出力電流とを加算して第1の負荷に出力し、前記補正の際に前記線形増幅手段に流れ込む電流を、前記線形増幅手段の電源端子から第2の負荷に供給することを特徴とする電源装置。

### [請求項3]

- 前記線形増幅手段の出力電流が流れる向きと大きさは、前記線形増幅手段の出力経路に直列に設けられた抵抗体による電位降下を検知することにより求められることを特徴とする請求項2記載の電源装置。

### [請求項4]

- 25      前記制御信号生成手段は、少なくとも1つのヒステリシスコンパレータを有し、前記線形増幅手段の出力電流が流れる向きと大きさに基づいた判定結果を前記制御信号として出力することを特徴とする請求項2または3記載の電源装置。

### [請求項5]

- 30      入力信号に応じた出力電圧を生成する電源装置であって、  
前記入力信号と出力電圧とが線形関係となるように補正する線形増幅手段と、

前記入力信号に応じた制御信号を生成する制御信号生成手段と、  
前記制御信号に基づいてスイッチング増幅された電圧を出力するスイッチング増幅手段と、  
を備え、

- 5 前記線形増幅手段と前記スイッチング増幅手段とは直列に設けられ、前記線形増幅手段の出力電圧と前記スイッチング増幅手段の出力電圧とを加算して第1の負荷に出力し、前記補正の際に前記線形増幅手段に流れ込む電流を、前記線形増幅手段の電源端子から第2の負荷に供給することを特徴とする電源装置。

[請求項6]

- 10 前記線形増幅手段は、ボルテージフォロアもしくは負帰還増幅器であり、帰還信号を出力端子から得ることを特徴とする請求項1～5のいずれか1項に記載の電源装置。

[請求項7]

- 15 前記第2の負荷は、並列に接続された複数のブロックから構成され、前記線形増幅手段の電源電圧を前記複数のブロックのそれぞれに対応した電圧に変換して接続することを特徴とする請求項1～6のいずれか1項に記載の電源装置。

[請求項8]

振幅変調成分と位相変調成分を含む入力変調信号を増幅して出力する送信装置であって、

- 20 前記請求項1～7のいずれか1項に記載の電源装置と、  
該電源装置の第1の負荷として接続された電力増幅器と、  
第2の負荷として接続された構成ブロックと、  
を有し、

- 25 前記入力変調信号の振幅変調成分を前記電源装置の入力とし、前記電力増幅器は該電源装置の出力信号を電源として動作し前記入力変調信号を増幅して出力することを特徴とする送信装置。

[請求項9]

振幅変調成分と位相変調成分を含む入力変調信号を増幅して出力する送信装置であって、

- 30 前記請求項1～7のいずれか1項に記載の電源装置と、

該電源装置の第1の負荷として接続された電力増幅器と、  
第2の負荷として接続された構成ブロックと、  
を有し、

- 前記入力変調信号の振幅変調成分を前記電源装置の入力とし、前記電力増幅器  
5 は該電源装置の出力信号を電源として動作して前記入力変調信号の位相成分を増  
幅して出力することを特徴とする送信装置。

[請求項10]

- スイッチング増幅部と線形増幅部とを備える電源装置の制御方法であって、  
前記スイッチング増幅部において、第1の負荷に主たる電力を供給し、  
10 前記線形増幅部において、前記第1の負荷にかかる出力電圧を入力信号に応じて  
補正し、  
前記補正の際に前記線形増幅部に流れ込む電流を、前記線形増幅部の電源端  
子から第2の負荷に供給する  
ことを特徴とする制御方法。

図1

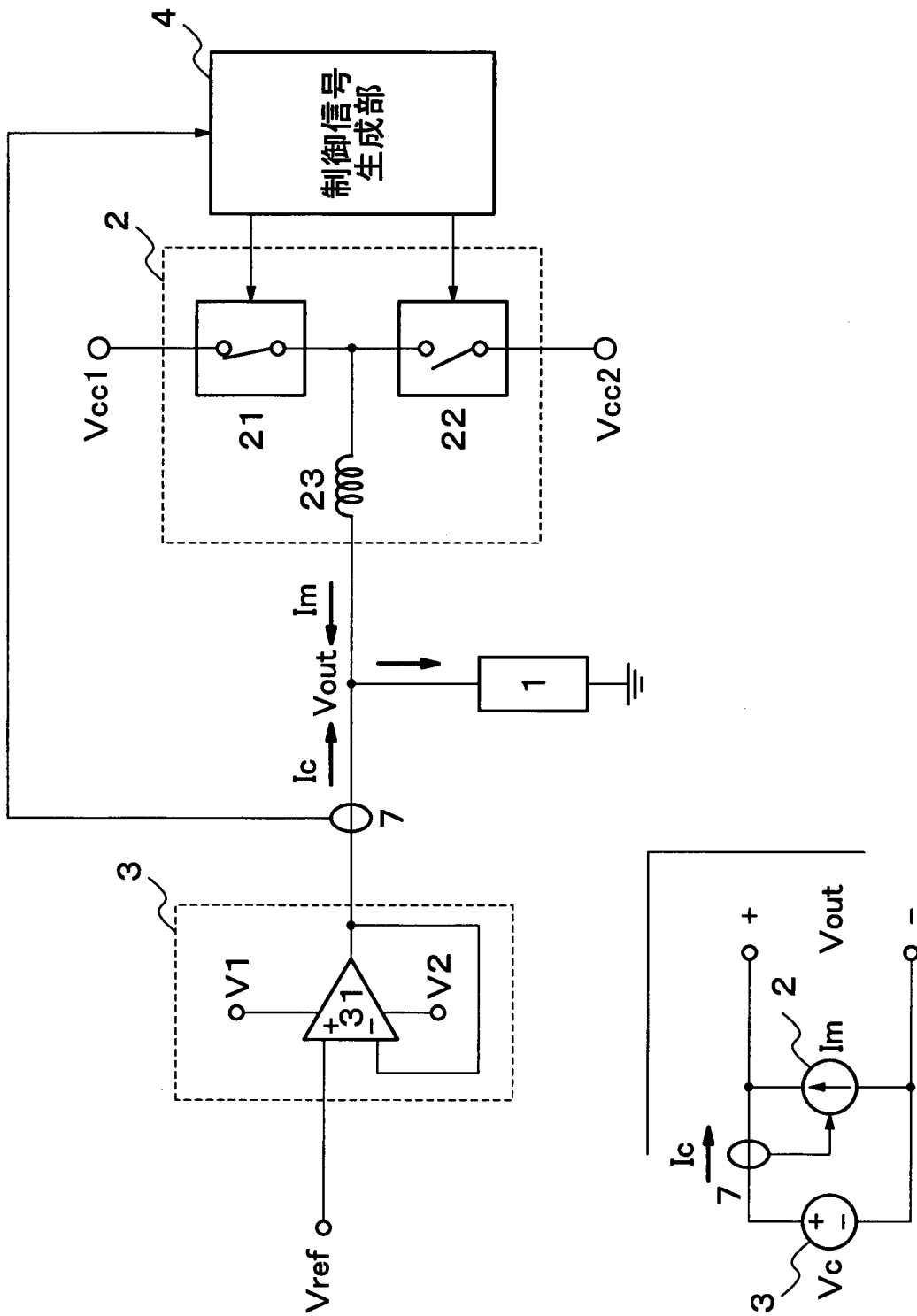


図2

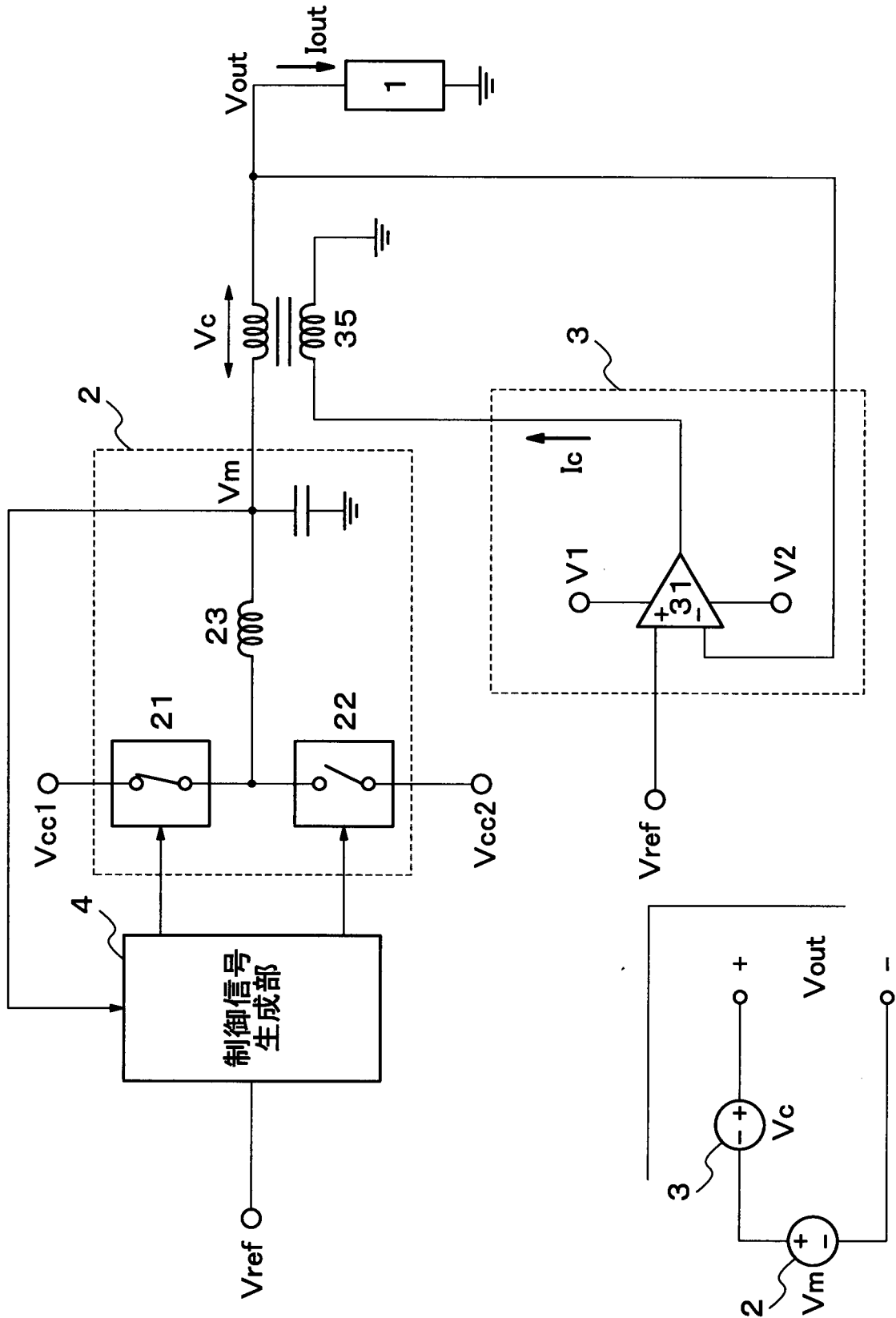


図3

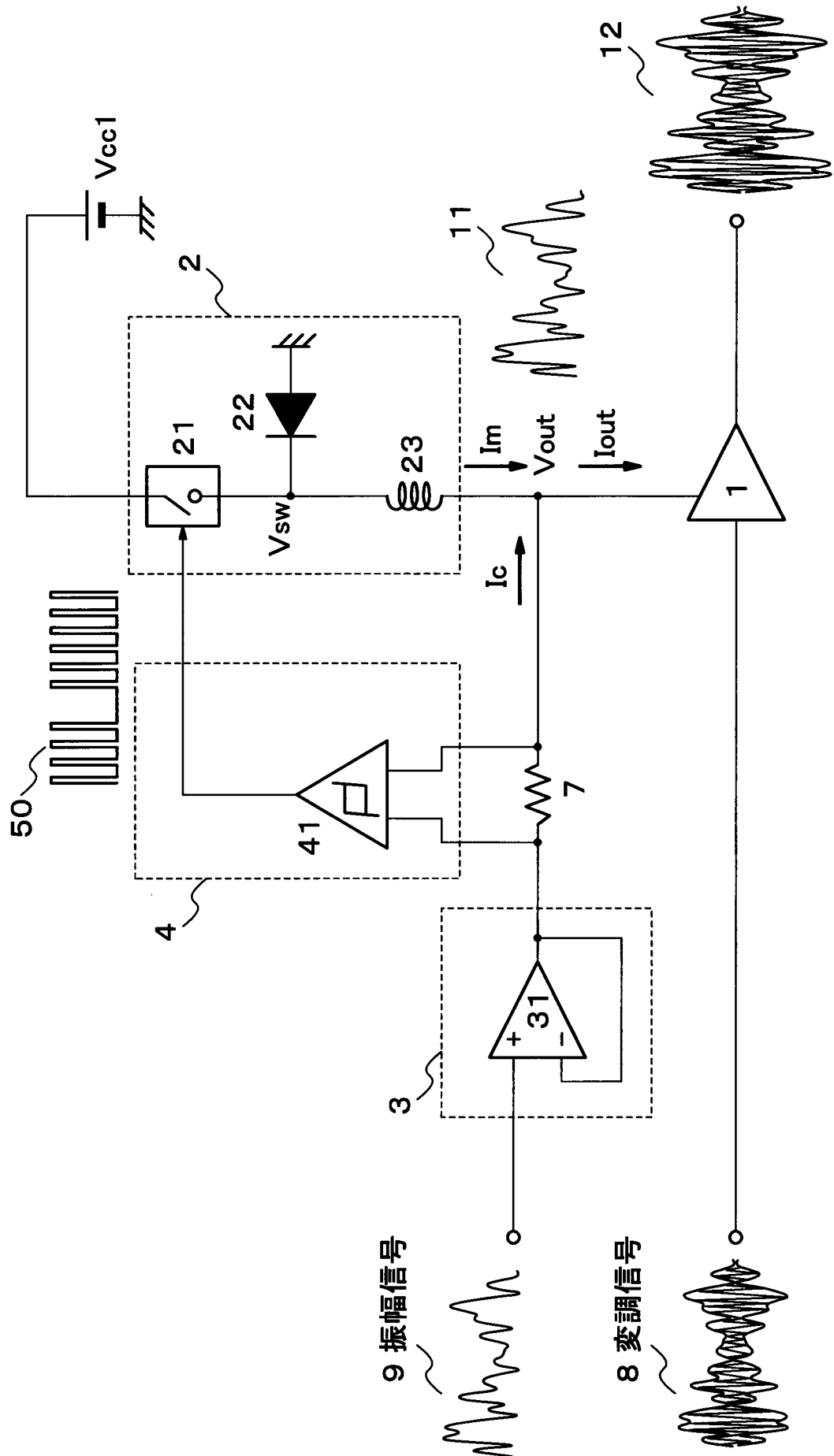


図4

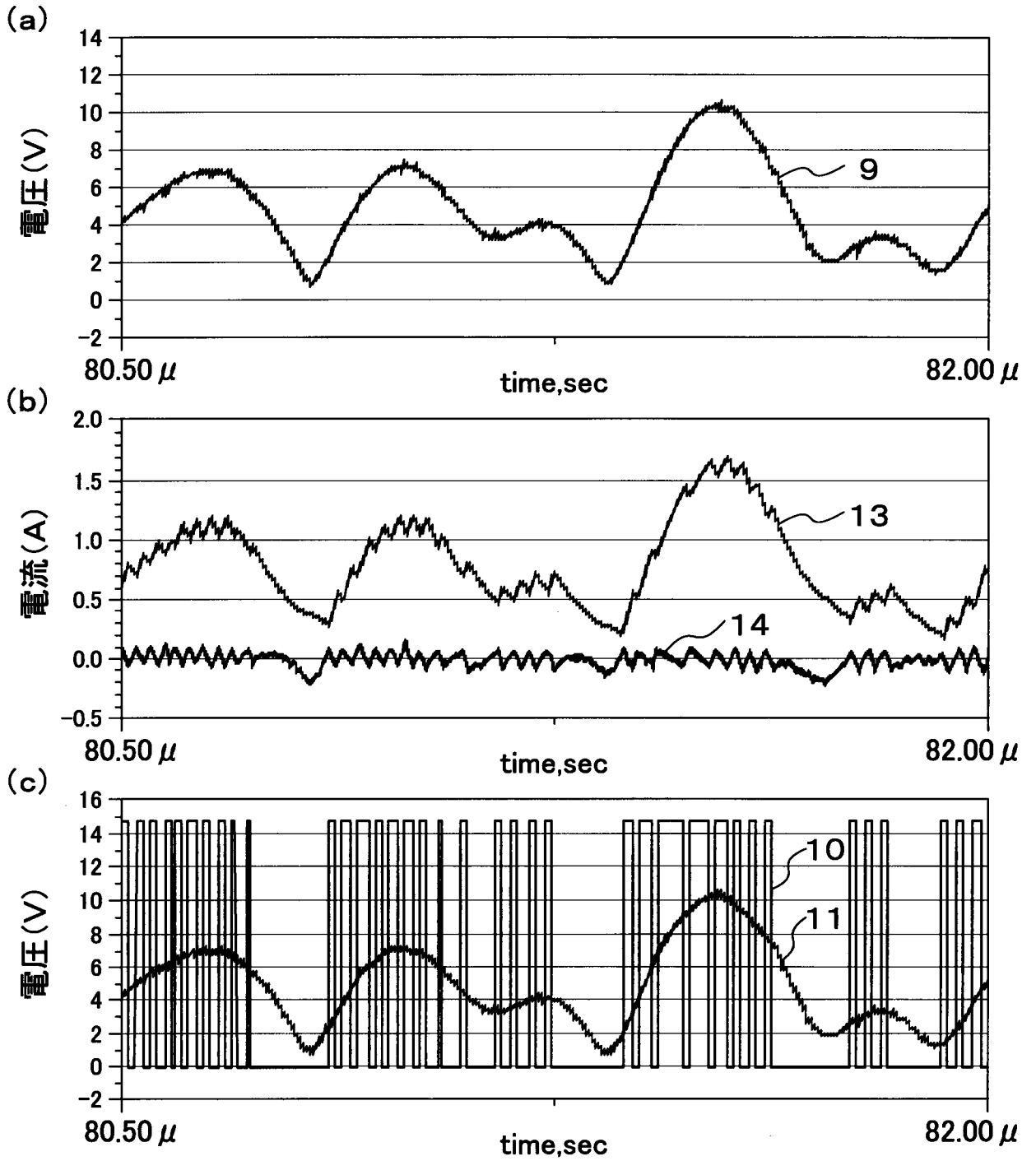


図5

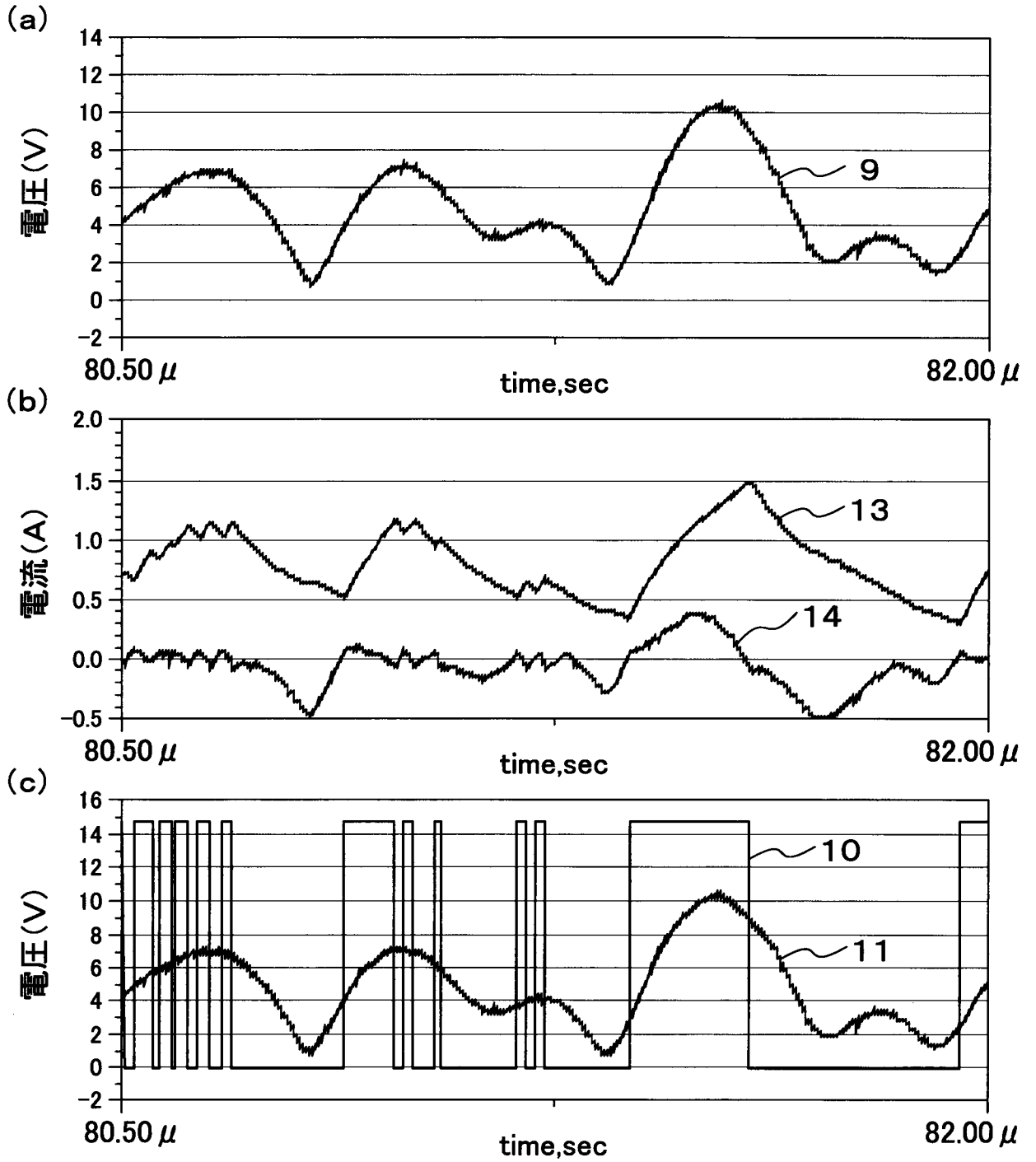


図6

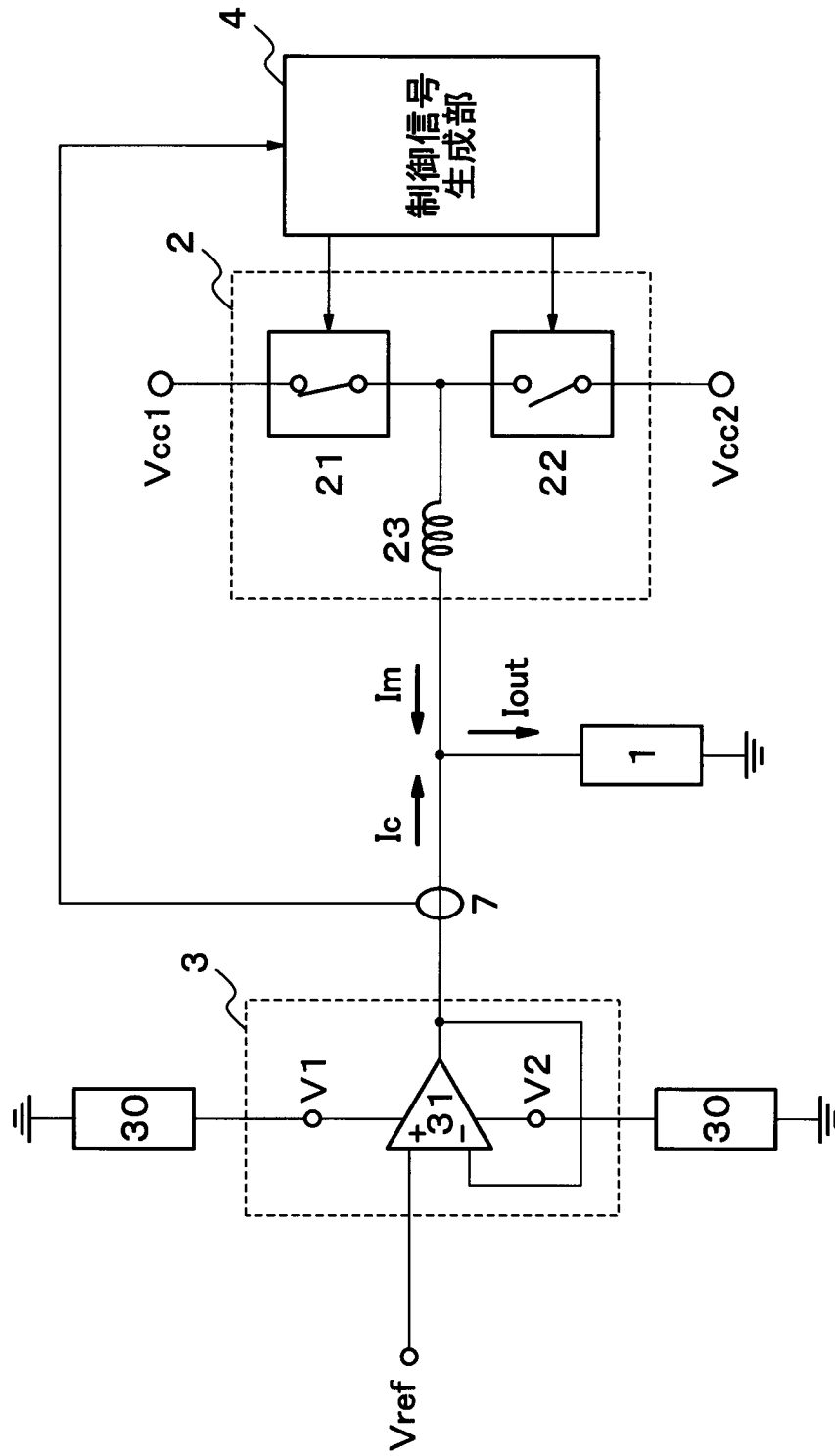




図8

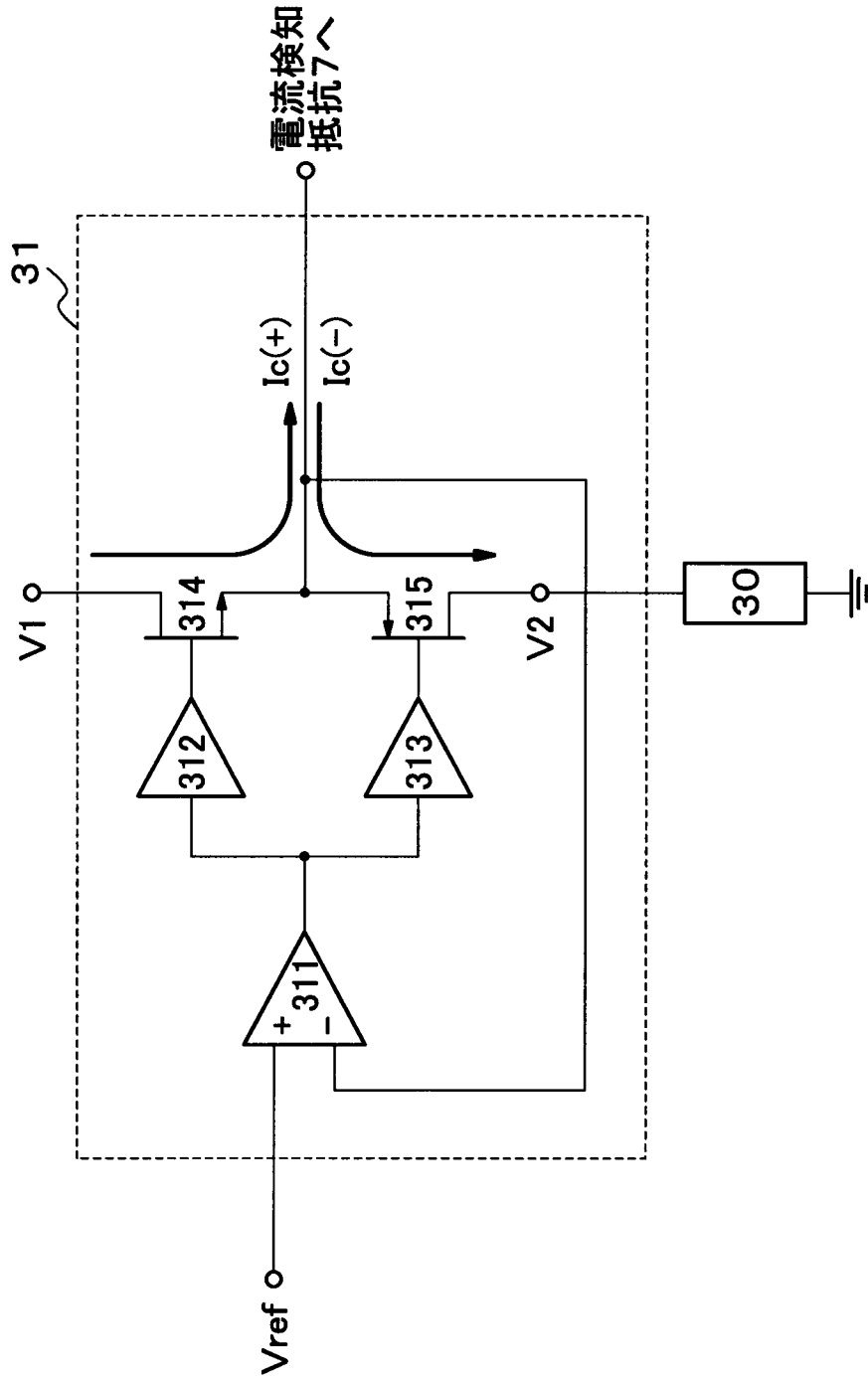
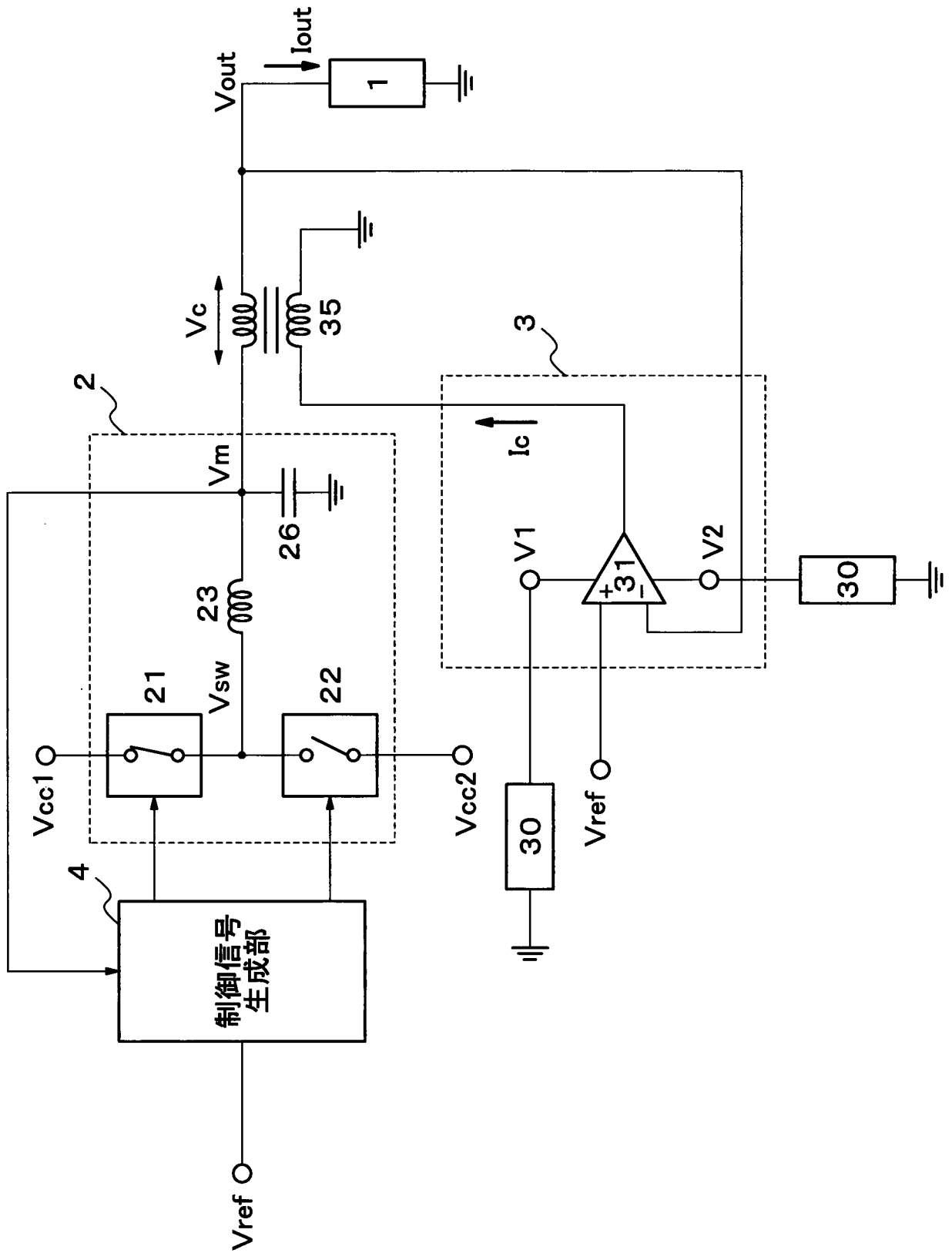


図9



10

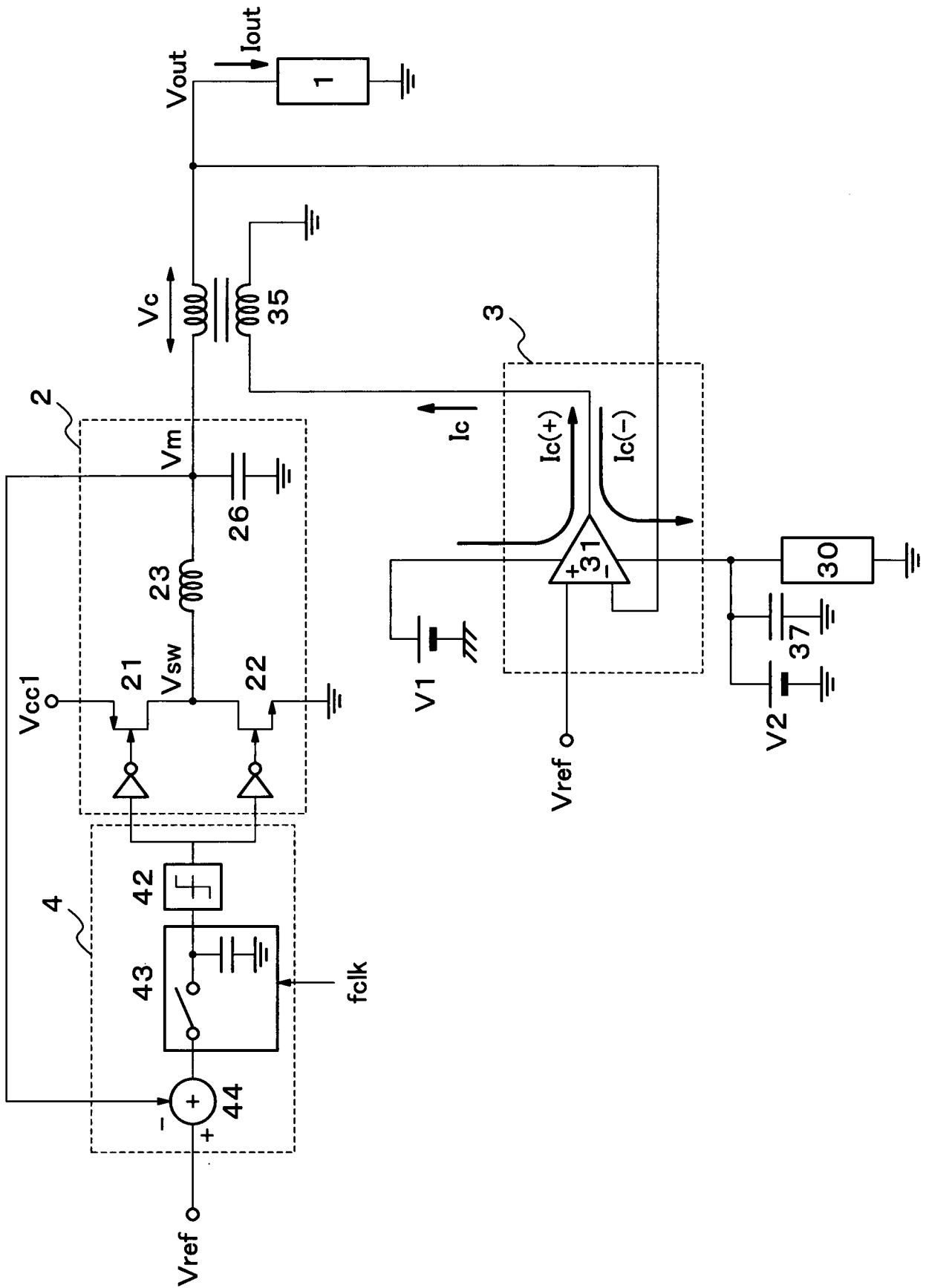


図 11

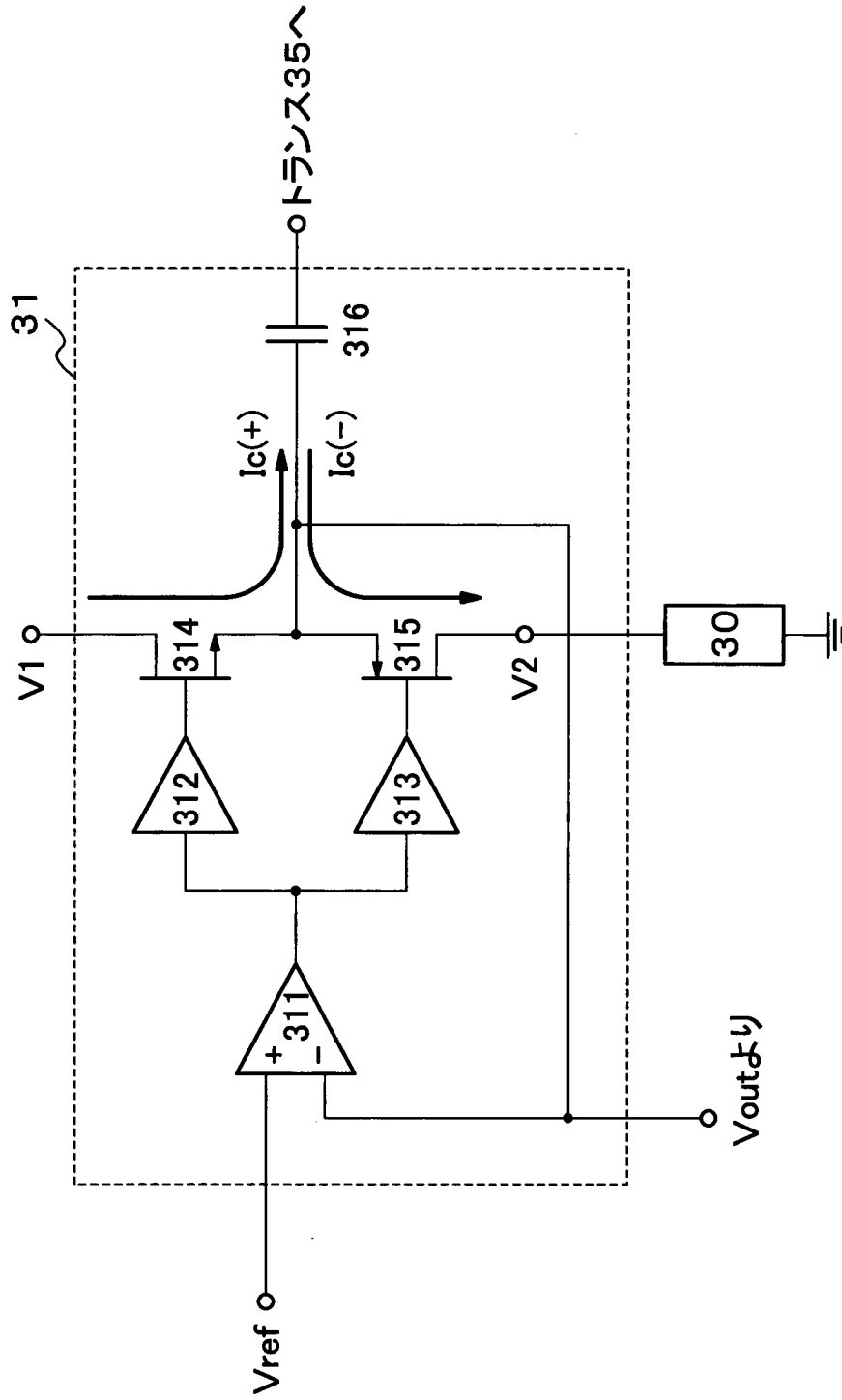




図 13

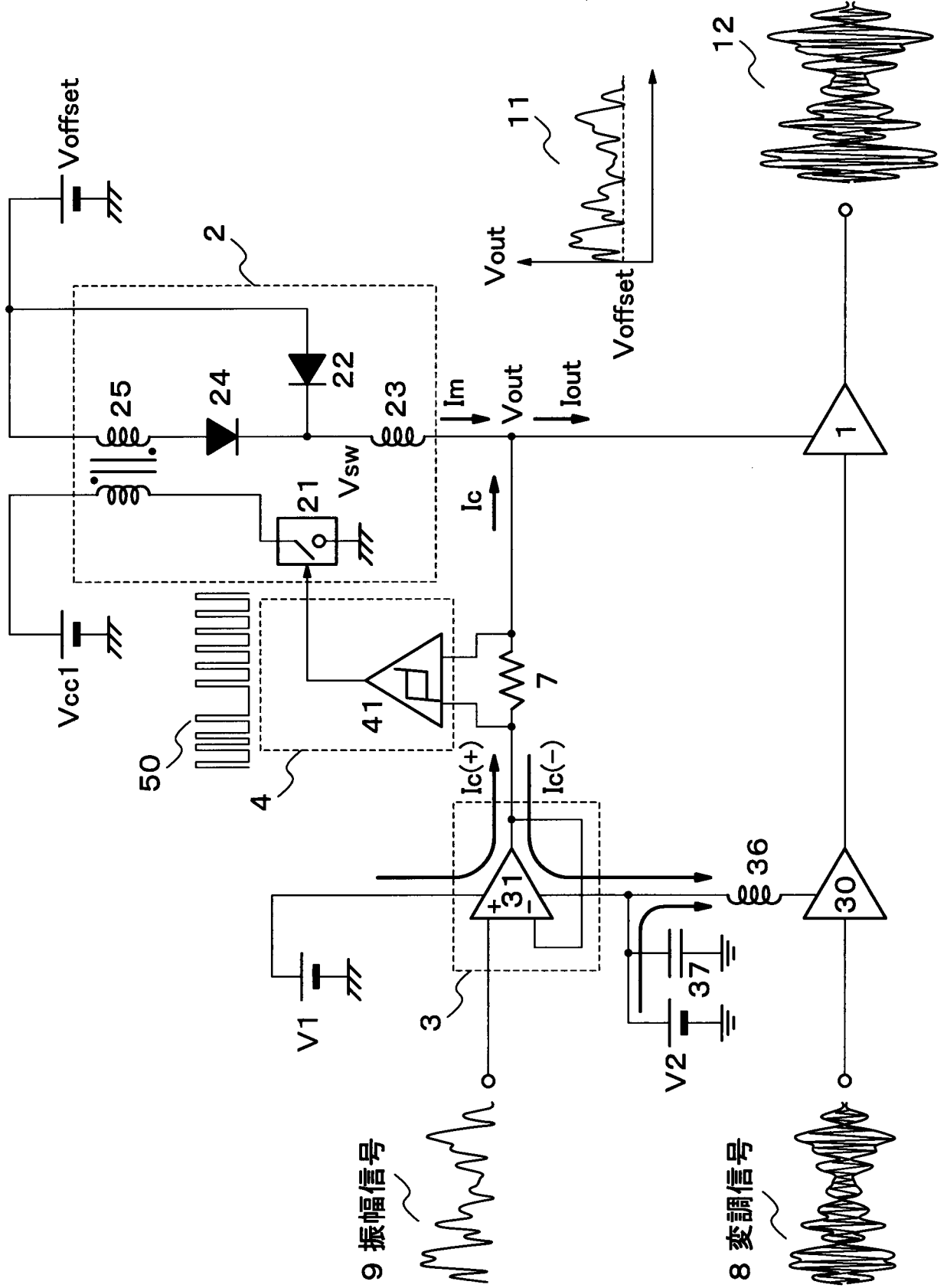
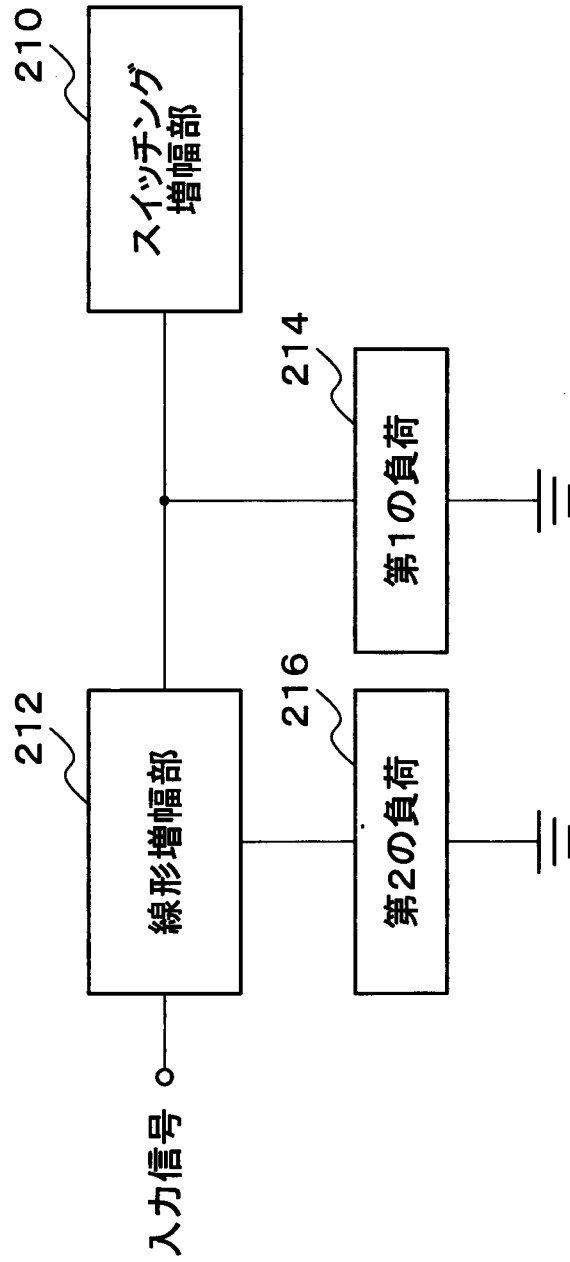




図15



## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/055499

## A. CLASSIFICATION OF SUBJECT MATTER

H03F1/02(2006.01) i, H03F3/217(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H03F1/02, H03F3/217

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2012
Kokai Jitsuyo Shinan Koho	1971-2012	Toroku Jitsuyo Shinan Koho	1994-2012

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	WO 2010/073942 A1 (NEC Corp.), 01 July 2010 (01.07.2010), paragraphs [0017] to [0024]; fig. 1 (Family: none)	1-4, 8, 10
Y	JP 2009-194485 A (NEC Electronics Corp.), 27 August 2009 (27.08.2009), paragraphs [0006] to [0013]; fig. 1 to 3 & US 2009/0201237 A1 & CN 101510761 A	1-10
Y	JP 2007-215158 A (NEC Corp.), 23 August 2007 (23.08.2007), paragraphs [0054] to [0076]; fig. 1, 2 & US 2008/0258831 A1 & WO 2007/080741 A1 & CN 101305515 A	5-7, 9

 Further documents are listed in the continuation of Box C. See patent family annex.

\* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&amp;" document member of the same patent family

Date of the actual completion of the international search  
16 April, 2012 (16.04.12)Date of mailing of the international search report  
24 April, 2012 (24.04.12)Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC)) Int.Cl. H03F1/02(2006.01)i, H03F3/217(2006.01)i		
B. 調査を行った分野 調査を行った最小限資料 (国際特許分類 (IPC)) Int.Cl. H03F1/02, H03F3/217		
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2012年 日本国実用新案登録公報 1996-2012年 日本国登録実用新案公報 1994-2012年		
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	WO 2010/073942 A1 (日本電気株式会社) 2010.07.01, 段落【0017】-【0024】, 図1 (ファミリーなし)	1-4, 8, 10
Y	JP 2009-194485 A (NECエレクトロニクス株式会社) 2009.08.27, 段落【0006】-【0013】, 図1-3 & US 2009/0201237 A1 & CN 101510761 A	1-10
Y	JP 2007-215158 A (日本電気株式会社) 2007.08.23, 段落【0054】-【0076】, 図1, 2 & US 2008/0258831 A1 & WO 2007/080741	5-7, 9
<input checked="" type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー 「A」特に関連のある文献ではなく、一般的技術水準を示すもの 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」口頭による開示、使用、展示等に言及する文献 「P」国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」同一パテントファミリー文献		
国際調査を完了した日	16.04.2012	国際調査報告の発送日
		24.04.2012
国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 高橋 義昭 電話番号 03-3581-1101 内線 3596	5 X   4776

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
	A1 & CN 101305515 A	