



(12)发明专利

(10)授权公告号 CN 103680397 B

(45)授权公告日 2017.08.25

(21)申请号 201310141392.9

(51)Int.Cl.

(22)申请日 2013.04.22

G09G 3/3208(2016.01)

(65)同一申请的已公布的文献号

申请公布号 CN 103680397 A

(56)对比文件

- US 2005/0185752 A1, 2005.08.25,
- CN 102148009 A, 2011.08.10,
- CN 1937020 A, 2007.03.28,
- CN 101145398 A, 2008.03.19,
- US 2008/0062097 A1, 2008.03.13,
- US 2011/0227884 A1, 2011.09.22,
- US 2012/0062525 A1, 2012.03.15,
- US 2008/0297495 A1, 2008.12.04,

(43)申请公布日 2014.03.26

(30)优先权数据

10-2012-0104512 2012.09.20 KR

(73)专利权人 三星显示有限公司

地址 韩国京畿道龙仁市

审查员 李昀清

(72)发明人 张桓寿

(74)专利代理机构 北京铭硕知识产权代理有限公司 11286

代理人 王兆庚 邱玲

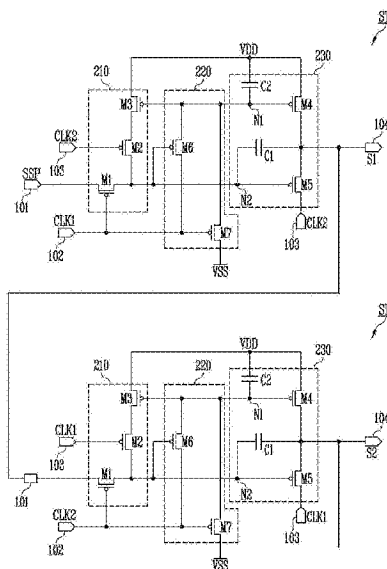
权利要求书3页 说明书8页 附图7页

(54)发明名称

级电路和使用该级电路的有机发光显示器

(57)摘要

一种级电路和使用该级电路的有机发光显示器,所述级电路包括:具有第一节点和第二节点的输出单元,输出单元被构造为根据施加到第一节点和第二节点的电压将第一电源的电压或第三输入端的信号提供给输出端;第一驱动器,被构造为根据第一输入端、第二输入端和第三输入端的信号来控制第二节点的电压;第二驱动器,被构造为根据第二输入端的信号和第二节点的电压来控制第一节点的电压。



1. 一种级电路,包括:

具有第一节点和第二节点的输出单元,输出单元被构造为根据施加到第一节点和第二节点的电压将第一电源的电压或第三输入端的信号提供给输出端;

第一驱动器,被构造为根据第一输入端、第二输入端和第三输入端的信号来控制第二节点的电压;

第二驱动器,被构造为根据第二输入端的信号和第二节点的电压来控制第一节点的电压,

其中,第一输入端接收前一级的输出信号或开始信号,

其中,第二输入端接收第一时钟信号,

其中,第三输入端接收第二时钟信号,并且

其中,第一驱动器包括:

第一输入端和第二节点之间的第一晶体管,第一晶体管具有连接到第二输入端的栅电极;

串联布置在第二节点和第一电源之间的第二晶体管 and 第三晶体管,

其中,第二晶体管的栅电极连接到第三输入端,

其中,第三晶体管的栅电极连接到第一节点。

2. 如权利要求1所述的级电路,

其中,第一时钟信号和第二时钟信号具有相同的时间段并且具有不重叠的相位。

3. 如权利要求2所述的级电路,

其中,第一时钟信号和第二时钟信号具有与两个水平时间段相等的时间段,并且在不同的水平时间段中作为低信号被提供。

4. 如权利要求1所述的级电路,其中,开始信号被提供为与第一时钟信号重叠。

5. 如权利要求1所述的级电路,其中,输出单元包括:

第一电源和输出端之间的第四晶体管,第四晶体管具有连接到第一节点的栅电极;

输出端和第三输入端之间的第五晶体管,第五晶体管具有连接到第二节点的栅电极;

第二节点和输出端之间的第一电容器;

第一节点和第一电源之间的第二电容器。

6. 如权利要求1所述的级电路,其中,第二驱动器包括:

第一节点和第二输入端之间的第六晶体管,第六晶体管具有连接到第二节点的栅电极;

第一节点和第二电源之间的第七晶体管,第二电源具有比第一电源低的电压,第七晶体管具有连接到第二输入端的栅电极。

7. 如权利要求1所述的级电路,其中,第二驱动器包括:

第一节点和第二输入端之间的第六晶体管,第六晶体管具有连接到第二节点的栅电极;

第一节点和第二输入端之间的第七晶体管,第七晶体管以二极管形式被连接。

8. 如权利要求7所述的级电路,其中,第七晶体管以电流从第一节点流到第二输入端的形式被连接在第一节点与第二输入端之间。

9. 如权利要求1所述的级电路,还包括连接到第一输入端、第五输入端和第一驱动器的

双向驱动器。

10. 如权利要求9所述的级电路,其中,双向驱动器包括:

布置在第一输入端和第一驱动器之间的第十晶体管,当第一控制信号被提供时第十晶体管导通;

布置在第五输入端和第一驱动器之间的第十一晶体管,当第二控制信号被提供时第十一晶体管导通。

11. 如权利要求10所述的级电路,

其中,第一输入端接收前一级的输出信号或开始信号,

其中,第五输入端接收下一级的输出信号或开始信号。

12. 一种有机发光显示器,包括:

多个像素,布置在由多条扫描线和多条数据线划分的多个区域中;

数据驱动器,用于将数据信号提供给所述多条数据线;

扫描驱动器,包括连接到所述多条扫描线以将多个扫描信号提供给所述多条扫描线的多个级,

其中,所述多个级中的每个级包括:

具有第一节点和第二节点的输出单元,输出单元被构造为根据施加到第一节点和第二节点的电压将第一电源的电压或第三输入端的信号提供给输出端;

第一驱动器,被构造为根据第一输入端、第二输入端和第三输入端的信号来控制第二节点的电压;

第二驱动器,被构造为根据第二输入端的信号和第二节点的电压来控制第一节点的电压,

其中,第一输入端接收前一级的扫描信号或开始信号,

其中,奇数级的第二输入端接收第一时钟信号,奇数级的第三输入端接收第二时钟信号,

其中,偶数级的第二输入端接收第二时钟信号,偶数级的第三输入端接收第一时钟信号,

其中,第一驱动器包括:

第一输入端和第二节点之间的第一晶体管,第一晶体管具有连接到第二输入端的栅电极;

串联布置在第二节点和第一电源之间的第二晶体管 and 第三晶体管,

其中,第二晶体管的栅电极连接到第三输入端,

其中,第三晶体管的栅电极连接到第一节点。

13. 如权利要求12所述的有机发光显示器,其中,提供给第三输入端的时钟信号被用作扫描信号。

14. 如权利要求12所述的有机发光显示器,其中,第一时钟信号和第二时钟信号具有相同的时间段并且具有不重叠的相位。

15. 如权利要求12所述的有机发光显示器,其中,输出单元包括:

第一电源和输出端之间的第四晶体管,第四晶体管具有连接到第一节点的栅电极;

输出端和第三输入端之间的第五晶体管,第五晶体管具有连接到第二节点的栅电极;

第二节点和输出端之间的第一电容器；

第一节点和第一电源之间的第二电容器。

16. 如权利要求12所述的有机发光显示器,其中,第二驱动器包括:

第一节点和第二输入端之间的第六晶体管,第六晶体管具有连接到第二节点的栅电极;

第一节点和第二电源之间的第七晶体管,第二电源具有比第一电源低的电压,第七晶体管具有连接到第二输入端的栅电极。

17. 如权利要求12所述的有机发光显示器,其中,第二驱动器包括:

第一节点和第二输入端之间的第六晶体管,第六晶体管具有连接到第二节点的栅电极;

第一节点和第二输入端之间的第七晶体管,第七晶体管以二极管形式被连接。

18. 如权利要求17所述的有机发光显示器,其中,第七晶体管以电流从第一节点流到第二输入端的形式被连接。

19. 如权利要求12所述的有机发光显示器,还包括连接到第一输入端、第五输入端和第一驱动器的双向驱动器。

20. 如权利要求19所述的有机发光显示器,其中,双向驱动器包括:

第一输入端和第一驱动器之间的第十晶体管,当第一控制信号被提供时第十晶体管导通;

第五输入端和第一驱动器之间的第十一晶体管,当第二控制信号被提供时第十一晶体管导通。

21. 如权利要求20所述的有机发光显示器,

其中,第一输入端接收前一级的输出信号或开始信号,

其中,第五输入端接收下一级的输出信号或开始信号。

22. 如权利要求12所述的有机发光显示器,其中,提供给第一输入端的前一级的扫描信号或开始信号与提供给第二输入端的时钟信号重叠。

级电路和使用该级电路的有机发光显示器

[0001] 本申请要求于2012年9月20日提交到韩国知识产权局的标题为“级电路和使用该级电路的有机发光显示器”的第10-2012-0104512号韩国专利申请的优先权,该申请通过引用全部包含于此。

技术领域

[0002] 实施例涉及一种级电路和使用该级电路的有机发光显示器。

背景技术

[0003] 最近,已经开发了能够降低阴极射线管(CRT)的缺点的重量和体积的各种平板显示器(FPD)。FPD包括液晶显示器(LCD)、场发射显示器(FED)、等离子体显示面板(PDP)和有机发光显示器。

[0004] 在FPD中,有机发光显示器使用有机发光二极管(OLED)来显示图像,OLED通过电子与空穴的复合来产生光。有机发光显示器具有高响应速度和低功耗。典型的有机发光显示器使用按像素形成的晶体管将与数据信号相应的电流提供给OLED,以使OLED可发光。

[0005] 传统的有机发光显示器包括数据驱动器、扫描驱动器以及像素单元,其中,数据驱动器用于将数据信号提供给数据线,扫描驱动器用于将扫描信号顺序地提供给扫描线,像素单元包括连接到扫描线和数据线的多个像素。

[0006] 当扫描信号被提供给扫描线时,包括在像素单元中的像素被选择,以从数据线接收数据信号。接收数据信号的像素产生具有与数据信号相应的预定亮度分量的光分量,以显示图像。

[0007] 扫描驱动器包括连接到多条扫描线的多个级电路。多个级将扫描信号提供给连接到所述多个级的多条扫描线,以对应于提供给所述多个级的信号。

发明内容

[0008] 一个或多个实施例旨在提供一种级电路,包括:具有第一节点和第二节点的输出单元,输出单元被构造为根据施加到第一节点和第二节点的电压将第一电源的电压或第三输入端的电压提供给输出端;第一驱动器,被构造为根据第一输入端、第二输入端和第三输入端的信号来控制第二节点的电压;第二驱动器,被构造为根据第二输入端的信号和第二节点的电压来控制第一节点的电压。

[0009] 第一输入端可接收前一级的输出信号或开始信号。第二输入端可接收第一时钟信号。第三输入端可接收第二时钟信号。第一时钟信号和第二时钟信号具有相同的时间段并且具有不重叠的相位。第一时钟信号和第二时钟信号可具有与两个水平时间段2H的时间段,并且可在不同的水平时间段中作为低信号被提供。开始信号可被提供为与第一时钟信号重叠。

[0010] 第一驱动器可包括:布置在第一输入端和第二节点之间的第一晶体管,第一晶体管具有连接到第二输入端的栅电极;串联布置在第二节点和第一电源之间的第二晶体管和

第三晶体管。第二晶体管的栅电极可连接到第三输入端，第三晶体管的栅电极可连接到第一节点。

[0011] 输出单元可包括：布置在第一电源和输出端之间的第四晶体管，第四晶体管具有连接到第一节点的栅电极；连接在输出端和第三输入端之间的第五晶体管，第五晶体管具有连接到第二节点的栅电极；连接在第二节点和输出端之间的第一电容器；连接在第一节点和第一电源之间的第二电容器。

[0012] 第二驱动器可包括：布置在第一节点和第二输入端之间的第六晶体管，第六晶体管具有连接到第二节点的栅电极；布置在第一节点和第二电源之间的第七晶体管，第二电源具有比第一电源低的电压，第七晶体管具有连接到第二输入端的栅电极。

[0013] 第二驱动器可包括：布置在第一节点和第二输入端之间的第六晶体管，第六晶体管具有连接到第二节点的栅电极；连接在第一节点和第二输入端之间的第七晶体管，第七晶体管以二极管形式被连接。第七晶体管以电流可从第一节点流到第二输入端的形式被连接。

[0014] 所述级电路还可包括连接到第一输入端、第五输入端和第一驱动器的双向驱动器。

[0015] 双向驱动器可包括：第一输入端和第一驱动器之间的第十晶体管，当第一控制信号被提供时第十晶体管导通；第五输入端和第一驱动器之间的第十一晶体管，当第二控制信号被提供时第十一晶体管导通。第一输入端可接收前一级的输出信号或开始信号，第五输入端可接收下一级的输出信号或开始信号。

[0016] 一个或多个实施例旨在提供一种有机发光显示器，包括：多个像素，布置在由多条扫描线和多条数据线划分的多个区域中；数据驱动器，用于将数据信号提供给所述多条数据线；扫描驱动器，包括连接到所述多条扫描线以将多个扫描信号提供给所述多条扫描线的多个级。所述多个级中的每个级可包括：具有第一节点和第二节点的输出单元，输出单元被构造为根据施加到第一节点和第二节点的电压将第一电源的电压或第三输入端的电压提供给输出端；第一驱动器，被构造为根据第一输入端、第二输入端和第三输入端的信号来控制第二节点的电压；第二驱动器，被构造为根据第二输入端的信号和第二节点的电压来控制第一节点的电压。

[0017] 提供给第三输入端的时钟信号可被用作扫描信号。第一输入端可接收前一级的扫描信号或开始信号。奇数级的第二输入端可接收第一时钟信号，奇数级的第三输入端可接收第二时钟信号。偶数级的第二输入端可接收第二时钟信号，偶数级的第三输入端可接收第一时钟信号。第一时钟信号和第二时钟信号可具有相同的时间段并且可具有不重叠的相位。

[0018] 第一驱动器可包括：布置在第一输入端和第二节点之间的第一晶体管，第一晶体管具有连接到第二输入端的栅电极；串联布置在第二节点和第一电源之间的第二晶体管和第三晶体管。第二晶体管的栅电极可连接到第三输入端，第三晶体管的栅电极可连接到第一节点。

[0019] 输出单元可包括：布置在第一电源和输出端之间的第四晶体管，第四晶体管具有连接到第一节点的栅电极；连接在输出端和第三输入端之间的第五晶体管，第五晶体管具有连接到第二节点的栅电极；连接在第二节点和输出端之间的第一电容器；连接在第一节

点和第一电源之间的第二电容器。

[0020] 第二驱动器可包括：布置在第一节点和第二输入端之间的第六晶体管，第六晶体管具有连接到第二节点的栅电极；布置在第一节点和第二电源之间的第七晶体管，第二电源具有比第一电源低的电压，第七晶体管具有连接到第二输入端的栅电极。

[0021] 第二驱动器可包括：第一节点和第二输入端之间的第六晶体管，第六晶体管具有连接到第二节点的栅电极；连接在第一节点和第二输入端之间的第七晶体管，第七晶体管以二极管形式被连接。第七晶体管以电流可从第一节点流到第二输入端的形式被连接。

[0022] 所述级电路还可包括连接到第一输入端、第五输入端和第一驱动器的双向驱动器。

[0023] 双向驱动器可包括：第一输入端和第一驱动器之间的第十晶体管，当第一控制信号被提供时第十晶体管导通；第五输入端和第一驱动器之间的第十一晶体管，当第二控制信号被提供时第十一晶体管导通。第一输入端可接收前一级的输出信号或开始信号，第五输入端可接收下一级的输出信号或开始信号。

[0024] 提供给第一输入端的前一级的扫描信号或开始信号可以与提供给第二输入端的时钟信号重叠。

附图说明

[0025] 通过参照附图详细描述示例性实施例，多个特征对于本领域普通技术人员来说将变得明显，在附图中：

[0026] 图1示出根据实施例的有机发光显示器的示图；

[0027] 图2示出图1中示出的扫描驱动器的实施例的示图；

[0028] 图3示出图2中示出的多个级的第一实施例的电路图；

[0029] 图4示出驱动图3中示出的多个级电路的方法的波形图；

[0030] 图5示出图3的多个级电路的仿真结果的波形图；

[0031] 图6示出根据第二实施例的多个级的电路图；

[0032] 图7示出根据第三实施例的多个级的电路图。

具体实施方式

[0033] 现在将参照附图更全面地描述示例实施例；然而，示例实施例可以以不同的形式被实现并且不应该被解释为限于在这里阐述的实施例。相反，这些实施例被提供以使本公开是全面的和完整的，并且将向本领域技术人员完全地传达示例性实施方式。相同的标号始终表示相同的元件。

[0034] 还将理解，当一个元件被称为在另一元件“之间”、“连接到”或“结合到”另一元件时，该元件可以直接在另一元件之间、直接连接或结合到另一元件，或者可以存在中间元件。相反，当一个元件被称为“直接”在另一元件“之间”、直接“连接到”或“结合到”另一元件时，不存在中间元件。

[0035] 在下文中，级电路和使用该级电路的有机发光显示器将参照图1至图7被详细描述如下，本领域技术人员可容易地执行本发明构思的示例性实施例包括在图1至图7中。

[0036] 图1示出根据实施例的有机发光显示器的示图。参照图1，根据实施例的有机发光

显示器包括像素单元40、扫描驱动器10、数据驱动器20和时序控制器50,像素单元40具有布置在扫描线S1至Sn与数据线D1至Dm的交叉处的像素30,扫描驱动器10用于驱动扫描线S1至Sn,数据驱动器20用于驱动数据线D1至Dm,时序控制器50用于控制扫描驱动器10和数据驱动器20。

[0037] 扫描驱动器10将扫描信号提供给扫描线S1至Sn。例如,扫描驱动器10可将扫描信号顺序地提供给扫描线S1至Sn。在这种情况下,以水平线为单元来选择像素30。为此,扫描驱动器10包括连接到扫描线S1至Sn的级电路(如图2中所示)。

[0038] 数据驱动器20与扫描信号同步地将数据信号提供给数据线D1至Dm。然后,与数据信号相应的电压被充入通过扫描信号选择的像素30。

[0039] 时序控制器50控制扫描驱动器10和数据驱动器20。此外,时序控制器50将来自外部的数据(未示出)发送到数据驱动器20。

[0040] 当提供扫描信号以充入与数据信号相应的电压并且将与充入的电压相应的电流提供给有机发光二极管(未示出)时,像素30被选择以产生具有预定亮度分量的光分量。

[0041] 图2示出图1中示出的扫描驱动器的实施例的示图。在图2中,为了方便,将示出四个级。

[0042] 参照图2,扫描驱动器10包括多个级ST1至ST4。所述多个级ST1至ST4分别连接到扫描线S1至S4,并且根据时钟信号CLK1和CLK2被驱动。多个级ST1至ST4可具有相同的电路布局。多个级ST1至ST4中的每个级包括第一输入端101至第三输入端103以及输出端104。

[0043] 多个级ST1至ST4中的每个级的第一输入端101接收前一级的输出信号(即,扫描信号)或开始信号SSP。例如,第一级ST1的第一输入端101接收开始信号SSP,其他级ST2至ST4的第一输入端101接收前一级的输出信号。

[0044] 第i级(i是奇数)STi的第二输入端102接收第一时钟信号CLK1,第i级STi的第三输入端103接收第二时钟信号CLK2。第i+1级STi+1的第二输入端102接收第二时钟信号CLK2,第i+1级STi+1的第三输入端103接收第一时钟信号CLK1。

[0045] 第一时钟信号CLK1和第二时钟信号CLK2具有相同的时间段并且具有不重叠的相位。例如,当扫描信号被提供给一条扫描线的时间段被称为1水平时间段1H时,时钟信号CLK1和CLK2具有2H的时间段并且在不同的水平时间段被提供。具体地讲,虽然第一时钟信号CLK1和第二时钟信号CLK2不被提供的时间可以重叠(例如,第一时钟信号CLK1和第二时钟信号CLK2可同时具有高电平),但是第一时钟信号CLK1和第二时钟信号CLK2被提供的时间(例如,第一时钟信号CLK1和第二时钟信号CLK2具有低电平的时间)不重叠。

[0046] 图3示出图2中示出的多个级的第一实施例的电路图。在图3中,为了简便,将描述第一级ST1和第二级ST2。在图3中,晶体管是PMOS晶体管。然而,实施例不限于以上形式。例如,晶体管可以是NMOS晶体管。参照图3根据第一实施例的级ST1包括第一驱动器210、第二驱动器220和输出单元230。

[0047] 输出单元230根据施加到第一节点N1和第二节点N2的电压来控制提供给输出端104的电压。为此,输出单元230包括第四晶体管M4、第五晶体管M5、第一电容器C1和第二电容器C2。

[0048] 第四晶体管M4布置在第一电源VDD和输出端104之间。第四晶体管M4的栅电极连接到第一节点N1。第四晶体管M4根据施加到第一节点N1的电压来控制第一电源VDD和输出端

104之间的连接。这里,第一电源VDD被设置为栅极截止电压,例如,高电平电压。

[0049] 第五晶体管M5布置在输出端104和第三输入端103之间。第五晶体管M5的栅电极连接到第二节点N2。第五晶体管M5根据施加到第二节点N2的电压来控制输出端104和第三输入端103之间的连接。

[0050] 第一电容器C1连接在第二节点N2和输出端104之间。第一电容器C1充入与第五晶体管M5的导通和截止相应的电压。

[0051] 第二电容器C2连接在第一节点N1和第一电源VDD之间。第二电容器C2充入施加到第一节点N1的电压。

[0052] 第一驱动器210根据提供给第一输入端101至第三输入端103的信号来控制第二节点N2的电压。为此,第一驱动器210包括第一晶体管M1、第二晶体管M2和第三晶体管M3。

[0053] 第一晶体管M1布置在第一输入端101和第二节点N2之间。第一晶体管M1的栅电极连接到第二输入端102。第一晶体管M1根据提供给第二输入端102的电压来控制第一输入端101和第二节点N2之间的连接。

[0054] 第二晶体管M2和第三晶体管M3串联连接在第二节点N2和第一电源VDD之间。具体地讲,第二晶体管M2布置在第三晶体管M3和第二节点N2之间。第二晶体管M2的栅电极连接到第三输入端103。第二晶体管M2根据提供给第三输入端103的电压来控制第三晶体管M3和第二节点N2之间的连接。

[0055] 第三晶体管M3布置在第二晶体管M2和第一电源VDD之间。第三晶体管M3的栅电极连接到第一节点N1。第三晶体管M3根据第一节点N1的电压来控制第二晶体管M2和第一电源VDD之间的连接。

[0056] 第二驱动器220根据提供给第二输入端102和第二节点N2的电压来控制第一节点N1的电压。为此,第二驱动器220包括第六晶体管M6和第七晶体管M7。

[0057] 第六晶体管M6布置在第一节点N1和第二输入端102之间。第六晶体管M6的栅电极连接到第二节点N2。第六晶体管M6根据第二节点N2的电压来控制第一节点N1和第二输入端102之间的连接。

[0058] 第七晶体管M7布置在第一节点N1和第二电源VSS之间。第七晶体管M7的栅电极连接到第二输入端102。第七晶体管M7根据第二输入端102的电压来控制第一节点N1和第二电源VSS之间的连接。这里,第二电压VSS被设置为栅极导通电压,例如,低电平电压。

[0059] 图4示出驱动图3中示出的多个级电路的方法的波形图。在图4中,为了简便,将使用第一级ST1来描述操作处理。

[0060] 参照图4,第一时钟信号CLK1和第二时钟信号CLK2具有两个水平时间段,并且在不同的水平时间段中被提供。开始信号SSP(或前一级的输出信号)与提供给第二输入端102的时钟信号CLK1或CLK2同步地被提供。

[0061] 详细地讲,在第三水平时间段期间,开始信号SSP与第一时钟信号CLK1同步地被提供。当第一时钟信号CLK1被提供时,第一晶体管M1和第七晶体管M7导通。当第一晶体管M1导通时,第一输入端101和第二节点N2彼此电连接。在这种情况下,第二节点N2通过提供给第一输入端101的开始信号SSP被设置为低电压。当第二节点N2被设置为低电压时,第五晶体管M5和第六晶体管M6导通。

[0062] 当第五晶体管M5导通时,第三输入端103和输出端104彼此电连接。这里,第三输入

端103被设置在高电压(即,第二时钟信号CLK2),从而高电压被输出到输出端104。当第六晶体管M6导通时,第二输入端102和第一节点N1彼此电连接。然后,提供给第二输入端102的第一时钟信号CLK1的电压(即,低电压)被提供给第一节点N1。此外,因为第七晶体管M7导通,所以第二电源VSS的电压被提供给第一节点N1。这里,第二电源VSS的电压被设置为与第一时钟信号CLK1的电压相同(或相似),从而第一节点N1稳定地保持低电压。

[0063] 当低电压被提供给第一节点N1时,第四晶体管M4和第三晶体管M3导通。当第三晶体管M3导通时,第一电源VDD和第二晶体管M2彼此电连接。这里,因为第二晶体管M2被设置在截止状态,所以虽然第三晶体管M3导通,但是第二节点N2稳定地保持低电压。当第四晶体管M4导通时,第一电源VDD的电压被提供给输出端104。这里,第一电源VDD的电压被设置为与提供给第三输入端103的高电压相同,从而输出端104稳定地保持高电压。

[0064] 然后,停止提供开始信号SSP和第一时钟信号CLK1。当停止提供第一时钟信号CLK1时,第一晶体管M1和第七晶体管M7截止。此时,第五晶体管M5和第六晶体管M6根据存储在第一电容器C1中的电压而保持导通状态。

[0065] 当第五晶体管M5保持导通状态时,输出端104和第三输入端103保持电连接。因此,输出端104从第三输入端103接收高电压。

[0066] 另一方面,因为第六晶体管M6保持导通状态,所以第一节点N1和第二输入端102彼此电连接。这里,因为停止提供第一时钟信号CLK1,所以第二输入端102的电压被设置为高电压,从而第一节点N1被设置在高电压。当高电压被提供给第一节点N1时,第四晶体管M4截止。

[0067] 然后,在第四水平时间段,第二时钟信号CLK2被提供给第三输入端103。此时,因为第五晶体管M5被设置在导通状态,所以提供给第三输入端103的第二时钟信号CLK2被提供给输出端104。在这种情况下,输出端104将第二时钟信号CLK2作为扫描信号输出到扫描线S1。

[0068] 在扫描信号被输出到扫描线S1之后,第一时钟信号CLK1在第五水平时间段中被提供。当第一时钟信号CLK1被提供时,第一晶体管M1和第七晶体管M7导通。当第一晶体管M1导通时,第一输入端101和第二节点N2彼此电连接。此时,开始信号SSP没有被提供给第一输入端101,从而第一输入端101被设置在高电压。因此,当第一晶体管M1导通时,高电压被提供给第二节点N2,从而第五晶体管M5和第六晶体管M6截止。

[0069] 当第七晶体管M7导通时,第二电源VSS被提供给第一节点N1,从而第三晶体管M3和第四晶体管M4导通。当第四晶体管M4导通时,第一电源VDD的电压被提供给输出端104。然后,第四晶体管M4和第三晶体管M3根据充入第二电容器C2的电压保持导通状态,从而输出端104稳定地接收第一电源VDD的电压。

[0070] 此外,当第二时钟信号CLK2被提供时,第二晶体管M2导通。此时,因为第三晶体管M3被设置在导通状态,所以第一电源VDD的电压被提供给第二节点N2。在此情况下,第五晶体管M5和第六晶体管M6稳定地保持截止状态。

[0071] 第二级ST2与第二时钟信号CLK2同步地接收第一级ST1的输出信号(即,扫描信号)。在这种情况下,第二级ST2在第五水平时间段期间与第一时钟信号CLK1同步地将扫描信号输出到第二扫描线S2。实际上,级ST重复上述过程以顺序地将多个扫描信号输出到多条扫描线。

[0072] 图5示出图3的多个级电路的仿真结果的波形图。参照图5,使用根据第一实施例的多个级电路的扫描驱动器顺序地将多个扫描信号提供给多条扫描线。此外,根据第一实施例的多个级电路仅使用第一时钟信号CLK1和第二时钟信号CLK2将多个扫描信号输出到多条扫描线。即,根据本发明的多个级电路不接收另外的初始化信号,从而扫描信号的宽度可以被设置为较大(例如,1H)。

[0073] 图6示出根据第二实施例的多个级的电路图。在图6中,将通过相同的标号来表示与图3的元件相同的元件,并且将不再重复其详细描述。

[0074] 参照图6,在根据第二实施例的级中,第二驱动器220a包括以二极管形式连接在第一节点N1和第二输入端102之间的第七晶体管M7'。即,第七晶体管M7'为二极管连接形式,从而电流可从第一节点N1流到第二输入端102。在这种情况下,当低电压被提供给第二输入端102时,第一节点N1的电压降低到低电压。因为其他操作处理与根据第一实施例的级的操作处理相同,所以将不再重复操作处理。

[0075] 图7示出根据第三实施例的多个级的电路图。在图7中,将通过相同的标号来表示与图3的元件相同的元件,并且将不再重复其详细描述。

[0076] 参照图7,根据第三实施例的级电路还包括双向驱动器240。双向驱动器240执行这样的控制:使得扫描信号可沿第一方向(从第一扫描线S1至第n扫描线Sn)或沿第二方向(从第n扫描线Sn至第一扫描线S1)被提供。为此,双向驱动器240包括第十晶体管M10和第十一晶体管M11。

[0077] 第十晶体管M10连接在第一输入端101和第一驱动器210之间。当第一控制信号CS1被提供时,第十晶体管M10导通。这里,第一输入端101接收前一级的扫描信号(或开始信号)。

[0078] 第十一晶体管M11连接在第五输入端105和第一驱动器210之间。当第二控制信号CS2被提供时,第十一晶体管M11导通。这里,第五输入端105接收下一级的扫描信号(或开始信号)。

[0079] 在描述操作处理中,当第一控制信号CS1被提供时,第十晶体管M10导通。当第十晶体管M10导通时,根据前一级的扫描信号驱动多个级,从而沿第一方向顺序输出多个扫描信号。

[0080] 当第二控制信号CS2被提供时,第十一晶体管M11导通。当第十一晶体管M11导通时,根据下一级的扫描信号驱动多个级。因为其他驱动处理与根据第一实施例的驱动处理相同,所以将不再重复其详细描述。

[0081] 通过总结和回顾,实施例提供具有减少数量的晶体管并且仅使用第一时钟信号和第二时钟信号来输出扫描信号的多个级。相反,传统的级电路包括多个晶体管(例如,至少十个晶体管)以提供扫描信号和/或除了第一时钟信号和第二时钟信号之外还需要使用初始化信号。当级中的晶体管的数量增加时,制程良率恶化,从而驱动稳定性恶化。当需要多个初始化信号时,只有少量时间用于提供扫描信号,从而降低了稳定性。当晶体管的数量增加和/或需要多个初始化信号时,复杂性增加。因此,根据实施例的多个级以及使用其的有机发光显示器提高稳定性并且降低复杂性。

[0082] 这里已经公开了示例实施例,虽然采用了特定术语,但是这些术语仅以通用意义和描述性意义来使用和解释,而非限制的目的。在一些情况下,本领域普通技术人员将像提

交本申请一样清楚地是：结合特定实施例描述的特征、特性和/或元件可以被单独使用，和/或除非另外特别指出，否则结合特定实施例描述的特征、特性和/或元件可以与结合其他实施例描述的特征、特性和/或元件组合使用。因此，本领域技术人员将理解，在不脱离权利要求阐述的本发明的精神和范围的情况下，可以进行各种形式和细节的改变。

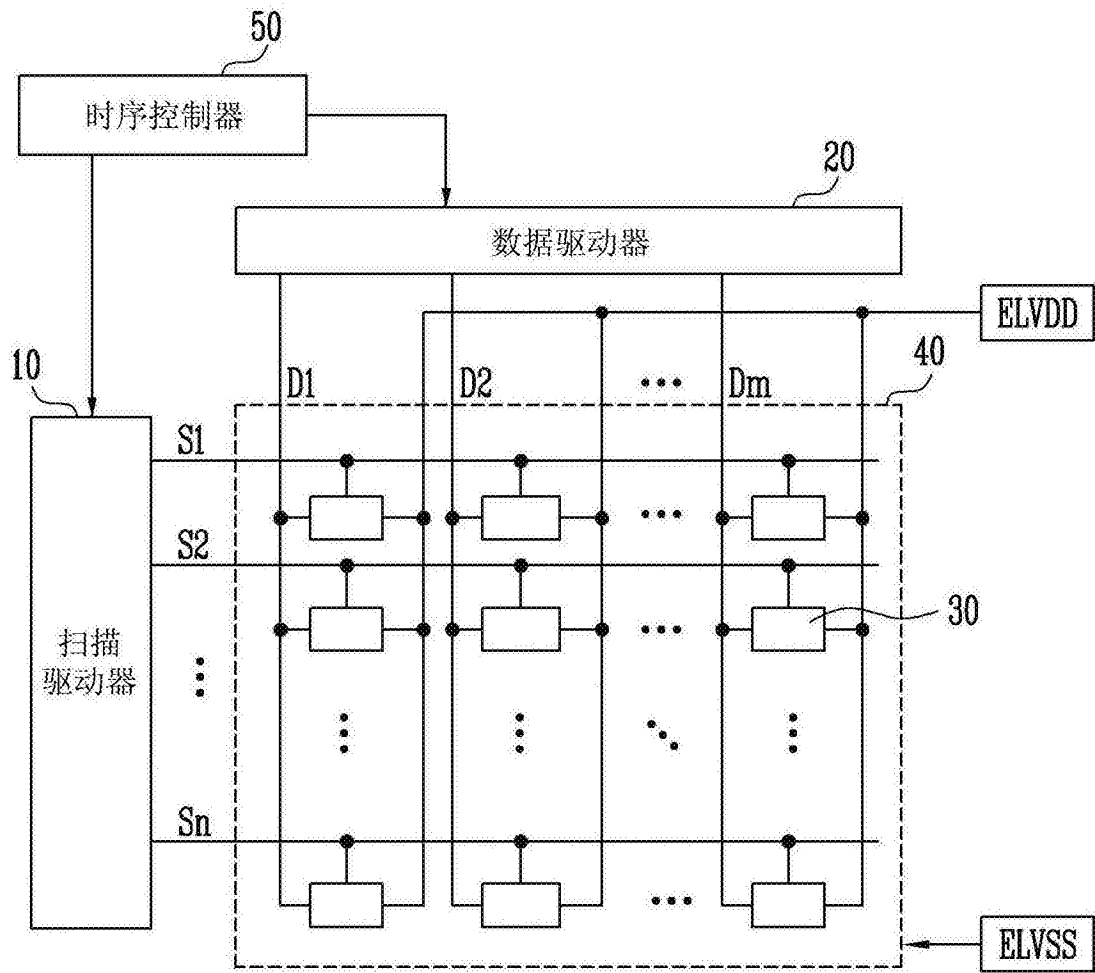


图1

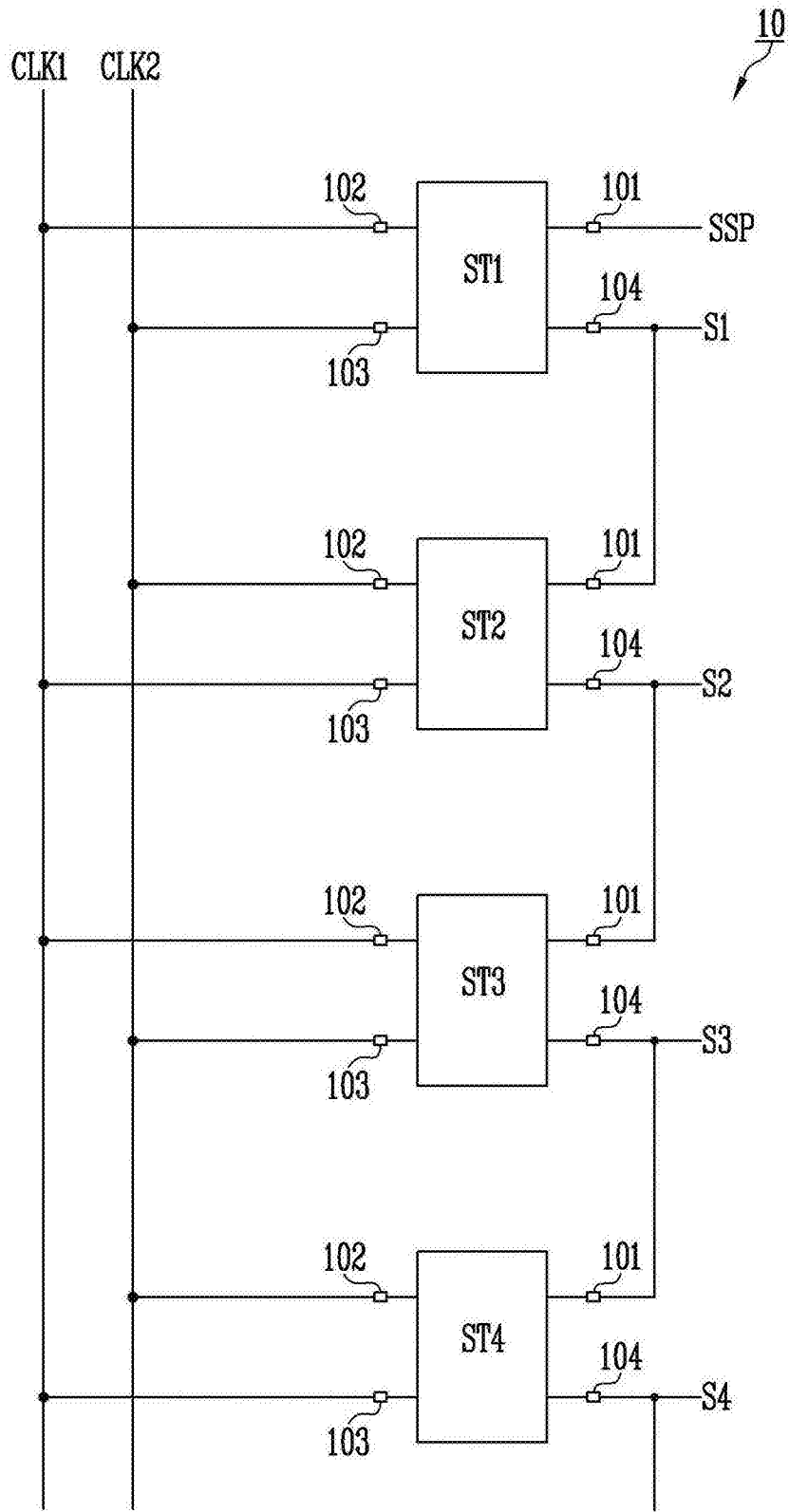


图2

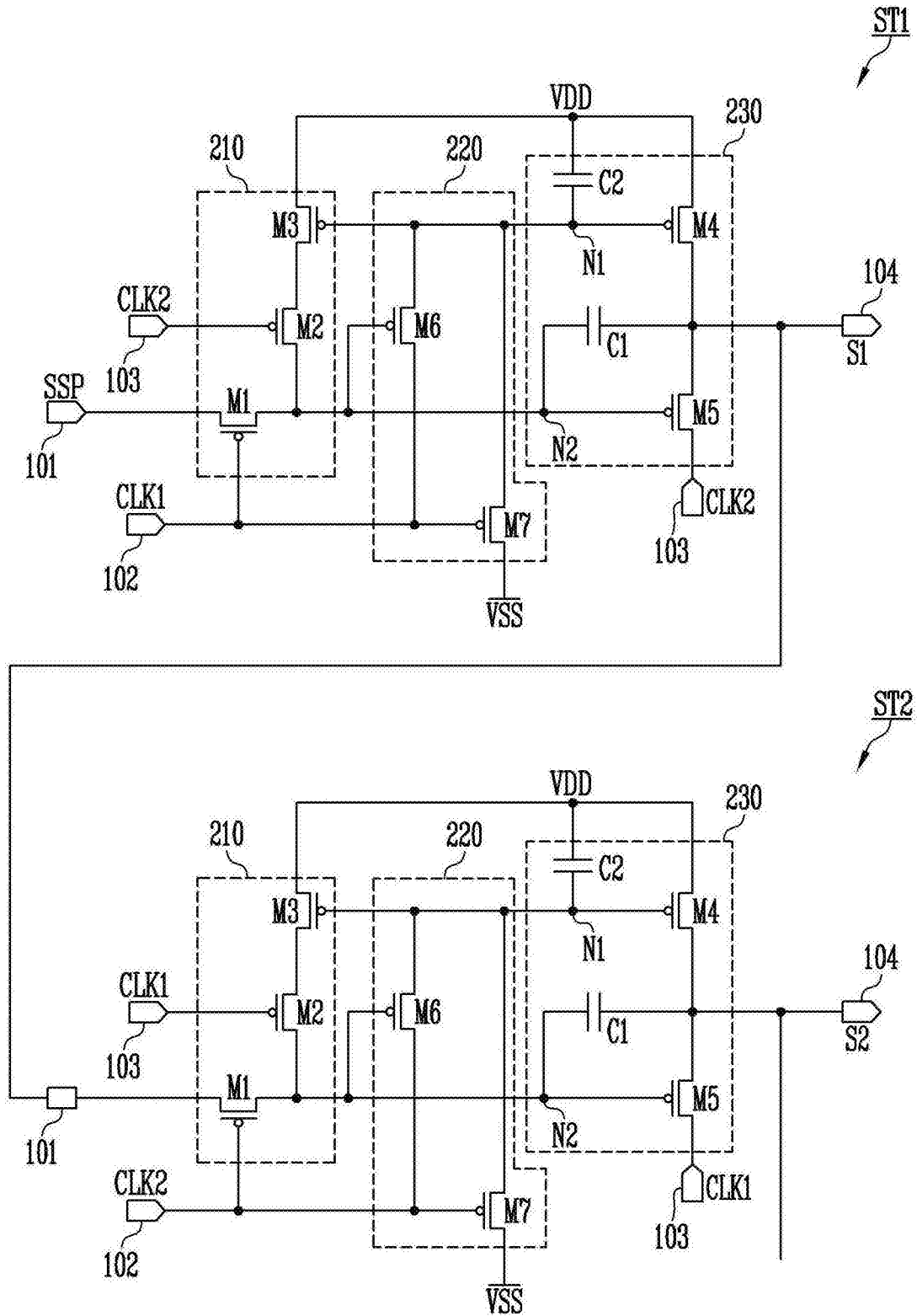


图3

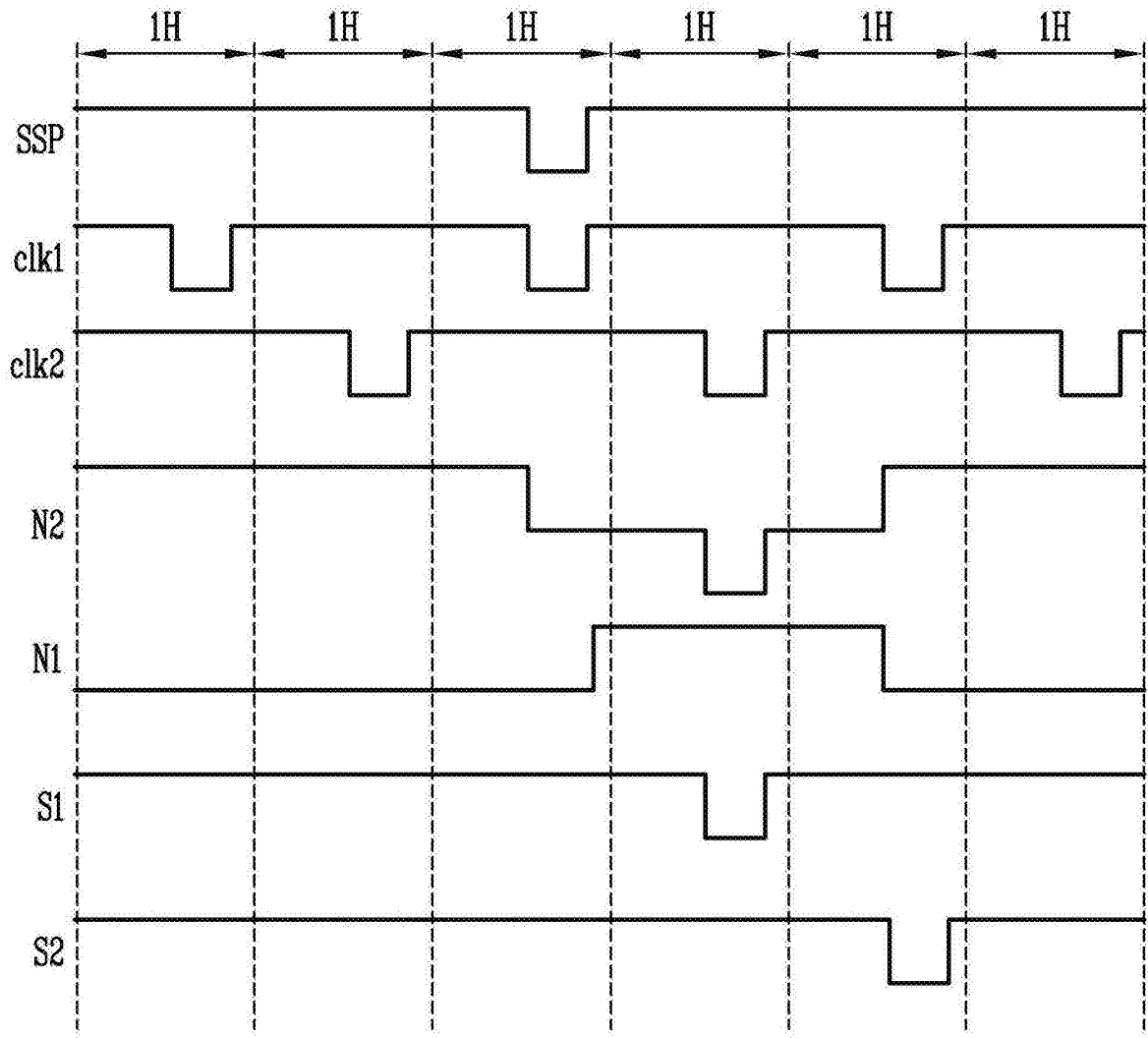


图4

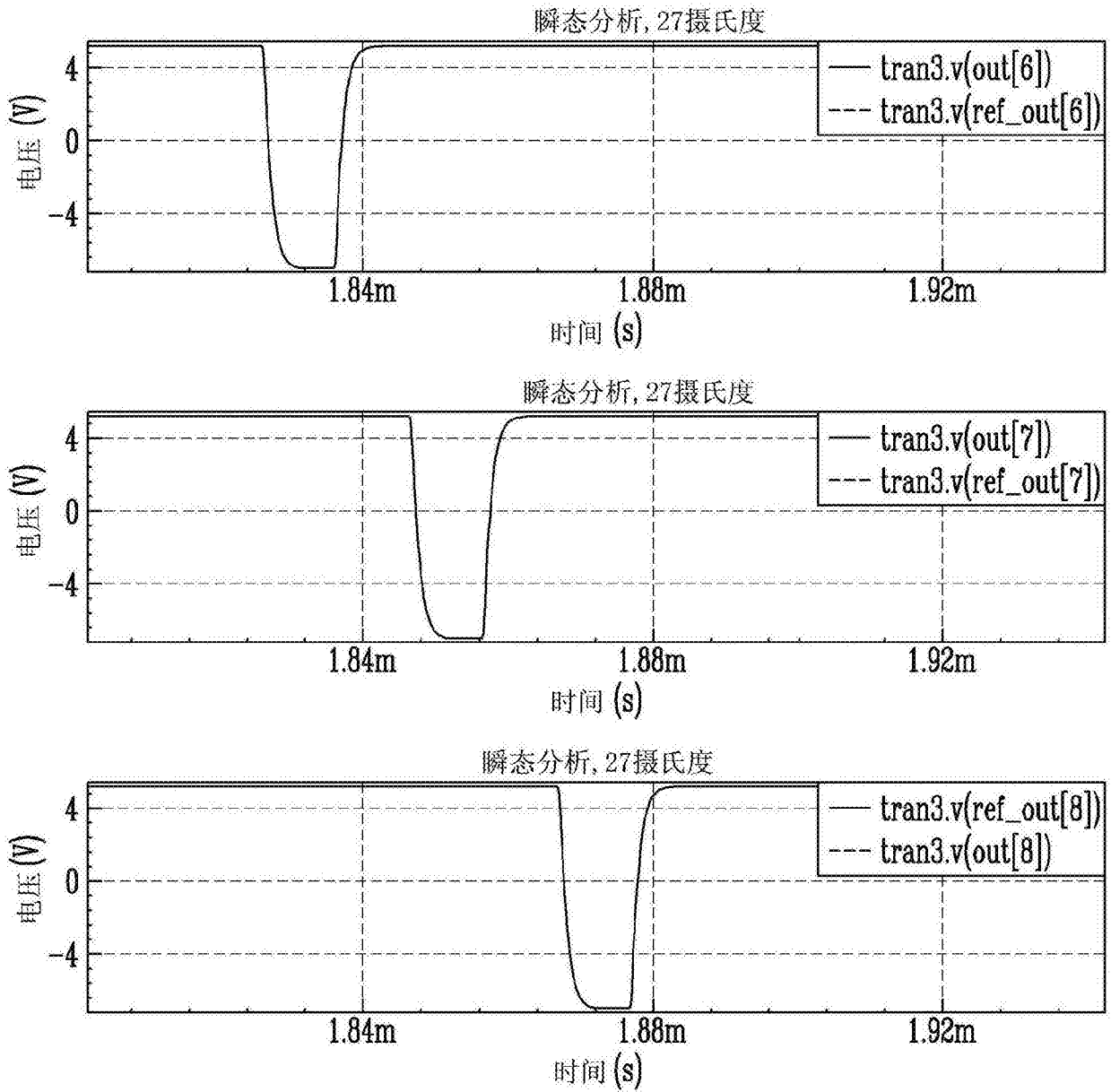


图5

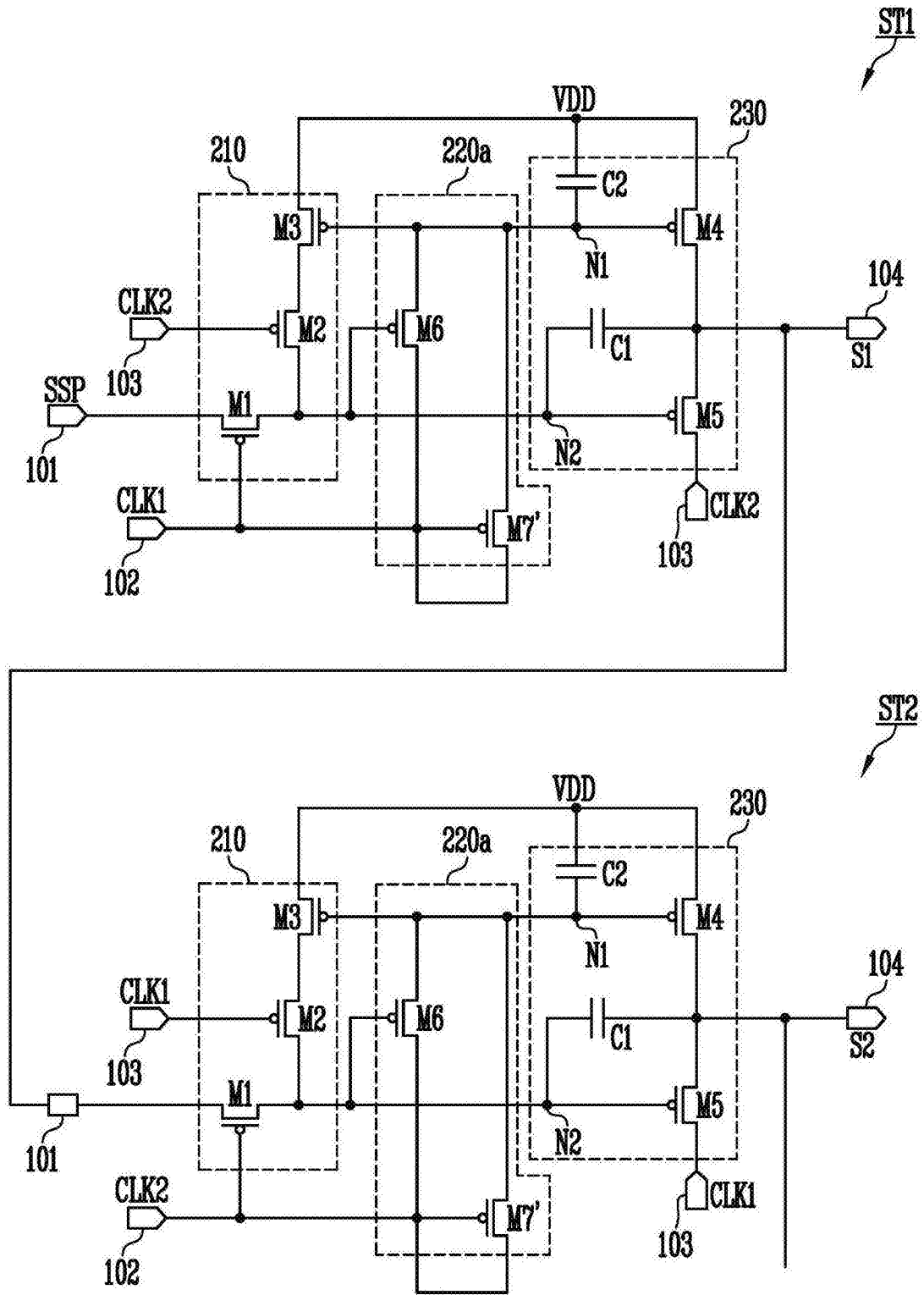


图6

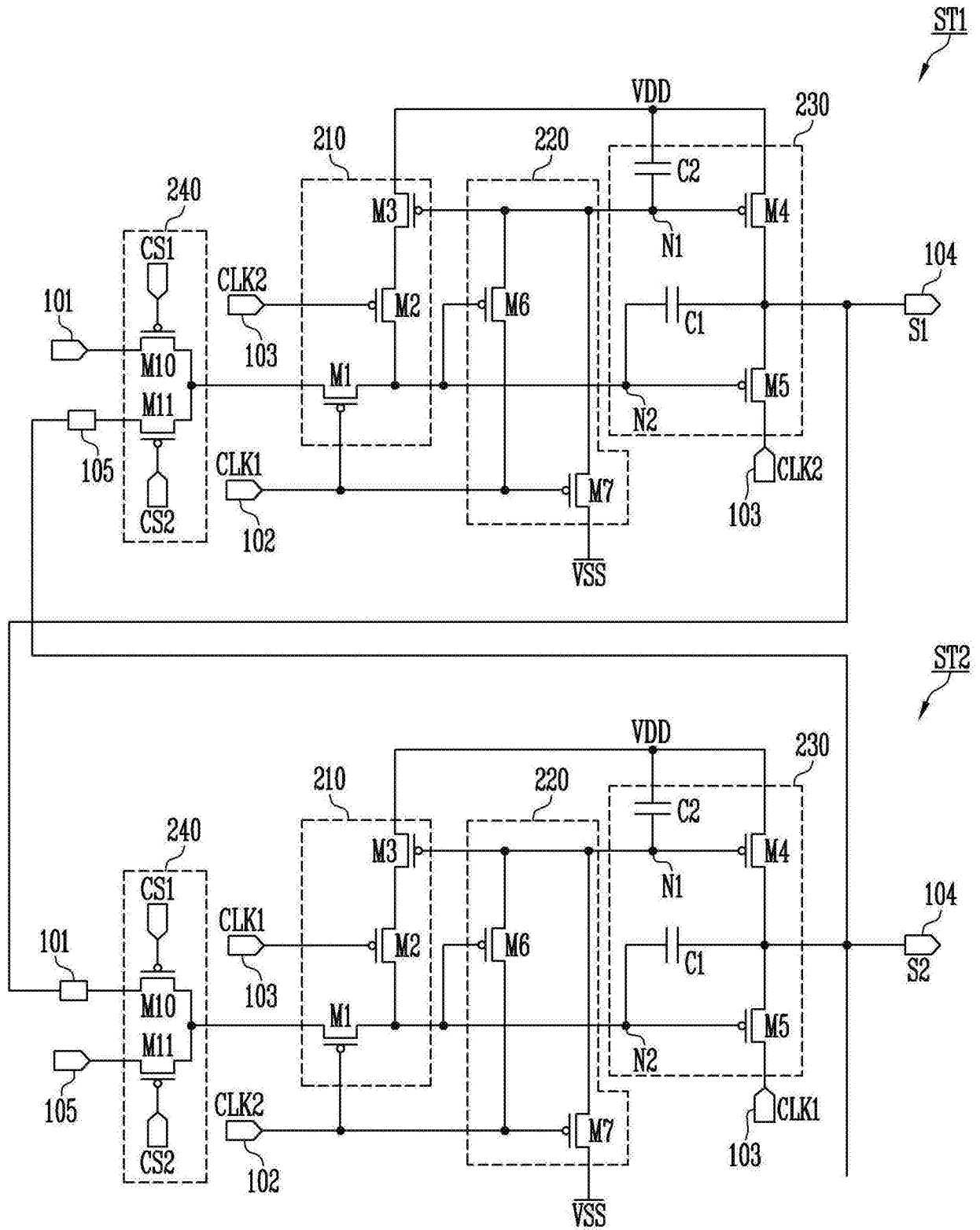


图7