

(19) 대한민국특허청(KR) (12) 등록특허공보(B1)

(51) Int. Cl. ⁶ G11C 16/06	(45) 공고일자 1999년04월 15일
(21) 출원번호 특1995-039758	(11) 등록번호 특0180329
(22) 출원일자 1995년11월04일	(24) 등록일자 1998년12월01일
(30) 우선권 주장 94-271085 1994년11월04일 일본(JP)	(65) 공개번호 특1996-019317
	(43) 공개일자 1996년06월 17일
(73) 특허권자 닛뽕덴끼 가부시끼가이샤 가네꼬 히사시	
(72) 발명자 오쓰끼 데쓰야	
(74) 대리인 윤여범, 박해선	

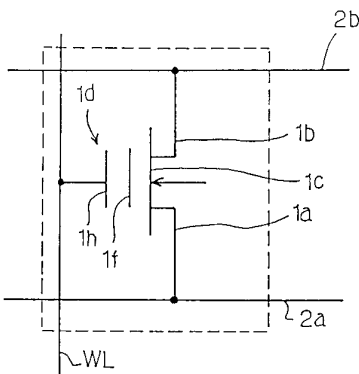
심사관 : 남승희

(54) 상이한 전력 전압을 선택적으로 공급하는 간단하고 안정된 전환 회로를 갖는 반도체 장치

요약

전기적으로 삭제 가능하고 프로그램 가능한 ROM 장치는 전력 분배 라인(37)을 통하여 로우 어드레스 디코더 장치(33)에 라이트-인 전압(Vpp)과 리드-아웃 전압(Vcc)을 선택적으로 공급하기 위하여 라이트-인 이네이블 신호(WE)에 응답하는 공급 전압 전환 회로(31)를 포함하며, 공급 전압 전환 회로는 라이트-인 전압 라인(37)과 전력 분배 라인에 각각의 게이트 전극이 결합된 제1 및 제2p채널 인헨스먼트형 트랜지스터(Qp31/Qp32)와 전력 분배 라인에 게이트 전극이 결합된 제3p채널 인헨스먼트형 트랜지스터(Qp33)와 라이트 이네이블 신호가 구동 레벨에 있는 경우에 접지 레벨의 제1 및 제2 제어 신호(IN31/IN32)와 전력 분배 라인(37)과 동일한 전위 레벨의 제3제어 신호(IN33)를 제1 및 제2p채널 인헨스먼트형 트랜지스터와 제3p채널 인헨스먼트형 트랜지스터에 공급하기 위하여 라이트 이네이블 신호에 응답하는 제어 부회로(31a)를 포함한다.

대표도



명세서

[발명의 명칭]

상이한 전력 전압을 선택적으로 공급하는 간단하고 안정된 전환회로를 갖는 반도체 장치

[도면의 간단한 설명]

제1도는 n채널 플로우팅 게이트형 전계 효과 트랜지스터의 부호 도시도.

제2도는 n채널 플로우팅 게이트형 전계 효과 트랜지스터의 구조 단면도.

제3도는 전기적으로 삭제 가능하고 프로그램 가능한 종래의 플래시-라이트 ROM 장치의 회로도.

제4도는 전기적으로 삭제 가능하고 프로그램 가능한 종래의 플래시-라이트 ROM 장치의 회로내의 공급 전력 전환 회로도.

제5도는 공급 전력 전환 회로의 출력 노드에서의 제어 신호 및 전위 레벨간의 관계를 도시하는 타이밍도.

제6도는 공급 전력 전환 회로내의 부스팅 회로도.

제7도는 부츠트랩 회로를 사용하는 공급 전력 전환 회로도.

제8도는 공급 전력 전환 회로내의 부츠트래핑 회로도.

제9도는 부츠트래핑 기능을 도시하는 타이밍도.

제10도 (a)는 본 발명의 전력 공급 라인용 공급 전력 전환 회로도.

(b)는 전력 전압을 전력 분배 라인에 공급하는 공급 전력 전환 회로도.

제11a도와 제11b도는 공급 전압 전환 회로내의 제어 부회로도.

제12도는 공급 전력 전환 회로에 공급된 제어 신호와 선택된 전력원간의 관계도.

제13도는 본 발명에 의한 전기적으로 삭제 가능하고 프로그램 가능한 플래시-라이트 ROM 장치의 회로도.

제14도는 전기적으로 삭제 가능하고 프로그램 가능한 플래시-라이트 ROM 장치용으로 가능한 또다른 공급 전압 전환 회로도.

* 도면의 주요부분에 대한 부호의 설명

21 : 전력 분배 라인

201-20n : 전력 공급 라인

[발명의 상세한 설명]

본 발명은 반도체 장치에 관한 것으로, 특히 전력 분배 라인에 서로다른 전력 전압을 선택적으로 공급할 수 있는 간단하고 안정된 내부 공급 전압 전환 회로에 관한 것이다.

일반적으로, 전기적으로 삭제 가능하고 프로그램 가능한 플래시-라이트 ROM 장치는 라이트-인(write-in), 삭제, 및 리드-아웃(read-out)시에 다수의 전력 전압을 필요로한다. 제1도는 n-채널 플로우팅 게이트형 전계 효과 트랜지스터(FET)를 나타내며, 제2도는 n-채널 플로우팅 게이트형 전계 효과 트랜지스터의 구조도이다. n-채널 플로우팅 게이트형 전계 효과 트랜지스터는 n형 소오스 및 드레인 영역(1a, 1b)과, n형 소오스 및 드레인 영역(1a, 1b)사이의 p형 채널 영역(1c)과, p형 채널 영역(1c) 위에 제공된 게이트 구조부(1d)와, 터널 절연층(1e)과, 플로우팅 게이트 전극(1f)과, 게이트간 절연층(1g)과, 제어 게이트 전극(1h)으로 이루어진다.

소오스 라인(2a)은 n형 소오스 영역(1a)과 연결되며, 디지털 라인(2b)은 n형 드레인 영역(1b)과 연결된다. 터널 절연층(1e)과 게이트간 절연층(1g)은 플로우팅 게이트 전극(1f)을 n형 소오스 및 드레인 영역(1a, 1b)과 제어 게이트 전극(1h)으로부터 전기적으로 절연시키며, 제어 게이트 전극(1h)은 워드 라인의 일부분을 형성한다.

n채널 플로우팅 게이트형 전계 효과 트랜지스터는 제3도에 도시된 전기적으로 삭제 가능하고 프로그램 가능한 플래시-라이트 ROM 장치의 NOR형 메모리 셀 어레이(3a) 용으로 가능하다. 복수개의 디지털 라인(DL1, DLm, ..., DLn)은 메모리 셀의 칼럼(MC11 - MCm1, MC1m - MCmm, MC1n - MCnn)과 각각 연관되어있고, 워드 라인(WL1, WL2, ..., WLm)은 메모리 셀의 로우(MC11 - MCn1, MC21 - MC2n, ..., MCm1 - MCmn)와 연관된 제어 게이트 전극을 형성한다.

소오스 라인(S)은 메모리 셀(MC11 내지 MCnn)사이에 분배된다.

라이트인(write-in)회로(4)와 센서 증폭기(5)가 디지털 라인(DL1 내지 DLn)용으로 제공되었으며, 칼럼 어드레스 디코더/셀렉터 장치(6)와 병렬로 결합되어있다. 또한, 워드 라인(WL1 내지 WLm)중의 하나를 선택하며, 칼럼 어드레스 비트에 응답하여 칼럼 어드레스 디코더/셀렉터 장치(6)는 디지털 라인(DL1 내지 DLn)중의 하나를 라이트-인(4) 또는 센서 증폭기(5)에 연결시킨다.

이렇게 배치된 전기적으로 삭제 가능하고 프로그램 가능한 플래시-라이트 ROM 장치는 다음과같이 동작한다. 로우 어드레스 비트와 칼럼 어드레스 비트가 메모리 셀 어레이(3)로부터 메모리 셀(MC11)을 선택하면, 칼럼 어드레스 디코더/셀렉터 장치(6)는 라이트-인 회로(4)와 디지털 라인(DL1)을 전기적으로 연결시키며, 라이트-인 회로(4)는 칼럼 어드레스 디코더/셀렉터 장치(6)를 통하여 디지털 라인(DL1)에 7V를 인가시킨다. 로우 어드레스 디코더 장치(7)는 워드 라인(WL1)을 12V로 끌어올리고, 나머지 워드 라인(WL2 내지 WLm)을 제로로 유지시킨다. 소오스 라인(S)과 p형 반도체 기판은 접지되어있다.

메모리 셀(MC11)의 n형 드레인 영역(1b)과 p형 반도체 기판사이의 p-n접합에 역바이어스 드레인 전압을 가하면, 강한 전계로 인하여 n형 소오스 영역(1a)과 n형 드레인 영역(1b)사이에 열전자가 발생한다. 이 열전자는 제어 게이트 전극(1h)과 n형 드레인 영역(1b)사이의 전계 가속에 의하여 플로우팅 게이트 전극(1f)내에 주입되어 축적된다. 축적된 전자는 n채널 플로우팅 게이트형 전계 효과 트랜지스터의 임계 전압을 5V 이상으로 증가시키며, 메모리 셀(MC11)은 라이트-인 상태로 들어간다.

메모리 셀(MC11 내지 MCnn)은 동시에 삭제된다. 워드 라인(WL1 내지 WLm)은 접지되며, 소오스 라인 제어기(8)는 소오스 라인(S)에 12V를 인가한다. p형 반도체 기판은 접지되며, 디지털 라인(DL1 내지 DLn)은 플로우팅 상태로 변한다. 축적된 전자는 터널 절연층(1e)을 통하여 소오스 라인(S)으로 배출된다. n채널 플로우팅 게이트형 전계 효과 트랜지스터(MC11 내지 MCnn)의 임계전압은 5V 이하로 감소되며, 동시에 삭제 상태로 들어간다.

라이트-인 상태와 삭제 상태는 메모리 셀내에 저장된 데이터 비트의 두가지 논리 레벨에 대응하며, 데이터 비트는 리드-아웃에 의하여 독출된다. 메모리 셀(MC11)은 액세스 가능하다. 칼럼 어드레스 디코더/셀렉터 장치(6)는 디지털 라인(DL1)을 센서 증폭기(5)에 전기적으로 연결시키며, 센서 증폭기(5)는 칼럼 어드레스 디코더/셀렉터 장치(6)를 통하여 디지털 라인(DL1)에 1V를 인가한다. 소오스 라인(S)은 접지된다. 로우 어드레스 디코더 장치(7)는 워드 라인(WL1)에 5V를 인가하며, 나머지 워드 라인(WL2 내지 WLm)은

제로이다. 센서 증폭기(5)는 선택된 디지털 라인(DL1)의 전위 레벨을 체크하여 n형 플로우팅 게이트형 전계 효과 트랜지스터가 ON인지 OFF인지를 판별한다.

n형 플로우팅 게이트형 전계 효과 트랜지스터(MC11)가 ON이면, 선택된 디지털 라인(DL1)으로부터 소오스 라인(S)내로 전류가 흐르며, 디지털 라인(DL1)의 전위 레벨이 감소한다. 다음에, 센서 증폭기(5)는 n형 플로우팅 게이트형 전계 효과 트랜지스터가 삭제 상태인지를 결정한다.

반면에, n형 플로우팅 게이트형 전계 효과 트랜지스터가 OFF이면, n형 플로우팅 게이트형 전계 효과 트랜지스터는 디지털 라인(DL1)의 전위 레벨을 유지하며, 센서 증폭기(5)는 n형 플로우팅 게이트형 전계 효과 트랜지스터가 리이트-인 상태인지를 결정한다.

따라서, 로우 어드레스 디코더 장치(7)는 리이트-인 및 리드-아웃사이에 선택된 워드 라인에 서로다른 전위 레벨을 인가한다. 일반적으로, 리이트-인 전압은 전기적으로 삭제 가능하고 프로그램 가능한 플래시-라이트 ROM 장치의 외측에서 공급되며, 전기적으로 삭제 가능하고 프로그램 가능한 플래시-라이트 ROM 장치내의 공급 전력 전환 회로는 12V와 5V사이에서 공급 전력을 로우 어드레스 디코더 장치(7)로 변화시킨다.

제4도는 전기적으로 삭제 가능하고 프로그램 가능한 종래의 플래시-라이트 ROM 장치내의 공급 전력 전환 회로를 나타낸다. 공급 전력 전환 회로는 부스팅 회로(9a)와, 리이트-인 전압 라인(V_{pp})과 출력 노드(9b) 사이에 연결된 n 채널 인헨스먼트형 전환 트랜지스터(Qn1)와, 전력 공급 라인(V_{cc})과 출력 노드(9b) 사이에 연결된 n채널 디플리션형 전환 트랜지스터(Qn2)로 이루어진다. 5V의 제어신호(CTL)는 부스팅 회로(9a)와 n채널 디플리션형 전환 트랜지스터(Qn2)의 게이트 전극에 공급되며, 부스팅 회로(9a)의 출력 신호(BST)는 0V와 17V사이에서 변한다. 전력 공급 라인(V_{cc})은 5V의 전압을 공급하며, n채널 디플리션형 전환 트랜지스터(Qn2)의 임계 전압은 0V이다.

공급 전력 전환 회로는 제5도와같이 동작한다. 제어 신호(CTL)가 주기(T1)동안 5V를 유지하는 동안, 부스팅 회로(9a)의 출력 신호(BST)는 0V로 유지되며, 출력 신호(BST)는 리이트-인 전압(V_{pp}) 이하이다. 이 때문에 n채널 인헨스먼트형 전환 트랜지스터(Qn1)는 OFF 된다. 반면에, 5V의 제어 신호(CTL)는 n채널 디플리션형 전환 트랜지스터(Qn2)를 ON 시키며, 출력 노드(9b)에는 전압(V_{cc})이 공급된다.

시간 t1에서 제어 신호(CTL)가 0V로 변하게되면, 부스팅 회로(9a)의 출력 신호(BST)는 17V로 변화하며, n채널 인헨스먼트형 전환 트랜지스터(Qn1)는 ON 된다. n채널 인헨스먼트형 전환 트랜지스터(Qn1)는 12V의 리이트-인 전압을 출력 노드(9b)로 전달한다.

n채널 디플리션형 전환 트랜지스터(Qn2)의 게이트 전극이 0V 이더라도, 소오스/드레인 노드에서의 12V의 리이트-인 전압은 그 게이트 전압을 임계 전압이하로 만들며, n채널 디플리션형 전환 트랜지스터(Qn2)는 OFF 된다. 따라서, 공급 전력 전환 회로는 리이트-인 전압을 시간 T2 동안 공급한다.

제6도는 부스팅 회로(9a)의 회로 배치도이다. 부스팅 회로(9a)는 인버터(9c)와, 레벨 시프트 회로(9d)와, 발진기(9e)와, 전하 펌프 회로(9f)와, 출력 노드(9h)에 연결된 전압 리미터(9g)와 n채널 인헨스먼트형 방전 트랜지스터(Qn3)로 이루어지며, 출력 노드(9h)의 출력 신호는 n채널 인헨스먼트형 전환 트랜지스터(Qn1)의 게이트 전극에 공급된다.

반전기(9c)는 제어 신호(CTL)의 상보 제어 신호(CCTL) 또는 반전 신호를 생성하며, 상보 제어 신호(CCTL)를 레벨 시프트 회로(9d)와 발진기(9e)에 공급한다. 상보 제어 신호(CCTL)가 접지 레벨에 있으면, 레벨 시프트 회로(9d)와 발진기(9e)는 정지하며, 따라서 전하 펌프 회로(9f)는 출력 노드(9h)의 전위 레벨을 증가시키지 않는다.

레벨 시프트 회로(9d)는 5V의 상보 제어 신호(CCTL)에 응답하여 전하 펌프 회로(9f)에 12V를 공급한다. 또한 발진기(9e)도 5V의 상보 제어 신호(CCTL)에 응답하여 부스팅 펄스 신호(PL)와 상보 펄스 신호(CPL)를 발생시킨다.

전하 펌프 회로(9f)는 리이트-인 전압 라인(V_{pp})과 출력 노드(9h)사이에 연결된 n채널 인헨스먼트형 전계 효과 트랜지스터(Qn4, Qn5, Qn6)와, n채널 인헨스먼트형 전계 효과 트랜지스터(Qn4, Qn5)사이와 n채널 인헨스먼트형 전계 효과 트랜지스터(Qn5, Qn6)사이에 연결된 부스팅 커패시터(CP1, CP2)를 포함한다. 레벨 시프트 회로(9d)의 출력 신호는 n채널 인헨스먼트형 전계 효과 트랜지스터(Qn4)의 게이트 전극에 공급되며, 전하 펌프 회로(9f)를 구동시킨다. 부스팅 펄스 신호(PL1)와 상보 펄스 신호(CPL)는 부스팅 커패시터(CP1, CP2)에 각각 공급되며, 부스팅 펄스 신호(PL1)와 상보 펄스 신호(CPL)의 전위 범위는 12V이다.

전압 리미터(9g)는 n채널 인헨스먼트형 전환 트랜지스터(Qn7, Qn8)로 이루어지며, n채널 인헨스먼트형 전환 트랜지스터(Qn7, Qn8)는 리이트-인 전압 라인(V_{pp})과 출력 노드(9h)사이에 연결된다. 이 트랜지스터(Qn7, Qn8)의 게이트 전극은 그 소오스 노드에 연결되어있으며, 출력 노드(9h)의 전위 레벨은 17V, 즉 $V_{pp} +$ 트랜지스터(Qn8)의 임계 전압(V_{th8}) + 트랜지스터(Qn7)의 임계 전압(V_{th7}), 를 초과하지 못한다.

이렇게 배치된 부스팅 회로(9a)는 다음과 같이 동작한다. 제어 신호(CTL)가 5V에 있는 동안, 반전기(9c)의 상보 제어 신호(CCTL)는 0V를 유지하며, 레벨 시프트 회로(9d)와 발진기(9e)는 동작 불능 상태가 된다. 5V의 제어 신호(CTL)는 n채널 인헨스먼트형 전환 트랜지스터(Qn3)를 ON 시키며, n채널 인헨스먼트형 전환트랜지스터(Qn3)를 ON 시키며, n채널 인헨스먼트형 전환트랜지스터(Qn3)는 출력 노드(9h)를 접지 전압 라인(GND)에 전기적으로 연결시킨다.

반면에, 제어 신호(CTL)가 0V로 변하게되면, 반전기(9c)는 5V의 상보 제어 신호(CCTL)를 레벨 시프트 회로(9d)와 발진기(9e)에 공급한다. 레벨 시프트 회로(9d)는 n채널 인헨스먼트형 전환 트랜지스터(Qn4)의 게이트 전극에 12V를 공급하며, n채널 인헨스먼트형 전환 트랜지스터(Qn4)는 ON 된다. 결과적으로, 전하 펌프 회로(9f)는 출력 노드(9h)에서의 전위 레벨을 승압시킨다.

발진기(9e)가 발진하기 시작하고, 부스팅 펄스 신호(PL)와 상보 부스팅 펄스 신호(CPL)는 부스팅 커패시터(CP1, CP2)에 전하를 공급하며, n채널 인헨스먼트형 전계효과 트랜지스터(Qn5, Qn6)는 출력 노드(9h)에 전하를 전달한다. 결과적으로, 출력 노드(9h)에서의 전위 레벨이 증가한다. 그러나, 전하 리미터(9g)는

출력 노드(9h)에서의 전위 레벨이 17V를 초과하지 못하게 한다.

제7도는 또다른 공급 전력 전환 회로를 도시하며, 이 공급 전력 전환 회로는 부초트래핑 회로(10a)와 n채널 디플리션형 전환 트랜지스터(Qn9)를 포함한다. 부초트래핑 회로(10a)는 제어 신호(CTL)에 응답하여 출력 노드(10b)에서의 전위 레벨을 부초트래핑 현상으로 상승시킨다. n채널 디플리션형 전환 트랜지스터(Qn9)는 전압 라인(Vcc)과 출력 노드(10b)사이에 연결되며, 또한 n채널 디플리션형 전환 트랜지스터(Qn9)의 게이트 전극에는 제어 신호(CTL)가 공급된다.

제어 신호(CTL)가 5V로 유지되는 동안에, n채널 인헨스먼트형 전환 트랜지스터는 ON 되며, 전압(Vcc)을 출력 노드(10b)에 공급한다.

반면에, 제어 신호(CTL)가 0V로 변하면, 부초트래핑 회로(10a)는 부초트래핑 기능을 시작하며, 출력 노드(10b)에서의 전위 레벨을 12V로 증가시킨다. 출력 노드(10b)에서의 승압된 전위 레벨은 n채널 디플리션형 전환 트랜지스터(Qn9)를 OFF 시킨다.

제8도는 부초트래핑 회로(10a)의 배치도이며, 제9도는 부초트래핑 기능을 도시한다. 이 회로 배치도와 부초트래핑 기능은 A New Erasing and Row Decoding Scheme for Low Supply Voltage Operation 16MB-64MB Flash Memories(IEEE Journal of Solid-State Circuit, vol.27, No. 4, April 1992, pp 583-585)에 개시된 부스트 회로와 유사하다.

부초트래핑 회로(10a)는 제어 회로(10c)를 포함하며, 이 제어 회로(10c)는 제어 신호(CTL)에 응답하여 제1내지 제3부초트랩 제어 신호(CTL1, CTL2, CTL3)를 생성한다.

또한, 부초트래핑 회로(10a)는 라이트-인 전압 라인(Vpp)과 접지 전압 라인(GND)사이에 연결된 n채널 인헨스먼트형 전환 트랜지스터(Qn10, Qn11)로 이루어진 제1직렬 회로와, 라이트-인 전압 라인(Vpp)과 접지 전압 라인(GND)사이에 연결된 n채널 인헨스먼트형 전환 트랜지스터(Qn12, Qn13)로 이루어진 제2직렬 조합과, 라이트-인 전압 라인(Vpp)과 출력 노드(10b)사이에 병렬로 연결된 두개의 n채널 인헨스먼트형 전환 트랜지스터(Qn14, Qn15)를 포함한다. 제1부초트랩 제어 신호(CTL1)는 n채널 인헨스먼트형 전환 트랜지스터(Qn12, Qn15)의 게이트 전극에 공급되며, 제2부초트랩 제어 신호(CTL2)는 n채널 인헨스먼트형 전환 트랜지스터(Qn11)의 게이트 전극에 공급된다. 제3부초트랩 제어 신호(CTL3)는 n채널 인헨스먼트형 전환 트랜지스터(Qn13)의 게이트 전극에 공급되며, 라이트-인 전압 라인(Vpp)은 n채널 인헨스먼트형 전환 트랜지스터(Qn12)를 통하여 n채널 인헨스먼트형 전환 트랜지스터(Qn10, Qn14)와 연결된다.

또한, 부초트래핑 회로(10a)는 노드(N1, N2)사이에 연결된 부초트랩 커패시터(CP3)도 포함하며, 부초트랩 커패시터(CP3)와 n채널 인헨스먼트형 전환 트랜지스터(Qn10)는 셀프-부그딩 루프를 형성한다.

제어 신호(CTL)가 5V를 유지하는 동안에, 제1부초트랩 제어 신호(CTL1)는 접지 레벨에 있으며, 제2 및 제3 부초트랩 제어 신호(CTL2, CTL3)는 5V에 있다. n채널 인헨스먼트형 전환 트랜지스터(Qn12, Qn15)와 n채널 인헨스먼트형 전환 트랜지스터(Qn10, Qn14)는 OFF 되며, 라이트-인 전압 라인(Vpp)으로부터 출력 노드(10b)를 고립시킨다. 제2 및 제3부초트랩 제어 신호(CTL2, CTL3)는 n채널 인헨스먼트형 전환 트랜지스터(Qn11, Qn13)를 ON 시킨다. 결과적으로, n채널 인헨스먼트형 전환 트랜지스터(Qn11, Qn13)를 통하여 노드(N1, N2)는 접지된다. 따라서, 부초트래핑 회로(10a)는 정지하며, 출력 노드(10b)는 시간 T1 동안에 플로우팅 상태가 된다.

제어 신호(CTL)가 시간 t10에서 감소하기 시작하면, 제1부초트랩 제어 신호(CTL1)는 5V로 상승하기 시작하며, 제3부초트랩 제어 신호(CTL3)는 감소하기 시작한다. 그러나, 제어 회로(10c)는 제2부초트랩 제어 신호(CTL2)를 5V로 유지한다. n채널 인헨스먼트형 전환 트랜지스터(Qn12, Qn15)는 ON 되며, n채널 인헨스먼트형 전환 트랜지스터(Qn13)는 OFF 된다. 라이트-인 전압 라인(Vpp)은 n채널 인헨스먼트형 전환 트랜지스터(Qn12)를 통하여 노드(N2)와 연결되며, 노드(N2)에서의 전위 레벨은 n채널 인헨스먼트형 전환 트랜지스터(Qn12)의 임계 전압(Vth12)에 의하여 라이트-인 전압(Vpp)보다 낮은 소정 전압, 즉 $V_{pp} - V_{th12} = 9V$ 까지 상승한다. 또한, 라이트-인 전압 라인(Vpp)은 n채널 인헨스먼트형 전환 트랜지스터(Qn15)를 통하여 출력 노드(10b)와 연결되며, 출력 노드(10b)는 9V의 소정 전압까지 상승한다.

노드(N2)에서의 전위 레벨은 n채널 인헨스먼트형 전환 트랜지스터(Qn10, Qn14)를 ON 시키며, n채널 인헨스먼트형 전환 트랜지스터(Qn10, Qn11)의 채널 저항사이의 비례적 분배에 의하여 노드(N1)에서의 전위 레벨이 주어진다. 이 경우에, 노드(N1)는 4V로 조정된다.

따라서, 노드(N1, N2)는 시간 주기 T2 동안 상이한 레벨로 충전된다.

시간 t12에서 제어 회로(10c)가 제2부초트랩 제어 신호(CTL2)를 감소시키면, n채널 인헨스먼트형 전환 트랜지스터(Qn11)는 OFF 되며, 노드(N1)는 접지 전압 라인(GND)으로부터 고립된다. 노드(N1)는 n채널 인헨스먼트형 전환 트랜지스터(Qn10)의 임계 전압에 의하여 라이트-인 전압 라인(Vpp)보다 낮은 소정 전압까지 상승한다. 노드(N1)에서의 전위 레벨 상승은 부초트랩 커패시터(CP3)를 통하여 노드(N2)에서의 전위 레벨을 상승시키며, 노드(N2)에서의 상승된 전위 레벨은 n채널 인헨스먼트형 전환 트랜지스터(Qn12)의 드레인 노드와 n채널 인헨스먼트형 전환 트랜지스터(Qn10, Qn14)의 게이트 전극으로 전달된다. 다음에, n채널 인헨스먼트형 전환 트랜지스터(Qn12)의 드레인 노드는 게이트 전압보다 더 높으며, n채널 인헨스먼트형 전환 트랜지스터(Qn12)는 OFF 된다. n채널 인헨스먼트형 전환 트랜지스터(Qn10, Qn14)는 채널 저항이 감소되며, 셀프-부스팅 루프에 의하여 노드(N2)에서의 전위 레벨은 증가한다.

따라서, 시간 t13에서 노드(N2)는 17V까지 상승되며, n채널 인헨스먼트형 전환 트랜지스터(Qn14)는 12V의 라이트-인 전압을 출력 노드(10b)에 전달한다.

종래의 공급 전력 전환 회로에 내재하는 문제점은 회로도의 복잡성이었다. 제6도와 제8도와 관련하여 기술된 것처럼, 부스팅 회로(9a)와 부초트래핑 회로(10a)는 다수의 트랜지스터를 포함하며, 제어 순서도 복잡하다. 종래의 공급 전력 전환 회로가 두개 이상의 전위 레벨을 다루게 된다면, 문제점은 더욱 심각하게 된다.

또다른 문제점은 라이트-인 전압 라인(Vpp)에서의 예상하지 못한 전위 하락을 일으키는 공급 전력 전환

회로의 신뢰성 문제이다. 제4도와 제7도에 도시된 것처럼, 제어 신호(CTL)는 n채널 디플리션형 전환 트랜지스터(Qn2, Qn9)의 게이트 전극에 직접 공급된다. 설명된 것처럼, 라이트-인 전압 (Vpp)은 n채널 디플리션형 전환 트랜지스터(Qn2, Qn9)를 OFF 시킨다.

라이트-인 전압 라인(Vpp)에서의 전압 강하로 인하여, 출력 노드(9b)에서의 전위 레벨이, 예를들어, 약 3V까지 감소하게 되면, n채널 디플리션형 전환 트랜지스터(Qn2, Qn9)는 ON 되고, 전압 라인(Vcc)까지 전류가 통하게 된다. 또한 전하 펌프 회로(9f)는 출력 신호(BST)를 17V까지 승압시킬 수 없으며, n채널 인헨스먼트형 전환 트랜지스터(Qn1)는 라이트-인 전압 라인(Vpp)의 전위를 전달하지 못한다. 결과적으로, 로우 어드레스 디코더 장치(7)는 선택된 워드라인에 불충분한 전압을 인가하며, 선택된 n-채널 플로우팅 게이트형 전계 효과 트랜지스터의 임계 전압을 증가시키기 어렵다.

부츠트래핑 회로(10a)에서, 노드(N2)는 부츠트래핑 현상에 의하여 17V까지 승압되며, n채널 인헨스먼트형 전환 트랜지스터(Qn12, Qn13)는 노드(N12)에서 승압된 레벨을 한정한다. 그러나, 노드(N2)에서의 전하는 누설 전류로서 흘러나가고, 따라서 그 전위가 감소한다. 결과적으로, n채널 인헨스먼트형 전환 트랜지스터(Qn14)는 전압 강하없이 라이트-인 전압 (Vpp)을 전달할 수 없으며, 로우 어드레스 디코더 장치(7)는 선택된 워드 라인에 불충분한 전압을 가하게 된다. 라이트-인 동작은 리드-아웃 동작보다 더 많은 시간을 소모하며, 표준 레벨보다 다소 많은 누설 전류는 라이트-인 동작의 신뢰성을 떨어뜨린다.

따라서, 본 발명의 목적은 고내성(high-withstand)의 트랜지스터를 필요하지 않는 신뢰성있고 간단한 공급 전력 전환 회로인 반도체 장치를 제공하는 것이다.

본 발명에 있어서, 복수개의 전력 공급 라인을 전력 분배 라인에 선택적으로 결합시키기 위하여 상기 복수개의 전력 공급 라인과 전력 분배 라인사이에 결합된 전환 부분과, 상기 전환 부분을 제어하기 위하여 상기 전환 부분에 결합에 제어 부회로를 구비하는 반도체 집적 회로 장치내의 공급 전압 전환 회로에 있어서, 상기 전환 부분은 상기 전력 분배 라인 및 전력 전압이 상이한 복수개의 전력 공급 라인과 결합된 복수개의 제1직렬 부회로를 포함하며, 상기 복수개의 제1직렬 부회로 각각은 상기 복수개의 전력 공급 라인중의 하나와 결합된 제1소스 노드와 제1게이트전극과 제1드레인 전극을 갖는 제1 p채널 인헨스먼트형 트랜지스터와 상기 제1드레인 노드와 결합된 제2소스 노드와 상기 전력 분배 라인과 결합된 제2게이트 전극과 제2드레인 전극을 갖는 제2 p채널 인헨스먼트형 트랜지스터로 구성되며, 상기 제어 부회로는 상기 복수개의 전력 공급 라인중의 하나와 결합된 상기 제1 p채널 인헨스먼트형 트랜지스터의 제1임계 레벨에 의하여 상기 복수개의 전력 공급 라인중의 하나와 연관된 전압보다 낮은 제1소정 전위 레벨의 제1제어 신호와, 상기 복수개의 전력 공급 라인중의 하나와 연관된 상기 제2 p채널 인헨스먼트형 트랜지스터의 제2임계 레벨에 의하여 상기 전력 배분 라인의 전위 레벨보다 낮은 제2소정의 전위 레벨의 제2제어 신호와, 상기 복수개의 전력 공급 라인의 나머지 각각의 전력 전압과 동일한 제3 소정 전위 레벨의 제3 제어 신호와, 상기 전력 분배 라인의 전위 레벨과 동일한 제4 소정 전위 레벨의 제4제어 신호를 발생시키며, 상기 제1제어 신호는 상기 복수개의 전력 공급 라인중의 하나와 결합된 상기 제1 p채널 인헨스먼트형 트랜지스터의 제1게이트 전극에 공급되며, 상기 제2제어 신호는 상기 복수개의 전력 공급 라인중의 하나와 연관된 상기 제1 p채널 인헨스먼트형 트랜지스터의 제2게이트 전극에 공급되며, 상기 제3제어 신호는 상기 복수개의 전력 공급 라인의 나머지와 결합된 상기 제2 p채널 인헨스먼트형 트랜지스터의 제1게이트 전극에 공급되며, 상기 제4제어 신호는 상기 복수개의 전력 공급 라인의 나머지와 결합된 상기 제2 p채널 인헨스먼트형 트랜지스터의 제2게이트 전극에 공급되는 것을 특징으로 하는 공급 전압 전환 회로가 제공되었다.

[실시예 1]

제10도에서, 본 발명의 전력 공급 라인용 공급 전력 전환 회로(20)는 전력원(201, 202, ..., 20i, ..., 20n-1, 20n)과 전력 분배 라인(21)사이에 연결되어 있으며, 전력원(201-20n)은 상이한 전력 전압(V1, V2, ..., Vi, Vn-1, Vn)을 발생시킨다. 이 경우에, 전력 전압(Vn)이 가장 낮으며, 전력 분배 라인(21)은 일반적으로 전력 전압(Vn)보다 높다. 전력 분배 라인(21)은 전기 전력을 구성요소 회로(221 - 22x)에 분배한다.

공급 전력 전환 회로(20)는 전력원(201 - 20n)과 각각 연관되어 직렬로된 복수개의 부회로(sub-circuit)(211, 212, ..., 21i, ..., 21n-1, 21n)와 제어 부회로(22)로 이루어진다. p 채널 인헨스먼트형 전계 효과 트랜지스터는 직렬로된 복수개의 부회로(211-21n)를 형성한다. 쌍으로 된 p채널 인헨스먼트형 전계 효과 트랜지스터(Qp(1)/Qp(2), Qp(3)/Qp(4), ..., Qp(2i-1)/Qp(2i), ..., Qp(2n-3)/Qp(2n-2))는 각각 부회로(211 - 20n-1)를 구성하며, p채널 인헨스먼트형 전계 효과 트랜지스터(Qp(2n-1))는 부회로(21n) 역할을 한다.

제어 부회로(22)는 전력 전압(V1 - Vn)중의 하나를 나타내는 선택 신호(SEL)에 응답하여 제어 신호(IN1/IN2, IN3/IN4, ..., IN2i-1/IN2i, ..., IN2n-3/IN2n-2, IN2n-1)를 소정의 전위 레벨로 변화시킨다.

p채널 인헨스먼트형 전계 효과 트랜지스터(Qp(1) - Qp(2n-1))의 게이트에는 제어 신호(IN1 - IN2n-1)가 각각 입력된다. G, S, D는 p채널 인헨스먼트형 전계 효과 트랜지스터(Qp(1) - Qp(2n-1))의 게이트 전극과 소스 노드 및 드레인 노드를 나타낸다. 전력 공급원(201 - 20n)은 p채널 인헨스먼트형 전계 효과 트랜지스터(Qp(1), Qp(3), Qp(2i-1), Qp(2n-3))와 각각 연결되며, 전력 전압(V1 - Vn-1)은 p채널 인헨스먼트형 전계 효과 트랜지스터(Qp(1), Qp(3), ..., Qp(2n-1), ..., Qp(2n-3))의 채널 영역을 각각 바이어스시킨다. 전력 분배 라인(21)은 드레인 노드(D)와 p채널 인헨스먼트형 전계 효과 트랜지스터(Qp(2), Qp(4), Qp(2i), Qp(2n-2), Qp(2n-1))의 채널 영역과 연결된다.

제11a도와 11b도에서, 제어 부회로(22)는 부회로(211 - 21n)와 연관되어있는 복수개의 전환 장치(221, 222, ..., 22i, ..., 22n-1, 22n)를 포함한다. 전환 장치(221 - 22n-1)의 회로도도 상호 유사하며, 전환 장치(22i)만을 기술하겠다. 전환 장치(22n)는 다른 전환장치(221 - 22n-1)와 상이하다.

두개의 반전기(INV1, INV2)의 조합이 전환 장치(22i)를 형성한다. 반전기(INV1)는 전력원(20i)과 접지 전압 라인(GND)사이에 연결되며, 다른 반전기(INV2)는 전력 분배 라인(21)과 접지 전압 라인(GND)사이에 연결된다. 반전기(INV1, INV2)는 선택 신호의 신호 비트에 응답하여 전력 전압(Vi)과 접지 레벨 사이의 제어 신호(IN2i-1)와, 전력 분배 라인(21)상의 전위 레벨과 접지 레벨 사이의 제어 신호(IN2i)를 변화시킨다.

다.

선택 신호(SEL)가 전력 전압(V_i)을 선택하는 경우에, 신호 비트는 5V의 하이 레벨로 변하고, 반전기(INV1, INV2)는 p채널 인헨스먼트형 전계 효과 트랜지스터($Q_p(2i-1)$)의 임계 전압에 의하여 전력 전압(V_i)보다 낮은 전위 레벨로 제어 신호(IN2i-1, IN2i)를 변화시키고, 트랜지스터($Q_p(2i)$)의 임계 전압에 의하여 p채널 인헨스먼트형 전계 효과 트랜지스터($Q_p(2i)$)의 소오스 노드(S)의 전위 레벨보다 낮은 또다른 전위 레벨로 변화시킨다. 이 경우에, 상기 전위 레벨과 또다른 전위 레벨은 접지 레벨이다. 그러나, 다른 전력 전압이 선택되어 있는 동안에, 신호 비트는 접지 레벨을 유지하며, 반전기(INV1, INV2)는 전력 분배 라인(21)상의 전위 레벨과 전력 전압(V_i)에서의 제어 신호(IN2i-1)를 유지한다.

반면에, 전환 장치(22n)는 전력 분배 라인(21)과 접지 전압 라인(GND)사이에서 연결된 단 하나의 반전기(INV3)로 이루어진다. 반전기(INV3)는 선택 신호(SEL)의 또다른 신호 비트에 응답하여 전력 분배 라인(21)상의 전위 레벨과 접지 레벨 사이의 제어 신호(IN2n-1)를 변화시킨다.

신호 비트가 접지 레벨에 있는 동안에, 반전기(INV3)는 제어신호(IN2n-1)를 전력 분배 라인(21)상의 전위 레벨로 유지한다. 반면에, 신호 비트가 하이 레벨로 변하면, 반전기(INV3)는 트랜지스터($Q_p(2n-1)$)의 임계 전압에 의하여 p채널 인헨스먼트형 전계 효과 트랜지스터($Q_p(2n-1)$)의 소오스 노드(S)의 전위 레벨보다 낮은 소정 전위 레벨로 변화시키며, 이 경우에 상기 소정 전위 레벨은 접지 레벨이다.

선택 신호(SEL)는 전력 전압(V_i)을 나타낸다는 가정하에 회로의 동작을 설명하겠다. 제어 부회로(22)는 제어 신호(IN2i-1, IN2i)를 임계 전압에 의한 전력 분배 라인(21)상의 전위 레벨보다 낮은 소정 레벨로 변화시킨다. 이 경우에, 제어 신호(IN2i-1, IN2i)는 접지 레벨로 변한다. 또한 제어 부회로(22)는 제어 신호(IN1, IN3, IN2n-3)를 전력 전압 레벨(V_1, V_2, \dots, V_{n-1})로 변화시키고, 다른 제어 신호(IN2, IN4, ..., IN2n-1)는 전력 분배 라인(21)의 전위 레벨로 변한다. 결과적으로, 복수개의 부회로(211 - 21n)는 제10b도에 도시된 회로도 와 동일하게 된다.

p채널 인헨스먼트형 전계 효과 트랜지스터($Q_p(2i-1), Q_p(2i)$)는 ON 되고, 다른 p채널 인헨스먼트형 전계 효과 트랜지스터($Q_p(2), Q_p(3), \dots, Q_p(2n-1)$)는 OFF 된다. 결과적으로, 전력 전압(V_i)은 부회로(21i)를 통하여 전력 분배 라인(21)으로 전달된다.

선택 신호(SEL)가 가장 낮은 전력 전압(V_n)을 나타내면, 제어부회로(22)는 제어 신호(IN2n-1)를 접지 레벨로 변화시킨다. 제어 신호(IN1, IN3, ..., IN2n-3)는 전력 전압 레벨(V_1, V_2, \dots, V_{n-1})로 각각 변하고, 제어 부회로(22)는 다른 제어 신호(IN2, IN4, ..., IN2n-2)를 전력 분배 라인(21)상의 전위 레벨로 변화시킨다. 부회로(211 - 21n-1)는 전압원($V_1 - V_{n-1}$)으로부터 전력 분배 라인(21)을 고립시키며, 최저 전력 전압(V_n)이 p채널 인헨스먼트형 전계 효과 트랜지스터($Q_p(2n-1)$)를 통하여 전력 분배 라인(21)에 공급된다.

제12도는 제어 신호(IN1 - IN2n-1)와 선택된 전압원과 관계를 나타낸다. x와 y는 각각 1내지 n-1까지의 제1정수와 제1정수를 제외한 1내지 n-1까지의 제2정수일 때, 전력 분배 라인(21)상의 전력 전압(V_x)은 접지 레벨의 제어 신호(IN2x-1, IN2x)와 각 전력 전압(V_y)의 제어 신호(IN2y)로부터 결과되며, 이는 p채널 인헨스먼트형 전계 효과 트랜지스터($Q_p(2x-1), Q_p(2x)$)만이 ON 이기 때문이다.

z가 1 내지 n-1까지의 제3정수일 때, 전력 분배 라인(21)상의 최저 전력 전압(V_n)은 전력 전압(V_z)의 제어 신호(IN(2z-1))와 전력 분배 라인(21)의 전위 레벨의 제어 신호(IN2z)로부터 결과되며, 이는 p채널 인헨스먼트형 전계 효과 트랜지스터($Q_p(2n-1)$)만이 ON 이기 때문이다.

따라서, 본 발명의 공급 전압 전환 회로는 적은 갯수의 전계 효과 트랜지스터로 제조 가능하며, 전력원의 전위 변동과 무관하게 안정하다.

[실시예 2]

제13도에서, 본 발명의 공급 전압 전환 회로(31)는 전기적으로 삭제 가능하고 프로그램 가능한 플래시-라이트 ROM 장치내에 있다. 비록 전기적으로 삭제 가능하고 프로그램 가능한 플래시-라이트 ROM 장치가 NOR형 메모리 셀 어레이(32)와, 로우 어드레스 디코더 장치(33)와, 칼럼 어드레스 디코더 및 칼럼 셀렉터 장치(34)와, 센서 증폭기(35)와, 라이트-인 회로(36)를 더 포함하지만, 이는 종래의 전기적으로 삭제 가능하고 프로그램 가능한 플래시-라이트 ROM 장치와 유사하며, 따라서 더 이상 설명하지는 않겠다.

공급 전압 전환 회로(31)는 12V의 라이트-인 전압 (V_{pp})과 5V의 전력 전압(V_{cc})을 전력 분배 라인(37)에 선택적으로 공급하며, 주로 제어 부회로(31a)와 두개의 부회로(31b, 31c)를 구비한다. 제어 부회로(31a)는 제어 부회로(22)와 유사하며, 라이트 이네이블 신호(WE)에 응답하여 제어 신호(IN31, IN32, IN33)를 변화시킨다.

두개의 p채널 인헨스먼트형 전계 효과 트랜지스터(Q_p31, Q_p32) 부회로(31b)를 형성하며, 라이트-인 전압(V_{pp})과 전력 분배 라인(37)사이에서 연결된다. 각각의 제어 신호(IN31, IN32)는 p채널 인헨스먼트형 전계 효과 트랜지스터(Q_p31, Q_p32)의 게이트 전극에 공급된다. p채널 인헨스먼트형 전계 효과 트랜지스터(Q_p33)는 다른 부회로(31c)로서의 역할을하며, 제어 신호(IN33)에 응답한다.

라이트 이네이블 신호(WE)가 비구동 하이 레벨에 있으면, 제어 부회로는 제어 신호(IN31, IN32, IN33)를 라이트-인 전압 (V_{pp})과 전력 전압 레벨(V_{cc})과 접지 레벨로 유지시킨다. p채널 인헨스먼트형 전계 효과 트랜지스터(Q_p31, Q_p32)는 OFF 되고, p채널 인헨스먼트형 전계 효과 트랜지스터(Q_p33)는 ON 된다. p채널 인헨스먼트형 전계 효과 트랜지스터(Q_p33)는 전력 분배 라인(37)을 통하여 전력 전압(V_{cc})을 로우 어드레스 디코더 장치(33)에 전달한다. 로우 어드레스 디코더 장치(33)는 전력 전압(V_{cc})을 선택된 워드 라인에 공급하며, 칼럼 어드레스 디코더 및 칼럼 셀렉터(34)는 센서 증폭기(35)를 선택된 디지털 라인에 연결시킨다. 센서 증폭기(35)는 선택된 디지털 라인에 전류를 공급하여 선택된 메모리 셀이 삭제 상태인지 라이트-인 상태인지를 판정한다.

반면에, 라이트 이네이블 신호(WE)가 구동 로우 레벨로 변하면, 제어 부회로(31a)는 제어 신호(IN31, IN32, IN33)를 접지 레벨과 전력 분배 라인(37)의 접지 레벨 및 전위 레벨, 즉 라이트-인 전압으로 변화시

킨다.

p채널 인헨스먼트형 전계 효과 트랜지스터(Qp31, Qp32)는 ON 되고, p채널 인헨스먼트형 전계 효과 트랜지스터(Qp33)는 OFF 된다. 다음에, 전력 분배 라인(37)에 라이트-인 전압(Vpp)이 공급되고, 로우 어드레스 디코더(33)는 라이트-인 전압을 선택된 워드 라인에 인가한다. 칼럼 어드레스 디코더 및 칼럼 셀렉터(34)는 라이트-인 회로를 선택된 디지털 라인에 연결시키고, 선택된 메모리 셀의 플로우팅게이트 전극내로 열 전자가 주입된다.

공급 전압 전환 회로(31)는 세 개의 제어 부회로(31a)의 반전기와 세 개의 p채널 인헨스먼트형 전계 효과 트랜지스터(Qp31 - Qp33)를 필요로 하며, 회로도에는 종래의 공급 전압 전환 회로보다 더욱 간단해졌다.

본 발명의 공급 전압 전환 회로는 전하 펌프 회로와 부츠트래핑회로를 포함하지 않으며, 라이트-인 전압 라인(Vpp)에서의 전위 변동은 공급 전압 전환 회로에 큰 영향을 미치지 않는다.

공급 전압 전환 회로(31)는 제14도처럼 변형가능하다. p채널 인헨스먼트형 전계 효과 트랜지스터(Qp34)가 부회로(31c)에 직렬로 연결되었으며, p채널 인헨스먼트형 전계 효과 트랜지스터(Qp33, Qp34)는 p채널 인헨스먼트형 전계 효과 트랜지스터(Qp32, Qp31)와 유사하게 제어 부회로(31a)에 의하여 제어된다.

본 발명의 소정 실시예를 도시하여 설명하였지만, 당업자에게 있어서는 본 발명의 사상과 범위를 벗어남이 없이 다양한 변화와 변형이 가능할 것이다.

예를들면, 본 발명의 공급 전력 전환 회로는 어떠한 종류의 반도체 집적 회로 장치에도 가능하며, 예를 들어, 두개 이상의 전력 전압을 필요로 하는 경우에, 반소비용 직접 회로 장치와 여타의 반도체 메모리 장치에 가능하다. 다른 종류의 반도체 메모리 장치는 상이한 전력전압과 외부로부터의 접지 레벨이 공급되는 전기적으로 프로그램 가능한 ROM 장치 또는 반도체 RAM 장치이다.

각각의 반전기(INV1, INV2, INV3)는 버퍼 회로, NAND, 또는 NOR 게이트로 대체가능하다.

(57) 청구의 범위

청구항 1

복수개의 전력 공급 라인(201 - 20n; Vpp/Vcc)을 전력 분배 라인(21)에 선택적으로 결합시키기 위하여 상기 복수개의 전력 공급 라인과 전력 분배 라인(21) 사이에 결합된 전환 부분과, 상기 전환 부분을 제어하기 위하여 상기 전환 부분에 결합에 제어 부회로(22; 13a)를 구비하는 반도체 집적 회로 장치내의 공급 전압 전환 회로에 있어서, 상기 전환 부분은 상기 전력 분배 라인(21) 및 전력 전압이 상이한 복수개의 전력 공급 라인(Vpp/Vcc)과 결합된 복수개의 제1직렬 부회로(211 - 21n-1; 31b/31c)를 포함하며, 상기 복수개의 제1직렬 부회로 각각은 상기 복수개의 전력 공급 라인중의 하나와 결합된 제1소오스 노드(S)와 제1 게이트 전극(G)과 제1드레인 전극(D)을 갖는 제1 p채널 인헨스먼트형 트랜지스터(Qp(1)/Qp(3)/Qp(2i-1)/Qp(2n-3); Qp31; Qp 31/Qp34)와 상기 제1드레인 노드와 결합된 제2소오스 노드(S)와 상기 전력 분배 라인과 결합된 제2게이트 전극(G)과 제2드레인 전극(D)을 갖는 제2 p채널 인헨스먼트형 트랜지스터(Qp(2)/Qp(4)/Qp(2i)/Qp(2n-2); Qp32; Qp32/Qp33)로 구성되며, 상기 제어 부회로(22; 31a)는 상기 복수개의 전력 공급 라인중의 하나를 나타내는 선택 신호(SEL;WE)에 응답하여 상기 복수개의 전력 공급 라인중의 하나와 결합된 상기 제1 p채널 인헨스먼트형 트랜지스터의 제1임계 레벨의하여 상기 복수개의 전력 공급 라인중의 하나와 연관된 전력 전압보다 낮은 제1소정 전위 레벨(GND)의 제1제어 신호(IN1/IN3/IN2i-1/IN2i-3; IN31)와, 상기 복수개의 전력 공급 라인중의 하나와 연관된 상기 제2p채널 인헨스먼트형 트랜지스터의 제2임계 레벨에의하여 상기 전력 배분 라인의 전위 레벨보다 낮은 제2소정 전위 레벨(GND)의 제2 제어 신호(IN2/IN4/IN2i/IN2i-2; IN32/IN33)와, 상기 복수개의 전력 공급 라인의 나머지 각각의 전력 전압과 동일한 제3소정 전위 레벨의 제3 제어 신호(IN1/IN3/IN2i-1/IN2i-3; IN31)와, 상기 전력 분배 라인의 전위 레벨과 동일한 제4소정 전위 레벨의 제4제어 신호(IN2/IN4/IN2i/IN2i-2; IN32/IN33)를 발생시키며, 상기 제1제어 신호는 상기 복수개의 전력 공급 라인중의 하나와 결합된 상기 제1 p채널 인헨스먼트형 트랜지스터의 제1게이트 전극에 공급되며, 상기 제2제어 신호는 상기 복수개의 전력 공급 라인중의 하나와 연관된 상기 제2 p채널 인헨스먼트형 트랜지스터의 제2게이트 전극에 공급되며, 상기 제3제어 신호는 상기 복수개의 전력 공급 라인의 나머지와 결합된 상기 제1 p채널 인헨스먼트형 트랜지스터의 제1게이트 전극에 공급되며, 상기 제4제어 신호는 상기 복수개의 전력 공급 라인의 나머지와 결합된 상기 제2 p채널 인헨스먼트형 트랜지스터의 제2게이트 전극에 공급되는 것을 특징으로 하는 공급 전압 전환 회로.

청구항 2

제1항에 있어서, 상기 복수개의 제1직렬 부회로중의 하나는 최저 전력 전압의 다른 전력 공급 라인(Vn; Vcc)과 결합된 제3소오스 노드(S)와 상기 전력 분배 라인과 결합된 제3드레인 노드와 제3게이트 전극을 갖는 제3 p채널 인헨스먼트형 트랜지스터(Qp(2n-1); Qp33)를 포함하는 제2직렬 부회로(21n; 31c)로 대체되며, 상기 선택 신호가 상기 최저 전력 공급 라인을 나타내는 경우에 상기 제2제어 신호(IN2n-1; IN33)는 상기 제3게이트 전극에 공급되며, 상기 선택 신호가 상기 복수개의 전력 공급 라인중의 하나를 나타내는 경우에 상기 제4제어 신호(IN2n-1; IN33)는 상기 제3게이트 전극에 공급되는 것을 특징으로 하는 공급 전압 전환 회로.

청구항 3

제1항에 있어서, 상기 제1소정 전위 레벨과 상기 제2소정 전위 레벨은 접지 레벨인 것을 특징으로 하는 공급 전압 전환 회로.

청구항 4

제1항에 있어서, 상기 반도체 집적 회로 장치는 전기적으로 삭제가능하고 프로그램 가능한 ROM 장치이며, 상기 복수개의 직렬 부회로(31b/31c)는 라이트-인 전압 라인(Vpp)과 상기 전력 분배 라인(37) 사이 및 리드-아웃 전압 라인(Vcc)과 상기 전력 분배 라인(37) 사이에 각각 결합되며, 상기 라이트-인 전압 라인의

전위 레벨은 상기 리드-아웃 전압 라인의 전위 레벨보다 더 높은 것을 특징으로하는 공급 전압 전환 회로.

청구항 5

제2항에 있어서, 상기 제2직렬 부회로(31c)와 또다른 복수개의 상기 제1직렬 부회로(31b)는 라이트-인 전압 라인(V_{pp})과 상기 전력 분배 라인(37) 사이 및 리드-아웃 전압 라인(V_{cc})과 상기 전력 분배 라인(37) 사이에 각각 결합되며, 상기 라이트-인 전압 라인의 전위 레벨은 상기 리드-아웃 전압 라인의 전위 레벨보다 더 높은 것을 특징으로하는 공급 전압 전환 회로.

청구항 6

제1항에 있어서, 상기 제어 부회로는 상기 복수개의 제1직렬 부회로와 연관된 복수개의 전환 장치(221 - 22n-1)를 포함하며, 상기 복수개의 전환 장치 각각은 상기 복수개의 전력 공급 라인중의 하나와 상기 제1 소정 전위 레벨 소오스에 의하여 전력이 인가되는 제1논리 게이트(INV1)와 전력 분배 라인 및 상기 제2 소정 전위 레벨 소오스에 의하여 전력이 인가되는 제2논리 게이트(INV2)를 포함하며, 상기 제1 및 제2논리 게이트(INV1/INV2)는 상기 선택신호의 신호 비트에 응답하여 상기 제1제어 신호 또는 상기 제3제어 신호와 상기 제2제어 신호 또는 상기 제4제어 신호를 발생시킴을 특징으로하는 공급 전압 전환 회로.

청구항 7

제6항에 있어서, 상기 제1 및 제2논리 게이트는 반전기인 것을 특징으로 하는 공급 전압 전환 회로.

청구항 8

제6항에 있어서, 상기 제1소정 전위 레벨과 상기 제2 소정 전위 레벨은 접지 레벨인 것을 특징으로 하는 공급 전압 전환 회로.

청구항 9

제2항에 있어서, 상기 제어 부회로는 상기 제2직렬 부회로(21n)와 연관된 복수개의 전환 장치(221 - 22n)와 상기 복수개의 제1직렬 부회로(211 - 21n-1)의 나머지를 포함하며, 상기 복수개의 제1직렬 부회로의 나머지와 연관된 상기 복수개의 전환 장치(221 - 22n-1) 각각은 상기 복수개의 전력 공급 라인중의 하나와 상기 제1소정 전위 레벨 소오스에 의하여 전력이 인가되는 제1논리 게이트(INV1)와 상기 전력 분배 라인과 상기 제2소정 전위 레벨 소오스에 의하여 전력이 인가되는 제2논리 게이트를 가지며, 상기 제2직렬 부회로와 연관되어있는 상기 전환 장치(22n)는 상기 제2소정 전위 레벨 소오스와 상기 전력 분배 라인에 의하여 전력이 인가되는 제3논리 게이트(INV3)를 가지며, 상기 제1 및 제2논리 게이트(INV1/INV2)는 상기 선택 신호의 신호 비트에 응답하여 상기 제1제어 신호 또는 상기 제3제어 신호 및 상기 제2제어 신호 또는 상기 제4제어 신호를 발생시키며, 상기 제3논리 게이트(INV3)는 상기 선택 신호의 또다른 신호 비트에 응답하여 상기 제2제어 신호 또는 상기 제4제어 신호를 발생시킴을 특징으로 하는 공급 전압 전환 회로.

청구항 10

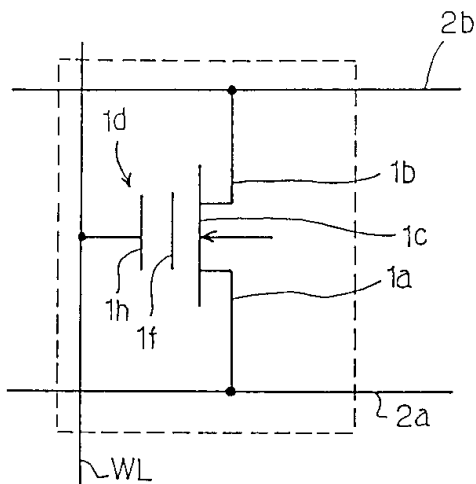
제9항에 있어서, 상기 제1 및 제2 및 제3 논리 게이트는 반전기인 것을 특징으로 하는 공급 전압 전환 회로.

청구항 11

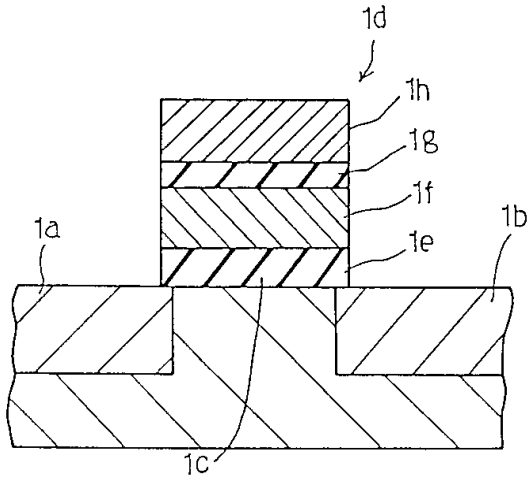
제9항에 있어서, 상기 제1소정 전위 레벨과 상기 제2소정 전위 레벨은 접지 레벨인 것을 특징으로 하는 공급 전압 전환 회로.

도면

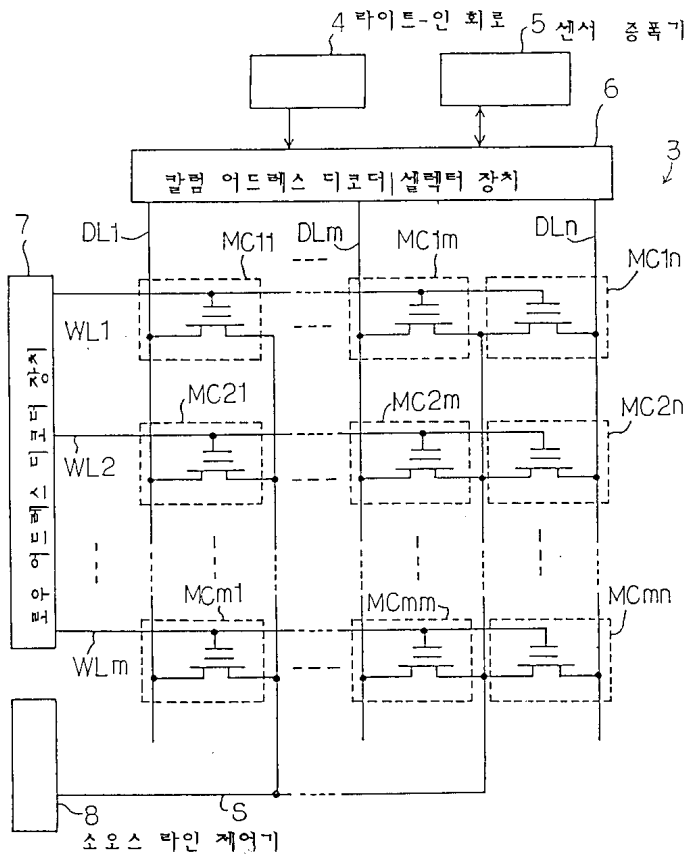
도면1



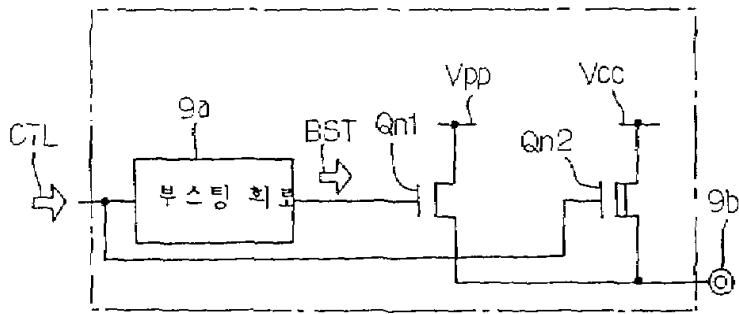
도면2



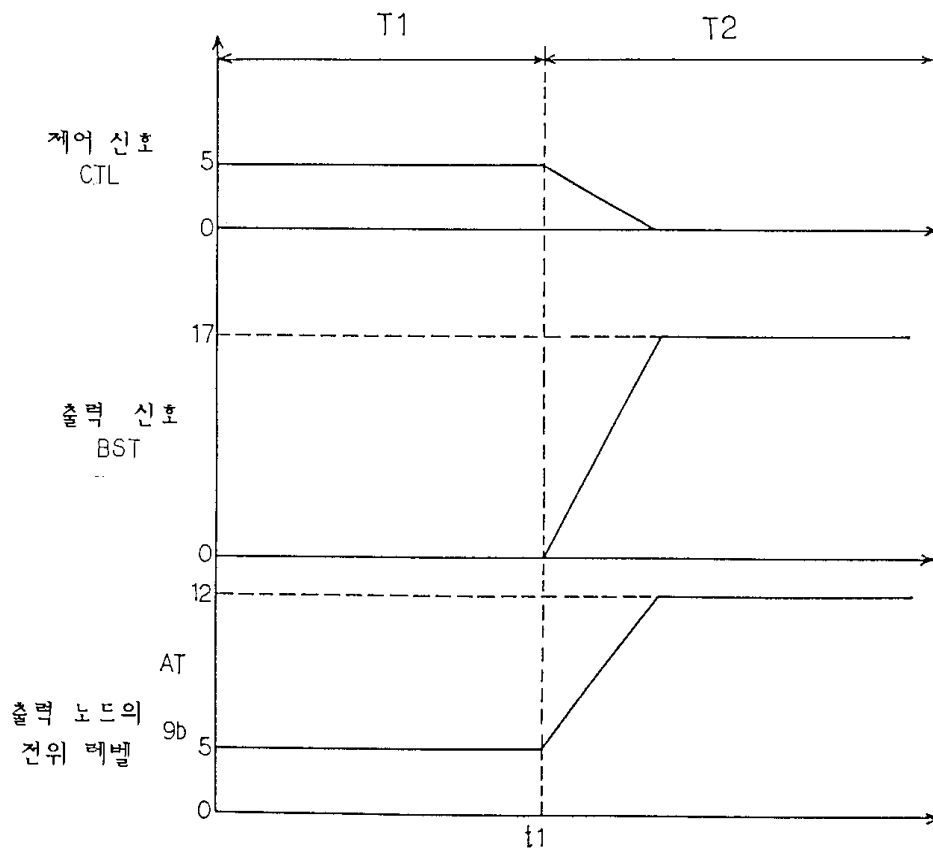
도면3



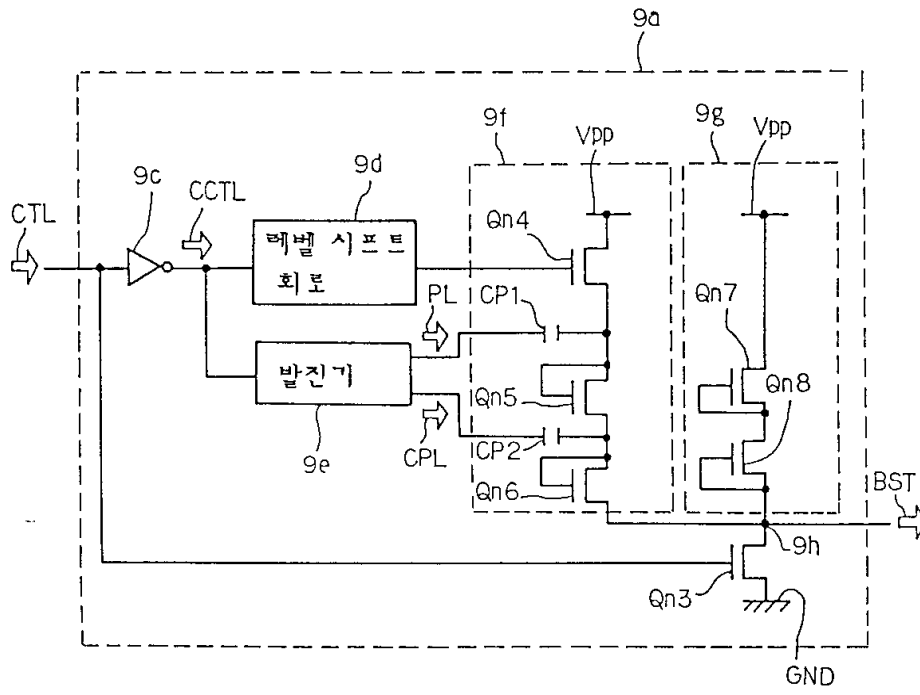
도면4



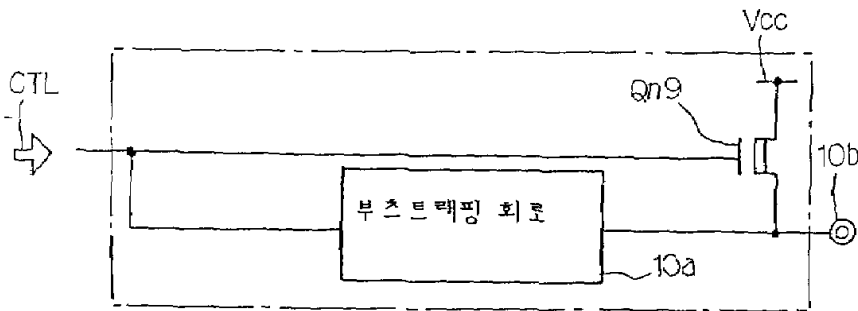
도면5



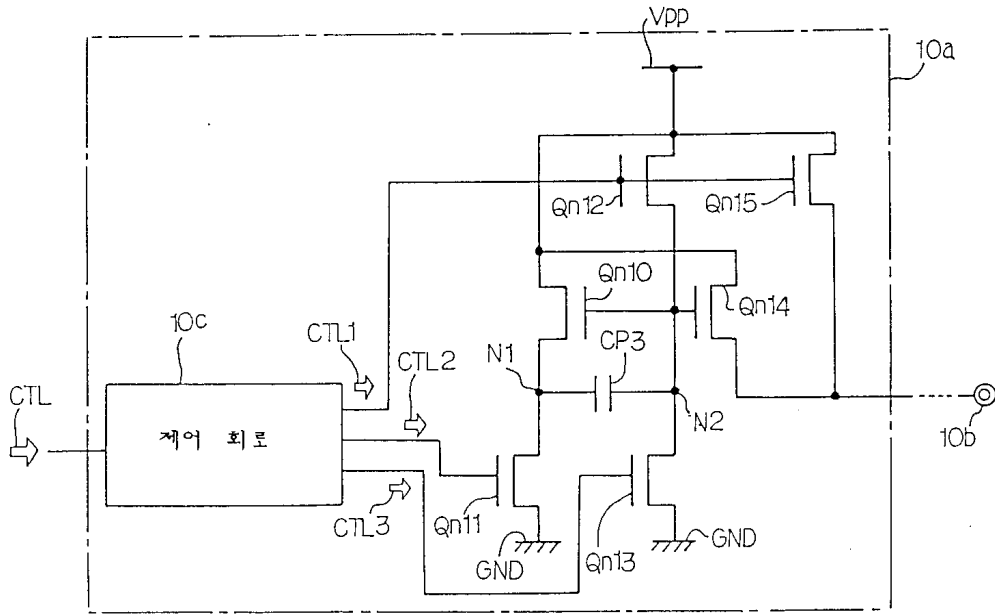
도면6



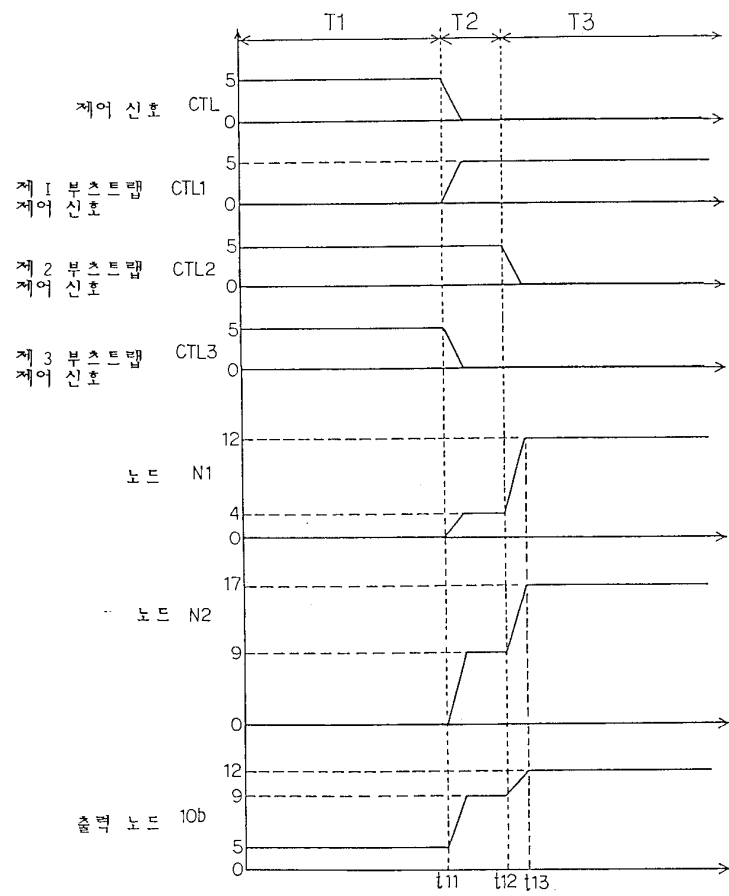
도면7



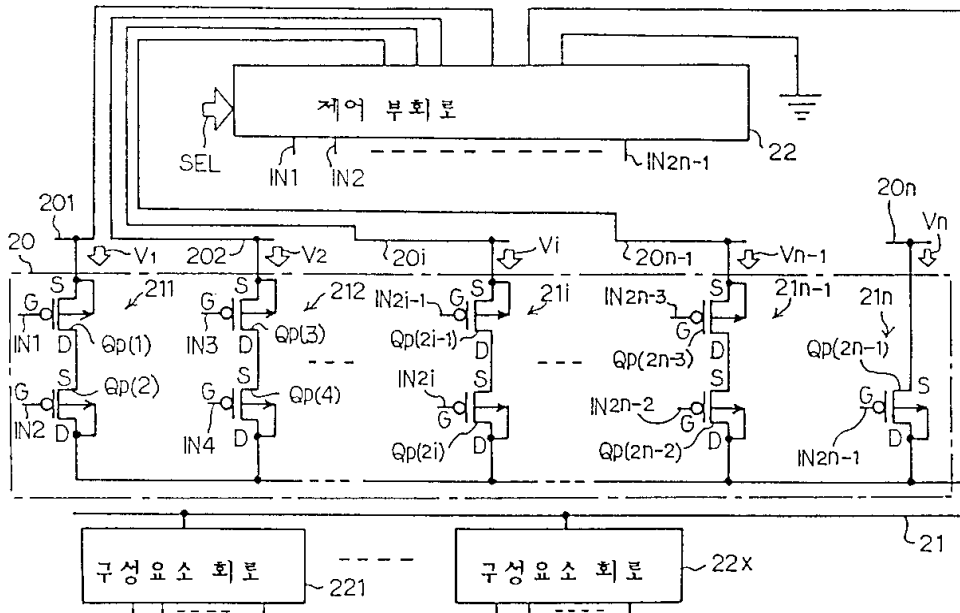
도면8



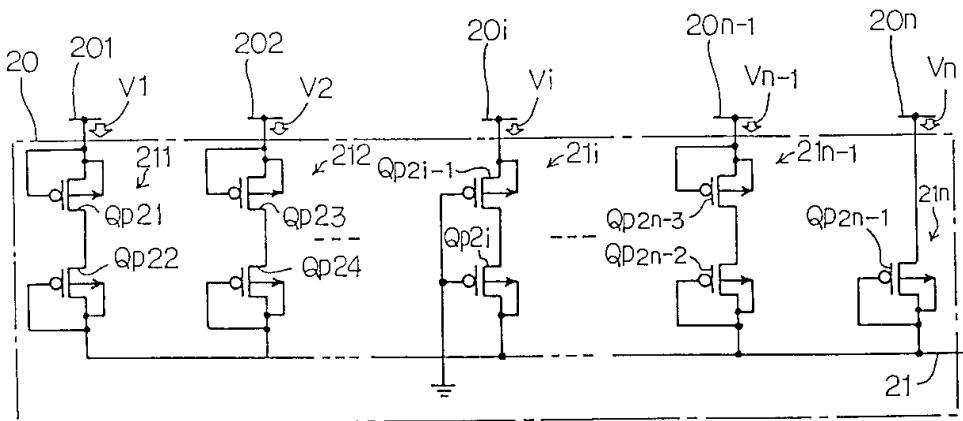
도면9



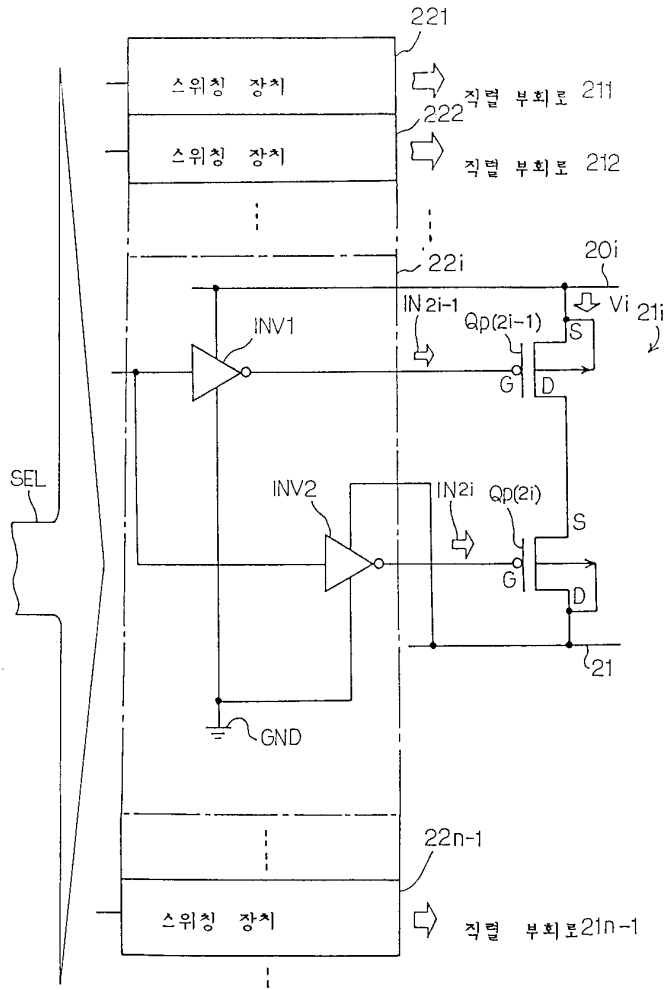
도면 10a



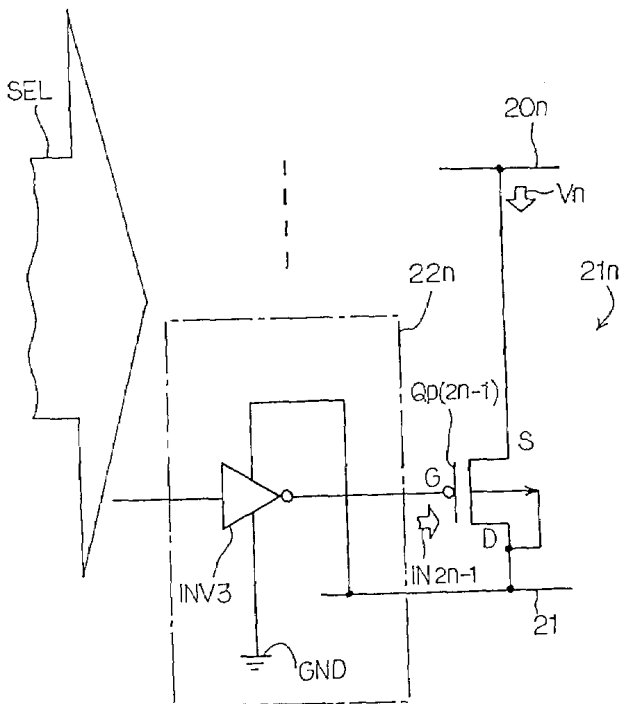
도면 10b



도면11a



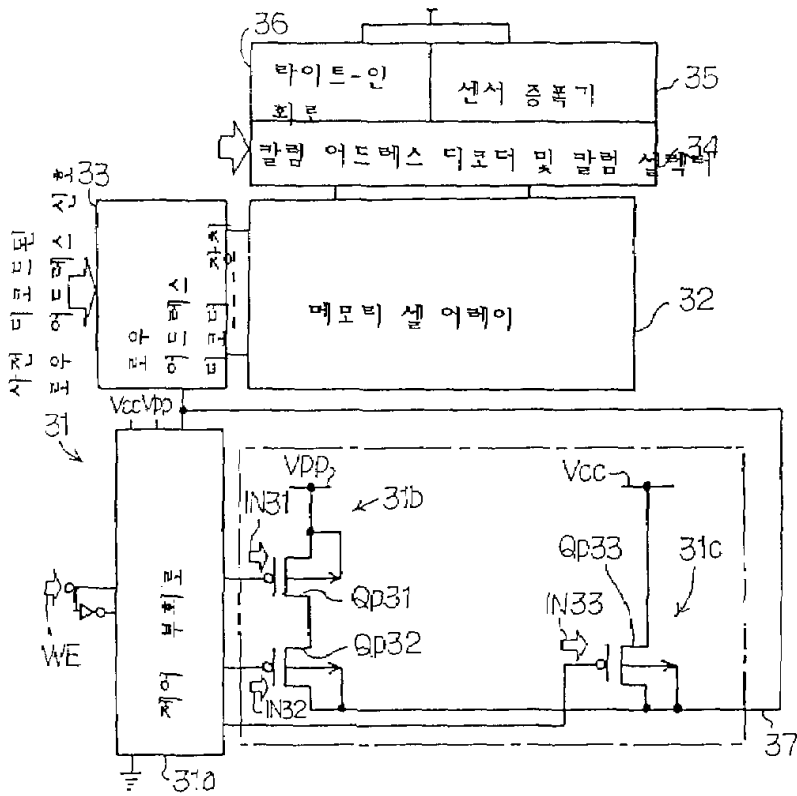
도면11b



도면12

제어 신호											선택된 전력원
IN1	IN2	IN3	IN4	...	IN2i-1	IN2i	...	IN2n-3	IN2n-2	IN2n-1	
0	0	V2	V1	...	V _i	V1	...	V _{n-1}	V1	V1	V1
V1	V2	0	0	...	V _i	V2	...	V _{n-1}	V2	V2	V2
:	:	:	:	:	:	:	:	:	:	:	:
V1	V _i	V2	V _i	...	0	0	...	V _{n-1}	V _j	V _i	V _j
:	:	:	:	:	:	:	:	:	:	:	:
V1	V _{n-1}	V2	V _{n-1}	...	V _j	V _{n-1}	...	0	0	V _{n-1}	V _{n-1}
V1	V _n	V2	V _n	...	V _j	V _n	...	V _{n-1}	V _n	0	V _n

도면13



도면14

