

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

H01L 27/115 (2006.01)

H01L 21/82 (2006.01)

G11C 16/02 (2006.01)



# [12] 发明专利申请公开说明书

[21] 申请号 200510097637.8

[43] 公开日 2006年4月19日

[11] 公开号 CN 1761064A

[22] 申请日 2005.8.29

[21] 申请号 200510097637.8

[30] 优先权

[32] 2004.8.30 [33] DE [31] 102004041894.2

[71] 申请人 因芬尼昂技术股份公司

地址 德国慕尼黑

[72] 发明人 R·斯曼茨克 T·罗尔

[74] 专利代理机构 中国专利代理(香港)有限公司

代理人 吴立明 张志醒

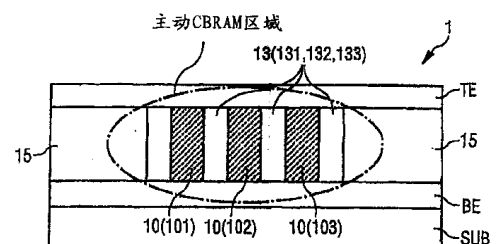
权利要求书 3 页 说明书 8 页 附图 7 页

## [54] 发明名称

具有应用可变电阻值主动固态电解质材料的  
内存胞元的内存组件及其制造方法

## [57] 摘要

本发明是关于一种内存组件(CBRAM),其具有以主动固态电解质材料(13)为基础的内存胞元(1),所述主动固态电解质材料(13)的电阻值可改变且埋在一底部电极与一顶部电极间,并可相较于在所述电极间所施加的适当电场而于一具有低电阻的开启状态与一具有高电阻的关闭状态间切换;其特征在于一电阻材料(10)是以并行于所述电极(BE、TE)间的固态电解质材料(13)的方式埋入。本发明亦关于一种优良的内存组件制造方法。



1. 一种内存组件(CBRAM), 其具有以一主动固态电解质材料(13)为基础的内存胞元(1), 所述主动固态电解质材料(13)可改变其电阻值且埋在一底部与一顶部电极(BE、TE)间, 并可相较于在所述电极间所施加的适当电场而于一具有低电阻的开启状态与一具有高电阻的关闭状态间切换, 其中以并行于所述电极(BE、TE)间的固态电解质材料(13)的方式埋入一电阻材料(10)。
2. 如权利要求 1 所述的内存组件, 其中所述电阻材料(10)的电阻值是可调整的。
3. 如权利要求 1 或 2 所述的内存组件, 其中所述电阻材料(10)的电阻值是经由选择其电阻率而设定。
4. 如权利要求 1 至 3 任一所述的内存组件, 其中所述电阻材料(10)的电阻值是通过后者的适当布局及/或通过所述电极(BE、TE)间的固态电解质材料(13)而设定。
5. 如权利要求 1 至 4 任一所述的内存组件, 其中所述电阻材料(10)的电阻值是设定为主动固态电解质材料(13)在开启状态与其在关闭状态的电阻值间。
6. 一种制造内存组件(CBRAM)的方法, 其中所述内存组件(CBRAM)具有以一主动固态电解质材料(13)为基础的内存胞元, 所述主动固态电解质材料(13)可改变其电阻值且埋在一底部与一顶部电极(BE、TE)间, 其中一电阻材料(10)是以并行于所述电极(BE、TE)间的固态电解质材料(13)的方式而埋入。
7. 如权利要求 6 所述的方法, 其中所述电阻材料(10)的电阻值是经设定的。
8. 如权利要求 6 或 7 所述的方法, 其中所述电阻材料(10)的电阻值是通过选择其电阻率而设定。
9. 如权利要求 6 至 8 任一所述的方法, 其中所述电阻材料(10)的电阻值是通过后者的适当布局及/或经由所述电极(BE、TE)间的固态电解质材料(13)而设定。
10. 如权利要求 6 至 9 任一所述的方法, 其中所述电阻材料(10)的电阻值是设定为主动固态电解质材料(13)在开启状态与其在关闭状态的电阻值间。

11. 如权利要求 6 至 10 任一所述的方法, 其中利用具有纳米孔洞(14)的一铝氧化物层(12)作为一正掩膜或作为一负掩膜, 以用于图形化所述电极(BE、TE)间的所述电阻材料(10)与所述固态电解质材料(13)。

5 12. 如权利要求 11 所述的方法, 其中所述纳米孔洞铝氧化物层(12)是由阳极氧化所沉积的一铝层(11)而形成。

13. 如权利要求 12 所述的方法, 其中所述纳米孔洞(14)的直径是通过选择所述铝层(11)的膜层厚度与氧化条件而设定。

10 14. 如权利要求 6 至 13 任一所述的方法, 其中所述底部电极(BE)的材料是 W、TiN、TiW 或 TiAlN。

15. 如权利要求 6 至 14 任一所述的方法, 其中所述电阻材料(10)是多晶硅或 TiN。

16. 如权利要求 6 至 15 任一所述的方法, 其中所述固态电解质材料(13)是 GeSe 与 Ag 或 GeS 与 Ag。

15 17. 如权利要求 6 至 16 任一所述的方法, 其中所述纳米孔洞铝氧化物层(12)是作为一正掩膜, 其特征在于下列步骤:

(A1) 在一基板(SUB)上沉积所述底部电极(BE)并加以图形化;

(B1) 在所述底部电极(BE)上沉积一电阻材料层(10);

(C1) 在所述电阻材料层(10)上沉积一铝层(11);

20 (D1) 阳极氧化所述铝层(11)以形成一铝氧化物层(12), 并于所述铝氧化物层(12)中形成纳米孔洞(14);

(E1) 通过所述纳米孔洞(14)选择性蚀刻所述电阻材料层(10), 以在所述电阻材料层(10)中同样形成纳米孔洞;

25 (F1) 在所述铝氧化物层(12)上沉积一主动固态电解质材料层(13), 其直达所述电阻材料层(10)的所述纳米孔洞内;

(G1) 移除上方有所述主动固态电解质材料层(13)的残余铝氧化物层(12), 或通过 CMP 将层堆栈回薄达所述电阻材料层(10);

(H1) 在填有所述主动固态电解质材料(13)的所述电阻材料层(10)上沉积第二电极(TE)之金属。

30 18. 如权利要求 6 至 17 任一所述的方法, 其中所述铝氧化物层是作为一负掩膜, 其特征在于下列步骤:

(A2) 在一基板(SUB)上沉积所述底部电极(BE)并加以图形化;

- (B2) 在所述底部电极 (BE) 上沉积一主动固态电解质材料层 (13);
- (C2) 在所述主动固态电解质材料层 (13) 上沉积一铝层 (11);
- (D2) 阳极氧化所述铝层 (11) 以形成一铝氧化物层 (12), 并于所述铝氧化物层 (12) 中形成纳米孔洞 (14);
- (E2) 选择性蚀刻所述主动固态电解质材料层 (13), 以在所述主动固态电解质材料层 (13) 中同样形成纳米孔洞;
- (F2) 在所述铝氧化物层 (12) 上沉积一电阻材料层 (10), 其通过后者并进入所述主动固态电解质材料层 (13) 的纳米孔洞内;
- (G2) 移除上方有所述电阻材料层 (10) 的残余铝氧化物层 (12), 或通过 CMP 将所述主动固态电解质材料层 (13) 上方的膜层回薄;
- (H2) 在填有所述电阻材料层 (10) 的所述主动固态电解质材料层 (13) 上沉积所述顶部电极 (TE) 之金属。
19. 如权利要求 6 至 16 任一所述的方法, 其中所述纳米孔洞铝氧化物层是作为一负掩膜, 其特征在于下列步骤:
- (A3) 在一基板 (SUB) 上沉积一底部电极 (BE) 并加以图形化;
- (B3) 在所述底部电极 (BE) 上沉积一铝层 (11);
- (C3) 阳极氧化所述铝层 (11) 以形成一铝氧化物层 (12), 并于所述铝氧化物层 (12) 中形成纳米孔洞 (14);
- (D3) 在所述铝氧化物层 (12) 上沉积一电阻材料层 (10) 并沉积进入所述铝氧化物层 (12) 的所述纳米孔洞 (14) 中;
- (E3) 同时移除残余铝氧化物层 (12) 与上方的电阻材料层 (10);
- (F3) 在所述底部电极 (BE) 与位于所述电极上的所述电阻材料层 (10) 部分 (101-103) 上沉积一主动固态电解质材料层 (13);
- (G3) 通过 CMP 将所述主动固态电解质材料层 (13) 回薄达所述电阻材料层 (10);
- (H3) 在其上沉积所述顶部电极 (TE) 之金属。
20. 如权利要求 11 至 19 任一所述的方法, 其中所述铝氧化物层的纳米孔洞的直径是在 4 至 10 纳米的范围内。

具有应用可变电阻值主动固态电解质材料  
的内存胞元的内存组件及其制造方法

5 技术领域

本发明是关于一种具有应用可变电阻值主动固态电解质材料的内存胞元的内存组件(CBRAM),其埋嵌在一底部电极与一顶部电极间,且经由施加一适当电场于所述电极间,即可经由比较而使其在具低电阻的一开启状态(on state)与具高电阻的一关闭状态(off state)间切换;本发明亦关于一种用于制造所述内存组件的优良方法。

背景技术

目前业界正积极发展许多以电阻切换原理为基础的半导体内存技术,其中以固态电解质材料为基础的一种可行设计便已广见于文献中,亦即 PMC(Programmable Metallization Cell, 可编程金属胞元)或 CBRAM(Conductive Bridging Random Access Memory, 传导桥接随机存取内存)。(参考文献: M. N. Kozicki, M. Yun, L. Hilt, A. Singh, Applications of programmable resistance changes in metal-doped chalcogenides, Electrochemical Society Proc., Vol. 99-13 (1999) 298; R. Neale, Micron to look again at non-volatile amorphous memory, Electron Engineering Design (2002); B. Prince, Emerging Memories – Technologies and Trends, Kluwer Academic Publishers (2002); R. Symanczyk et al., Electrical Characterization of Solid State Ionic Memory Elements, Proceedings Non-Volatile Memory Technology Symposium (2003) 17-1)。

上述技术的基本原理在于,当对一高电阻固态电解质材料施加一合适电场时,在所述高电阻固态电解质材料中会形成并清空(clearing)出一低电阻信道,因而可在所述高电阻状态与一低电阻状态产生一电阻切换,而所述的两种电阻值即被分别指定为各别的一种逻辑状态。

由于在非编程状态时,固态电解质材料的电阻状态非常高,因此

上述的 CBRAM 内存胞元具有非常高的关闭电阻/开启电阻比 (off resistance-to-on resistance ratio); 一般已知当  $R(\text{off})$  大于  $10^{10}\Omega$  时且主动胞元面积小于  $1\mu\text{m}^2$  时, 其  $R(\text{off})/R(\text{on})$  大于  $10^6$ 。此外, 此一技术更具有低切换电压的特性, 其于起始化一抹除操作时, 所需的电压低于 100mV, 且在写入操作时, 所需的电压低于 300mV。

然而, 当胞元数组开始进行运算以及驱动逻辑状态时, 其高电阻便与下列缺点有关:

- 对于干扰电压敏感;
- 在一般感测放大器中产生的反馈电阻大, 因而在 CMOS 技术中需要较大的面积;
- RC 时间常数高。

一般而言, 具有极高  $R(\text{off})$  的胞元对于干扰的敏感度亦特别严苛, 因为即使切换关闭 (switched-off) 场效晶体管的电阻是在  $10^{10}\Omega$  的范围内, 实际上此一晶体管与高电阻 CBRAM 内存胞元间的电路节点仍是完全绝缘, 因而对于电容性耦合的距离非常敏感; 同时, 即使是极低的泄漏电流也会导致干扰电压的产生。上述两种现象都会使 CBRAM 胞元产生一些没有必要 (undesired) 的编程。

此外, 胞元在其工作周期中会呈现关闭状态下降的现象, 特别是在受应力条件下, 例如持久力试验; 此下降情形即表示关闭电阻降低, 且代表在内存数组中以及组件的操作周期中产生了胞元特性值不均匀的不良情形。

除 CBRAM 外, 亦存在其它关于以内存胞元电阻值切换为基础的内存设计, 例如 MRAM 或 PCRAM 内存; 在这些设计中, 其关闭/开启电阻比与切换关闭电阻皆明显比 CBRAM 的情形为低, 因此在这些内存设计中并不会发生上述的问题。在 MRAM 中, 其关闭/开启电阻比为 70%; 在 PCRAM 的情形中, 其值则一般低于  $10^3$ , 而  $R(\text{off})$  则低于  $1\text{M}\Omega$ 。

#### 发明内容

因此, 本发明的一构想在于提供一种如引言中所述类型的内存组件, 其中胞元对于干扰的敏感度以及对于电容性耦合的敏感性都可降低, 且可抑制前述的胞元老化效应 (ageing effect), 因此在外部就不会测量到此一效应。另一构想则在于提供一种制造此一 CBRAM 内存组件。所述构想可根据权利要求所载述者加以实现。

在本发明的内存组件中，胞元的关闭电阻是由其制造方法与布局(layout)所定义，这是由关于主动层并行电阻的方式而达成；因此，胞元的关闭电阻与关闭/开启电阻比便不再由主动固态电解质材料层的材料性质所单独决定，而是可适于运算逻辑状态与所欲应用的要求，而可排除因胞元的关闭电阻太高所产生的上述缺点。此外，可设定胞元的关闭电阻以使固态电解质材料的老化效应不会在外部被测量到；举例而言，若在制造过程中将胞元的关闭电阻设定为  $10^7\Omega$ ，则可忽略主动固态电解质材料在电路与操作中从  $10^{10}\Omega$  到  $10^8\Omega$  的降解，其几可视为不变。

本发明的核心在于植入电阻，使其与内存数组每一胞元的主动层并行；经由适当的制程控制与材料选择，即可将此一额外电阻的电阻值设定在主动固态电解质材料的开启电阻与关闭电阻间。因此，就外部而言，胞元的开启电阻是由主动材料中信道的形成所定义，而关闭电阻则由并行电阻的布局所定义。

本发明进一步说明了可以达成上述第二部分目的的制造方法，且其适于实现本发明的构想。此一制造方法是以经由铝阳极氧化方式的自图形化掩膜(self-patterning mask)制程为基础，此一氧化会形成纳米范围的六方紧密晶格(hexagonal dense lattice)。根据实施例，可选择具有适当电阻的电阻材料作为支撑结构或用于填充所形成的纳米孔洞，藉以产生所需要的并行电阻。

#### 附图说明

本发明的上述优势与进一步的特征是参考下列的伴随图式加以说明，在下列图式中说明了：

图 1A 至图 1G 是截面示意图，用以根据本发明的第一具体实施例说明 CBRAM 内存胞元制造方法的个别步骤，其中是利用一纳米孔洞铝氧化物层作为正掩膜；

图 2A 至图 2G 是截面示意图，用以根据本发明的第二具体实施例说明 CBRAM 内存胞元制造方法的个别步骤，其中是利用一纳米孔洞铝氧化物层作为负掩膜；

图 3A 至图 3G 是截面示意图，用以根据本发明的第三具体实施例说明本发明制造方法的个别步骤，其中一纳米孔洞铝氧化物层的负掩膜是结合一 CMP 步骤而使用；以及

图4是一截面图,其说明了以本发明制造方法的第一至第三具体实施例所制造的CBRAM内存胞元。

#### 具体实施方式

请参阅图4,本发明的CBRAM内存胞元具有以一主动固态电解质材料13或131、132、133为基础的内存胞元1,所述主动固态电解质材料13或131、132、133的电阻值可改变且埋在一底部电极BE(Bottom Electrode)与一顶部电极TE(Top Electrode)间,并可相较于电极BE、TE间所施加的适当电场而切换为具低电阻的开启状态、或切换为具高电阻的关闭状态;所述CBRAM内存胞元的特征在于电阻材料10或101、102、103是以与所述主动固态电解质材料13或131、132、133并行的方式埋入电极BE、TE间的主动CBRAM区域中。所述内存胞元1是经由堆栈在一介电层15中的埋入层而加以图形化,其中所述介电层15是供相邻胞元的隔离之用。

根据本发明所提出的方式代表了电阻材料的电阻值是可以调整的,其较佳的是精确设定至主动固态电解质材料(13)在开启状态与其在关闭状态的电阻值间。由于读者无法直接理解何以可经由选择电阻率来设定电阻材料的电阻值,因而在本发明中,电阻材料的电阻值是经由电阻材料层的适当布局及/或经由电极间的主动固态电解质材料的适当布局而另外设定。

以下所说明的本发明三个具体实施例是利用具有纳米孔洞的铝氧化物层作为一正掩膜、或作为一负掩膜,以图形化所述电极间的所述主动固态电解质材料层;在适当的电解质(例如:草酸、硫酸)中将铝层阳极氧化,即可根据所选择的膜层厚度与蚀刻条件(例如:蚀刻时间、电压、化学浓度)而形成均匀的、六方紧密排列的孔洞,且其直径低达4纳米(请参考文献:H. Masuda and K. Fukuda, Ordered Metal Nanohole Arrays Made by a Two-Step Replication of Honeycomb Structures of Anodic Alumina, Science 268, 1995; K. Liu et al., Fabrication and thermal stability of arrays of Fe nanodots, Appl. Phys. Lett. 81, 2002),此一排列可作为沉积主动材料与沉积并行电阻用之材料的掩膜,更精确而言,可根据制程控制而对利用正掩膜的方法与利用负掩膜的方法加以区分。

以下参考图1A至图1G说明根据本发明的制造方法的第一具体实



施例，此一制造方法是利用前述具有纳米孔洞的铝氧化物层作为正掩膜，以图形化并行电阻所需的电阻材料，并图形化主动层所需的固态电解质材料。

首先，如图 1A 所示，在一基板 SUB 上沉积所述底部电极 BE 并加以图形化；举例而言，钨、TiN、TiW、TiAlN 或其它金属皆可作为电极金属的材料。如图 1B 所示，在所述底部电极 (BE) 上沉积一导电性电阻材料层 (10)，以作为并行电阻之用。如图 1C 所示，接着在其上沉积一铝层 (11)，并加以阳极氧化，如图 1D 所示，以于所述制程中转化具有纳米孔洞 14 的纳米孔洞  $Al_2O_3$  层 12；所产生的纳米孔洞 14 的平均直径为 4 纳米，而其一般直径则约为 10 纳米。

如图 1E 所示，首先通过所述  $Al_2O_3$  层 12 的所述纳米孔洞 (14) 来蚀刻所述电阻材料层 (10)，以在所述电阻材料层 (10) 中同样形成纳米孔洞。接着，同样如图 1E 所示，在所述  $Al_2O_3$  层 12 上沉积一主动固态电解质材料层 13，其通过其纳米孔洞与形成于所述电阻材料层 10 中的纳米孔洞，而形成由主动固态电解质材料所制成的纳米柱 131-133；所述主动固态电解质材料层 13 与所述主动固态电解质材料纳米柱 131-133 可为 GeSe 与 Ag 或 GeS 与 Ag。

如图 1F 所示，接着利用举离 (lift-off) 方式或选择性蚀刻的方式，将电阻材料层 10 上方、具有主动固态电解质材料纳米柱 (131-133) 的铝氧化物层 12 移除，此方式以示于图 1F 中；除了举离方式与选择性蚀刻的方式外，另一种替代方式则是经由 CMP 将位于电阻材料层 10 上的层堆栈 (12、13) 回薄。最后，如图 1G 所示，沉积一顶部电极 TE 所需的金属。必须注意的是，将此层堆栈埋入相邻胞元隔离用 (请参考图 4) 的一介电层 15 中即可进行侧向蚀刻，然其并未示于图 1G 中。经由此一隔离以及侧向图形化步骤，即完成了所述的 CBRAM 内存胞元 1。

以下参考图 2A 至图 2G 说明根据本发明的制造方法的第二具体实施例，其中此一制造方法是利用纳米孔洞铝氧化物层作为负掩膜。如第一具体实施例中所示者，此一较佳实施例同样由在一基板 SUB 上沉积所图形化的底部电极 BE 开始，所述底部电极 BE 可由钨、TiN、TiW、TiAlN 或其它金属等制成 (如图 2A 所示)。接着在所述底部电极 BE 上沉积一主动固态电解质材料层 13，例如 GeSe、GeS 与 Ag (如图 2B 所

示)。接着如图 2C 所示, 在所述主动固态电解质材料层 13 上沉积一铝层 11, 并如图 2D 所示阳极氧化所述铝层 11, 藉以形成具有纳米孔洞 14 的  $\text{Al}_2\text{O}_3$  层 12。然后, 如图 2E 所示, 首先经由形成于所述铝氧化物层 12 中的所述纳米孔洞 14 而选择性蚀刻所述所述主动固态电解质材料层 13, 以在所述主动固态电解质材料层 13 中同样形成纳米孔洞。接着, 同样图 2E 所示, 精确地在所述铝氧化物层 12 上沉积一电阻材料层 10 以作为并行电阻之用, 其通过所述纳米孔洞 14 并直达所述主动固态电解质材料层 (13) 的纳米孔洞内, 即组件符号 101、102 与 103 所表示的电阻材料柱。电阻材料的电阻率与几何形状, 亦即主动层 13 内的纳米孔洞的数量与直径决定了  $R(\text{off})$ , 其中所述电阻材料可为掺杂多晶硅或 TiN。然后, 如图 2F 所示, 经由例如举离方式或选择性蚀刻的方式将残余的铝氧化物层 12 移除, 在此例中, 在所述铝氧化物层 12 上方及其纳米孔洞内的电阻材料层 10 的材料亦可同样被移除; 另外, 亦可经由 CMP 方式而对所述主动层 13 执行回薄 (thinning back) 处理。最后, 如图 2G 所示, 在所述主动层 13 与形成于其内的电阻材料柱 101-103 上方沉积一顶部电极 TE, 并加以图形化; 如图 2G 所示, 以本发明第二具体实施例所制造的 CBRAM 内存胞元 1 最后即经由将层堆栈埋入如图 4 所示的一介电层 15 中并施行侧向图形化, 以因而与相邻胞元隔离。

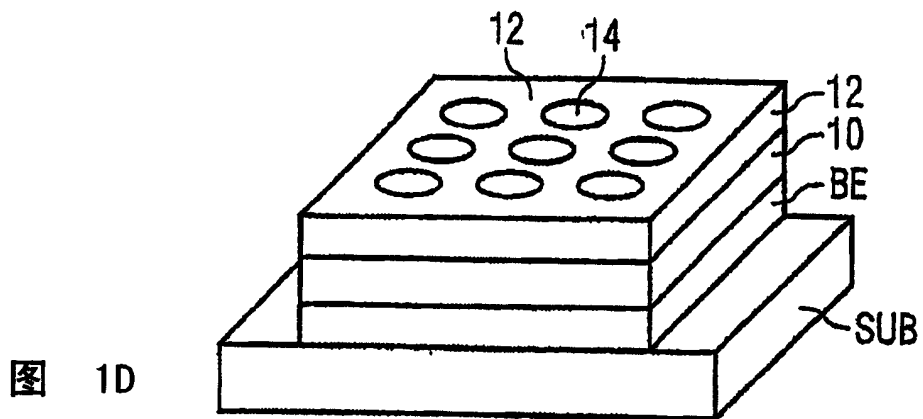
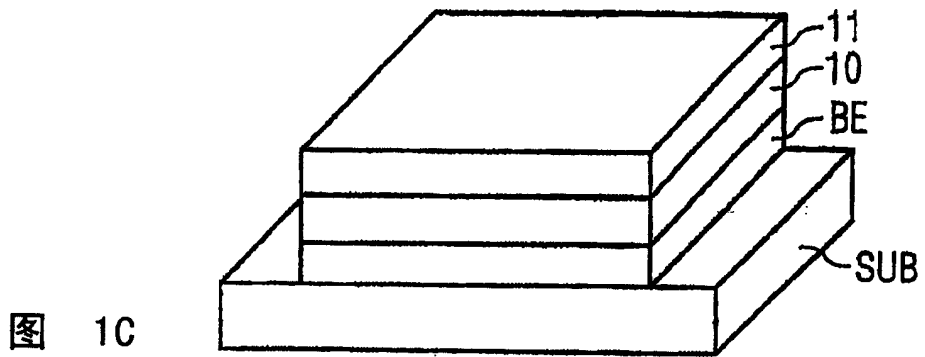
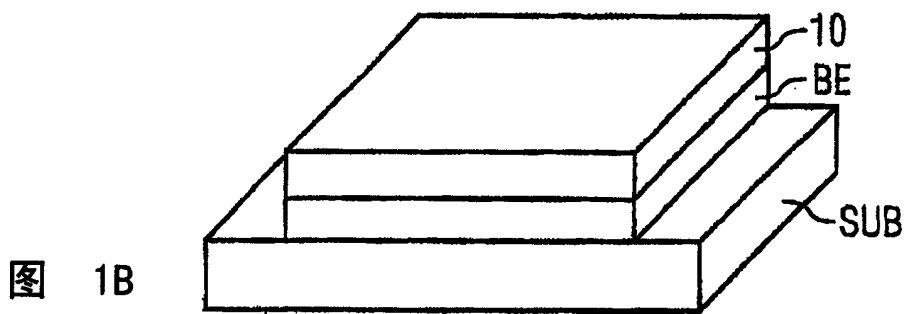
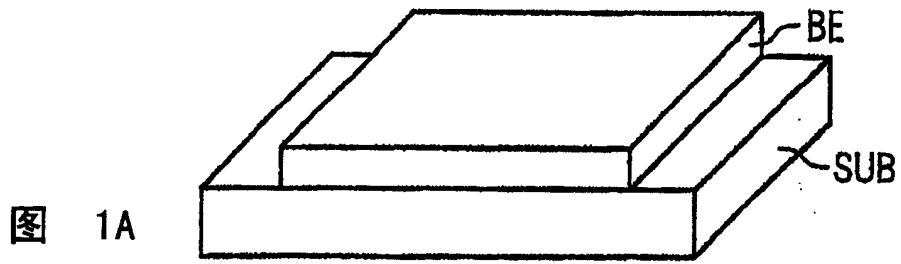
以下参考图 3A 至图 3G 说明根据本发明的制造方法的第三具体实施例, 其中此一制造方法是图 2A 至图 2C 所说明者的替代方式, 其利用 CMP 步骤来图形化所述主动材料。如图 3A 所示, 同样在一基板 SUB 上沉积一底部电极 BE 用之金属并加以图形化, 此步骤同样为本方法的起始步骤。接着如图 3B 所示, 直接在所述底部电极 BE 上沉积一铝层 11, 并以阳极氧化方式氧化所述铝层 11, 以形成具有纳米孔洞 14 的一  $\text{Al}_2\text{O}_3$  层 12, 如图 3C 所示; 在此例中, 纳米孔洞 14 的所需直径约为 10 纳米。然后, 如图 3D 所示, 在所述铝氧化物层 12 上与所述纳米孔洞 14 中沉积一电阻材料层 10。接着, 如图 3E 所示, 经由举离方式或是选择性蚀刻的方式移除残余的铝氧化物层 12 与其上方的电阻材料层 10, 然仍保留所述底部电极 BE 上的先前所沉积的电阻材料层 10 的纳米柱 101、102 与 103。如图 3F 所示, 再沉积一主动固态电解质材料层 13 于其上, 并经由 CMP 将所述主动固态电解质材料

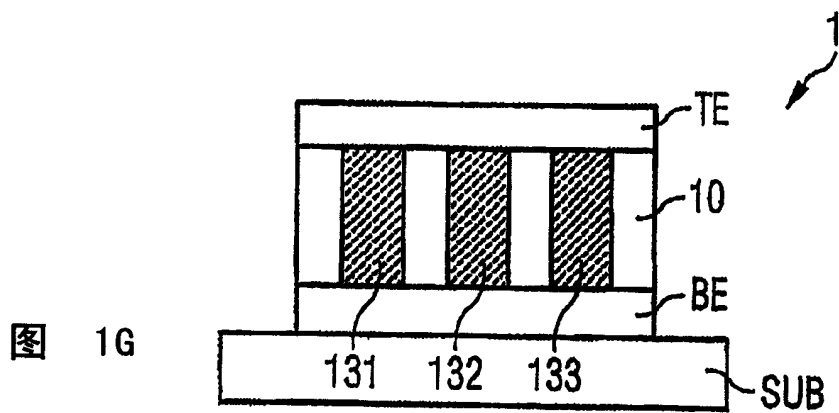
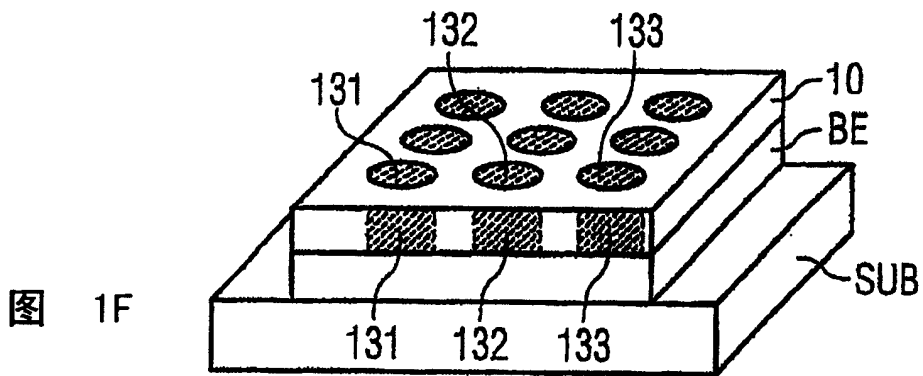
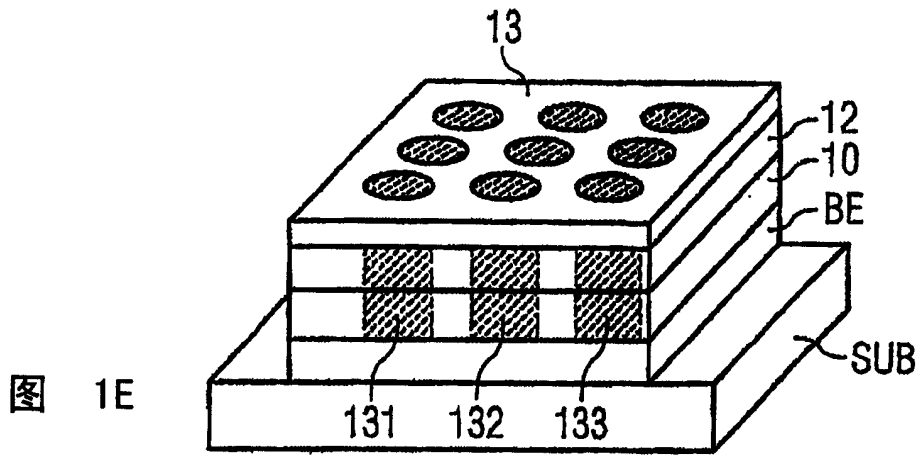
层 13 回薄达所述电阻材料层 10 的纳米柱 101-103。最后如图 3G 所示，在所述主动层 13 上沉积所述顶部电极 (TE) 之金属。同样的再此一第三具体实施例中，是经由电阻材料层 10 的电阻率与填有电阻材料 10 的纳米柱 101-103 的几何形状来决定关闭电阻 R(off)。最后，  
5 在此例中同样经由将 CBRAM 内存胞元层堆栈埋入一介电层 15 中并于侧向施行图形化，以使其与相邻胞元隔离 (如图 4 所示)。

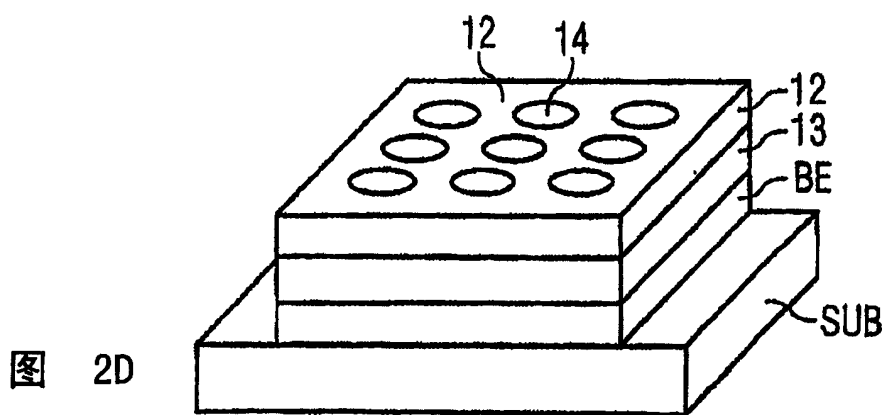
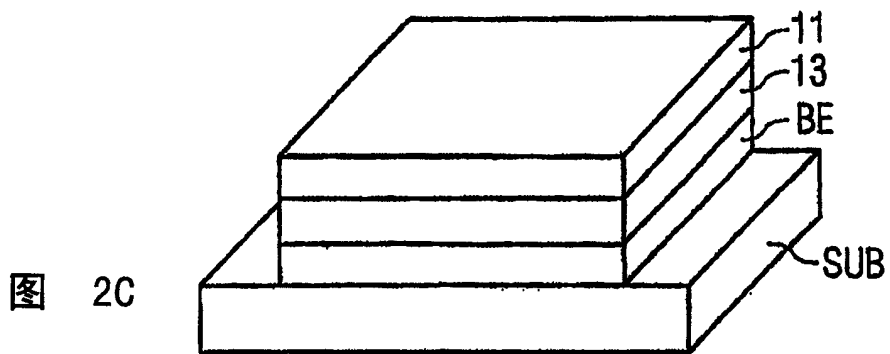
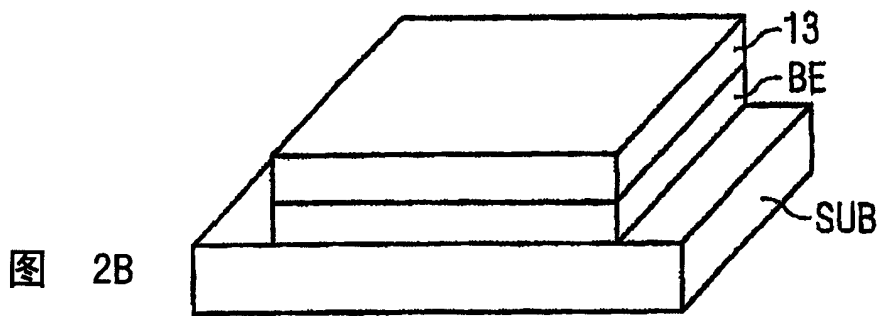
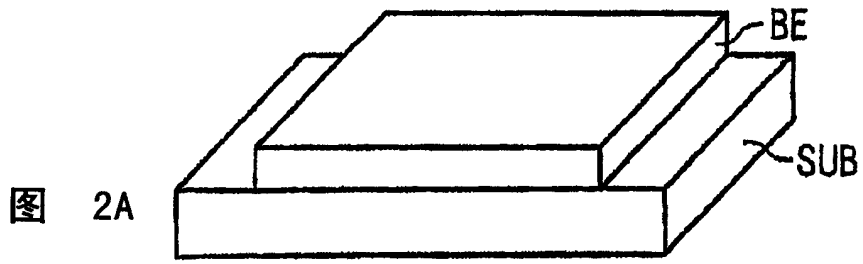
经由上述说明以及图 1A 至图 1G、图 2A 至图 2G、图 3A 至图 3G 与图 4，已详细说明了本发明的内存组件制造方法的三个较佳具体实施例，其中所述内存组件具有以主动固态电解质材料为基础的内存胞元，所述主动固态电解质材料的电阻值可改变且埋在一底部电极与一  
10 顶部电极间。所述内存组件的特征在于，以并行于所述电极间的固态电解质材料的方式埋入一电阻材料。所述的制程是利用在适当电解质 (例如：草酸、硫酸) 中阳极氧化的铝层，其中根据所选择的膜层厚度与蚀刻条件 (例如：蚀刻时间、电压、电解质的化学浓度) 即可形成直  
15 径达 4 纳米、均匀、六方紧密排列的纳米孔洞。具有纳米孔洞的此一铝氧化物层是作为沉积主动材料与并行电阻材料时所需的掩膜；其中，在图 1A 至图 1G 所示的本发明第一较佳具体实施例中，所述纳米孔洞铝氧化物层是作为一正掩膜，而在图 2A 至图 2G 所示的本发明第二较佳具体实施例、以及在图 3A 至图 3G 所示的本发明第三较佳具体  
20 实施例中，所述纳米孔洞铝氧化物层则是作为一负掩膜。经由本发明的上述三个具体实施例，所述 CBRAM 胞元 1 的关闭电阻 R(off) 即可由制造方法与布局加以定义；因此，胞元的关闭电阻与关闭/开启电阻比便不再由主动固态电解质材料层的材料性质所单独决定，而是可适于运算逻辑状态与所欲应用的要求，因而可排除因胞元的关闭电阻  
25 太高所产生的缺点。此外，亦可抑制 CBRAM 胞元中的电解质材料的老化效应，因此便不会在外部测量到此一老化效应。

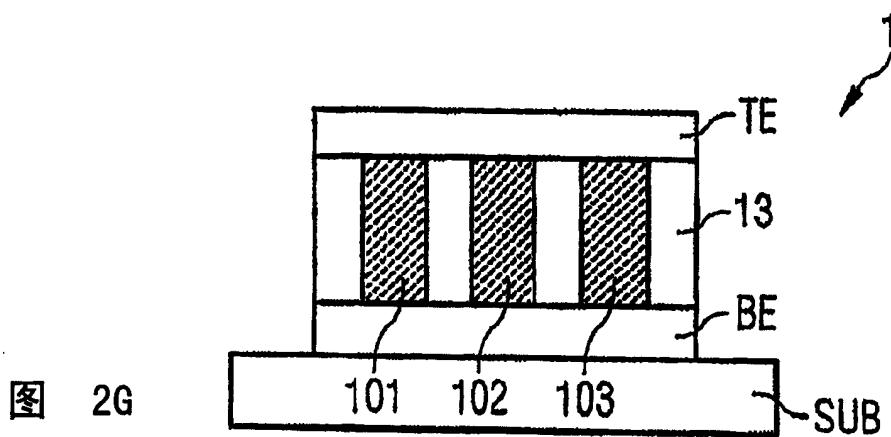
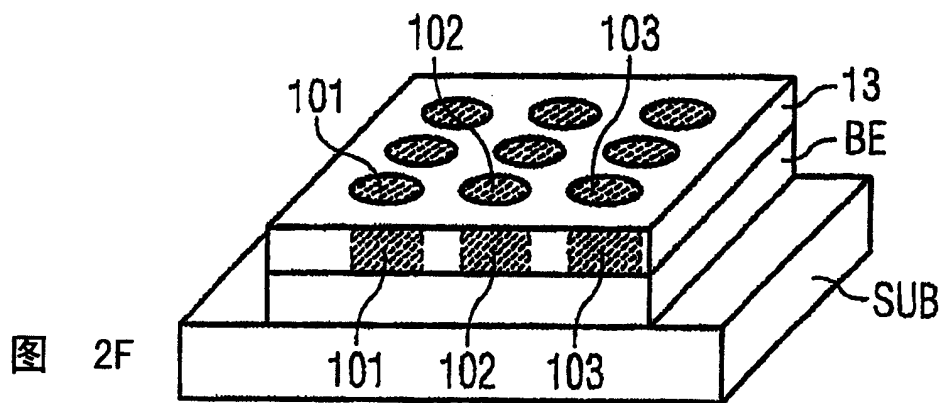
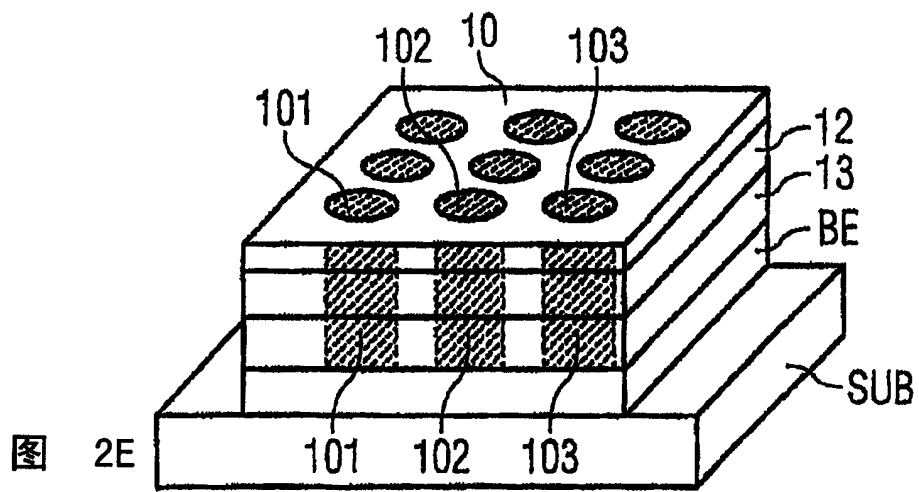
**组件代表符号说明**

- 1 CBRAM 内存胞元
- 10 电阻材料与电阻材料层
- 11 铝层
- 5 12 铝氧化物层
- 13 主动固态电解质材料与主动固态电解质材料层
- 14 纳米孔洞
- 131、132、133 主动固态电解质材料 13 的纳米柱
- 101、102、103 电阻材料 10 的纳米柱
- 10 15 隔离介电质
- BE 底部电极
- SUB 基板
- TE 顶部电极

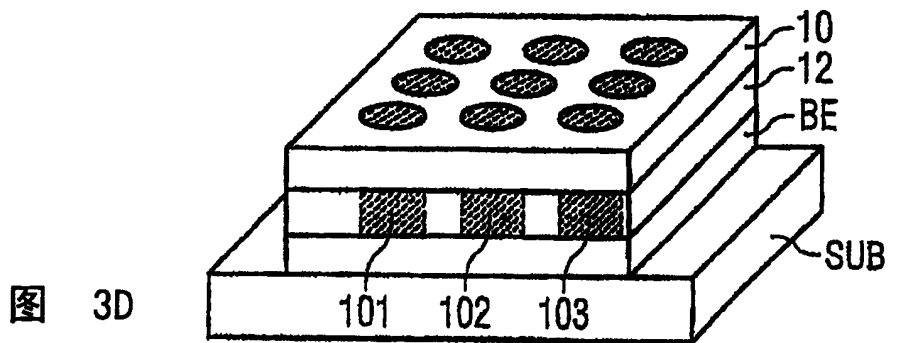
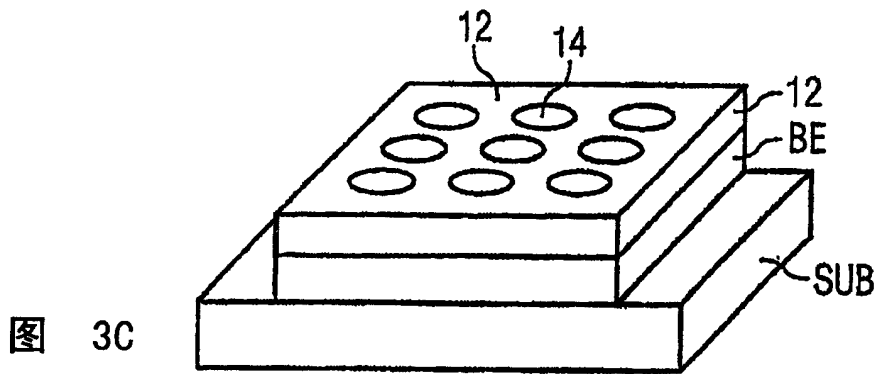
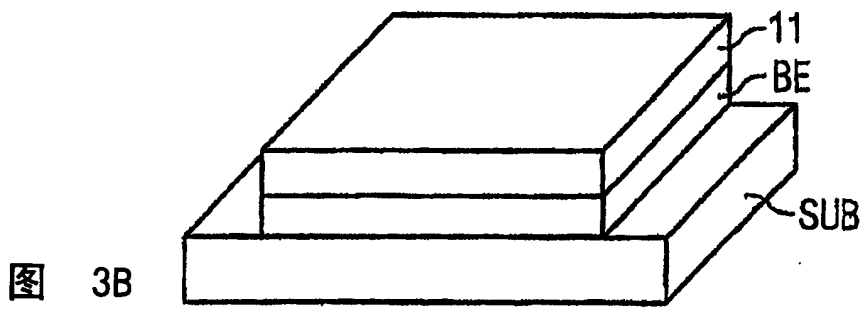
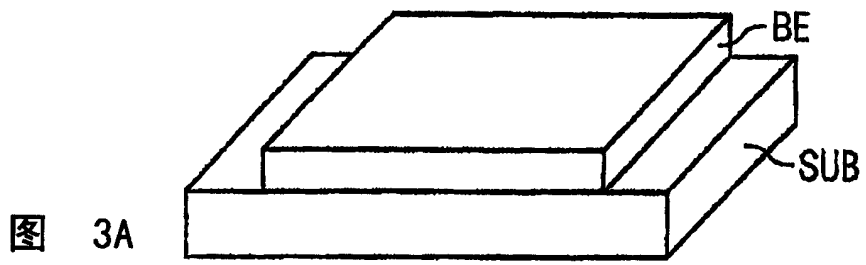


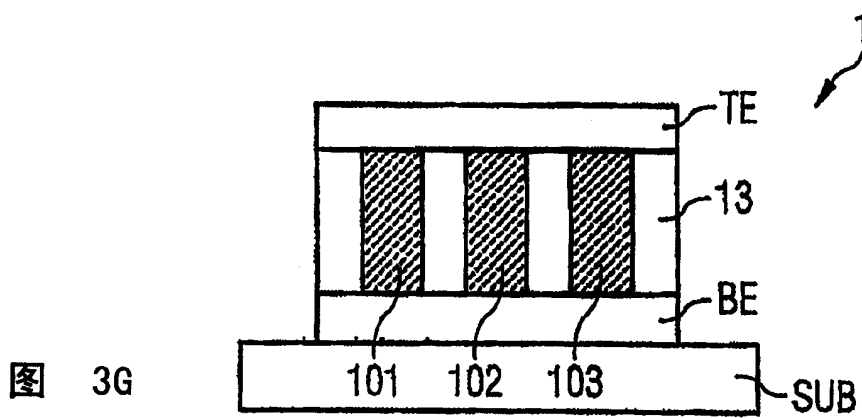
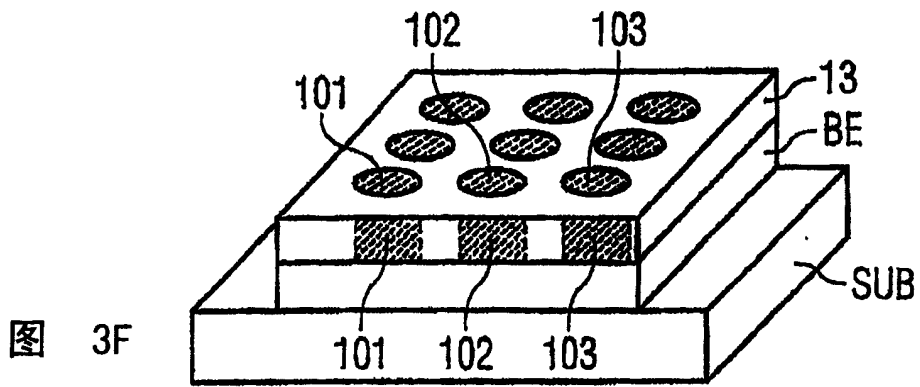
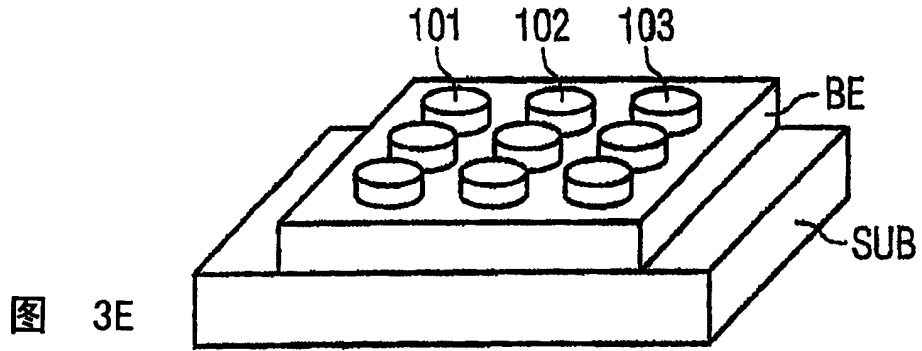












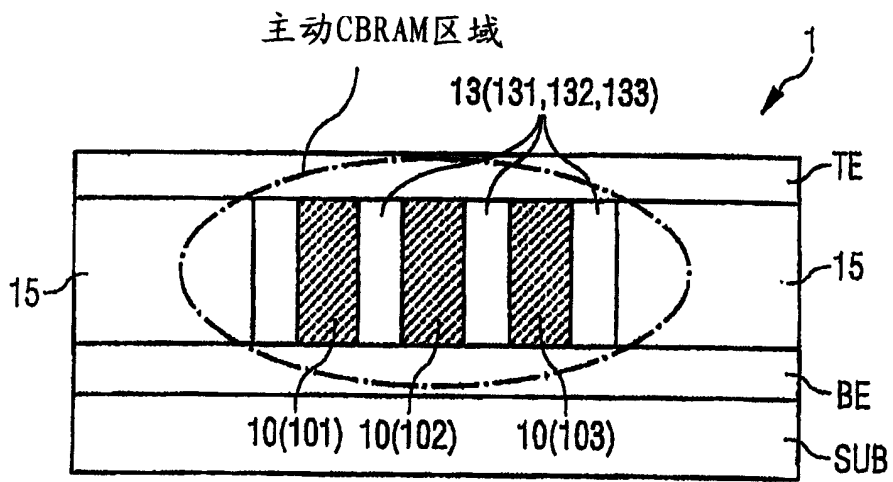


图 4