

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5039557号
(P5039557)

(45) 発行日 平成24年10月3日(2012.10.3)

(24) 登録日 平成24年7月13日(2012.7.13)

(51) Int.Cl.

F 1

HO1L 29/786	(2006.01)	HO1L 29/78	620
HO1L 27/08	(2006.01)	HO1L 29/78	613Z
HO1L 27/12	(2006.01)	HO1L 27/08	331E
HO1L 21/02	(2006.01)	HO1L 27/12	E
HO1L 21/76	(2006.01)	HO1L 27/12	F

請求項の数 13 (全 15 頁) 最終頁に続く

(21) 出願番号	特願2007-538966 (P2007-538966)
(86) (22) 出願日	平成17年10月12日 (2005.10.12)
(65) 公表番号	特表2008-518475 (P2008-518475A)
(43) 公表日	平成20年5月29日 (2008.5.29)
(86) 國際出願番号	PCT/US2005/036777
(87) 國際公開番号	W02006/049833
(87) 國際公開日	平成18年5月11日 (2006.5.11)
審査請求日	平成20年10月14日 (2008.10.14)
(31) 優先権主張番号	10/976,780
(32) 優先日	平成16年11月1日 (2004.11.1)
(33) 優先権主張国	米国(US)

(73) 特許権者	591016172 アドバンスト・マイクロ・ディバイシズ・ インコーポレイテッド ADVANCED MICRO DEVICES INCORPORATED アメリカ合衆国、94088-3453 カリフォルニア州、サンディベール、ビイ・ オウ・ボックス・3453、ワン・エイ・ エム・ディ・プレイス、メイル・ストップ ・68 (番地なし)
(74) 代理人	100108833 弁理士 早川 裕司
(74) 代理人	100132207 弁理士 太田 昌孝

最終頁に続く

(54) 【発明の名称】シリコン-オン-インシユレータの半導体デバイスを形成する方法

(57) 【特許請求の範囲】

【請求項1】

シリコン-オン-インシユレータ構造を提供するステップを含み、前記構造は基板、前記基板を覆うシリコン層と、前記基板とシリコン層との間に設けられた第1絶縁層とを含むものであり、

前記シリコン-オン-インシユレータ構造の第1領域に、前記シリコン層と前記第1絶縁層の一部を取り除くことによって開口部を形成し、前記基板層の一部をさらすステップと、

前記開口部にエピタキシャルシリコンを選択的に成長させるステップと、

前記第1領域の前記開口部に成長した前記シリコンに第2絶縁層を形成し、前記開口部に成長したシリコンと基板との間に絶縁層を提供するステップと、を含み、前記第1領域における前記第2絶縁層の層厚は、前記構造の第2領域における前記第1絶縁層の層厚よりも薄いものであって、

前記第1領域に一部空乏型MOSFETを形成し、前記第2領域に完全空乏型MOSFETを形成するステップと、前記シリコン層を覆う隆起したソースおよびドレイン領域を形成するステップと、を含む、半導体デバイスを形成する方法。

【請求項2】

前記第2絶縁層を形成するステップは、前記蒸着したシリコンに酸素イオンを注入するステップを含む、請求項1記載の方法。

【請求項3】

10

20

前記開口部のサイドウォールに絶縁サイドウォールスペーサを形成するステップをさらに含む、請求項 1 記載の方法。

【請求項 4】

前記第 1 領域を前記第 2 領域から絶縁するように、前記構造中に絶縁領域を形成するステップをさらに含む、請求項 3 記載の方法。

【請求項 5】

前記絶縁領域を形成するステップは、前記絶縁サイドウォールスペーサを取り除くステップを含む、請求項 4 記載の方法。

【請求項 6】

前記構造は、前記第 1 領域から離間された第 2 領域を含み、前記第 1 領域において前記第 2 絶縁層を覆う前記シリコン層は、第 1 の結晶方位を有するシリコンと、前記第 2 領域において前記第 1 絶縁層を覆う前記シリコン層は、第 2 結晶方位を有するシリコンを含む、請求項 1 に記載の方法。10

【請求項 7】

前記基板は前記第 1 結晶方位を有するシリコンを含む、請求項 6 に記載の方法。

【請求項 8】

前記第 1 結晶方位および前記第 2 結晶方位は、 $<100>$ 、 $<110>$ 、 $<111>$ 、 $<311>$ からなるシリコン結晶方位群と、これらの方位に向けられた結晶面から選択される、請求項 7 に記載の方法。

【請求項 9】

前記第 1 結晶方位を有する前記シリコンの結晶方位は $<100>$ であり、前記第 2 結晶方位を有するシリコンの結晶方位は $<110>$ である、請求項 7 記載の方法。20

【請求項 10】

前記第 1 領域にNMOSFETを形成し、前記第 2 領域にPMOSFETを形成するステップをさらに含む、請求項 9 記載の方法。

【請求項 11】

前記隆起したソースおよびドレイン領域は、ドープした選択的エピタキシーによって成長される、請求項 1 記載の方法。

【請求項 12】

前記隆起したソースおよびドレイン領域にシリサイドコンタクトを形成するステップをさらに含む、請求項 1 記載の方法。30

【請求項 13】

前記一部空乏型MOSFETにハロ注入を形成するステップをさらに含む、請求項 1 記載の方法。

【発明の詳細な説明】

【技術分野】

【0001】

概して、本発明は半導体装置と半導体装置を製造する方法とに関連し、より詳細には、シリコン・オン・インシュレータ(SOI)技術を含む改良された半導体装置に関連する。

【背景技術】

【0002】

半導体業界で継続して行われている研究の重要な目的の1つは、半導体装置の電力消費を下げる一方で半導体の性能を向上させることである。酸化金属半導体電界効果トランジスタ(MOSFET)などのプレーナトランジスタは、高密度の集積回路での使用にとりわけ適している。MOSFETとその他の装置の寸法が小さくなると、装置のソース/ドレイン領域、チャネル領域、および、ゲート電極も同様に小さくなる。

【0003】

チャネル長の短い、これまでにないほど小さなプレーナトランジスタを設計するには、非常に浅いソース/ドレイン接合を提供する必要がある。チャネルに注入されたドーパン

40

50

トが横方向に拡散しないようにするために浅い接合が必要である。その理由は、そのような拡散が漏れ電流をもたらし、ブレークダウンパフォーマンスを低下させるという点で不都合であるからである。一般的に、短チャネルデバイスにおいて許容されるパフォーマンスに必要とされるのは、厚さが 1000 以下のオーダーの浅いソース／ドレイン接合である。

【0004】

シリコン・オン・インシュレータ (SOI) 技術により、高速で浅い接合のデバイスを形成することができる。加えて、SOI デバイスは、寄生接合容量を減らすことで性能を向上する。

【0005】

SOI 基板では、単一の結晶性シリコン上に、シリコン酸化物から作られた埋込み酸化 (BOX:Buried Oxide) 膜が形成され、その上には単一の結晶性シリコン薄膜が形成される。そのような SOI 基板を製造する様々な手法が良く知られている。

【発明の開示】

【発明が解決しようとする課題】

【0006】

そのような方法の 1 つとして、サイモックス (SIMOX:Separation-by-implanted Oxygen) が挙げられる。この方法において、が単一の結晶性シリコン基板に酸素をイオン注入して埋め込み酸化 (BOX) 膜を形成する。

【0007】

SOI 基板を形成する別の方法としては、ウェハボンディングが挙げられる。この方法において、シリコン酸化物の表面層を有する 2 つの半導体基板をシリコン酸化物の表面で張り合わせ、この 2 つの半導体基板の間に BOX 層を形成する。

【0008】

別の SOI 技術としてはスマートカット (Smart Cut: 登録商標) 技術が挙げられる。この技術でも酸化物層を介して第 1 と第 2 半導体基板とを張り合わせる。このスマートカット (登録商標) 法では、基板を張り合わせる前に、第 1 半導体基板に水素イオン注入がなされる。次に、水素イオン注入により、水素イオン注入された半導体基板は、張り合せられた基板から離れることができ、これにより、第 2 半導体基板の表面にシリコンが結合した薄い層が残る。

【0009】

従来の <100> 方位ではなく <110> 結晶方位を有するシリコン上に P 型MOSFET (PMOSFET) を製造することで、半導体デバイスの性能をさらに 50 % 以上高めることができる。しかし、<100> 方位のシリコン上に形成されたNMOSFET と比べると、<110> 方位のシリコン上に形成された N 型MOSFET (NMOSFET) の性能は低下するおそれがある。

【0010】

半導体デバイスの性能は、非常に薄いシリコン膜、例えば、約 30 nm 以下の膜上に完全空乏型MOSFETを製造することでも高めることができる。完全空乏型MOSFETにより漏れ電流が減らされる。また、このMOSFETは高性能デバイスにとっては望ましいものである。しかし、halo イオンの投与量調整といった従来の方法で完全空乏型MOSFETのしきい電圧を変更することは難しい。しきい電圧の高いデバイスおよび低いデバイスを生成するためには、MOSFETのしきい電圧を変更することが望ましい。しきい電圧の範囲の異なるMOSFETを備えた半導体デバイスは、チップの電力消費を削減する。

【0011】

ここでいう半導体デバイスという用語は、具体的に開示された実施形態に限定するものではない。また、ここでいう半導体デバイスとは、フリップチップ、フリップチップ／パッケージアセンブリ、トランジスタ、コンデンサ、マイクロプロセッサ、ランダムアクセスメモリなどの、非常に様々な電子デバイスを含む。概して、半導体装置は、半導体を含むいすれの電子デバイスを含む。

10

20

30

40

50

【課題を解決するための手段】

【0012】

半導体装置技術において、完全空乏型MOSFET技術およびSOI技術の改良されたパフォーマンスを組み合わせた装置が求められている。半導体装置技術において、同一基板上に異なる結晶方位を有するシリコン上に形成されたMOSFETおよびSOI技術の改良されたパフォーマンスの改善を組み合わせた装置が求められている。加えて、この業界において、SOI技術、完全空乏型MOSFET技術、および同一基板上に異なる結晶方位を有するシリコン上に形成されたMOSFETを組み合わせた半導体装置を提供することが求められている。

さらに、この業界において、SOI技術および完全空乏化MOSFET技術を含む半導体装置を形成する方法が本技術に求められている。さらに、SOI技術および同一基板上に異なる結晶方位を有するシリコン上に形成されたMOSFETを形成する方法が求められている。さらに、SOI技術、完全空乏型MOSFET技術、および、同一基板上に形成された異なる結晶方位を有するシリコン上に形成されたMOSFETを形成する方法が求められている。

【0013】

本発明の特定の実施形態によって、これらの、およびその他の必要性が満たされ、ある実施形態では、第1の結晶方位を有する基板と、その基板を覆う絶縁層を含む半導体装置が提供される。複数のシリコン層が絶縁層を覆って形成される。第1シリコン層は、第1の結晶方位を有するシリコンを含み、第2シリコン層は、第2の結晶方位を有するシリコンを含む。

【0014】

本発明のある実施形態においては、これらの、およびその他の必要性がさらに満たされ、またある実施形態では、基板と、その基板を覆うシリコン層および基板とシリコン層との間に設けられた第1絶縁層を含むシリコン-オン-インシュレータ構造を提供するステップを含む、半導体装置を形成する方法が提供される。シリコン層および第1絶縁層の一部を取り除くことにより、基板層の一部をさらすようにシリコン-オン-インシュレータ構造の第1領域に開口部が形成される。選択的エピタキシャルシリコンがこの開口部において成長される。第2絶縁層が第1領域の開口部において成長されたシリコンに形成され、開口部において成長されたシリコンと基板との間に絶縁層を提供する。

【発明を実施するための最良の形態】

【0015】

本発明は、改善された電気的特徴を備えた、改良された高速半導体装置の必要性に対応するものである。本発明のこれまでに述べた特徴およびその他の特徴、態様、利点は、添付の図面と併せて、以下に記載する本発明の詳細な説明において明らかになるであろう。

【0016】

本発明により、SOIおよび完全空乏型MOSFET技術、および/あるいは、同一基板上に異なる結晶方位を有するシリコン上に形成されたMOSFETの利点を備えた、改良された高速の半導体デバイスを製造することができる。更に、本発明によれば、完全空乏型技術、及び/又は、異なる結晶方位を有するシリコン上に形成されたPMOSFETによって、より高速な半導体デバイスが提供され、かつ、SOI技術の利点により寄生接合容量が小さくなる。

【0017】

以下、本発明を、添付の図面に示した半導体デバイスの形成と併せて以下に記載する。しかし、請求の範囲に記載されている発明は図面に示された特定のデバイスの形成に限定されるものではないことから、これは単なる例示的なものに過ぎない。

【0018】

まず、共通のSOI基板上に完全空乏型MOSFETと一部空乏型MOSFETを有する半導体デバイスを形成する方法がまず説明する。シリコン層16および基板12を覆う絶縁層14がSOI構造10にSOI構造に提供される。

基板12は、典型的にはシリコンウェハである。絶縁層14は埋め込み酸化物(BOX)層である。図1に示しているように、SOI構造10は、SIMOX、スマートカット(登

10

20

30

40

50

録商標)、あるいはウェハボンディング技術などの従来の技術によって形成され得る。他の形態では、SOIウェハは、IBISテクノロジー社などの商業的供給源から入手可能である。本発明のある実施形態では、シリコンウェハ層16の層厚は約30nm以下であり、そのために、完全空乏型SOIデバイスの製造が可能になる。本発明のある実施形態では、BOX層14の層厚は約50nm～約400nmである。本発明のある実施形態では、BOX層14の層厚は約200nm～約300nmである。

【0019】

図2に示しているように、シリコン層16上には酸化物層18が形成される。この酸化物層18は、化学蒸着法(CVD)などによって蒸着され、シリコン層16の上面は熱酸化され得る。続いて、この酸化物層18上に窒化シリコン膜20が蒸着される。本発明のある実施形態では、この酸化物層18の層厚は、約5nm～約100nmである。本発明のある実施形態では、酸化物層18の層厚は約20nmである。窒化物層20の層厚は約50nm～約300nmである。本発明のある実施形態では、窒化物層20の層厚は約100nmである。

10

【0020】

続いて、図3に示しているように、SOI構造10に開口部22が形成される。本発明のある実施形態では、開口部22は従来のフォトグラフィ技術およびエッティング技術によって形成され、これにより、基板12の上面24がさらされる。従来のフォトリソグラフィ技術およびエッティング技術において、SOI構造10上にレジスト層が形成され、レジスト層のマスキングおよびパターニングが行われ、SOI構造10を異方性エッティングして窒化物シリコン層20、酸化物層18、シリコン層16、およびBOX層14の一部を取り除き、基板12の上面がさらされる。続いて、図3に示すようなSOI構造10を供給するために、フォトレジストがストリッピングされる。従来の異方性エッティング技術としては、プラズマエッティングおよび反応性イオンエッティングが挙げられる。他の形態では、様々な層を最適にエッティングする周知の様々なプラズマを使用して、異方性エッティングを一連のプラズマエッティングステップにおいて実行することができる。

20

【0021】

続いて、図4に例示しているように、SOI構造10上に窒化シリコン層26が蒸着される。本発明のある実施形態では、窒化シリコン層26は、従来の蒸着技術、例えばCVDなどによって、約10nm～約100nmの厚さに蒸着される。次に、図5に示しているように、窒化シリコン層26は異方性エッティングされ、開口部22を画定する自己整合のサイドウォールスペーサを形成する。

30

【0022】

図6に示すように、シリコン基板12上では選択的エピタキシャルシリコン層30が成長され、この層30は開口部22の上部を越えて延びる。このエピタキシャルシリコン層30は、シリコン基板12と同じ結晶方位を有する。図7に示すように、選択的エピタキシャルシリコンの成長後、従来の化学機械研磨(CMP)技術を使用してこのエピタキシャルシリコン層30が研磨される。これにより、このエピタキシャルシリコン層30は、第2窒化シリコン層20の上面32と実質的に同一平面上となる。

40

【0023】

SOI構造10の第1領域31と第2領域33とは、従来のシャロートレンチアイソレーション(STI)技術を使用して互いに分離される。図8に示すように、トレチ34はSOI構造10に形成され、シリコン基板12の表面37をさらしている。トレチ34は、図8に例示しているように、SOI構造10上にフォトレジストを蒸着し、フォトレジストを選択的にさらしてパターニングし、異方性エッティングし、残ったフォトレジストを除去してトレチ34を形成する従来のフォトリソグラフィ技術およびエッティング技術によって形成される。トレチ34は、窒化物サイドウォール28の周りに配置され、これにより異方性エッティングが行われると、窒化物サイドウォール28は構造10から取り除かれる。

【0024】

50

続いて、図9に示すように、トレンチ34は従来のCVDプロセスによって適切な絶縁材料36で充填される。適切な絶縁材料36としては、窒化シリコンおよび酸化シリコンが挙げられる。本発明のある実施形態では、トレンチ34は酸化シリコン36で充填され、第1領域31と第2領域33とを分離する。酸化シリコンでトレンチ領域34を充填する従来の方法の一部として、

(a) テトラエチルオルトシリケート(tetraethylorthosilicate)低圧化学蒸着(TEO SLPCVD)、

(b) 非表面感受性TEOSオゾン大気圧化学蒸着法あるいは準大気圧化学蒸着法(APCVDあるいはSACVD)

(c) シラン酸化高密度プラズマCVD

が挙げられる。

【0025】

酸化シリコン36でトレンチ34を充填する前に、熱酸化物ライナー(図示せず)は、構造10を約950～約1100の酸素雰囲気にさらすことにより、トレンチ34のウォール35沿いに従来通り成長する。続いて、構造10はCMPによって平坦化され、トレンチ34上に延びている酸化物36が取り除かれる。平坦化後、続いて、図10に示しているように、窒化物層20と酸化物層とを取り除く。窒化物層20と酸化物層18とは典型的にウェットエッティングで取り除かれる。従来のように、窒化シリコンをエッティングするために熱いリン酸を使用し、あるいは、酸化シリコン層を取り除くためにフッ化水素酸あるいはフッ化水素とフッ化アンモニウム(バッファ酸化物エッティング)の混合物を使用する。結果として得られる構造10において、図10に例示しているように、第2領域33におけるシリコン層16は、シリコン層30から分離される。

【0026】

続いて、図11Aに示すように、絶縁BOX層40がSIMOXプロセスにより形成される。このSIMOXプロセスにおいて、酸素イオン38は構造10に注入される。本発明のある実施形態では、酸素イオン38は、約70keV～約200keVの範囲のエネルギーで、約 $1.0 \times 10^{17} \text{ cm}^{-2}$ ～約 $1.0 \times 10^{18} \text{ cm}^{-2}$ の範囲の投与量で構造10に注入される。注入後、構造10は、約1250～約1400の範囲の温度で約4～約6時間アニーリングされる。本発明の他の実施形態では、図11Bに示すように、従来の蒸着、フォトリソグラフィ、およびエッティング技術を使用して硬い酸化膜マスク42が第2領域33上に形成され、第1領域31において酸素イオン38が注入される間のダメージから第2領域33を保護する。本発明のある実施形態では、第1領域31の下の絶縁層40は、第2領域33の下の絶縁層14よりも層厚が薄い。

【0027】

図12に例示しているように、完全空乏型MOSFET52および一部空乏型MOSFET54がSOI構造10上に形成される。ゲート酸化物層44およびゲート電極層46は、この構造10上に形成される。本発明のある実施形態では、ゲート電極層46はポリシリコンを含み、約100nm～約300nmの層厚に形成される。ゲート酸化物層44は典型的に、約10～約100の層厚に形成される。ゲート酸化物層44とゲート電極層46とは、従来のフォトリソグラフィおよびエッティング技術によってパターニングされる。

【0028】

ソースおよびドレイン延長部48は、従来のイオン注入技術により形成される。このソースおよびドレイン拡張部48に注入されるドーパントの種類は、デバイスがNMOSFETであるか、あるいはPMOSFETであるかに応じて決まる。例えば、トランジスタがNMOSFETであれば、このソースおよびドレイン拡張部48にはN型ドーパントが注入される。本発明のある実施形態では、ヒ素などのN型ドーパントが、約 $1 \times 10^{14} \text{ ions/cm}^2$ ～約 $2 \times 10^{15} \text{ ions/cm}^2$ の注入量で、約0.5keV～約5keVの注入エネルギーでソースおよびドレイン拡張部48に注入される。トランジスタがPMOSFETであれば、このソースおよびドレイン拡張部48にP型ドーパントが注入される。本発明のある実施形態では、二フッ化ホウ素(BF2)などのP型ドーパントが、約 $1 \times 10^{14} \text{ ions/cm}^2$ ～約 $1 \times 10^{15} \text{ ions/cm}^2$ の注入量で、約0.5keV～約5keVの注入エネルギーでソースおよびドレイン拡張部48に注入される。

10

20

30

40

50

0^{15} ions/cm² の注入量で、約 0.5 keV ~ 約 5 keV の注入エネルギーでソースおよびドレイン拡張部 48 に注入される。

【0029】

一部空乏型MOSFET 54 のソースおよびドレイン領域 47 に隣接して、チャネル領域 49 に halo イオン注入 50 が形成される。この halo イオン注入 50 は、ソースおよびドレイン領域 47 とは逆の導電型のドーパントで形成される。本発明のある実施形態では、この halo イオン注入 50 は、傾斜インプラントによって形成され得る。本発明のある実施形態では、この halo イオン注入を約 8×10^{12} ions/cm² ~ 約 5×10^{13} ions/cm² の注入量で、約 7 keV ~ 約 50 keV の注入エネルギーで形成することができる。Halo イオン注入 50 は、チャネル領域 49 においてソースおよびドレイン領域が合併するのを妨げる。一部空乏型MOSFET 54 のしきい電圧は、halo イオン投与量を調整することにより変更することができる。

【0030】

続いて、高濃度にドープされたソースおよびドレイン領域 47 の一部分 51 が形成される。図 13 に示しているように、サイドウォールスペーサ 56 は、窒化シリコンあるいは酸化シリコンを含む絶縁材料からなる層の蒸着などの従来の方法によってゲート電極 46 を取り囲んで形成され、続いて、異方性エッチングが行われてサイドウォールスペーサが形成される。本発明のある実施形態では、トランジスタが NMOSFET であれば、高濃度にドープされた領域 51 には、約 1×10^{15} ions/cm² ~ 約 4×10^{15} ions/cm² の注入量で、約 20 keV ~ 約 50 keV の注入エネルギーでヒ素が注入される。トランジスタが PMOSFET であれば、高濃度にドープされた領域 51 には、約 1×10^{15} ions/cm² ~ 約 4×10^{15} ions/cm² の注入量で、約 2 keV ~ 約 10 keV の注入エネルギーでホウ素が注入される。

【0031】

図 14 に示しているように、本発明のある実施形態では、ドープされた選択的エピタキシーによって、ソースおよびドレイン領域 47 上に隆起したソースおよびドレイン領域 60 が形成される。本発明のある実施形態では、ドープしたエピタキシャル層は、ソースおよびドレイン領域 47 上に、約 300 ~ 約 1000 の層厚に成長される。ドープされた選択的エピタキシーは、水素キャリアガス中で、ドーパントガスとモノシラン (SiH₄) とを含む混合ガスを用いて実行される。この SiH₄ / ドーパントガスの混合物に HC1 ガスを加えてもよい。このエピタキシャル層は、約 1 トルから約 700 トルの圧力で、約 650 ~ 約 900 の温度で形成される。

【0032】

本発明の他の実施形態では、選択エピタキシーによってソースおよびドレイン領域 47 上に隆起したシリコン層 (図示せず) が成長される。この隆起したシリコン層は、以下で本文に記載しているように金属シリサイドコンタクトが形成されたときに、隆起したシリコン層全体により消費される厚さにまで成長される。隆起したシリコン層全体が消費されることから、この隆起したシリコン層にドーパントを注入する必要はない。

【0033】

続いて、この隆起したソースおよびドレイン領域 60 に金属シリサイドコンタクト 64 が形成され、ゲート電極 46 上に金属シリサイドコンタクト 62 が形成される。金属シリサイドコンタクトを形成する従来の技術としては、ニッケル、コバルト、あるいはチタンなどの金属層を蒸着する技術を含む。金属シリサイドコンタクト 62、64 は、金属層を熱し、それを隆起したソースおよびドレイン領域 60 およびゲート電極 46 の下のシリコンと反応させることで形成される。金属シリサイドコンタクト 60、62 の形成後、金属シリサイドを形成するために反応しなかった金属層はエッチングによって取り除かれる。この隆起したソースおよびドレイン領域 60 は、完全空乏型MOSFET 52 のソースおよびドレイン領域 47 において必要である。その理由は、薄い完全空乏型MOSFET 52 のソースおよびドレイン領域 47 には、十分に厚みのある金属シリサイドコンタクト 64 に対応するだけの十分なスペースがないからである。

10

20

30

40

50

【0034】

本発明の別の実施形態では、図15に例示しているように、SOI構造70が提供される。このSOI構造70は、第1の結晶方位を有するシリコンを備えた基板72と、絶縁BOX層74と、第2の結晶方位を有するシリコンを備えたシリコン層と、を備えている。このシリコン基板とは結晶方位の異なるシリコン層を備えたSOIウェハは、ハイブリッド配向ウェハ(hybrid orientation wafer)として周知である。

本発明のある実施形態では、SOI構造70は、<100>結晶方位を有するシリコン基板72と、<110>結晶方位を有するシリコン層とを含む。本発明の他の実施形態では、基板72は<110>結晶方位を有するシリコンを含み、一方でシリコン層76は<100>結晶方位を有するシリコンを含む。ハイブリッド基板はウェハボンディング技術によって準備することができる。この技術において、<100>結晶方位を有する第1のシリコン基板が<110>結晶方位を有するシリコン基板に結合される。本発明のある実施形態では、シリコン層76は約30nm～約100nmの層厚に、BOX層74は約200nm～約300nmの範囲の層厚に形成される。

【0035】

本発明は異なる結晶方位を有するシリコン層に限定されることはない。異なる結晶方位とは、<100>および<110>方位である。当業者にとっては明らかのように、本発明は<111>および<311>方位を含めて、任意の2つのシリコン結晶方位に適用できる。加えて、上述した方位のいずれかに向けられた結晶面が本発明の範囲内に含まれる。

【0036】

続いて、図16に例示しているように、酸化物層78および窒化シリコン層80は、既に記載したように、シリコン層76上に形成される。図17に示しているように、SOI構造70上に開口部82が形成され、シリコン基板72の上面84をさらす。この開口部82は、既に記載したように、従来のフォトリソグラフィおよびエッチング技術によって形成される。

【0037】

図18に例示しているように、SOI構造70上に第2窒化シリコン層86が蒸着される。続いて、この第2窒化シリコン層86は異方性エッチングされ、開口部82にサイドウォールスペーサを形成する。続いて、シリコン基板72の上部に選択エピタキシャルシリコン層90が成長され、それが開口部80上に延びる。このエピタキシャルシリコン層90は、シリコン基板72と同じ結晶方位を有する。続いて、CMP技術を使用してSOI構造70が平坦化され、その結果、図21に例示しているように、エピタキシャルシリコン層90は第2窒化シリコン層80の上面92と実質的に同一平面上になる。

【0038】

図22に例示しているように、SOI構造70にトレンチ94が形成され、シリコン基板72の上面95をさらす。このトレンチ94は、SOI構造70の第1領域91から第2領域93を分離するように形成される。トレンチ94が形成されて、その後、既に説明したように、従来のSTI技術に従う適切な絶縁材料で充填される。トレンチ94は、トレンチ94を形成する間にサイドウォールスペーサ88を取り除くことができるよう配置される。続いて、トレンチ94は、図23に例示しているように、酸化シリコンなどの適切な絶縁材料96で充填される。続いて、図24に示しているように、蒸着されたシリコン層96は、CMP技術を使用して平坦化され、第2窒化シリコン層80と酸化物層78とは既述したように適切なエッチング液を使用して取り除かれて、平坦化された構造70が提供される。

【0039】

既述のように、酸素イオン98が構造70に注入され、図25Aに示しているように、絶縁BOX層100が形成される。本発明の別の実施形態では、酸化シリコンあるいは窒化シリコンのハードマスク102は酸素イオン98を第1領域91に注入する間のダメージから第2領域93を保護する。続いて、構造70が熱アニールされる。SIMOXプロセス

10

20

30

40

50

の結果、結果として得られる図 25 A および 25 B の構造 70 は、シリコン - オン - インシユレータ構造で第 1 領域 91 および第 2 領域 93 を含み、この構造において、第 1 領域 91 と第 2 領域 93 とは結晶方位の異なるシリコンを含む。本発明のある実施形態では、第 1 領域 91 の下の絶縁層 100 は、第 2 領域 93 の下の絶縁層 74 よりも層厚が薄い。

【0040】

続いて、シリコンの結晶方位が異なる複数の S O I MOSFETを含む構造 70 が形成される。図 26 に例示しているように、第 1 結晶方位を有するシリコン層 90 を備えた第 1 領域 91 および第 2 結晶方位を有するシリコンを備えた第 2 領域 93 上に、ゲート電極 106 とゲート酸化物層 104 とが形成される。ソースおよびドレイン拡張部 108 は、イオン注入技術によりソースおよびドレイン領域 107 に形成され、h a l o イオン注入 110 は任意にチャネル領域 115 に形成される。第 1 および第 2 MOSFET 112、114 のしきい電圧は、h a l o イオン注入量を調整することで変更できる。

【0041】

図 27 に示すように、ゲートサイドウォールスペーサ 116 は、酸化シリコンあるいは窒化シリコンなどの絶縁材料を基板 70 上に蒸着し、続いて異方性エッチングすることでゲート電極 106 に形成される。イオン注入などの従来の技術によって、ソースおよびドレイン領域 107 に高濃度にドープされた領域 111 が形成される。既述のように、P M P S F E T は P 型ドーパントをソースおよびドレイン領域 107 に注入することによって形成され、NMOSFET は N 型ドーパントをソースおよびドレイン領域 107 に注入することによって形成される。PMOSFET のパフォーマンスは、<110> 結晶方位を有するシリコン上にPMOSFETを製造することで非常に向上することから、<110> 結晶方位シリコンを含むシリコン層は、ソースおよびドレイン領域 107 において P 型ドーパントでドープされる。<100> 結晶方位シリコンを含むシリコン層は、N 型ドーパントでドープされてNMOSFETを形成する。

【0042】

続いて、構造 70 上に金属層が蒸着される。この構造が熱せられ、この金属層をソースおよびドレイン領域 107 およびゲート電極 106 の下のシリコンと反応させて、図 28 に示しているように、ソースおよびドレイン領域 107 に、および、ゲート電極 106 上に金属シリサイドコンタクト 120、122 を形成する。

【0043】

本発明のある実施形態では、図 29 に例示しているように、第 1 の結晶方位を有するシリコン基板 132 と、B O X 層 134 と、第 2 結晶方位を有するシリコン層 136 を含む S O I 構造 130 が提供される。S O I 構造 130 は、図 2 から図 14 に説明したステップに従って処理され、第 1 結晶方位を有するシリコン層 136 を含む、一部空乏型MOSFET 138 と、B O X 層 142 を覆う第 2 結晶方位 148 を有するシリコン層 136 を含む完全空乏型MOSFET 140 とが提供される。本発明の別の実施形態では、図 11 B に関連して既に説明したように、B O X 層 142 は、完全空乏型MOSFET 140 の下には延びない。

【0044】

この開示で例示した実施形態は例示のみを目的とする。これらの実施形態は請求の範囲を限定することを意図しない。当業者にとっては明らかであるように、この即席の開示は、本明細書に特に例示されていない各種の実施形態を包含するものである。

【図面の簡単な説明】

【0045】

【図 1】同一基板上に一部空乏型MOSFETと完全空乏型のMOSFETを備えた S O I 半導体デバイスの形成を示した説明図。

【図 2】同一基板上に一部空乏型MOSFETと完全空乏型のMOSFETを備えた S O I 半導体デバイスの形成を示した説明図。

【図 3】同一基板上に一部空乏型MOSFETと完全空乏型のMOSFETを備えた S O I 半導体デバイスの形成を示した説明図。

【図 4】同一基板上に一部空乏型MOSFETと完全空乏型のMOSFETを備えた S O I 半導体デバ

10

20

20

30

40

50

イスの形成を示した説明図。

【図5】同一基板上に一部空乏型MOSFETと完全空乏型のMOSFETを備えたSOI半導体デバイスの形成を示した説明図。

【図6】同一基板上に一部空乏型MOSFETと完全空乏型のMOSFETを備えたSOI半導体デバイスの形成を示した説明図。

【図7】同一基板上に一部空乏型MOSFETと完全空乏型のMOSFETを備えたSOI半導体デバイスの形成を示した説明図。

【図8】同一基板上に一部空乏型MOSFETと完全空乏型のMOSFETを備えたSOI半導体デバイスの形成を示した説明図。

【図9】同一基板上に一部空乏型MOSFETと完全空乏型のMOSFETを備えたS O I半導体デバイスの形成を示した説明図。

【図10】同一基板上に一部空乏型MOSFETと完全空乏型のMOSFETを備えたSOI半導体デバイスの形成を示した説明図。

【図11A】同一基板上に一部空乏型MOSFETと完全空乏型のMOSFETを備えたSOI半導体デバイスの形成を示した説明図。

【図11B】同一基板上に一部空乏型MOSFETと完全空乏型のMOSFETを備えたSOI半導体デバイスの形成を示した説明図。

【図12】同一基板上に一部空乏型MOSFETと完全空乏型のMOSFETを備えたSOI半導体デバイスの形成を示した説明図。

【図13】同一基板上に一部空乏型MOSFETと完全空乏型のMOSFETを備えたSOI半導体デバイスの形成を示した説明図

【図14】同一基板上に一部空乏型MOSFETと完全空乏型のMOSFETを備えたSOI半導体デバイスの形成を示した説明図

【図15】同一基板上に異なる結晶方位を有するシリコン上に形成されたMOSFETを備えたSOT半導体デバイスの形成を示した説明図

【図16】同一基板上に異なる結晶方位を有するシリコン上に形成されたMOSFETを備えたSOI半導体デバイスの形成を示した説明図。

【図17】同一基板上に異なる結晶方位を有するシリコン上に形成されたMOSFETを備えたSOI半導体デバイスの形成を示した説明図。

【図18】同一基板上に異なる結晶方位を有するシリコン上に形成されたMOSFETを備えたSOT半導体デバイスの形成を示した説明図

【図19】同一基板上に異なる結晶方位を有するシリコン上に形成されたMOSFETを備えたSOI半導体デバイスの形成を示した説明図。

【図20】同一基板上に異なる結晶方位を有するシリコン上に形成されたMOSFETを備えたSiO₂半導体デバイスの形成を示した説明図。

【図21】同一基板上に異なる結晶方位を有するシリコン上に形成されたMOSFETを備えたSiO₂半導体ゲバイスの形成を示した説明図。

【図22】同一基板上に異なる結晶方位を有するシリコン上に形成されたMOSFETを備えたSiO₂半導体デバイスの形成を示した説明図。

【図23】同一基板上に異なる結晶方位を有するシリコン上に形成されたMOSFETを備えたSiO₂半導体デバイスの形成を示した説明図。

【図24】同一基板上に異なる結晶方位を有するシリコン上に形成されたMOSFETを備えた半導体デバイスの形成を示した説明図。

【図25A】同一基板上に異なる結晶方位を有するシリコン上に形成されたMOSFETを備える半導体デバイスの形成を示した説明図。

【図25B】同一基板上に異なる結晶方位を有するシリコン上に形成されたMOSFETを備えた構造。

【図26】同一基板上に異なる結晶方位を有するシリコン上に形成されたMOSFETを備えた

【図27】同一基板上に異なる結晶方位を有するシリコン上に形成されたMOSFETを備えたSOS半導体デバイスの形成を示した説明図。

SOI半導体デバイスの形成を示した説明図。

【図28】同一基板上に異なる結晶方位を有するシリコン上に形成されたMOSFETを備えたSOI半導体デバイスの形成を示した説明図。

【図29】シリコン基板はシリコン-オン-インシュレータシリコン層とは異なる結晶方位のシリコンを含む、シリコン-オン-インシュレータ構造の説明図。

【図30】シリコン-オン-インシュレータ技術、完全空乏型MOSFET技術、および、同一基板上に異なる結晶方位を有するシリコン上に形成されたMOSFETを含む半導体デバイスの説明図。

【図1】

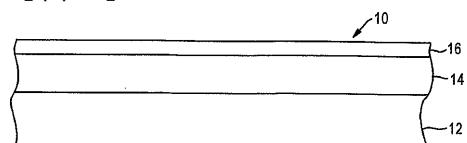


FIG. 1

【図2】

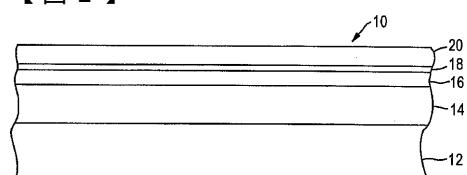


FIG. 2

【図3】

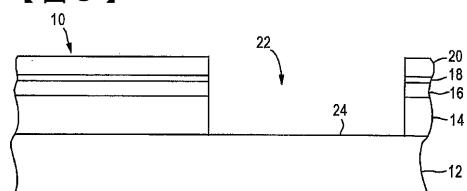


FIG. 3

【図4】

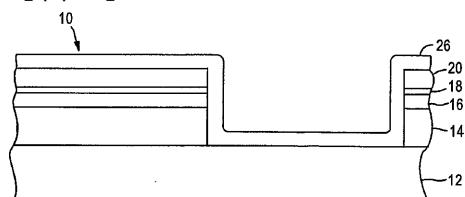


FIG. 4

【図5】

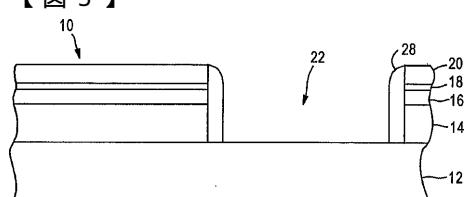


FIG. 5

【図6】

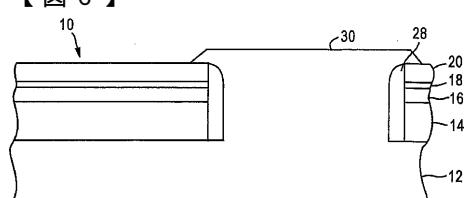


FIG. 6

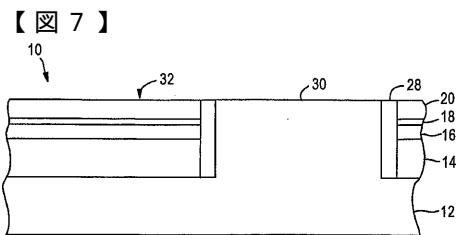


FIG. 7

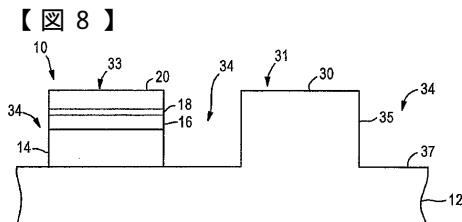


FIG. 8

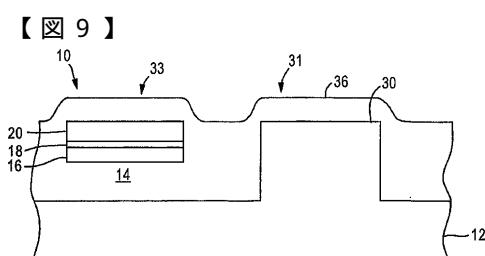


FIG. 9

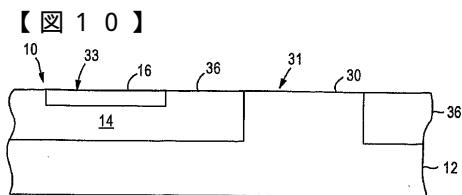


FIG. 10

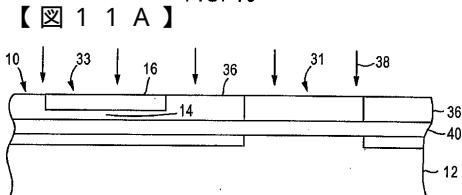


FIG. 11A

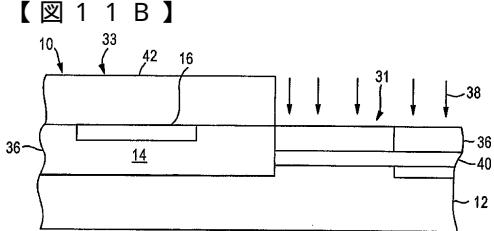


FIG. 11B

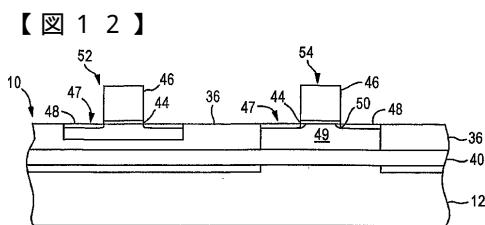


FIG. 12

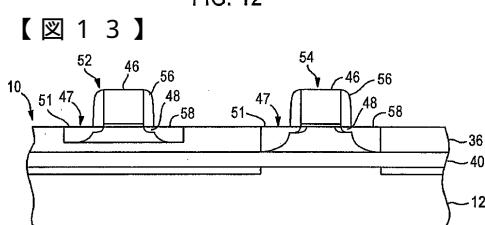


FIG. 13

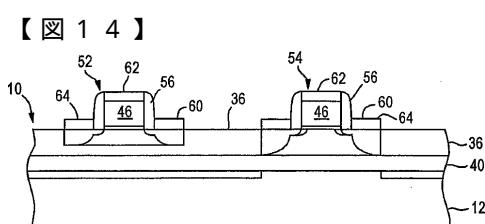


FIG. 14

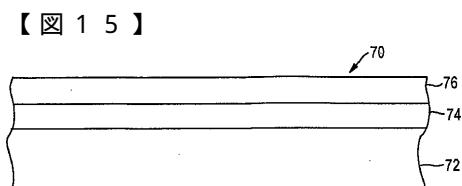


FIG. 15

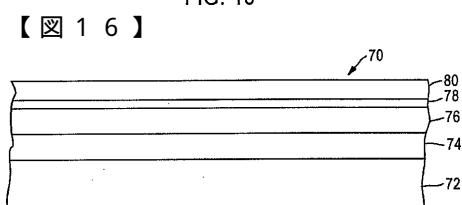


FIG. 16

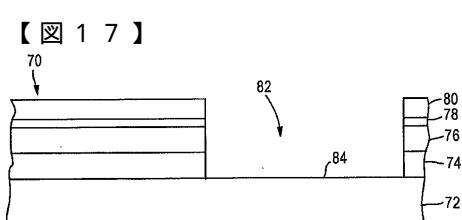


FIG. 17

【図 1 8】

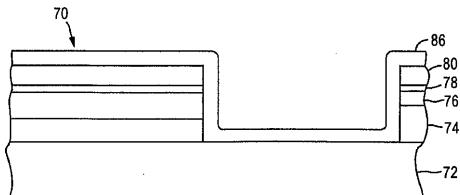


FIG. 18

【図 1 9】

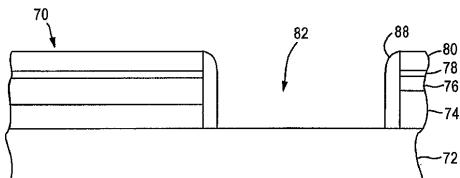


FIG. 19

【図 2 0】

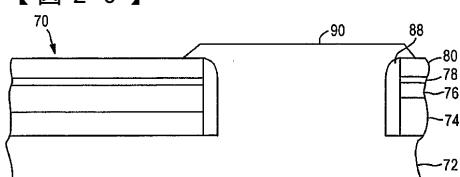


FIG. 20

【図 2 1】

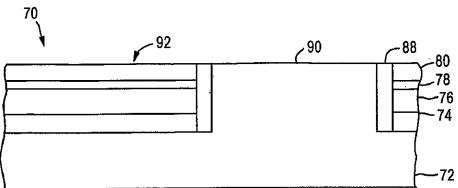


FIG. 21

【図 2 2】

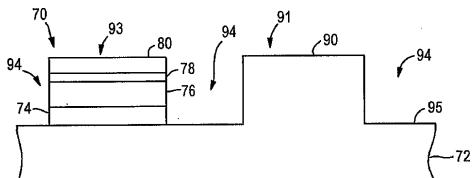


FIG. 22

【図 2 3】

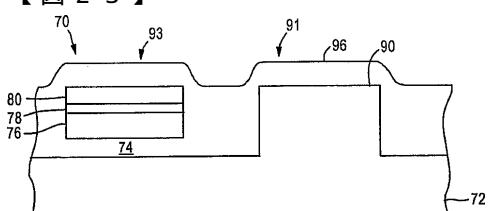


FIG. 23

【図 2 4】

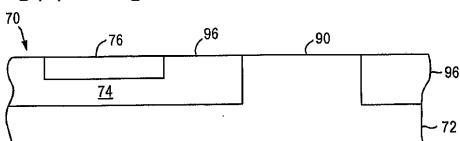


FIG. 24

【図 2 6】

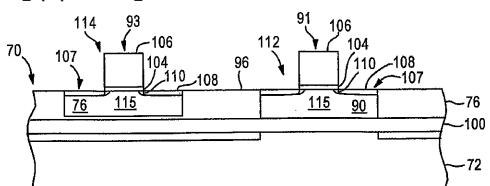


FIG. 26

【図 2 5 A】

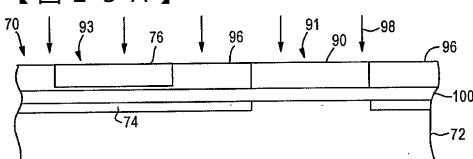


FIG. 25A

【図 2 5 B】

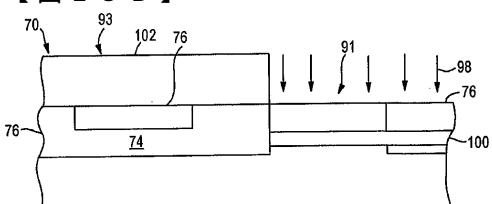


FIG. 25B

【図 2 7】

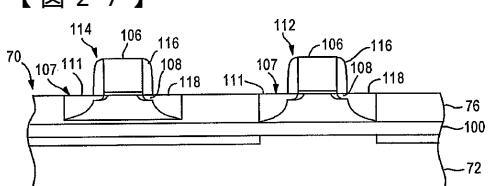


FIG. 27

【図 2 8】

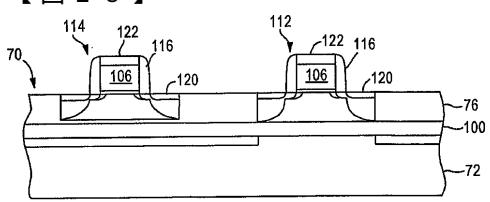


FIG. 28

【図29】

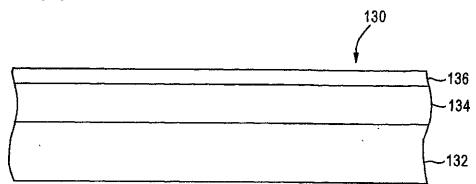


FIG. 29

【図30】

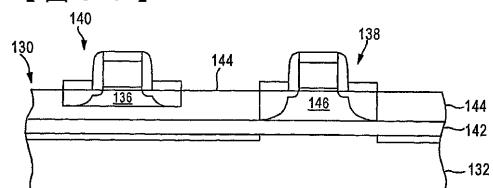


FIG. 30

フロントページの続き

(51)Int.Cl.		F I	
H 01 L	21/8234 (2006.01)	H 01 L	27/08 3 3 1 A
H 01 L	27/088 (2006.01)	H 01 L	27/08 1 0 2 B
H 01 L	21/8238 (2006.01)	H 01 L	27/08 3 2 1 C
H 01 L	27/092 (2006.01)	H 01 L	21/76 D
H 01 L	21/762 (2006.01)	H 01 L	21/76 L
		H 01 L	27/12 B

(74)代理人 100162156

弁理士 村雨 圭介

(74)代理人 100111615

弁理士 佐野 良太

(72)発明者 アンドルー エム. ウェイト

アメリカ合衆国、ニュー ヨーク州 12590、ワッピンガーズ フォールズ、サリー レイン
3エフ

(72)発明者 ジョン チーク

アメリカ合衆国、テキサス州 78613、シーダー パーク、キンロック ドライブ 2910

審査官 宮澤 尚之

(56)参考文献 特開2006-040911(JP, A)

特開平10-150206(JP, A)

(58)調査した分野(Int.Cl., DB名)

H01L 29/78-29/786

H01L 21/336

H01L 21/76