

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

H01L 21/82 (2006.01)

G06F 17/50 (2006.01)



[12] 发明专利说明书

专利号 ZL 200510066808.0

[45] 授权公告日 2009 年 12 月 16 日

[11] 授权公告号 CN 100570855C

[22] 申请日 2005.4.26

[21] 申请号 200510066808.0

[30] 优先权

[32] 2004.8.12 [33] US [31] 10/917,193

[73] 专利权人 国际商业机器公司

地址 美国纽约

[72] 发明人 约翰·M·科恩

詹姆斯·A·卡尔普

阿尔里奇·A·芬科勒 刑福伦

马克·A·拉维恩 李金福

拉斯·W·列布曼

格利高里·A·诺斯洛浦 成乐根

拉玛·N·塞恩 莱昂·斯托克

皮尔特·J·沃尔特根斯

[56] 参考文献

US20030182644A1 2003.9.25

US5946476A 1999.8.31

CN1383082A 2002.12.4

JP10-247206A 1998.9.14

US6240541B1 2001.5.29

US20010014965A1 2001.8.16

US20030028853A1 2003.2.6

审查员 吴 黎

[74] 专利代理机构 中国国际贸易促进委员会专利
商标事务所

代理人 康建忠

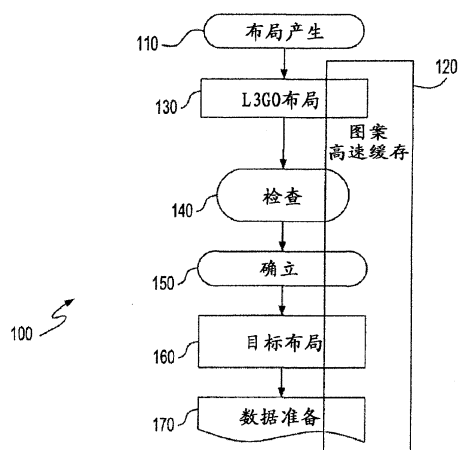
权利要求书 13 页 说明书 16 页 附图 8 页

[54] 发明名称

集成电路设计系统和方法

[57] 摘要

提供一种用于设计复杂集成电路(IC)的设计系统、IC 设计的方法和所用的程序产品。布局单元接收以网格和图示符格式表示各部分的电路说明。检查单元检查设计的网格和图示符部分。确立单元从检查的设计产生目标布局。数据准备单元准备用于掩模制造的目标布局。图案高速缓存单元用于提高设计效率的以前高速缓存的结果选择性地代替设计的各部分。



1. 一种设计系统，其中包括：

布局单元，用于接收集成电路设计的电路说明，所述布局单元以网格和图示符格式表示所述集成电路设计的各部分；

检查单元，用于检查网格和图示符部分；

确立单元，用于从所述网格和图示符部分的每一检查部分产生目标布局；

数据准备单元，用于为掩模制作准备所述目标布局；和

图案高速缓存单元，用于用以前高速缓存的结果选择性地代替穿过所述设计系统的网格和图示符部分，

其中所述检查单元包括分类器，所述分类器用于将所述网格和图示符设计规则进行分类。

2. 如权利要求 1 所述的设计系统，其中，所述网格和图示符格式的图示符包含点图示符、直线图示符和矩形图示符。

3. 如权利要求 2 所述的设计系统，其中所述检查单元还包括：

规则存储器，用于存储网格和图示符设计规则；

图示符选择装置，用于选择用于检查的图示符；

规则检查器，用于比较选择的图示符是否符合所述网格和图示符设计规则中所选择的一个；和

用于指示比较结果的装置。

4. 如权利要求 3 所述的设计系统，其中，所述检查单元包括：

用于选择设计层的装置；

用于在所述选择的设计层上选择图示符的装置；

用于选择用于检查的所述网格和图示符设计规则中的一个的装置。

5. 如权利要求 3 所述的设计系统，其中，所述用于指示比较结果的装置响应违反所选择的所述网格和图示符设计规则，提供错误指示。

6. 如权利要求 5 所述的设计系统, 其中, 所选择的所述网格和图示符设计规则是违反规则, 对于违反自由决定规则的情况不提供错误指示。

7. 如权利要求 3 所述的设计系统, 其中, 存储的所述网格和图示符设计规则包含支配图示符与设计形状交互作用的规则, 并且所述检查单元还包含:

上下文确定装置, 用于对于各网格和图示符设计规则确定上下文大小, 并用于识别周围的设计形状; 和

上下文收集装置, 用于为选择的图示符收集上下文大小。

8. 如权利要求 7 所述的设计系统, 其中, 所述检查装置检查收集的上下文是否符合支配图示符与设计形状交互作用的规则。

9. 如权利要求 2 所述的设计系统, 其中, 所述确立单元包含:

规则存储器, 用于存储确立规则;

规则分类器, 用于将确立规则分类;

规则检查器, 用于检查图示符是否与所述确立规则中的任何一个匹配; 和

用于响应与确立规则中的一个匹配扩展图示符的装置。

10. 如权利要求 9 所述的设计系统, 其中, 所述分类器从最具体到最不具体将确立规则进行分类。

11. 如权利要求 9 所述的设计系统, 其中, 所述确立单元还包含图示符标记装置, 该图示符标记装置用于标记各完成扩展的图示符和扩展的图示符部分。

12. 如权利要求 2 所述的设计系统, 其中, 所述图案高速缓存单元包含:

图案存储器, 用于存储以前处理的图案的结果;

高速缓存图案识别单元, 用于对应于以前处理的图案中识别所述集成电路设计中的设计图案; 和

用于用存储的结果代替识别的设计图案的装置。

13. 如权利要求 12 所述的设计系统, 其中, 所述高速缓存图案

识别装置包含:

图案扫描装置, 用于对于与以前处理的图案中的一个匹配的图案扫描集成电路设计中的各图示符周围的区域;

网格标记装置, 用于对于各不匹配的图案标记网格位置; 和
设计数据减少装置, 用于将集成电路设计减少到不匹配图案。

14. 如权利要求 13 所述的设计系统, 其中, 所述图案扫描装置包含:

图案定位装置, 用于扫描各网格点并对于所述各网格点上的图案进行检查;

编码装置, 用于对各定位的图案进行编码; 和

图案匹配装置, 用于将用于匹配的各编码的图案与以前处理的图案进行比较。

15. 如权利要求 14 所述的设计系统, 其中, 所述图案高速缓存单元还包含:

边缘选择装置, 用于确定各网格边缘是否接近不匹配的图案; 和
用于响应所述边缘选择装置选择性地去掉网格边缘的装置。

16. 如权利要求 2 所述的设计系统, 其中, 还包含交互式设计单元, 用于以交互的方式接收电路设计并将所述电路设计提供给所述布局单元, 所述交互式设计单元包含:

用于选择用于编辑的单元布局的装置;

用于在网格化的环境中对所选择的单元布局进行定位的装置; 和
用于将图示符添加到所选择的单元布局的装置。

17. 如权利要求 16 所述的设计系统, 其中, 所述用于选择用于编辑的单元布局的装置包含:

用于选择所述单元布局的装置;

用于显示所选择的单元布局的装置; 和

用于在所选择的单元布局中对层进行选择的装置。

18. 如权利要求 16 所述的设计系统, 其中, 用于添加图示符的装置包含:

用于选择图示符类型的装置；和

用于选择网格点的装置，在所选择的网格点上添加所选择的类型的图示符。

19. 如权利要求 16 所述的设计系统，其中，所述交互式设计单元还包含：

规则存储器，用于存储图示符行为规则；和

规则检查器，用于检查各添加的图示符是否符合图示符行为规则。

20. 如权利要求 16 所述的设计系统，还包含：

掩模形状产生单元，用于从准备的目标布局产生掩模形状；

模拟单元，用于从产生的掩模形状产生晶片外形；

提取单元，用于从产生的晶片外形提取电路模型；和

模型化单元，用于从所述电路模型产生所期望的集成电路电参数。

21. 如权利要求 20 所述的设计系统，所述图案高速缓存单元还用于监视穿过掩模形状产生单元、模拟单元、提取单元和模型化单元的所述集成电路。

22. 一种交互式设计系统，用于以交互的方式接收集成电路设计，所述集成电路设计的各部分以网格和图示符格式表示，其中所述交互式设计系统包含：

用于选择用于编辑的单元布局的装置；

用于在网格化的环境中对选择的单元布局进行定位的装置；和

用于将图示符添加到选择的单元布局的装置，

其中所述交互式设计系统包括用于检查所述网格和图示符部分的检查单元，所述检查单元包括分类器，所述分类器用于将所述网格和图示符设计规则进行分类。

23. 如权利要求 22 所述的设计系统，其中，所述用于选择用于编辑的单元布局的装置包含：

用于选择单元布局的装置；

用于显示选择的单元布局的装置；和

用于在选择的单元布局中对层进行选择的装置。

24. 如权利要求 22 所述的设计系统，其中，所述用于对选择的单元布局进行定位的装置包含：

用于规定所述网格的装置；和

用于在所述网格内显示选择的单元的装置。

25. 如权利要求 22 所述的设计系统，其中，其中，用于添加图示符的装置包含：

用于选择图示符类型的装置；和

用于选择网格点的装置，在选择的网格点上添加选择的类型的图示符。

26. 如权利要求 22 所述的设计系统，其中，所述交互式设计系统还包含：

规则存储器，用于存储图示符行为规则；和

用于检查各添加的图示符是否符合图示符行为规则的装置。

27. 一种确立单元，用于从以网格和图示符格式表示的集成电路设计产生目标布局，所述确立单元包含：

确立规则存储器，用于存储确立规则；

规则分类器，用于将所述确立规则分类；

检查单元，用于检查图示符是否与所述确立规则中的任何一个匹配，响应所述确立规则中的匹配的一个扩展匹配的图示符。

28. 如权利要求 27 所述的确立单元，其中，所述分类器基于指定性将确立规则进行分类。

29. 如权利要求 28 所述的确立单元，其中，所述分类器从最具体到最不具体将确立规则进行分类。

30. 如权利要求 27 所述的确立单元，其中，当完成时所述确立标记各扩展的图示符和扩展的图示符部分。

31. 一种检查单元，用于以交互的方式检查以网格和图示符格式表示的集成电路的设计并检查集成电路设计，所述检查单元包含：

设计规则存储器，用于存储网格和图示例设计规则；

规则分类器，用于将所述网格和图示例设计规则进行分类；

形状检查器，用于选择用于检查的图示例并检查选择的图示例是否符合所述网格和图示例设计规则中的选择的一个；和

图示例标记单元，用于响应形状检查器结果标记检查的图示例。

32. 如权利要求 31 所述的检查单元，其中，所述规则分类器按主题将网格和图示例设计规则进行分类。

33. 如权利要求 31 所述的检查单元，其中，所述形状检查器包含：

图示例选择器，用于在一个设计层上选择一个图示例；和

规则选择器，用于选择用于检查的所述网格和图示例设计规则中的一个。

34. 如权利要求 31 所述的检查单元，其中，所述存储的网格和图示例设计规则包含违反规则和自由决定规则，并且所述图示例标记单元对于违反违反规则中的一个指示错误。

35. 如权利要求 31 所述的检查单元，其中，所述检查单元还包含：

上下文收集器，用于为各网格和图示例设计规则确定上下文大小并为各选择的图示例收集所述上下文大小。

36. 如权利要求 35 所述的检查单元，其中，所述存储的网格和图示例规则包含支配与设计形状交互作用的图示例的规则，并且上下文收集器识别周围的设计形状。

37. 如权利要求 36 所述的检查单元，其中，所述形状检查器检查收集的上下文是否符合支配与设计形状交互作用的图示例的规则。

38. 一种集成电路设计方法，包含以下步骤：

接收集成电路设计的电路说明并以网格和图示例的格式表示集成电路设计的各部分；

检查表示各部分的网格和图示例部分；

从各部分中被检查的每一个部分产生目标布局；

将目标布局转换为掩模；和

用以前高速缓存的结果选择性地代替穿过设计系统的各部分中的若干个，

其中所述检查表示各部分的网格和图示符部分包含：

读取存储的网格和图示符设计规则；

将网格和图示符设计规则进行分类。

39. 如权利要求 38 所述的方法，其中，网格和图示符格式中图示符包含点图示符、线图示符和矩形图示符。

40. 如权利要求 38 所述的方法，其中，所述检查表示各部分的网格和图示符部分的步骤还包含：

选择用于检查的图示符；

比较选择的图示符是否符合网格和图示符设计规则中的选择的一个；和

指示比较结果。

41. 如权利要求 40 所述的方法，其中，所述选择用于检查的图示符的步骤包含：

选择设计层；

在选择的设计层上选择图示符；

选择用于检查的图示符设计规则中的一个。

42. 如权利要求 40 所述的方法，其中，在所述指示比较结果的步骤中在确定违反一个存储的网格和图示符设计规则时指示错误。

43. 如权利要求 42 所述的方法，其中，在所述指示比较结果的步骤中选择性地忽略对于自由决定的网格和图示符设计规则的违反。

44. 如权利要求 38 所述的方法，其中，所述检查表示各部分的网格和图示符部分的步骤还包含：

为各网格和图示符设计规则确定上下文大小；和

为选择的图示符收集上下文大小。

45. 如权利要求 44 所述的方法，其中，在检查表示各部分的网格和图示符部分的步骤检查响应支配与设计形状交互作用的图示符的

图示符设计规则中的若干个、检查收集的上下文大小是否符合与设计形状交互作用的图示符的规则，并且用于在所述为各网格和图示符设计规则确定上下文大小的步骤中识别周围的设计形状。

46. 如权利要求 38 所述的方法，其中，所述从各部分中被检查的每一个部分产生目标布局的步骤包含：

检查图示符是否与接收的确立规则匹配；

响应匹配的确立规则扩展图示符。

47. 如权利要求 46 所述的方法，其中，在所述将接收的确立规则进行分类的步骤中，从最具体到最不具体将确立规则进行分类。

48. 如权利要求 46 所述的方法，其中，所述从各部分中被检查的每一个部分产生目标布局的步骤还包含：

标记完成的各扩展的图示符。

49. 如权利要求 38 所述的方法，其中，所述用以前高速缓存的结果选择性地代替穿过设计系统的各部分中的若干个的步骤还包含：

从图案存储器中读取以前处理的图案的结果；

与以前处理的图案的若干个对应识别集成电路设计中的设计图案；

用存储的结果代替识别的设计图案。

50. 如权利要求 49 所述的方法，其中，所述与以前处理的图案的若干个对应识别集成电路设计中的设计图案包含：

为与以前处理的图案中的一个匹配的图案扫描集成电路设计中的各图示符周围的区域；

对于各不匹配的图案标记网格位置；和

将集成电路设计减少到不匹配的图案。

51. 如权利要求 50 所述的方法，其中，所述为与以前处理的图案中的一个匹配的图案扫描集成电路设计中的各图示符周围的区域的步骤包含：

扫描各网格点并检查各网格点上的图案；

对各定位的图案编码；

比较各编码的图案是否符合以前处理的图案。

52. 如权利要求 51 所述的方法, 其中, 所述用以前高速缓存的结果选择性地代替穿过设计系统的各部分中的若干个的步骤还包含:

标记与不匹配的图案接近的各网格边缘; 和
选择性地去除未标记的网格边缘。

53. 如权利要求 38 所述的方法, 其中, 所述接收集成电路设计的电路说明并以网格和图示符的格式表示集成电路设计的各部分的步骤包含:

以交互的方式接收电路设计并提供电路设计的网格和图示符表示。

54. 如权利要求 53 所述的方法, 其中, 所述以交互的方式接收电路设计并提供电路设计的网格和图示符表示的步骤包含:

接收用于编辑的单元布局选择;
接收网格选择, 单元布局选择位于网格选择中; 和
将图示符添加到单元布局选择中。

55. 如权利要求 54 所述的方法, 其中, 所述接收用于编辑的单元布局选择的步骤包含:

响应单元选择输入选择单元布局;
使选择的单元布局得到显示; 和
在选择的单元布局中对层进行选择。

56. 如权利要求 54 所述的方法, 其中, 在所述将图示符添加到单元布局选择中的步骤中选择图示符类型和网格点。

57. 如权利要求 54 所述的方法, 其中, 所述以交互的方式接收电路设计并提供电路设计的网格和图示符表示的步骤还包含:

读取存储的图示符行为规则; 和
检查各添加的图示符是否符合的图示符行为规则。

58. 如权利要求 38 所述的方法, 其中, 所述将目标布局转换为掩模的步骤包含:

从准备的目标布局产生掩模形状;

从产生的掩模形状产生晶片外形；
从产生的晶片外形提取电路模型；和
从电路模型中产生期望的集成电路电参数。

59. 一种集成电路的设计方法，包含以下步骤：

a) 输入电路设计，所述电路设计中的至少一个电路是使用网格化的图示符几何对象格式的布局，所述至少一个电路以图示符几何对象格式由位于网格上的图示符表示；

b) 检查所述电路设计的图示符几何对象部分是否符合图示符几何对象规则，并检查与以前遇到的图示符几何对象图案匹配的电路，并且其中将所述图示符几何对象规则进行分类；

c) 从检查的图示符几何对象部分产生目标布局，用高速缓存的目标布局结果代替与以前遇到的图示符几何对象图案匹配的图示符几何对象部分；和

d) 从目标布局中产生掩模，包含用于所述与以前遇到的图示符几何对象图案匹配的图示符几何对象部分的高速缓存的掩模图案结果。

60. 如权利要求 59 所述的集成电路的设计方法，其中，输入电路设计的步骤 (a) 包含以下步骤：

i) 在一个图示符几何对象电路中选择单元层；

ii) 在选择的单元层中规定网格；

iii) 选择添加到单元层的图示符；和

iv) 选择至少一个网格点，在所述至少一个网格点上添加选择的图示符，检查各添加的图示符是否符合图示符几何对象规则。

61. 如权利要求 60 所述的集成电路的设计方法，其中，选择单元层的步骤 (i) 包含以下步骤：

A) 选择包含所述一个图示符几何对象电路的单元；

B) 显示选择的单元；和

C) 在显示的单元中对层进行选择。

62. 如权利要求 60 所述的集成电路的设计方法，其中，如果以

前已规定了网格，那么以前规定的网格在规定网格的步骤（ii）中规定网格。

63. 如权利要求 60 所述的集成电路的设计方法，其中，从包含点图示符、杆形图示符和矩形图示符的组中选择在步骤（iii）中选择的图示符。

64. 如权利要求 63 所述的集成电路的设计方法，其中，步骤（iii）包含对于各选择的点图示符选择单个网格点，对于各选择的杆形图示符和各选择的矩形图示符选择两个网格点。

65. 如权利要求 61 所述的集成电路的设计方法，还包含以下步骤：

v) 返回步骤（i）（C）并在显示的单元中选择另一单元层，直到选择所有的层；并且，当选择了所有的层时，

vi) 选择另一图示符几何对象电路作为所述一个图示符几何对象电路并返回步骤（i）（A）。

66. 如权利要求 59 所述的集成电路的设计方法，其中，检查图示符几何对象部分的步骤（b）包含以下步骤：

i) 对于所述图示符几何对象规则的每一个确定上下文大小；

ii) 在单元层上选择图示符；

iii) 在上下文大小内反复检查图示符是否符合与所述图示符几何对象规则的每一个匹配，直到检查完所述图示符几何对象规则中的最后一个，并且，当检查完所述图示符几何对象规则中的最后一个时，

iv) 返回步骤（ii），直到选择最后的图示符；并且，当选择了最后的图示符时，

v) 选择另一单元层并返回步骤（ii）。

67. 如权利要求 66 所述的集成电路的设计方法，其中，将图示符几何对象设计规则进行分类的步骤（i1）包含以下步骤：

A) 按主题对所述图示符几何对象规则进行分类；和

B) 按违反的可容许的程度将部分分类的图示符几何对象规则进行分类。

68. 如权利要求 67 所述的集成电路的设计方法, 其中, 反复检查的步骤 (iii) 包含以下步骤:

- A) 以分类次序选择分类的图示符几何对象设计规则中的一个;
- B) 收集所述上下文大小;
- C) 检查图示符是否与选择的图示符几何对象设计规则匹配; 和
- D) 将任何匹配的图示符标记为错误或允许。

69. 如权利要求 67 所述的集成电路的设计方法, 其中, 对于在步骤 (C) 中的任何不匹配的图示符, 步骤 (iii) 包含返回步骤 (A) 并选择分类的图示符几何对象设计规则的下一个。

70. 如权利要求 59 所述的集成电路的设计方法, 其中, 产生目标布局的步骤 (c) 包含以下步骤:

- i) 选择支配图示符扩展的确立规则;
- ii) 在扫描电路设计中扫描图示符, 从而为选择的确立规则的应用识别图示符;
- iii) 将选择的确立规则应用于所述图示符中的各识别的图示符上; 和
- iv) 当完成时标记所述图示符的各识别的图示符。

71. 如权利要求 70 所述的集成电路的设计方法, 其中, 选择确立规则的步骤 (i) 包含以下步骤:

- A) 从最具体到最不具体将确立规则进行分类; 和
- B) 选择所述确立规则中的最具体的一个。

72. 如权利要求 71 所述的集成电路的设计方法, 其中, 产生目标布局的步骤 (c) 包含重复步骤 (i) - (iv), 使得以分类的次序选择所述确立规则的每一个, 直到选择所有的确立规则。

73. 如权利要求 72 所述的集成电路的设计方法, 其中, 在产生目标布局的步骤 (c) 中, 将所述确立规则应用于所述图示符和子图示符中。

74. 如权利要求 59 所述的集成电路的设计方法, 其中, 从目标布局产生掩模的步骤 (d) 包含以下步骤:

- i) 为掩模形状产生准备目标布局;
- ii) 从准备的目标布局产生掩模形状数据;
- iii) 从掩模形状数据产生晶片外形; 和
- iv) 从晶片外形产生电路模型。

75. 如权利要求 74 所述的集成电路的设计方法, 还包括:

在步骤 (a) - (f) 中的每一步中, 为包含以前遇到的图示符几何对象图案的以前遇到的图案, 监视电路设计, 并且, 当在所述步骤的每一步和所述步骤的组合中遇到以前遇到的图案中的一个时, 提供高速缓存的结果用于以前遇到的图案。

集成电路设计系统和方法

技术领域

本发明涉及集成电路(IC)和芯片设计系统,更具体地,涉及用于设计IC和IC芯片的计算机辅助设计(CAD)系统。

背景技术

半导体技术和芯片制造技术进展使芯片特征(feature)尺寸不断减小,从而增加芯片上电路的切换频率(电路性能)和晶体管数量(电路密度)。典型的半导体集成电路(IC)芯片是层叠各电路层的多层单元,使得层特征相互交迭,以形成各单个的器件并将各器件连在一起。一般通过使用在半导体制造中使用的公知的光刻技术用光刻法对各单个的层进行构图。一般地,芯片设计人员产生出转换为芯片/电路布局的新型芯片的电学或逻辑表示。将芯片/电路布局转换为在光刻掩模上印刷的掩模形状。各光刻掩模用于在半导体晶片上印刷图案,该图案规定局部晶片性能或芯片/电路层中的一个。

以前,在进行设计和制造时,假定设计的布局和制造的晶片的尺寸以及用于将设计尺寸转移到晶片上的光掩模的尺寸十分接近。由于半导体技术已推进了物理过程和材料的极限,因此这种假定不再有效。结果,设计、光刻构图(lithographic patterning)和操作设计数据流进行制造都必需增加创造力、努力和成本。在一些情况下,制造成本和风险已使得现有布局方法和支持性计算机辅助设计工具的状态不足以产生可制造的设计图,即精确地满足设计图中预定/假定/模型化的性能的制造的晶片。

因此,需要降低布局产生和布局检查的成本和风险并提高布局数据准备的效率的设计工具。具体而言,需要以更低的制造成本和风险提高设计可制造性的设计工具,即,提供制造的晶片将更精确地满足设计图中预定/假定/模型化的性能。

发明内容

本发明的目的在于简化电路物理设计；

本发明的另一目的在于减小布局产生和布局检查的成本和风险；

本发明的另一目的在于以更低的制造成本和风险实现更精确地将最终制造的晶片与预定/假定/模型化的设计性能相匹配的设计目标；

本发明涉及用于一种用于设计复杂集成电路（IC）的设计系统、IC设计的方法和所用的程序产品。布局单元接收以网格和图示符的格式表示各部分的电路说明。检查单元检查设计的网格和图示符部分。确立单元从检查的设计图产生目标布局。数据准备单元为掩模制造准备目标布局。图案高速缓存单元为了提高设计存储效率选择性地用以前高速缓存的结果代替设计的各部分。

附图说明

参照以下附图阅读本发明的优选实施例的以下详述，可以更好地理解上述和其它目的、方面和优点。

图1表示根据本发明的优选实施例的过程中性集成电路（IC）芯片物理设计流的简例；

图2表示例如从布局产生中得到的简单L3GO布局；

图3表示L3GO设计和制造数据流的更详细的例子；

图4表示设计输入和编辑和特别是增加图示符的流程图例子；

图5表示用于图案高速缓存的局部区域中的图示符的表示的例子。

图6A-B表示对于作为单转换单元例如确立单元的邻区，两个通道中图案高速缓存的例子。

图7表示检查L3GO布局（即，各L3GO）的L3GO特有部分是否符合L3GO规则的流程图例子。

图8表示确立单元中的L3GO布局的确立，即将基于图示符的几何形状转换为常规几何形状的流程图例子。

具体实施方式

现在参照附图，更具体地，图 1 表示根据本发明的优选实施例的过程中性（process neutral）集成电路（IC）芯片物理设计流 100 的简例。以过程中性网格（grid）和图示符（glyph）表示（representation）格式为物理设计 110 提供典型状态的现有（art）电路设计。当来自物理设计 110 的特定网格和图示符表示或布局 130 穿过（traverse）过程中性芯片物理设计流 100 时，图案高速缓存（caching）单元 120 监视并分析该设计流，以优化操作和减少工作量。优选的布局 130 是这里称为使用网格化图示符几何对象（L3GO）的布局并被称为 L3GO 布局的格式。L3GO 布局 130 基本上是常规设计的扩展。常规物理设计布局以单元（cell）、层、变换（transform）组织，并单独由具有数据库单元（DBU）中的坐标的多边形表示，这种多边形一般比用于精确形状和位置规范的最小制造特征（例如，1nm）小很多。但是，L3GO 布局要简单得多，并处于具有很少选择的形状的粗大得多的网格上，可选的常规形状很少，而主要具有 L3GO 特有的构件，即网格、图示符和属性。

在检查单元 140 中检查来自物理设计 110 的完成的 L3GO 布局的 L3GO 特有规则违反以及其它典型物理设计规则违反。在检查后，检查的 L3GO 布局传到确立（elaboration）单元 150，该确立单元 150 为特定的选择的技术将网格和图示符设计扩展为常规布局形状，以产生目标布局 160。目标布局传到例如数据准备单元 170 中的数据准备，该数据准备单元 170 使用诸如分辨率增强技术（RET）和光学近似校正（OPC）的典型的集成电路（IC）设计掩模制作数据准备技术对设计形状进行预处理。

图案高速缓存 120 监视各单元或各单元的组合的每一个上的以前遇到的图案，并且，如果可以减少整个工作量，则用以前计算的高速缓存的结果代替以前遇到的图案。特别地，图案高速缓存 120 影响（leverage）设计内的重复，以减少特定 L3GO 布局所需的整个以及单个单元计算，并减少表示输出所需的数据。特别是在较大设计中，L3GO 限制在嵌套的（nested）分级（hierarchical）设计结构的固有重复之上增

加设计的许多局部区域相同的可能性。一般地，使物理设计部分地变平（flatten），以使用大量存在的技术中的一个，例如，在 1996 年公开的 Russell 等的题目为“将分级电路的子集（subset）公式化的系统和方法”的美国专利 No.5519628，针对任何分级重复。变平后的设计在一层或更多层上具有一定数量的图示符的集合(collection)，这些集合被划分为一组子图示符。例如，可以例如以最大为要进行的计算的交互作用半径（ROI）的距离、基于图示符或图示符的各部分的交互作用、将图示符划分为子图示符。一般来说，对于 OPC，例如，ROI 为光学波长的两倍到三倍。对于包含 ROI 邻域中的得到的变平的子图示符组的构造的各个子图示符，对图案进行编码。通过在包含以前处理的图案的图案目录中对各当前子图示符的图案进行搜索，可以减少计算。如果没有发现该图案，那么例如通过使用 OPC，计算当前子图示符和其周围的图案的结果。将新图案结果存储在图案目录中，使得将该图案作为其关键，并将该结果添加到总输出。另外，如果发现该图案，则从图案目录中取出以前计算的结果，并将其添加到总输出中。通过将频繁重复的图案表示为具有多个实例的单元，可以减少输出数据量。

图 2 表示来自图 1 的布局产生 110 的简单 L3GO 布局 180 的例子。一般地，典型的 L3GO 布局主要包含三种简单几何类型的图元或图示符：点图示符 182（这里也称为点）、杆形图示符 184（这里也称为杆）和矩形图示符 186（这里也称为矩形）。网格是点 188 的规则矩形排列，所有的点都是内置的制造网格的子集。关于网格规定各个图示符，并将各图示符分配给各个层。还可以将含有任意附加信息的属性分配给各个图示符，该附加信息例如包含设计意图，该设计意图例如用于表示多晶硅级图示符在定时临界网(timing-critical net)中。在典型的 L3GO 布局 130 中，各网格和图示符占据特定的单元和层。用于分级图示符复制（例如用于嵌套（nesting））的规则按照用于形状的常用惯例。

点图示符 182 是位于网格点上的无维的或零维的点，并且一般用

于例如触点和通路的垂直互连。杆形图示符 184 是两个网格点之间的 1 维直线段。一般地，杆形图示符 184 用于 FET 栅 (gate) 或用于互连。矩形图示符 186 是顶点在网格点上的 2 维、轴对准的矩形，一般用于扩散区。如同常规布局中的多边形，各 L3GO 图示符位于特定的设计层 (例如，POLY、DIFF) 上，该设计层指示其功能、晶片材料等。任选地，可以在由更常规的多边形表示的 L3GO 布局中包含不服从网格和图示符限制的部件 (例如存储器位单元 (memory bit cell) 和模拟器件)。

L3GO 布局 (例如 180) 被传至布局检查 140。通过限制布局几何形状，与更常规的设计方法相比，大大简化了对布局的指定和检查。可以通过简单的图案匹配，即将图示符的局部构造与允许和不容许的构造的图案库进行匹配，检查 L3GO 布局。L3GO 图案是图元函数 (图示符类型、方向和尺寸) 的相连的和分离 (conjunctive and disjunctive) 的组合。图案匹配可以方便地使用有效的子图同构算法。与传统设计方法不同，设计规则不需要由复杂的任意几何计算限定，该任意几何计算可以基于大量的图元函数和合成算子。

确立单元 150 将 L3GO 布局转换成更常规的布局形状。通过最简单的方式，确立单元进行以下转换：将点图示符 182 转换为固定尺寸的正方形，这里尺寸可能取决于特定点图示符 182 的设计层；将杆形图示符 184 转换为具有关于杆形图示符开始和结束网格点的固定的宽度和悬垂 (overhang) 的矩形；并且将矩形图示符 186 转换为具有关于顶点网格点的指定悬垂的矩形。并且，确立单元 150 可以进行涉及对特定上下文 (context) 中的单个图示符或多个图示符的更复杂的变换。例如，可以根据邻近的同层图示符的附近情况，判定杆形图示符 184 的端部 - 悬垂的量，是否特定的杆形图示符表示多晶硅栅或连接导线和/或其它层 (例如，扩散层、通路) 上的图示符。并且，图示符到常规形状变换可以包含一定的设计用于产生的动作 (DFY)，诸如冗余的触头或通路的嵌入、和沿垂直接线 (connection) 周围的安放焊盘 (landing pad) 的添加。

来自确立单元 150 的目标布局 160，一般包含符合现有布局设计流状态的形状，但该形状具有来自确立的附加信息。该附加的信息传送几何意图并包含下游过程可允许的例如局部线宽、局部间隔和倒角的几何参数的可变性的容限。该几何意图信息反映设计意图，在设计时在图示符中更直接地对该设计意图进行编码。例如，可以基于定时或电源限制用可容许的栅长度 (L_{eff}) 可变性标记表示多晶硅栅的杆形图示符。在该例子中，确立可以将其转换为标记得到的矩形目标形状的线宽可变性容限。下游程序（例如 OPC）可以使用几何意图信息，以决定在产生和表示修正中使用的精度水平，并在由掩模制造要求限制的互相排斥的修正之间进行折衷。一些存在的 OPC 程序具有用于表示和使用这种容限信息的规定，虽然是不直接的。

还应注意，只要开始输入是 L3GO 设计，那么可以在确立单元 150 中的确立过程中，将图案高速缓存 120 应用于检查 140，与 RET 和 OPC 组合的确立或图 1 所示的功能的任何顺序(sequence)中。因此，可以将例如图案高速缓存应用于与 RET 和 OPC 组合的确立，并然后进行用于为初始 L3GO 布局 110 提供电参数模型的过程模拟和提取。

图 3 表示参照具有同样标明的相同特征的图 1 的物理设计流 100 的例子、根据本发明的优选实施例的 L3GO 设计和制造数据流 200 的更详细的例子。布局产生或设计输入和编辑 110 可以例如通过任何状态的运行遵循 L3GO 设计规则 202 的适当设计工具的 ART 工作站、计算机终端、个人计算机等的图形用户界面 (GUI) 交互。设计工具优选包含现有布局工具的标准状态的应用扩展，例如，以源自 LISP 的 SKILL 编程语言写成且为 Cadence VirtuosoTM 布局编辑器书写的扩展。当产生 L3GO 布局 130 时，以交互的方式检查 140 L3GO 布局 130 是否符合设计规则 202。一旦完成设计输入和编辑，就对最终的 L3GO 布局 130 进行检查 140，并将其发送到确立 150。将确立规则 204 应用于 L3GO 布局 130，以产生目标设计 160。优选地，以诸如 OpenAccess 的作为几何信息、属性和/或性能的工业标准格式或以诸如 GDSII 或 OASIS 的数据互换格式提供目标设计 160。将目标设计

160 传到数据准备 170。数据准备 170 使用掩模 (mask) 产生数据, 以将目标设计形状转换为适当的掩模形状 206。主要将掩模形状数据 206 发送到用于转换为光掩模的制造器 206 并然后用于图案晶片。另外, 优选将掩模形状数据 206 传到印刷模拟 208, 以产生表示如何印刷形状的晶片外形 210。将晶片外形 210 传到物理模型提取 212。优选在从目标设计 160 到模型提取 212 的过程中以相同的格式保持 L3GO 布局。模型提取 212 从晶片外形 210 产生用于设计的电路模型 214。如同任何设计, 电路模型 214 可以验证设计将如它应得到的印刷那样进行印刷, 并保证设计完整性, 例如, 设计定时 216、电源 218 等。图案高速缓存 120 容许从输入 110 到确立 150 到数据准备 170 到模拟 208 然后到下面的分析 214、216、218 再最后到任何下面的分析对特定设计进行端到端分析。

L3GO 规则 202 主要包含将设计限制为 L3GO 几何形状的图示符特有的规则、将图示符与常规布局形状联系的规则、和用于检查在特定设计中涉及的任何常规形状的规则。因此, L3GO 规则不在包含相对边缘布置的复杂不等量方面规定限制, 而是对单个图示符和图示符的局部构造的限制, 例如, 多晶硅栅必须是跨过至少两个多晶硅栅网格点的水平杆形, 并且必须以至少两个网格间距与其它多晶硅栅图示符分开。L3GO 规则 202 可以为文本文件或运行组 (run set), 诸如用于现有设计规则检查器的常规状态。一旦规定了 L3GO 规则, 就可以通过检查单元 140 将该 L3GO 规则转换为内部形式。可以使用诸如 Mentor Graphics Calibre™ 的用于常规形状检查器的规则表示实施将图示符与常规布局形状和用于常规形状的常规设计规则联系的规则。

确立规则 204 规定从 L3GO 设计到常规的基于形状的目标设计 160 的转换。将简单的规则应用于单个图示符, 例如, 可以沿单一的方向将多晶硅栅图示符扩展为长度为图示符长度、宽度为临界多晶硅栅级直线宽度的矩形。根据特定的上下文, 可以将更复杂的规则应用于图示符或图示符的部分上。例如, 如果在两个网格间距内没有相交的第一金属级图示符, 那么可以扩展第一金属级直线端。在另一例子

中，如果在两个网格间距内第一金属级图示符不平行，那么可以增加狗骨锚片（dogbone anchor）。并且，对于图示符图案、图示符部分、几何关系和逻辑连接（connective）规定更复杂的规则。例如，当多晶硅栅图示符和金属级图示符在沿第一金属级线扩展多晶硅栅形状一个网格并在新的多晶硅栅形状端部增加冗余的接触形状的接触点图示符相遇时，可以包含确立规则。

优选通过使用两种方法中的一种，即将 L3GO 性能和值扩展为存在的数据模型，或提供新类型的设计目标，对 L3GO 特有的设计构件进行编码。因此，根据第一种优选方法，使用开型存取（OA，Open Access）数据模型（性能和值）的可扩展性机制，以将新的目标类型添加到 OA 永久和芯内（in-core）存储器中。用用于操作的 C++ 类或 SKILL（LISP）数据封装这些目标类型。根据第二种优选方法，可以将新类型的设计目标表示为具有特定解释的常规设计目标。例如，特定单元中的特定层的网格可以由该单元中的该层上的直角三角形表示。直角三角形的底边是 X 间距，高是 Y 间距，直角是网格原点。点图示符可以由具有例如 1 数据库单位的最小半径的圆表示。杆形图示符可以由具有最小宽度的路线或直线对象例如 2 数据库单位宽度的直线表示，在该直线的每一边有一个数据库单位宽度。矩形图示符可以直接由顶点在网格点或坐标上的常规矩形表示。所选的特定方法取决于用于 L3GO 设计输入和编辑 110 的特定设计工具的能力。

图 4 表示设计输入和编辑 110 和特别是增加图示符的流程例子。一般在适当配备的工作站、计算机终端或 PC 上以交互的方式完成编辑 110。设计编辑从选择显示 1104 的单元 1102 开始，并然后选择单元中的层 1106。如果以前没有规定的话，则在步骤 1108 中，为选择的层规定网格。在步骤 1110 中，显示新规定或以前规则的网格。在步骤 1112 中为增加选择图示符类型。如果选择点图示符，那么在步骤 1114p 中选择网格点。类似地，如果选择杆形类型，在步骤 1114s 中选择两个点，以规定杆形图示符，并且/或者，如果已选择矩形图示符，那么在 1114r 中选择表示相对顶点的两个点。然后，在步骤 1116p（或

1116s 或 1116r) 中, 将点 (杆形或矩形) 图示符添加到设计中, 并且, 在步骤 1118 中, 检查单元/层是否符合 L3GO 规则 204。如果添加的图示符没有通过规则检查 1118, 那么将其去除。然后, 设计人员返回图示符类型选择 1112 并可以选择其它点图示符 1114p、杆形图示符 1114s 或矩形图示符 1114r。另外, 如果在 1118 中图示符符合 L3GO 规则检查, 那么可以在 1112 中将更多的图示符添加到相同的层中, 或者, 设计人员可以在 1106 中选择用于编辑的其它层, 或者, 设计人员可以在 1104 中选择不同的单元。另外, 设计人员可以选择包含移动、修改或删除图示符的其它编辑动作 1120。一旦设计人员在步骤 110 中完成键入和编辑设计数据工作, 就将 L3GO 设计送到检查 140。

图案高速缓存 120 容许从输入 110 到确立 150 到数据准备 170 到模拟 208 然后到分析 214、216、218 最后到下面的分析的特定设计的端到端处理, 这种端到端处理会对缺陷限制和电路限制的产生 (yield) 程序进行检查。由于 L3GO 芯片布局可以是受限制的网格上的图示符的受限制的组, 因此可以降低用于完成端到端处理的添加的成本。因此, 可以将产生 L3GO 的布局分解为有限的 (虽然一般较大) 局部构造组。图案高速缓存 120 方便地提供可以在从 L3GO 设计开始的任何步骤的顺序的背景中完成的一般机制。

实质上, 图案高速缓存 120 组合具有与高速缓存的图案匹配的图案的以前遇到的局部构造和随后的局部构造的转换高速缓存 (conversion cache)。因此, 图案高速缓存 120 确定对于各局部 L3GO 设计流/数据流 (例如图 1 中的 100、图 3 中的 200) 相邻操作, 例如, 确立 150、确立 150 和数据准备 170、确立 150 与数据准备 170 和模拟 208 等, 是否以前已遇到特定的构造 (configuration)。因此, 用于任何设计的 L3GO 布局正常继续直到并除非图案高速缓存辨别出以前遇到的高速缓存的图案。如果图案高速缓存 120 辨别出高速缓存的图案, 则不通过整个设计流 100, 而是读取用于高速缓存的图案的并将其加入该设计流并绕过相应的邻区。否则, 图案高速缓存 120 进行识别并高速缓存由局部图案识别、适当地整理并索引任何以前未遇到过的图

案。根据重复的频率和不同图案的长度，由简单的计数统计选择性地伴随的高速缓存可以相当小。因此，一般地，图案高速缓存所采取的形式取决于 L3GO 数据流中使用的特定工具。

图 5 表示用于图案高速缓存 120 的局部区域 220 中的图示符图案的表示的例子。在该例子中，局部构造和图案匹配基于下面的 L3GO 网格 222。各个网格的边缘，例如 225，跨过相邻的网格点，例如，224 和 226。占有属性（例如，a 1 或 a 0）被固定于相关的边缘，并表示该边缘是否被例如多晶硅栅层上的 L3GO 杆形图示符 228 的一部分占有。一旦固定了占有属性，那么网格点 226 可以由十二位字标识，各位对应感兴趣区（ROI）内的各边缘中的一个。图案高速缓存 120 可以在通过特定邻区的两个分开的通道中完成，该邻区与后接代替通道的通道匹配。在经过邻区的第一通道中，为设计中的各单一的局部构造识别一个距离。在经过邻区的第二通道中，将实际处理步骤应用于第一通道结果，以产生输出，例如，确立和数据准备产生掩模布局。

图 6A-B 表示对于在本例子中作为单转换单元（例如，确立单元 130）的邻区，根据本发明的优选实施例，在两个通道 1200、1250 中的图案高速缓存的例子。图 6A 中的第一通道 1200 从步骤 1202 开始，在该步骤 1202 中，对于各网格点用相应的输入初始化网格标记阵列，例如，将各输入重设为零。然后，在步骤 1204 中，从排列中选择第一网格点，例如图 5 中的 226。在步骤 1206 中，将占有属性分配给 12 个包围边缘，并且，用这些属性将所选的网格点标识为例如 12 位图案字 K。然后，在步骤 1208 中，将当前图案字与高速缓存的图案相比较，以确定以前是否遇到过当前图案字，即，用于当前图案的字是否与高速缓存的字匹配。如果当前图案字匹配，那么，该匹配是将特定邻区进行编码的当前位图案的结果。因此，返回步骤 1204，并优选以扫描线的次序，选择下一个网格点。在步骤 1206 中重新将占有属性分配给任何以前的未分配的输入，并在步骤 1208 中对于图案字检查高速缓存图案。如果在图案高速缓存中未发现图案字，那么，在步骤 1210 中将该图案标识为新的图案，并在步骤 1212 中进行高速缓存。然后，

返回到步骤 1204，选择一下个点。这样一直继续直到在步骤 1204 中考虑到了所有的网格点。

一旦考虑到了所有的网格点，就可以将设计数据减少到仅存在对于当前邻区的标识的图案，即，仅存在不与以前高速缓存中的任何图案匹配的那些图案。因此，在步骤 1214 的开始，选择网格边缘，并且在步骤 1216 中检查附近的标记。如果什么也没有发现，那么在步骤 1218 中将所选择的边缘从设计中擦掉，并返回到步骤 1214，并同样优选按扫描线次序选择下一个边缘。如果在步骤 1216 中发现标记，那么不动该边缘，并返回步骤 1214，选择下一边缘。当在步骤 1214 中考虑到了所有的边缘后，在步骤 1220 中输出编辑的设计，并且为邻区中的正常处理在步骤 1222 中输出图案高速缓存。在在步骤 1220 中输出编辑的设计和在步骤 1222 中输出高速缓存后，当标记的图案部分穿过邻区以出现时，将标记的图案部分正常地看作它们穿过邻区而出现，例如，看作用于确立 130 的正常的图示符或看作来自 208 的正常晶片外形。应注意到，要减少和最小化用于标记阵列的存储器的数量，步骤 1202 - 1212 的网格标记可以与设计编辑步骤 1214 - 1222 相连 (pipeline)。

在第一通道后，将从步骤 220 得到的经过编辑的设计输入到邻区，即，具有所需的操作的规定的程序。

图 6B 中的第二通道从输入原始 L3GO 设计的步骤 1252 开始。在步骤 1254 中，读取 (retrieve) 由规定的程序处理处理经过编辑的设计的结果，并在步骤 1256 中读取图案高速缓存。然后，在步骤 1258 中，从排列中选择网格点。在步骤 1260 中，从网格标记阵列中读取用于所选的网格点的 12 位字图案。在步骤 1262 中，对于将边缘 (I、J) 周围的邻区编码的图案 K，检查图案高速缓存。如果结果输入表示边缘 (I、J) 是 K 的第一次出现，那么在步骤 1264 中，该结果指示边缘 (I、J) 周围的邻区是实际处理的经过编辑的设计的部分，因此输出未变。但是，如果对于 K 的高速缓存检查指示 K 的第一次出现处于 (I、J) 以外的一些位置 (P、Q)，那么，在步骤 1266 中将 (P、Q)

周围的输出复制到 (I、J) 周围的输出中。另外，如果所选的字图案与高速缓存的图案匹配，那么将高速缓存的图案结果嵌入结果中。一旦在需要时在步骤 1268 中将适当的图案结果嵌入输出，那么优选沿扫描线次序在步骤 1258 中选择下一个网格点。当在步骤 1258 中选择了所有的网格点后，那么设计在步骤 1270 中退出第二通道。应注意，如对于单元邻区的本例子中所示和所述的那样，还可以用任何数量的例如上述 Russell 等的例如 Niagara 的分级形状处理机制组合两个图案高速缓存步骤 1200 和 1250，因此，在这些分级设计中的这些重复图案的存在减少了编码，使得，对于所有的单一的重复的图案组合，即更高结构水平的图案高速缓存，可以将平面设计 (flat design) 编码为平面设计的最小组。

图 7 表示根据本发明的优选实施例、检查 140 L3GO 设计 (即图示符) 的 L3GO 特定部分是否符合 L3GO 规则 (例如图 3 的 202) 的流程图例子。检查 140 将设计图示符图案和任选的附近的上下文图示符与各规则的图案部分相匹配。因此，避免了算法鲁棒性的问题，并且可以通过使用各种算法搜索结构和散列法提高检查效率。因此，在步骤 1402 的开始，例如从存储器读取用于所选技术的 L3GO 规则 202。在步骤 1404 中，通过图示符层将 L3GO 规则 202 分类。在步骤 1406 中，将规则进一步分类为违反规则和自由决定规则。自由决定规则不管其它规则如何，总是规定允许的局部图案。在步骤 1408 中，为各规则确定上下文大小 (context size)，即必须由布局检查以检查违反或支持其它图示符的在给定图示符以外的距离。首先，在步骤 1410 中，为检查选择设计的层。然后，在步骤 1412 中，选择该层上的单个图示符。然后，在步骤 1414 中，选择规则中的第一个，并且在步骤 1416 中，可以为所选择的图示符收集包围图示符的上下文和紧邻所选图示符的任何其它常规形状。在步骤 1418 中，相对于所选的规则检查所选择的图示符，以确定该规则是否适于所选的图示符及其上下文。如果不适用，返回步骤 1414，选择下一条规则。当在步骤 1418 中发现与所选图示符及其上下文匹配的特定的规则，那么在步骤 1420 中，检查

规则，以确定它是否是违反规则或自由决定规则，如果它是违反规则，则在步骤 1422 中报告错误，并返回步骤 1412 选择另一个图示符。如果它是自由决定规则，那么在步骤 1412 中可以认为其上下文中的所选的图示符是有效的，并且检查可以在步骤 1414 中前进到下一个图示符。

一旦检查了图示符，那么可以通过任何适用的常规设计规则检查（DRC）工具，完成 L3GO 设计图示符中的常规设计形状和它们的交互作用。可以通过将 L3GO 形状看作线状或点状常规形状，在常规 DRC 工具上相对于 L3GO 设计图示符检查常规形状。作为替代方案，可以为常规形状（例如，为设计级向外排到适当的网格的最不密封矩形形状）提供符合 L3GO 的表示，并且，然后通过使用 L3GO 特有的检查机制，相对于 L3GO 形状检查常规形状的表示法。优选地，检查单元 140 是用于通过构造布局产生进行无缝校正的 L3GO 输入/编辑单元 120 的子单元，例如，设计人员不能输入违反非自选或违反规则的图示符。但检查单元 140 可以选择性地作为单独的单元进行操作。一旦检查了 L3GO 布局，就可以将其传到确立单元 150 中的确立。

图 8 表示根据本发明的优选实施例，确立单元 150 中的 L3GO 设计的确立即将基于图示符的几何形状转换为常规几何形状的流程图例子。这就象把杆形图示符变大为矩形以及把点图示符变大为正方形一样简单，或者它可以包含更复杂的与上下文有关的几何处理，例如，沿接触图示符扩展多晶硅边界。首先，在步骤 1502 中，为所选的技术读取确立规则（例如步骤中的 204），例如，确立规则 204 可以为远程存储器中的文本文件。一般地，确立规则 202 的每一个包含图案和相关的动作。典型的图案可能包含基（base）即图示符或图示符的部分（例如，包含其各端点的一个的杆形图示符的部分）和上下文，即，为了使图案匹配而必须存在的图示符或图示符部分的组。然后，在步骤 1504 中，从最具体到最不具体由图案的具体性将确立规则分类。具体的规则，例如，可能要求，将多晶硅栅杆形图示符扩展至少三个网格间距长并与垂直的第一金属级杆形图示符一致，以及与接触级图示

符一致扩展至少四个网格间距长。作为对比，最不具体规则例如可以指定扩散层矩形图示符的处理。在步骤 1506 中，选择最具体规则。在步骤 1508 中，使用例如图案匹配算法以辨别图案的距离从最具体到最不具体扫描设计，直到在步骤 1510 中发现图案的实例。在步骤 1512 中为各个匹配调用相应的动作，并确立与图案（可能具有自由变量）匹配的结构。作为目标设计 160 的部分输出确立的形状，并且，在步骤 1514 中，当完成时标记匹配的图示符或与图案的基部分相应的子图示符。

首先，目标设计 160 与常规设计协调并无缝地流入现有下游分析和数据准备的已知状态中。优选确立 150 将作为扩展的几何意图信息添加到常规设计信息中。几何意图信息规定对于各单个形状或形状的部分的容限和/或一般约束，例如，用于栅级形状附近的扩展级形状的内角的最大圆角半径，或者对于规定的栅级宽度变化的容限。确立 150 例如可以增加从更高级的设计人员意图信息翻译得来的几何意图信息，例如，标记形成栅形状的多晶硅栅级形状作为非临界可以在对应的常规目标设计形状中得到更宽松的容限和增加的标称直线宽度。还优选作为工业标准属性和/或性能或以数据互换格式提供几何意图信息。通过使用这些工业标准属性或数据互换格式，可以直接规定应用于整个形状的设计意图，例如，可以更容易确定多晶硅栅级形状的哪些部分形成栅以及哪些部分是多互连。另外，可以为形状的部分对设计意图进行编码，例如，可以例如通过限定端点由形状边缘的串行次序或在几何上将形状的特定边缘上的几何容限表示为固定到边缘上的数字容限。

数据准备 170 从目标形状和设计意图信息中得到掩模形状。对于没有经过图案高速缓存 120 操作的任何图案，将形状变换应用的收集应用于目标形状，从而为目标技术过程和材料的各个方面做出补偿。在一个优选实施例中，工具诸如 Mentor Calibre 的工业标准软件实施适当的公知的数据准备技术，例如，交替相位偏移掩模产生和光近似校正。同样作为工业标准属性和/或性能或以标准数据互换格式将几何信息固定到足以建立掩模形状 206 的准备的的目标形状上。优选掩模形

状 206 几何信息包含与用于目标形状的几何意图信息类似的掩模意图信息。由于对于掩模写入和检查需要较低的精度，因此掩模意图信息减少掩模建立的时间和成本。

模拟 208 预测如何在规定的过程中在制造的晶片(作为晶片外形 210)上最终印刷物理结构。一般地，对于模拟 208，读取以前模拟的高速缓存图案，或者，通过优选地使用相同的工业标准软件工具产生新的模拟。模拟 208 精确地预测标称晶片形状，并且还预测包含对下面的系统影响变量的校正的这些形状的变化，例如，通剂 (through-dose)、通焦 (through-focus) 变化等。晶片外形 210 是例如通过使用标准设计表示或数据互换格式表示所期望的最终制造材料形状的几何形状，该几何形状增加了可以属于各单个形状或属于整个层的性能。典型的这种增加的性能表示各晶片外形形状与过程变量条件之间的对应关系。优选清楚地保存该变化信息而不是将其例如混入标称外形或容限信息中。因此，变化之间的详细的关系可以用于下游分析程序。

提取 212 和电路模型 214 包含大量的公知分析过程的应用，以将外形 210(以及它们的变化)转换为有意义的由布局设计人员或在布局产生程序中须加以考虑的电参数，例如，切换时间、功率消耗 218、缺陷和噪声敏感度等。特别地，提取提供取决于例如器件切换时间和互连传播时间 216 的被得出的特定参数的电路模型表示。例如，可以使用诸如 AssuraRCX™ 的工业标准提取软件工具计算器件切换时间和互连传播时间 216。对于诸如垂直互连缺陷感性的其它性能，也可以使用基于工业标准形状处理软件工业的特别的应用。

可以将 L3GO 规则方便地表达为网格和图示符的允许的或不允许的图案的非常简单的组，同时忽略有关用于检查规则的函数的任何细节。可以通过适当地使用常规形状表示图示符例如用于杆形的窄的路径(例如，次最小直线)和用于点的小(例如次最小)的正方形表示图示符，用常规的设计工具产生 L3GO 布局。并且，大多数布局编辑器可以定制布局编辑环境，以简化 L3GO 布局的输入。例如，可以对编辑进行定制，以允许直接而不是通过使用常规形状近似键入杆形和点。并且，可以选择布局编辑环境，以用布局网格实现适当的图示符排列。

可以选择性地通过结构布局将基于图案的设计规则集成到用于校正的布局编辑环境中，由此消除分开的检查步骤。另外，由于 L3GO 布局由图示符和粗大网格高度地限制，因此 L3GO 布局可以以与网格化的路由从示意性网表自动产生互连布局相同的方式，直接从示意性表示中产生 L3GO 布局。结果，由于固定到图示符上的性能关于器件和连接传输设计意图，因此不需要表示可能使该意图变模糊的较小的几何形状细节。

另外，与基于现有 (art) 技术的设计系统的典型状态不同，L3GO 设计减少从一种技术移到下一种技术的成本。L3GO 规则对较小的过程变化不太敏感，这些变化对于许多设计为图像的网格和杆形级。大多数较小的过程变化不需要任何相应的 L3GO 规则变化，并且可以被降至确立和下面的自动过程步骤。事实上，一些 L3GO 布局可以完全技术无关，这是因为 L3GO 网格和杆形表示无缝地从一种技术转移到下一种技术，没有任何设计变化。在确立过程和数据准备中可能影响由在各技术之间移动得到的对设计的物理变化。可以通过使用新的过程模型简单地更新模拟。

并且，图案高速缓存通过过程模拟和分析有效地处理非常详细的 L3GO 布局。由于对于任何图案的计算只需完成一次，同时对于重复的图案重复地使用计算的结果，因此图案高速缓存大大降低用于 L3GO 布局以及用于其它计算的数据准备执行时间。这样还减少输出数据量并使以下面的计算（例如掩模破裂）效率更高。由于大大减少了不同布局（即，设计空间）的数量，因此 L3GO 设计大大减少了在大型设计中一般固有的讨厌的意外情况。随着充分的设计空间减少，至少对于特定的设计的 L3GO 部分，可以检查每一个局部布局构造，以发现并消除意外情况。

虽然用优选实施例说明了本发明，但本领域技术人员认识到，在所附的权利要求书的精神和范围内，可以通过修改实施本发明。

图 1

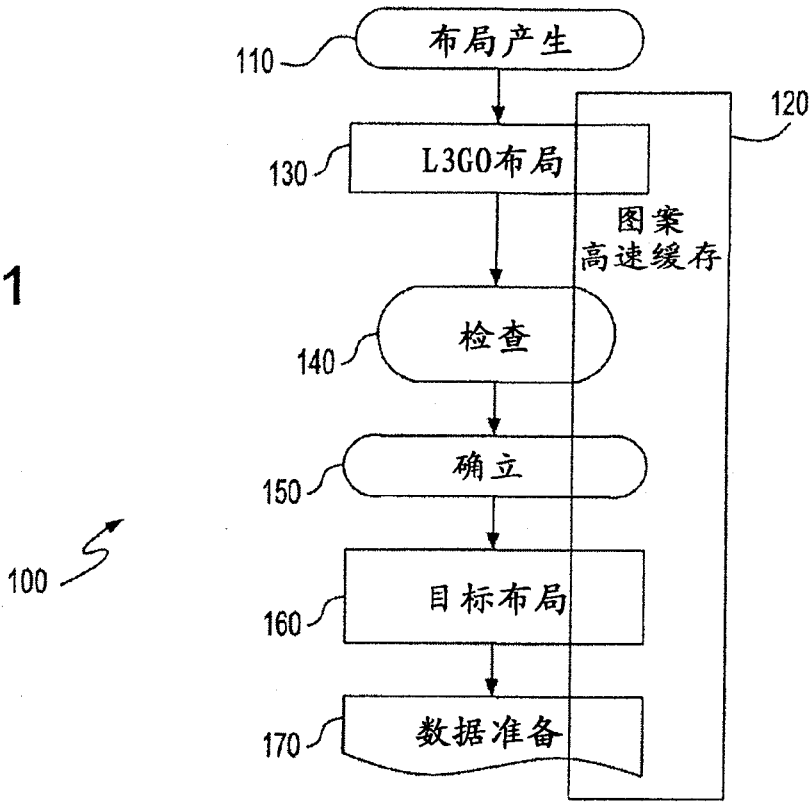
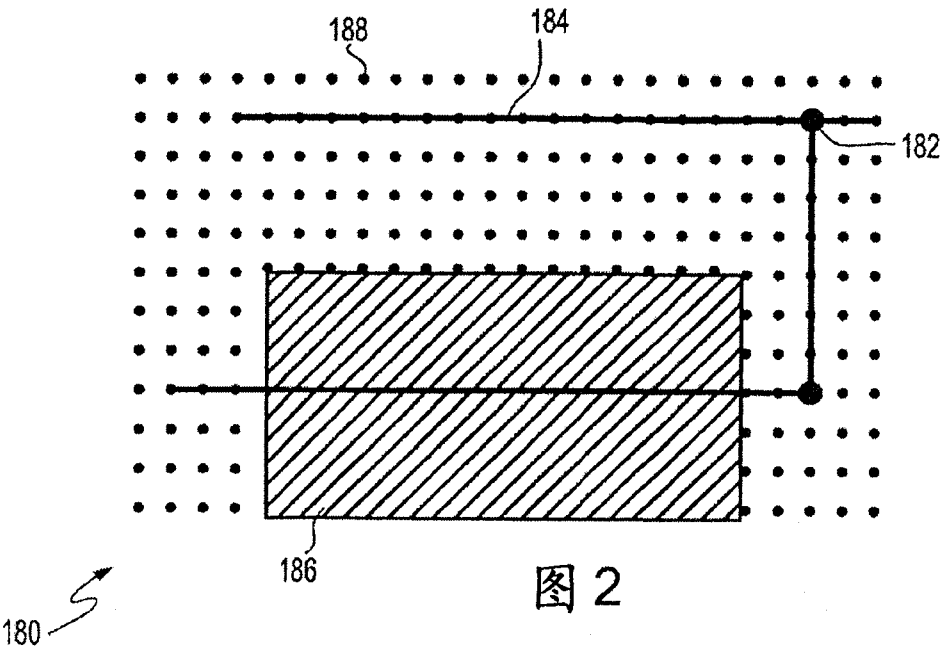
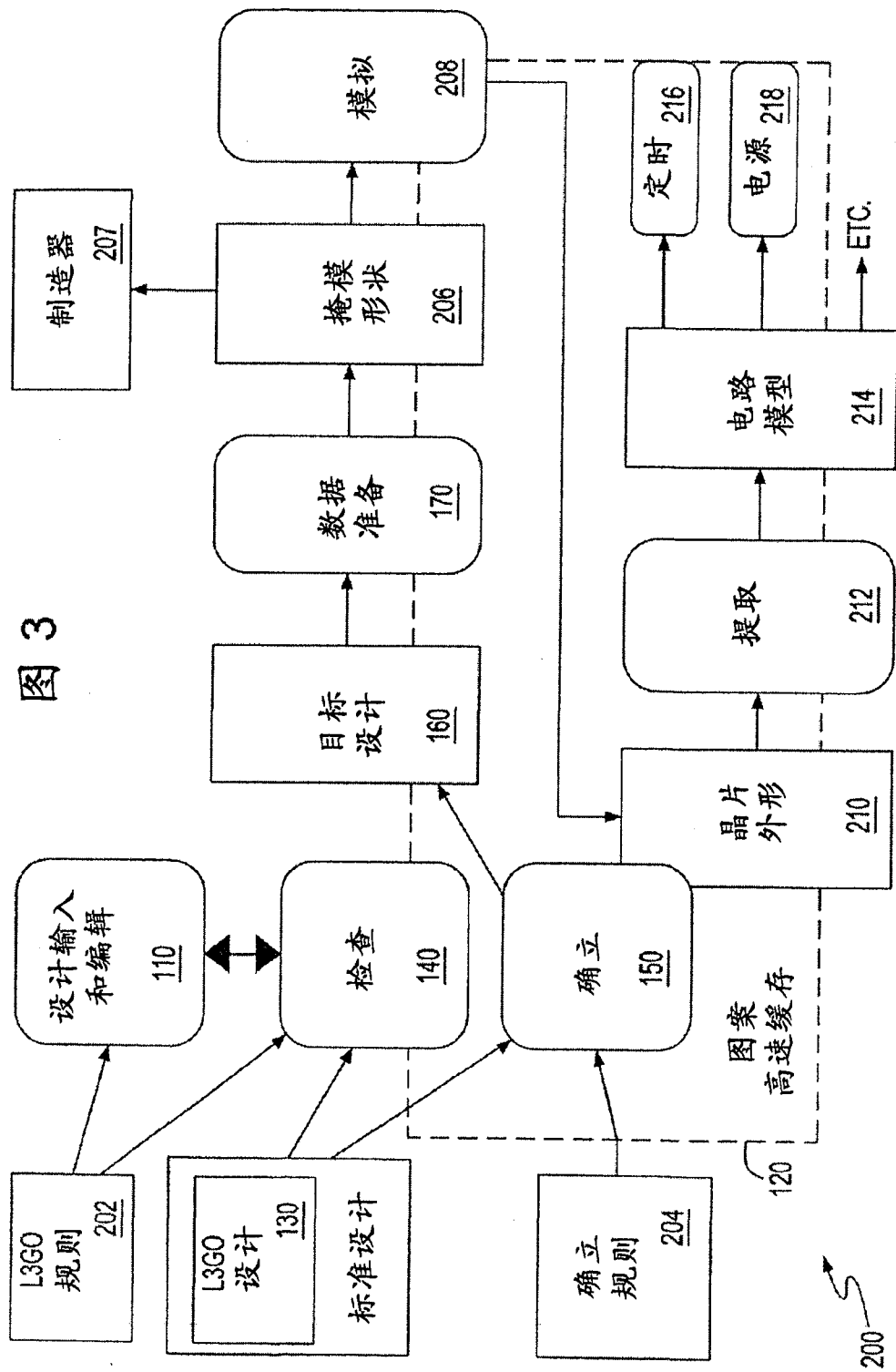
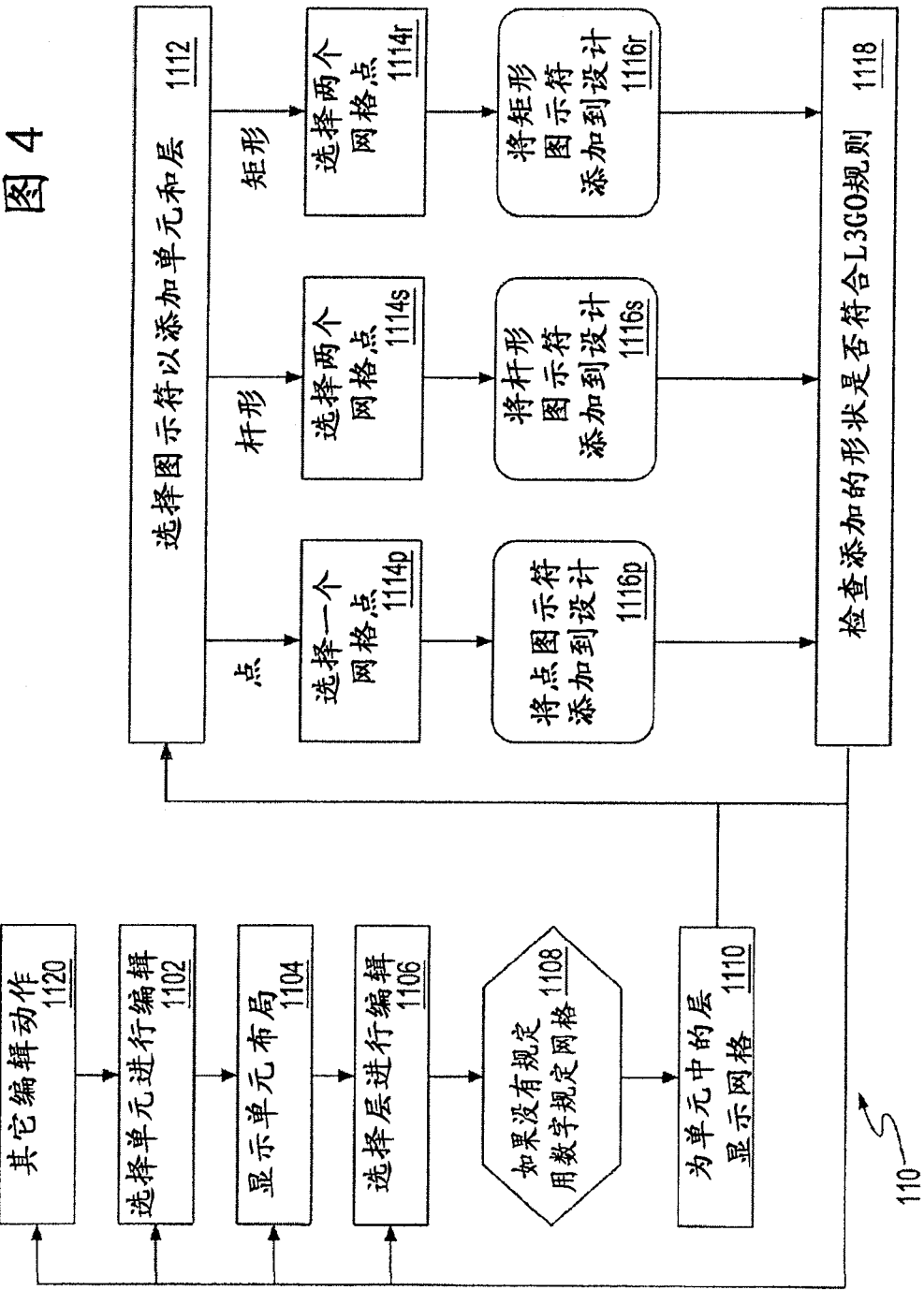


图 2







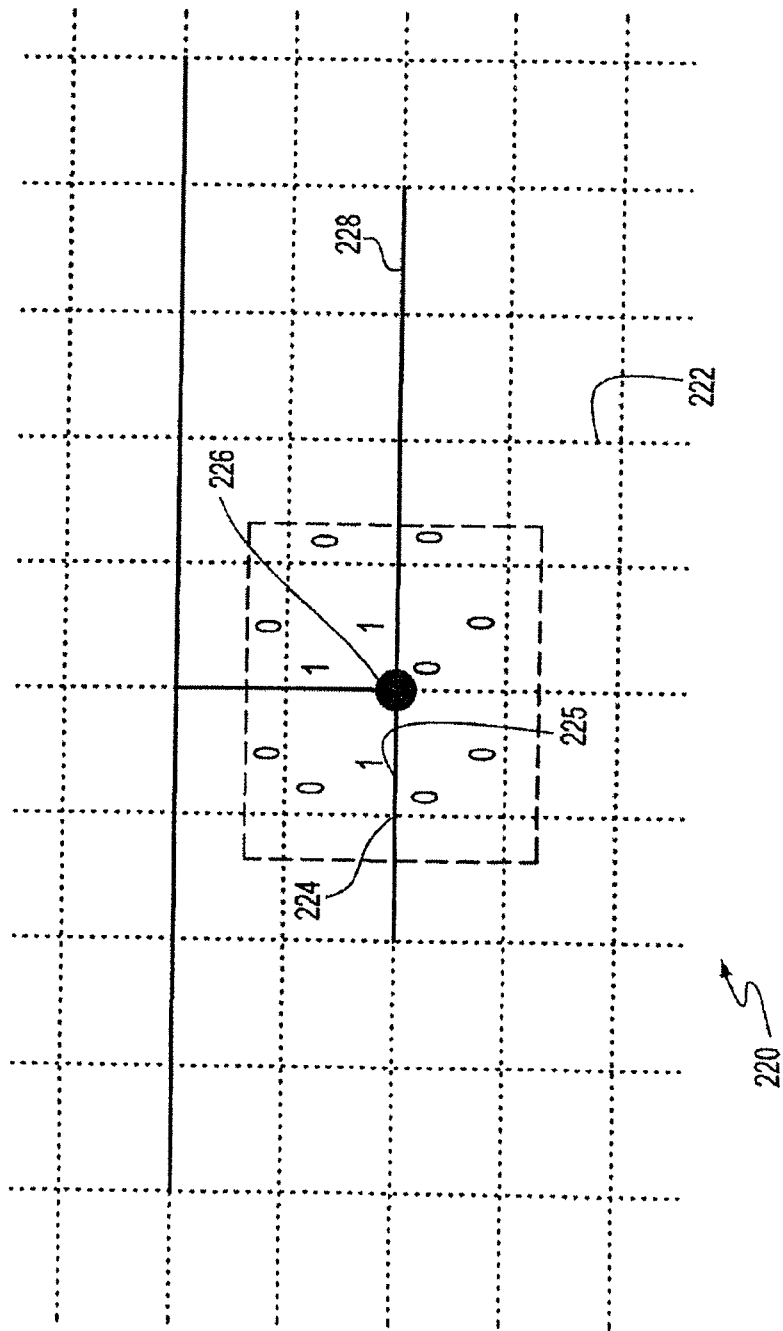
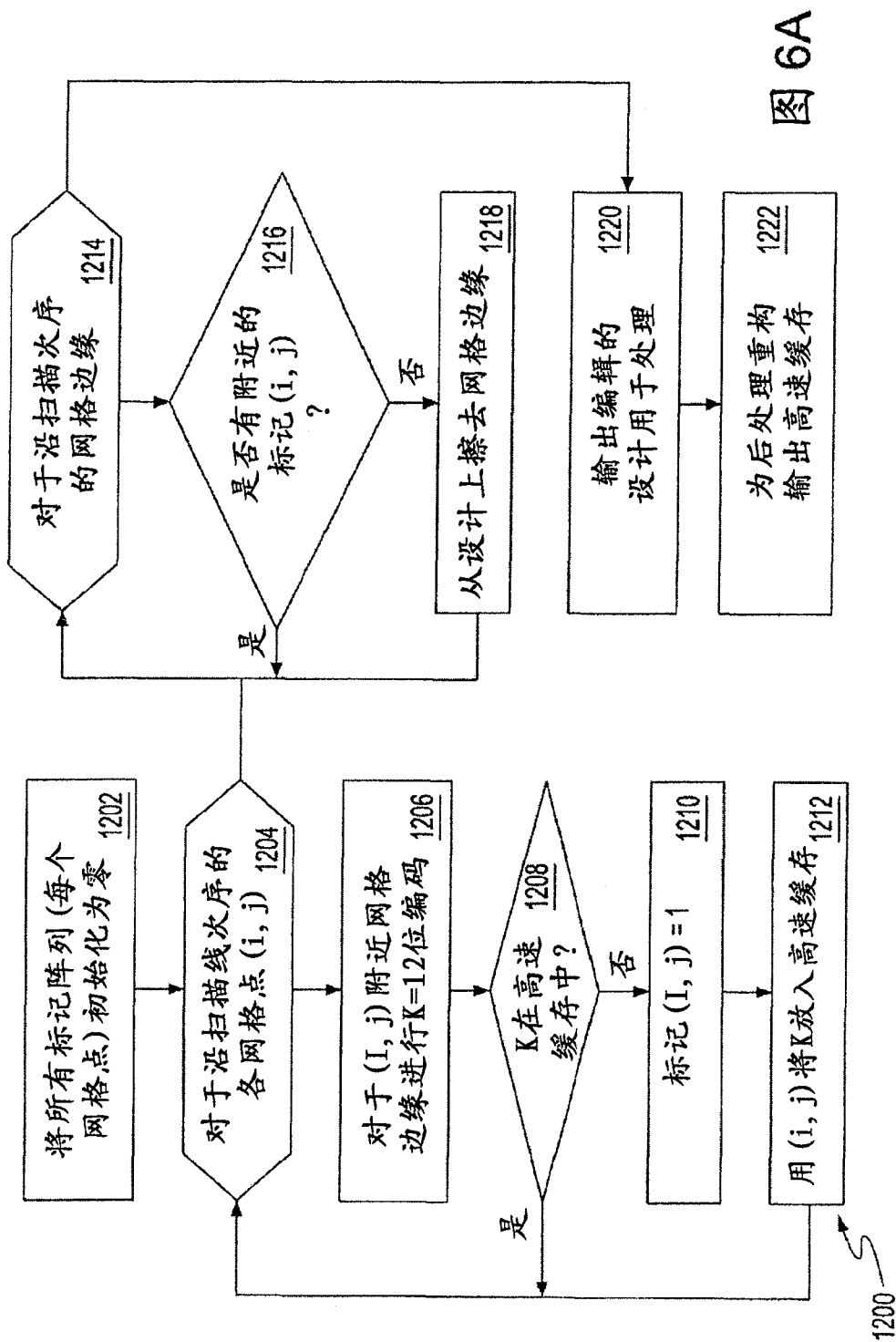


图 5



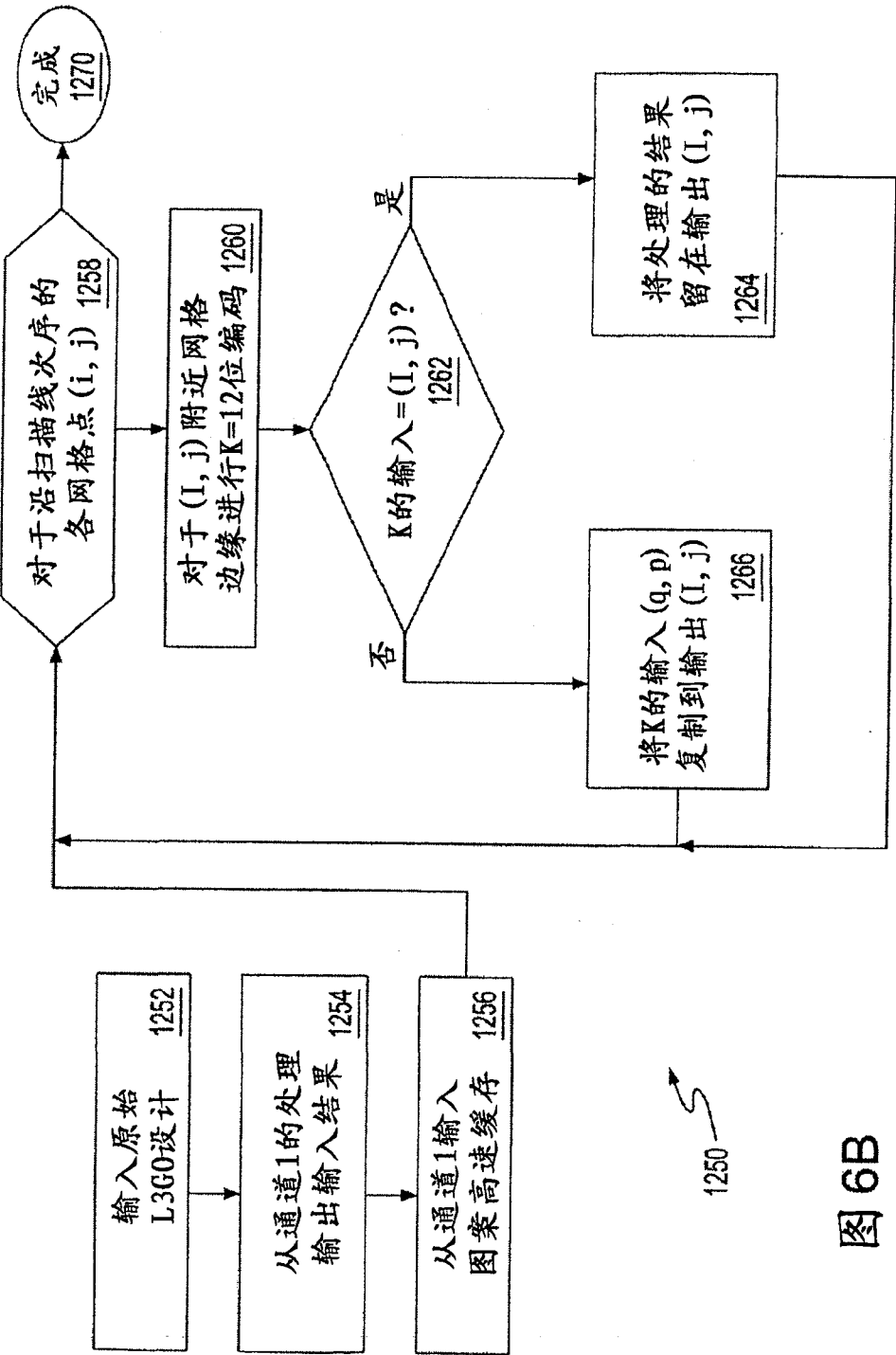


图 6B

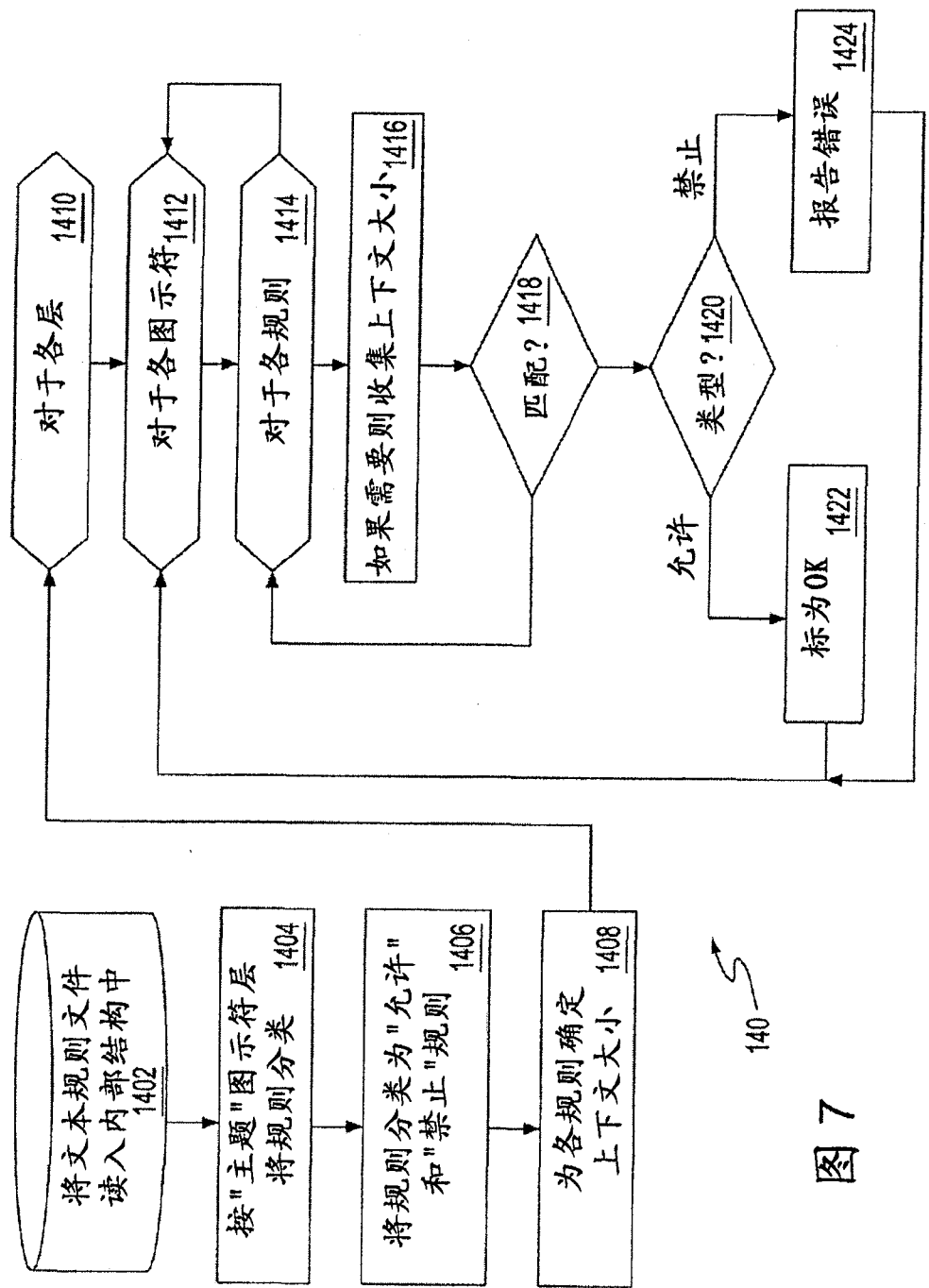


图 7

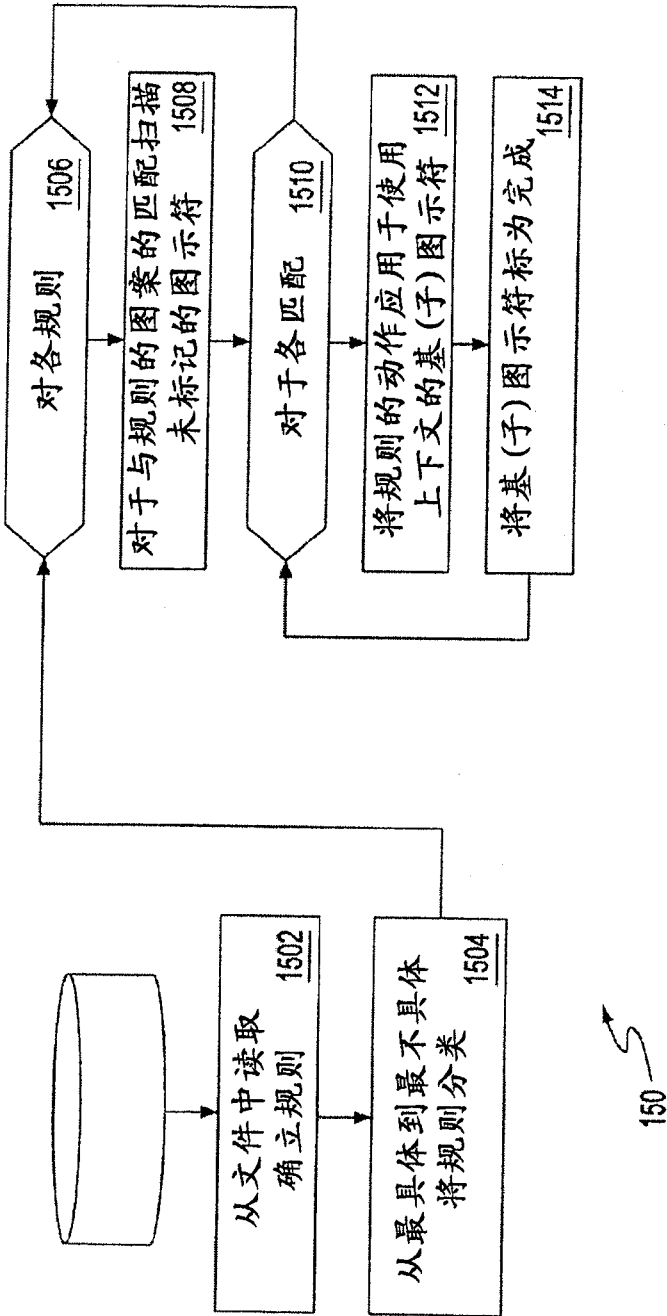


图 8