

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2017-5015

(P2017-5015A)

(43) 公開日 平成29年1月5日(2017.1.5)

(51) Int.Cl.	F I	テーマコード (参考)
H O 1 L 21/66 (2006.01)	H O 1 L 21/66 L	4 M 1 0 6
H O 1 L 21/265 (2006.01)	H O 1 L 21/265 T	
H O 1 L 21/322 (2006.01)	H O 1 L 21/265 F	
	H O 1 L 21/322 J	

審査請求 未請求 請求項の数 4 O L (全 10 頁)

(21) 出願番号	特願2015-114816 (P2015-114816)	(71) 出願人	000190149
(22) 出願日	平成27年6月5日 (2015.6.5)		信越半導体株式会社
			東京都千代田区大手町二丁目2番1号
		(74) 代理人	100102532
			弁理士 好宮 幹夫
		(72) 発明者	大槻 剛
			群馬県安中市磯部2丁目13番1号 信越
			半導体株式会社 半導体磯部研究所内
		Fターム(参考)	4M106 AA01 AB01 BA14 CA04 CA53

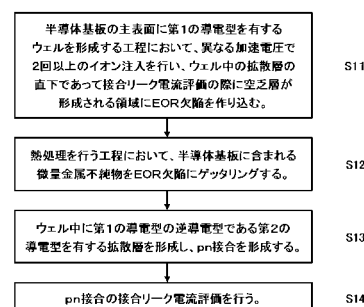
(54) 【発明の名称】 半導体基板の評価方法

(57) 【要約】

【課題】 半導体基板に含まれる微量金属不純物を簡易な方法を用いて高感度で評価できる半導体基板の評価方法を提供する。

【解決手段】 半導体基板の主表面に第1の導電型を有するウェルを形成する工程と、熱処理を行う工程と、前記ウェル中に、前記第1の導電型の逆導電型である第2の導電型を有する拡散層を形成し、pn接合を形成する工程と、前記pn接合の接合リーク電流評価を行う工程とを有し、前記ウェルを形成する工程において、異なる加速電圧で2回以上のイオン注入を行い、前記ウェル中の前記拡散層の直下であって前記接合リーク電流評価の際に空乏層が形成される領域にEOR欠陥を作り込み、前記熱処理を行う工程において、前記半導体基板に含まれる微量金属不純物を前記EOR欠陥にゲッタリングさせることを特徴とする半導体基板の評価方法。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

半導体基板の主表面に第 1 の導電型を有するウェルを形成する工程と、
熱処理を行う工程と、

前記ウェル中に、前記第 1 の導電型の逆導電型である第 2 の導電型を有する拡散層を形成し、p n 接合を形成する工程と、

前記 p n 接合の接合リーク電流評価を行う工程と
を有し、

前記ウェルを形成する工程において、異なる加速電圧で 2 回以上のイオン注入を行い、
前記ウェル中の前記拡散層の直下であって前記接合リーク電流評価の際に空乏層が形成される領域に E O R 欠陥を作り込み、

前記熱処理を行う工程において、前記半導体基板に含まれる微量金属不純物を前記 E O R 欠陥にゲッタリングさせることを特徴とする半導体基板の評価方法。

【請求項 2】

前記ウェルを形成する工程において、同じドーパントを用いて異なる加速電圧で 2 回以上のイオン注入を行うことを特徴とする請求項 1 に記載の半導体基板の評価方法。

【請求項 3】

前記接合リーク電流評価を行う工程において、前記 p n 接合に逆方向電圧を印加して空乏層中に生じる発生電流を測定することを特徴とする請求項 1 又は請求項 2 に記載の半導体基板の評価方法。

【請求項 4】

前記発生電流を測定する際の測定温度を 2 0 °C 以上、4 0 °C 以下とすることを特徴とする請求項 3 に記載の半導体基板の評価方法。

【発明の詳細な説明】

【技術分野】

【0 0 0 1】

本発明は、半導体基板の評価方法に関する。

【背景技術】

【0 0 0 2】

メモリ、C C D 等の固体撮像素子等の半導体装置の微細化、高性能化に伴い、それらの製品歩留まりを向上させるために、材料としてのシリコンウェーハ（以下、シリコン基板とも言う）にも高品質化が要求され、これに対応した各種シリコンウェーハが開発されている。特に、製品特性に直接影響を与えると推測されるウェーハ表層部の結晶性は重要であり、その改善策として、1) 不活性ガス又は水素を含む雰囲気中での高温熱処理、2) 引き上げ条件の改善によるグロウ・イン（G r o w n - i n）欠陥の低減、3) エピタキシャルウェーハの使用、等が開発されている。

【0 0 0 3】

また、上記のようにしてウェーハ表層部の結晶性が改善されたシリコンウェーハについて、適切な評価を行う必要がある。従来のシリコンウェーハ表面品質の電気的特性評価法としては、酸化膜耐圧（G O I : G a t e O x i d e I n t e g r i t y）評価が用いられてきた。これは、シリコンウェーハ表面に熱酸化によりゲート酸化膜を形成し、この上に電極を形成することで絶縁体であるシリコン酸化膜に電気的ストレスを印加し、この絶縁度合いによりシリコンウェーハ表面の品質を評価するものである。すなわち、もとのシリコンウェーハ表面に欠陥や金属不純物が存在するとこれが熱酸化によりシリコン酸化膜に取り込まれ、表面形状に応じた酸化膜が形成され、不均一な絶縁体となり絶縁性が低下する。このようにシリコンウェーハ表面に形成した酸化膜の絶縁性を評価することで、シリコンウェーハ表面の欠陥や金属不純物等の評価をすることができる。これは、実デバイスにおいては、M O S F E T のゲート酸化膜信頼性であり、これの改善に向けていろいろなウェーハ開発が行われてきた。

【先行技術文献】

【特許文献】

【0004】

【特許文献1】特許2746499号

【特許文献2】特開2005-175251号公報

【特許文献3】特開2012-059849号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

しかしながら、GOIで問題がなくても、デバイス歩留まりが低下するということがある。特に近年、デバイスの高集積化に伴い、このような事象が数多くなっている。とりわけ固体撮像素子においては、その動作原理から考えて、ウェーハ起因のリーク電流を低減する必要性がある。

例えば、固体撮像素子では微量の金属不純物原子が白キズ不良などとして影響する。この微量の金属不純物の影響を簡単な接合構造で測定できれば、ウェーハの高品質化、ひいてはデバイスの高性能化に貢献することが可能となる。

【0006】

本発明は、上記問題点に鑑みてなされたものであって、半導体基板に含まれる微量金属不純物を簡易な方法を用いて高感度で評価できる半導体基板の評価方法を提供することを目的とする。

【課題を解決するための手段】

【0007】

上記目的を達成するために、本発明は、半導体基板の主表面に第1の導電型を有するウェルを形成する工程と、熱処理を行う工程と、前記ウェル中に、前記第1の導電型の逆導電型である第2の導電型を有する拡散層を形成し、pn接合を形成する工程と、前記pn接合の接合リーク電流評価を行う工程とを有し、前記ウェルを形成する工程において、異なる加速電圧で2回以上のイオン注入を行い、前記ウェル中の前記拡散層の直下であって前記接合リーク電流評価の際に空乏層が形成される領域にEOR欠陥を作り込み、前記熱処理を行う工程において、前記半導体基板に含まれる微量金属不純物を前記EOR欠陥にゲッタリングさせることを特徴とする半導体基板の評価方法を提供する。

【0008】

このように、ウェルを形成する工程において、異なる加速電圧で2回以上のイオン注入を行い、ウェル中の前記拡散層の直下であって前記接合リーク電流評価の際に空乏層が形成される領域にEOR欠陥を作り込み、熱処理を行う工程において、半導体基板に含まれる微量金属不純物をEOR欠陥にゲッタリングさせることで、接合リーク電流評価の際に空乏層が形成される領域に半導体基板に含まれる微量金属不純物を集めることができるので、接合リーク電流評価を行う際の金属不純物に対する測定感度を向上させることができる。

【0009】

このとき、前記ウェルを形成する工程において、同じドーパントを用いて異なる加速電圧で2回以上のイオン注入を行うことが好ましい。

このように同じドーパントを用いることで、より簡便にウェル中のEOR欠陥領域を形成することができる。

【0010】

また、前記接合リーク電流評価を行う工程において、前記pn接合に逆方向電圧を印加して空乏層中に生じる発生電流を測定することができる。

本発明の半導体基板の評価方法では、このような接合リーク電流評価を好適に行うことができる。

【0011】

このとき、前記発生電流を測定する際の測定温度を20℃以上、40℃以下とすることが好ましい。

上記の範囲の測定温度で、発生電流を測定することで、接合リーク電流評価を行う際の金属不純物に対する測定感度をより確実に向上させることができる。

【発明の効果】

【0012】

以上のように、本発明の半導体基板の評価方法によれば、評価対象の半導体基板について、金属不純物に対する測定感度を向上させることができる。また、それにより、CCD、CMOSセンサ等の高歩留まりが要求される製品に使用される高品質ウェーハのリーク電流特性に与える金属不純物の影響を、簡便かつ高精度で評価することができる。

【図面の簡単な説明】

【0013】

10

【図1】本発明の半導体基板の評価方法を示すフロー図である。

【図2】接合リーク電流評価の際の接合部を示す概略断面図である。

【図3】ウェル形成の際のボロン注入のドーズ量と、接合リーク電流の関係を示す図である。

【図4】本発明の半導体基板の評価方法の一例を示す工程断面図である。

【図5】実施例1のウェル形成時のイオン注入によって半導体基板中に導入されたボロン濃度プロファイルを示す図である。

【図6】実施例2のウェル形成時のイオン注入によって半導体基板中に導入されたボロン濃度プロファイルを示す図である。

【図7】実施例3のウェル形成時のイオン注入によって半導体基板中に導入されたボロン濃度プロファイルを示す図である。

20

【図8】評価対象の半導体基板のウェーハライフタイムと接合リーク電流の関係を示す図である。

【発明を実施するための形態】

【0014】

上述のように、シリコンウェーハ表面品質の電気的特性評価において、GOIで問題がなくても、デバイス歩留まりが低下するということがあり、特に近年、デバイスの高集積化に伴い、このような事象が数多くなっているという問題があった。とりわけ固体撮像素子においては、その動作原理から考えて、ウェーハ起因のリーク電流を低減する必要性があり、固体撮像素子では微量の金属不純物原子が白キズ不良などとして影響する。従ってこの微量の金属不純物の影響を簡単な接合構造で測定できることが望まれていた。

30

【0015】

そこで、本発明者は、半導体基板に含まれる微量金属不純物を簡易な方法を用いて高感度で評価できる半導体基板の評価方法について鋭意検討した。その結果、評価対象の半導体基板のウェルを形成する工程において、異なる加速電圧で2回以上のイオン注入を行い、ウェル中の拡散層の直下であって接合リーク電流評価の際に空乏層が形成される領域にEOR欠陥を作り込み、熱処理を行う工程において、半導体基板に含まれる微量金属不純物をEOR欠陥にゲッタリングさせることで、接合リーク電流評価の際に空乏層が形成される領域に半導体基板に含まれる微量金属不純物を集めることができ、接合リーク電流評価を行う際の金属不純物に対する測定感度を向上させることができ、本発明をなすに至った。

40

【0016】

なお、パワーデバイスでは埋め込み層をイオン注入で濃度を変えて形成し、素子活性領域の金属を近接ゲッタリングする手法が報告されているが（例えば、特許文献1参照）、これは、素子活性領域近傍にゲッタリングサイトを設けておき、素子活性領域から金属をゲッタリングする手法であり、特許文献1には、半導体基板の評価方法については、何ら記載されていない。

【0017】

また、特許文献2には、半導体基板の内部における主面近傍に半導体基板の不純物濃度より高濃度にホウ素が導入されている第1のホウ素イオン注入層、及び、第2のホウ素イ

50

オン注入層を形成して、ゲッタリングが困難な汚染金属に対しても確実にゲッタリングを可能にすることが開示されている。しかしながら、特許文献2には、半導体基板の評価方法については、何ら記載されていない。

【0018】

さらに、特許文献3には、エピタキシャルウェーハの主表面近傍に2層以上の炭素注入層を形成して、高いゲッタリング能力を有するエピタキシャルウェーハを製造することが開示されている。しかしながら、特許文献3には、半導体基板の評価方法については、何ら記載されていない。

【0019】

以下、本発明について、実施態様の一例として、図を参照しながら詳細に説明するが、本発明はこれに限定されるものではない。

【0020】

まず、本発明の半導体基板の評価方法について、図1、4を参照しながら説明する。

【0021】

まず、半導体基板の主表面に第1の導電型を有するウェルを形成する工程において、異なる加速電圧で2回以上のイオン注入を行い、ウェル中の拡散層直下であって接合リーク電流評価の際に空乏層が形成される領域にEOR (End Of Range) 欠陥を作り込む(図1のS11参照)。ここで、EOR欠陥とは、イオン注入されたドーパントにより押し出された原子(シリコン基板の場合はシリコン原子)で形成される点欠陥であり、ドーパントの一番濃度の高い箇所(すなわち、注入飛程)から少し深い部分に形成されるものである。

【0022】

具体的には、評価対象の半導体基板4にマスクとなる酸化膜1を形成する(図4(a)参照)。酸化膜1は熱酸化膜でもCVD酸化膜でもよいが、ウェル形成のためのイオン注入の際に、注入するイオンがわずかに酸化膜を通過するような厚さに設定することが好ましい。この厚さは、注入するイオン種や加速電圧等に依存するため、工程に適した値とする必要があるが、注入するイオン種がボロンの場合のウェル形成工程においては200nm前後が最適な値である。

【0023】

その後、形成した酸化膜1にフォトリソグラフィ技術を用いて、一部の領域の酸化膜をドライエッチング又はウェットエッチングにより除去する(図4(b)参照)。このとき窓開けされた領域(すなわち、酸化膜が除去された領域)が、接合面積に相当する。

【0024】

その後、残った酸化膜1をマスクにして、イオン注入によりウェル2を形成する(図4(c)参照)。ウェル形成のためのイオン注入において、1回のイオン注入ではドーパントを注入した際に生じるEOR欠陥が少なく、ゲッタリングをするのに必ずしも十分でない。このため、異なる加速電圧で複数回注入する(すなわち、多段注入を行う)ことでEOR欠陥を幅広く作り込み、不純物金属をゲッタリングできる層を厚くすることができる。一方、異なる加速電圧で注入する回数を増やしていくことによる、ドーパント濃度が高くなることに起因する点欠陥の増加や、イオン注入工程の増加を抑制するために、異なる加速電圧で注入する回数は5回以下とすることが好ましい。

【0025】

上記の多段注入により、ウェル2中の拡散層5の直下であって接合リーク電流評価の際に空乏層3が形成される領域にEOR (End Of Range) 欠陥を作り込む(図2参照)。なお、図2は、接合リーク電流評価の際の接合部を示す図である。

【0026】

特にボロンを注入し、p型のウェルを形成する場合には、図3に示すように、初段注入(加速電圧の最も低い注入)のドーパ量を $2 \times 10^{13} \text{ atoms/cm}^2$ 以下とすれば、高濃度になりすぎてイオン注入により転位が形成されウェル中に欠陥が形成されてしまうことを防止することができ、リーク電流の大幅な増加はみられず、好ましい。このよう

に初段注入のドーズ量が $2 \times 10^{13} \text{ atoms/cm}^2$ 以下であれば、転位の発生がなく安定した測定が可能である。ここで、図3は、ウェル形成時のボロン注入のドーズ量と、逆方向印加電圧が1V及び5Vの場合の接合リーク電流の関係を示す図であり、ボロン注入の加速電圧は55keVである。

なお、ウェル濃度（注入ドーズ量）が低すぎると、基板抵抗の影響を受けてしまい、安定した測定が困難となる場合もあるので、ドーズ量は $5 \times 10^{11} \text{ atoms/cm}^2$ 以上とすることが好ましい。

【0027】

さらに、ウェル形成時のイオン注入の加速電圧についても、チャンネルストップ層6が形成できるように、かつ、2段以上の多段イオン注入となるように選択する。なお多段イオン注入する際には、浅いところに高濃度層となるように注入し、深いところは低濃度となるようにすることがより好ましい。こうすることにより高濃度層において形成されたEOR欠陥をウェル中に取り込むことが容易になる。

【0028】

図5-7に、多段イオン注入により形成されるウェルの例を示す。図5は各段のイオン注入のドーズ量を同じにして加速電圧のみを変えた例を示し、図6、7は1段目のイオン注入（加速電圧の最も低いイオン注入）を高濃度にし、2段目以降のイオン注入（加速電圧のより高いイオン注入）を低濃度とした例を示す。実際の深さ方向のボロン濃度分布は、各段のボロン注入の濃度分布を合算した分布になる。各段のイオン注入を行う順番は特に限定されず、浅い方から順番にイオン注入する方法、深い方から順番にイオン注入する方法、あるいはランダムにイオン注入する方法のいずれの方法であっても構わない。

【0029】

また、ウェル2の形成時のイオン注入により、接合領域周辺にウェル2と同一ドーパントでチャンネルストップ層6が形成されるので、酸化膜（分離酸化膜）1や表面界面準位などの影響でウェル2の周辺に寄生空乏層容量が発生することを防ぐことができ、より安定した測定が可能になる。

【0030】

次に、熱処理を行う工程において、半導体基板に含まれる微量金属不純物をEOR欠陥にゲッタリングする（図1のS12参照）。

【0031】

具体的には、イオン注入後の回復アニールを行う際に、S11でウェル2中に作り込まれたEOR欠陥に半導体基板4中に含まれる微量金属不純物がゲッタリングされる。

【0032】

次に、ウェル中に第1の導電型の逆導電型である第2の導電型を有する拡散層を形成し、pn接合を形成する（図1のS13参照）。

【0033】

具体的には、酸化膜1をマスクとして、ウェルの導電型と逆導電型の拡散層5をウェル2中に形成することでpn接合を形成する（図4（d）参照）。例えば、ウェル2がp型である場合には、拡散層5はn型である。拡散層の形成は、イオン注入によって行ってもよいし、固体拡散によっておこなってもよい。なお、イオン注入を使った場合には、拡散層形成時のイオン注入の回復アニールは、ウェル形成時のイオン注入の回復アニールと兼ねてもよい。

【0034】

次に、pn接合の接合リーク電流評価を行う（図1のS14参照）。

この場合、pn接合に逆方向電圧を印加して空乏層中に生じる発生電流を測定することができる。このような接合リーク電流評価を好適に行うことができる。

また、発生電流を測定する際の測定温度を20℃以上、40℃以下とすることが好ましい。上記の範囲の測定温度で、発生電流を測定することで、接合リーク電流評価を行う際の金属不純物に対する測定感度を確実に向上させることができる。

【0035】

10

20

30

40

50

具体的には、S 1 3で形成した拡散層 5 上に電極 7を形成し、電源 9により電極 7と半導体基板 4の間に逆方向電圧を印加し、電流計 8により接合リーク電流を測定する（図 4（e）参照）。ここで、ウェル 2は半導体基板 4と同じ導電型を有しているものとする。

このとき、接合リーク電流評価の際に空乏層 3が形成される領域（図 2 参照）に作り込まれた E O R 欠陥に、半導体基板 4に含まれる微量金属不純物がゲッタリングされているので、金属不純物に対する測定感度を向上させることができる。

【0036】

上記で説明した本発明の半導体基板の評価方法によれば、評価対象の半導体基板について、金属不純物に対する測定感度を向上させることができ、それにより、C C D、C M O S センサ等の高歩留まりが要求される製品に使用される高品質ウェーハのリーク電流特性に与える金属不純物の影響を、簡便かつ高精度で評価することができる。

10

【実施例】

【0037】

以下、実施例及び比較例を示して本発明をより具体的に説明するが、本発明はこれらに限定されるものではない。

【0038】

（実施例 1）

評価対象の半導体基板として、抵抗率 $10 \Omega \cdot \text{cm}$ のボロンドープされた直径 200 mm の p 型シリコンウェーハを 2 枚準備した。一方のシリコンウェーハは、ウェーハライフタイムが $100 \mu \text{s}$ のシリコンウェーハであり、他方のシリコンウェーハはウェーハライフタイムが $300 \mu \text{s}$ のシリコンウェーハである。ここで、ウェーハライフタイムが異なるということは、シリコンウェーハ中に含まれる金属不純物の量が異なることを意味する。

20

次に、Pyro 雰囲気で 1000°C 90 分の熱処理により 200 nm の酸化膜を形成した。この後、レジストを塗布し、フォトリソグラフィによりレジストパターンを形成した。今回はレジストとして、ネガレジストを選択した。このレジスト付きウェーハに対してバッファード HF 溶液により酸化膜エッチングを行った。その後、硫酸過酸化水素混合液を用いてレジストを除去し、RCA 洗浄を行った。

このウェーハにドーズ量 $2 \times 10^{12} \text{ atoms/cm}^2$ 、加速電圧 55 、 80 、 100 、 125 keV でボロンをイオン注入して、4 層のイオン注入層を形成した。これにより p 型のウェルが形成された。このときのボロン濃度プロファイルを図 5 に示す。 1000°C 、窒素雰囲気下で回復アニールを行った後、リンガラスを塗布拡散し、リンを表面より拡散することで、n 型の拡散層を形成し、pn 接合を形成した。

30

【0039】

pn 接合が形成された実施例 1 のシリコンウェーハに電極を形成し、接合リーク電流評価を 20°C の測定温度で行った。その結果を図 8 に示す。図 8 において、 1 V の逆方向電圧を印加した場合の接合リーク電流値を示している。

【0040】

（実施例 2）

実施例 1 と同様にして評価対象の半導体基板を準備し、実施例 1 と同様にして pn 接合を形成した。ただし、ウェル形成時のボロン注入は、ドーズ量 $9 \times 10^{12} \text{ atoms/cm}^2$ 、加速電圧 55 keV で注入後に、ドーズ量 $2 \times 10^{12} \text{ atoms/cm}^2$ 、加速電圧 80 、 100 、 125 keV でイオン注入し、4 層のイオン注入層を形成した。このときのボロン濃度プロファイルを図 6 に示す。

40

【0041】

pn 接合が形成された実施例 2 のシリコンウェーハに電極を形成し、接合リーク電流評価を 20°C の測定温度で行った。その結果を図 8 に示す。図 8 において、 1 V の逆方向電圧を印加した場合の接合リーク電流値を示している。

【0042】

（実施例 3）

50

実施例 1 と同様にして評価対象の半導体基板を準備し、実施例 1 と同様にして p n 接合を形成した。ただし、ウェル形成時のボロン注入は、ドーズ量 $1.8 \times 10^{13} \text{ atoms/cm}^2$ 、加速電圧 55 keV で注入後に、ドーズ量 $2 \times 10^{12} \text{ atoms/cm}^2$ 、加速電圧 80、100、125 keV でイオン注入し、4 層のイオン注入層を形成した。このときのボロン濃度プロファイルを図 7 に示す

【0043】

p n 接合が形成された実施例 3 のシリコンウェーハに電極を形成し、接合リーク電流評価を 20℃ の測定温度で行った。その結果を図 8 に示す。図 8 において、1 V の逆方向電圧を印加した場合の接合リーク電流値を示している。

【0044】

10

(比較例)

実施例 1 と同様にして評価対象の半導体基板を準備し、実施例 1 と同様にして p n 接合を形成した。ただし、ウェル形成時のボロン注入は、ドーズ量 $2 \times 10^{12} \text{ atoms/cm}^2$ 、加速電圧 55 keV でイオン注入し、イオン注入層を 1 層のみ形成した。

【0045】

p n 接合が形成された比較例のシリコンウェーハに電極を形成し、接合リーク電流評価を 20℃ の測定温度で行った。その結果を図 8 に示す。図 8 において、1 V の逆方向電圧を印加した場合の接合リーク電流値を示している。

【0046】

図 8 からわかるように、ウェル形成時のボロン注入として加速電圧の異なる 4 回の注入を行った実施例 1－3 の接合リーク電流評価では、ウェル形成時のボロン注入として 1 回の注入しか行わなかった比較例と比べて、ウェーハライフタイムに対する接合リーク電流値の感度が大幅に向上しており、すなわち、比較例と比べて金属不純物に対する感度が大幅に向上している。

20

また、実施例 1－3 の間で比較すると、初段のドーズ量を増加させるほど、ウェーハライフタイムに対する接合リーク電流値の感度が向上しており、すなわち、初段のドーズ量を増加させるほど、金属不純物に対する感度が向上している。

【0047】

なお、本発明は、上記実施形態に限定されるものではない。上記実施形態は、例示であり、本発明の特許請求の範囲に記載された技術的思想と実質的に同一な構成を有し、同様な作用効果を奏するものは、いかなるものであっても本発明の技術的範囲に包含される。

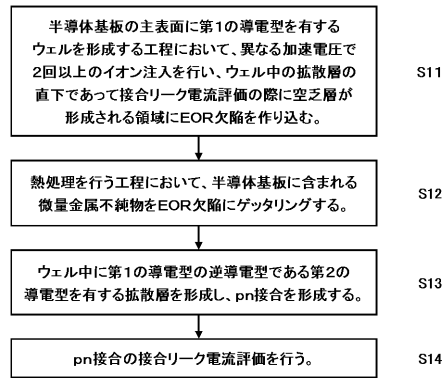
30

【符号の説明】

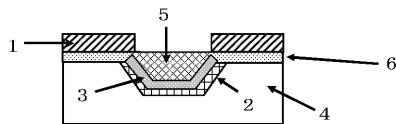
【0048】

- 1 … 酸化膜（分離酸化膜）、 2 … ウェル、 3 … 空乏層、 4 … 半導体基板、
5 … 拡散層、 6 … チャネルストップ層、 7 … 電極、 8 … 電流計、 9 … 電源。

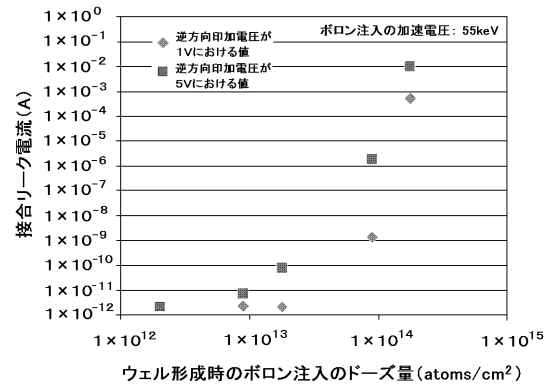
【図 1】



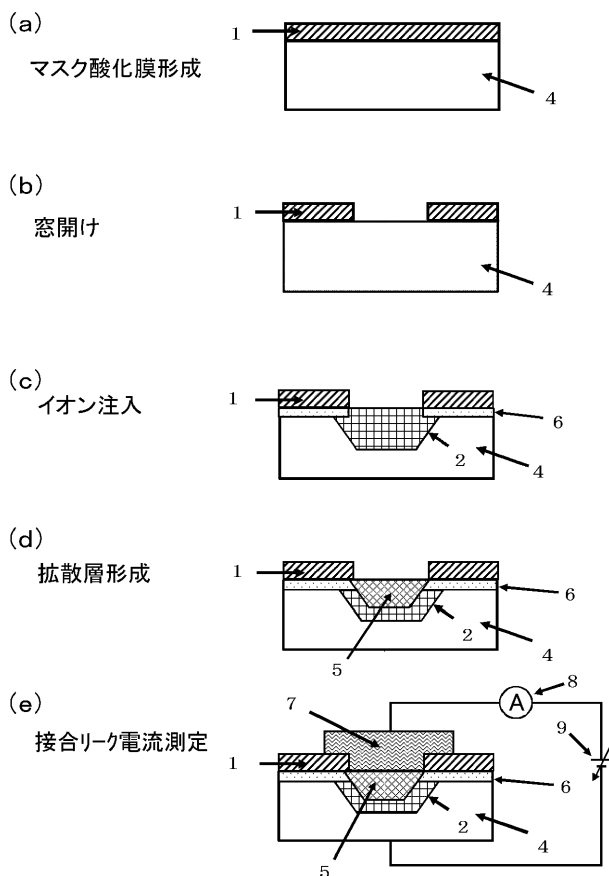
【図 2】



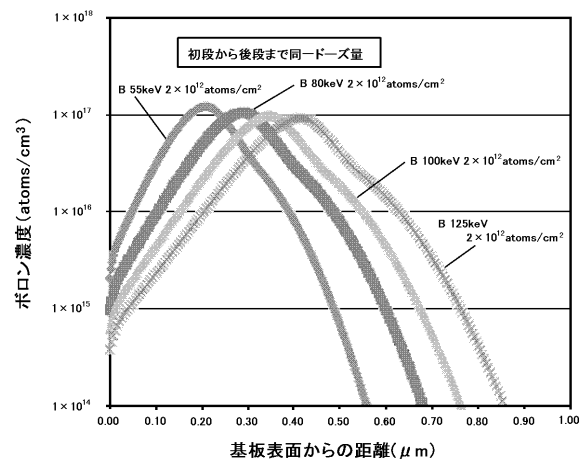
【図 3】



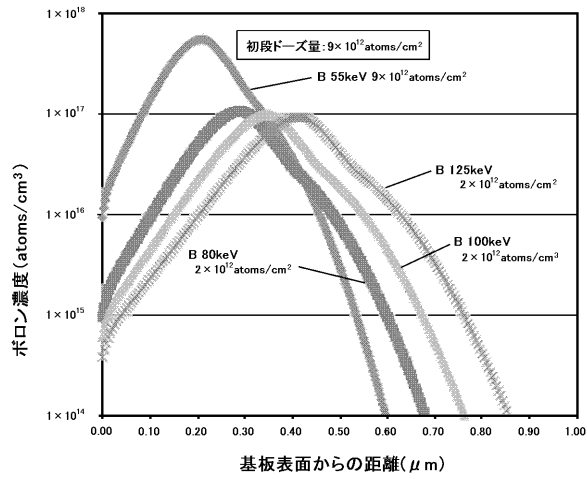
【図 4】



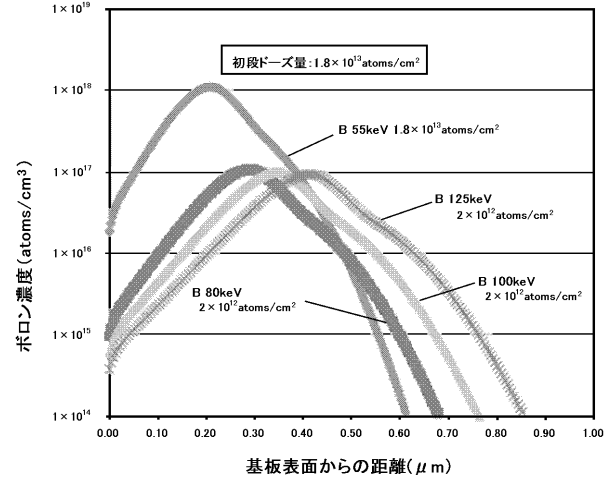
【図 5】



【図 6】



【図 7】



【図 8】

