

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2021年4月29日(29.04.2021)



(10) 国際公開番号

WO 2021/079573 A1

(51) 国際特許分類:

H01L 27/10 (2006.01) *H04N 5/369* (2011.01)
H01L 21/8244 (2006.01) *H04N 5/378* (2011.01)
H01L 27/11 (2006.01)

(21) 国際出願番号: PCT/JP2020/027598

(22) 国際出願日: 2020年7月16日(16.07.2020)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:

特願 2019-194272 2019年10月25日(25.10.2019) JP

(71) 出願人: ソニーセミコンダクタソリューションズ株式会社(SONY SEMICONDUCTOR SOLUTIONS CORPORATION) [JP/JP]; 〒2430014

神奈川県厚木市旭町四丁目14番1号 Kanagawa (JP).

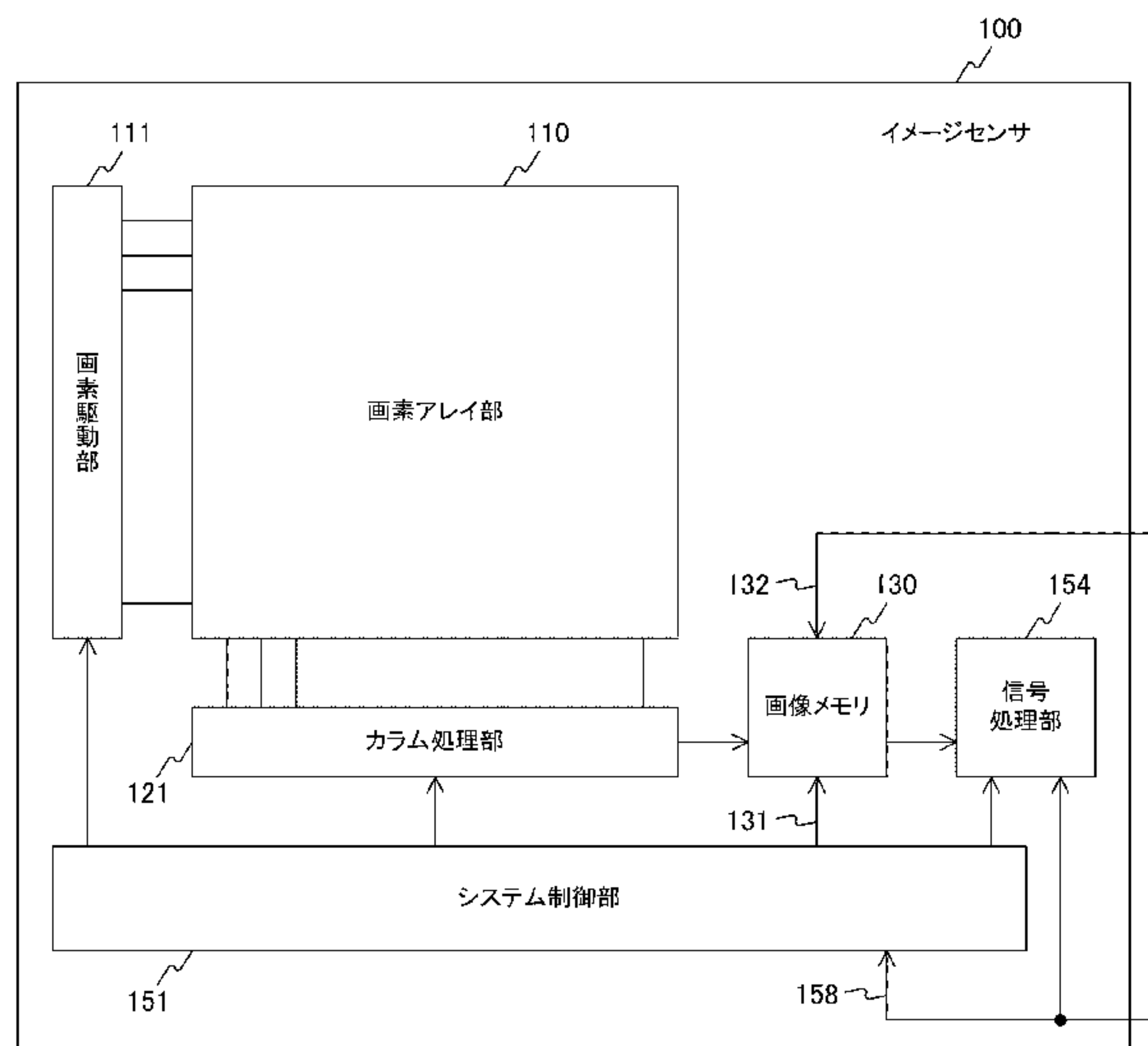
(72) 発明者: 児玉 和俊 (KODAMA, Kazutoshi); 〒2430014 神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP). 高橋 正浩 (TAKAHASHI, Masahiro); 〒2430021 神奈川県厚木市岡田四丁目16番1号ソニーLSIデザイン株式会社内 Kanagawa (JP).

(74) 代理人: 丸島 敏一 (MARUSHIMA, Toshikazu); 〒1600022 東京都新宿区新宿3-3-2 京王新宿三丁目第二ビル 5F クラフト国際特許事務所 Tokyo (JP).

(54) Title: IMAGING DEVICE AND STORAGE DEVICE

(54) 発明の名称: 撮像装置および記憶装置

[図1]



100 Image sensor
110 Pixel array unit
111 Pixel drive unit
121 Column processing unit
130 Image memory
151 System control unit
154 Signal processing unit

(57) Abstract: This storage device comprises a plurality of memory modules, wherein variations in power supply are suppressed. The storage device comprises the plurality of memory modules, a power supply line and a control unit. The plurality of memory modules share the power supply line. The power supply line is shared by the plurality of memory modules and supplies a power supply current to the same. The control unit individually controls operation of each of the plurality of memory modules so that a total power supply current supplied to the plurality of memory modules that share

[続葉有]

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第21条(3))

the power supply line is constant.

(57) 要約: 複数のメモリモジュールを備える記憶装置において、電源供給の変動を抑制する。記憶装置は、複数のメモリモジュール、電源線、および、制御部を備える。複数のメモリモジュールは、電源線を共有する。電源線は、複数のメモリモジュールに共有されて、電源電流を供給する。制御部は、電源線を共有する複数のメモリモジュールに対して供給される電源電流の総和が一定となるように、複数のメモリモジュールの各々について独立に動作制御を行う。

明 細 書

発明の名称：撮像装置および記憶装置

技術分野

[0001] 本技術は、記憶装置に関する。詳しくは、複数のメモリモジュールを備える記憶装置および撮像装置に関する。

背景技術

[0002] 撮像装置では、撮像素子に駆動電源を供給する際のスイッチング動作によってノイズが生じてしまい、撮像信号にノイズが重畳されてしまうという問題がある。そのため、例えば、撮像素子が光電変換信号を生成し、または、処理する期間において、電源供給のスイッチング動作を行わないようにした撮像装置が提案されている（例えば、特許文献1参照。）。

先行技術文献

特許文献

[0003] 特許文献1：特開2015-126240号公報

発明の概要

発明が解決しようとする課題

[0004] 上述の従来技術では、ロジックの動作タイミングを調整することにより、例えば光電変換素子から浮遊拡散素子に電荷が転送される期間にスイッチング動作を行わないように制御している。しかしながら、浮遊拡散素子を介して画素信号を読み出した後にも、一時的に画素信号を画像メモリに保持する場合がある。この画像メモリは複数のメモリモジュールから構成されることが多く、電源供給に変動を生じ易い。そのため、画像メモリへの電源供給に変動を生じた場合には、その変動が撮像素子におけるノイズ源となるおそれがある。

[0005] 本技術はこのような状況に鑑みて生み出されたものであり、複数のメモリモジュールを備える記憶装置において、電源供給の変動を抑制することを目的とする。

課題を解決するための手段

- [0006] 本技術は、上述の問題点を解消するためになされたものであり、その第1の側面は、被写体からの光を光電変換する複数の画素を配置した画素アレイ部と、上記複数の画素からのアナログ信号をデジタル信号による画素信号に変換するアナログデジタル変換部と、上記アナログデジタル変換部によって変換された上記画素信号を保持する複数のメモリモジュールと、上記複数のメモリモジュールに共有されて電源電流を供給する電源線と、上記電源線を共有する上記複数のメモリモジュールに対して供給される電源電流の総和が一定となるように上記複数のメモリモジュールの各々について独立に動作制御を行う制御部とを具備する撮像装置または記憶装置である。これにより、電源線を共有する複数のメモリモジュールに対して、供給される電源電流の総和を一定にするという作用をもたらす。
- [0007] また、この第1の側面において、上記複数のメモリモジュールは、SRAMであり、上記制御部は、上記SRAMのリテンションを制御するようにしてもよい。すなわち、制御部は、SRAMのリテンションを制御することにより、メモリモジュールの各々について動作制御を行う。この場合において、上記制御部は、上記複数のメモリモジュールのうち所定数のメモリモジュールがアクティブになるように上記SRAMのリテンションを制御するようにしてもよい。これにより、電源線を共有するSRAMに対して、供給される電源電流の総和を一定にするという作用をもたらす。
- [0008] また、この第1の側面において、上記電源線は、異なる複数の電源パッドからの電源電流を供給する複数の電源線であり、上記複数のメモリモジュールは、上記複数の電源線の各々を共有する電源グループに分割されてもよい。これにより、電源グループ内のメモリモジュールに対して、供給される電源電流の総和を一定にするという作用をもたらす。
- [0009] また、この第1の側面において、上記制御部は、上記複数のメモリモジュールのうち上記電源グループ内のモジュール番号が共通するもの同士が同じ動作を行うように制御してもよい。これにより、電源グループ間でメモリモ

ジュールの制御を整合させるという作用をもたらす。

[0010] また、この第1の側面において、上記複数のメモリモジュールは、上記複数のメモリモジュールのうち上記電源グループ内のモジュール番号が共通するもの同士が上記電源パッドからの距離が互いに等しい位置に配置されてもよい。これにより、電源グループ毎のメモリモジュールの電源電流の挙動を統一するという作用をもたらす。

[0011] また、この第1の側面において、上記複数のメモリモジュールは、上記複数のメモリモジュールのうち上記電源グループ内のモジュール番号が共通するもの同士が上記電源パッドからの距離が互いに異なる位置に配置されてもよい。これにより、電源線における電圧降下を電源グループ毎に異なるものにするという作用をもたらす。

[0012] また、この第1の側面において、上記複数のメモリモジュールは、上記複数のメモリモジュールのうち上記電源グループ内のモジュール番号が共通するもの同士が上記電源パッドからの距離がランダムな位置に配置されてもよい。これにより、電源線における電圧降下のパターンを電源グループ毎に散らすという作用をもたらす。

図面の簡単な説明

[0013] [図1]本技術の実施の形態におけるイメージセンサ100の全体構成の一例を示す図である。

[図2]本技術の実施の形態におけるイメージセンサ100の実装イメージの例を示す図である。

[図3]本技術の実施の形態における画像メモリ130の構成例を示す図である。

[図4]本技術の実施の形態における画像メモリ130の動作例を示す図である。

[図5]本技術の実施の形態における画像メモリ130の第1の配置例を示す図である。

[図6]本技術の実施の形態の画像メモリ130の第1の配置例における動作例

を示す図である。

[図7]本技術の実施の形態における画像メモリ130の第2の配置例を示す図である。

[図8]本技術の実施の形態における画像メモリ130の第3の配置例を示す図である。

[図9]本技術の実施の形態における画像メモリ130の第4の配置例を示す図である。

[図10]本技術の実施の形態の画像メモリ130の第4の配置例における動作例を示す図である。

発明を実施するための形態

[0014] 以下、本技術を実施するための形態（以下、実施の形態と称する）について説明する。説明は以下の順序により行う。

1. イメージセンサと画像メモリ
2. 電源グループとメモリモジュールの配置

[0015] <1. イメージセンサと画像メモリ>

[イメージセンサ]

図1は、本技術の実施の形態におけるイメージセンサ100の全体構成の一例を示す図である。

[0016] イメージセンサ100は、画素アレイ部110と、画素駆動部111と、カラム処理部121と、画像メモリ130と、システム制御部151と、信号処理部154とを備える。なお、イメージセンサ100は、特許請求の範囲に記載の撮像装置の一例である。

[0017] 画素アレイ部110は、被写体からの光を光電変換する複数の画素をアレイ状に配置したものである。画素駆動部111は、画素アレイ部110の画素を行（水平方向のライン）毎に駆動するものである。

[0018] カラム処理部121は、画素アレイ部110から読み出された各列（垂直方向のカラム）の画素の値を処理するものである。より具体的には、このカラム処理部121は、各列の画素のアナログ信号をデジタル信号による画素

信号に A D (Analog-to-Digital) 変換する。このようにして生成された画素信号は、画像メモリ 130 に供給され、一時的に保持される。なお、カラム処理部 121 は、特許請求の範囲に記載のアナログデジタル変換部の一例である。

[0019] 画像メモリ 130 は、カラム処理部 121 から供給された画素信号を画像データとして一時的に保持するメモリである。後述するように、この画像メモリ 130 は、複数のメモリモジュールを備える。この画像メモリ 130 は、記憶素子として、例えば、S R A M (Static Random Access Memory) を備える。この S R A M は、D R A M (Dynamic Random Access Memory) と比べて、リフレッシュ操作が不要であり、アクセスが高速で消費電力も少ないという特徴を有する。

[0020] S R A M は、データを保持したまま書き換えができない「リテンション」と呼ばれる制御を行うことが可能である。通常の動作時にはリテンションはオフであり、S R A M はアクティブになり、書き換えが可能である。リテンションをオンにすると、S R A M はスリープ状態となる。これにより、S R A M のリーク電流を減らすことができる。

[0021] 信号処理部 154 は、画像メモリ 130 に保持された画像データに対して所定の信号処理を施すものである。この場合の信号処理としては、例えば、デモザイク処理や、ホワイトバランス処理などが想定される。

[0022] システム制御部 151 は、イメージセンサ 100 の各部を制御するものである。例えば、このシステム制御部 151 は、画像メモリ 130 の複数のメモリモジュールの各々について独立に動作制御を行う。なお、システム制御部 151 は、特許請求の範囲に記載の制御部の一例である。

[0023] このイメージセンサ 100 には、メモリ用電源が信号線 132 を介して供給され、ロジック用電源が信号線 158 を介して供給される。また、システム制御部 151 から画像メモリ 130 に対しては、信号線 131 を介してメモリ制御信号が供給される。

[0024] 図 2 は、本技術の実施の形態におけるイメージセンサ 100 の実装イメー

ジの例を示す図である。

[0025] この例では、イメージセンサ 100 は、積層構造を想定している。同図における a に示すように、画素アレイ部 110 は第 1 層の大半の面積を占めている。一方、同図における b に示すように、他の回路は第 2 層に収納される。第 1 層と第 2 層は、ビア領域 191 と 192 との間で接続が行われる。

[0026] AD 変換器 120 は、上述のカラム処理部 121 を含み、画素のアナログ信号をデジタル信号による画素信号に AD 変換するものである。

[0027] 出力回路 150 は、上述のシステム制御部 151 や信号処理部 154 を含み、イメージセンサ 100 から外部への出力を行うものである。

[0028] 周辺回路 140 は、イメージセンサ 100 の各部のアナログのバイアス回路等を含む周辺回路である。

[0029] [画像メモリ]

図 3 は、本技術の実施の形態における画像メモリ 130 の構成例を示す図である。

[0030] 画像メモリ 130 は、複数のメモリモジュールを備える。これら複数のメモリモジュールは、電源パッド 139 を共有する電源グループに分割される。この例では、 $M+1$ 個の電源グループ #0 乃至 #M (M は 0 以上の整数) に分割されている。ただし、この例では複数の電源グループを示しているが、最小構成として電源グループは 1 個でもよい。

[0031] 電源グループ内のメモリモジュールには、それぞれモジュール番号が付与される。この例では、それぞれ 3 つのメモリモジュールに対して、#0 乃至 #2 のモジュール番号が付与されている。以下の例では、電源グループ内のモジュール番号が共通するもの同士が、同じ動作を行うように制御されるものとする。すなわち、システム制御部 151 が信号線 131 を介して、メモリモジュール #0 のリテンションをオフにするように制御すると、全ての電源グループ内のメモリモジュール #0 がアクティブになる。すなわち、このようなシステム制御部 151 による制御は、電源グループ内のメモリモジュールについて独立に行われる。

[0032] 電源パッド139の各々には、信号線132を介してメモリ用電源が供給される。また、電源グループ内のモジュール番号が共通するメモリモジュールには、信号線131を介してメモリ制御信号が供給される。

[0033] [動作]

図4は、本技術の実施の形態における画像メモリ130の動作例を示す図である。

[0034] ここでは、電源グループ内の3つのメモリモジュールを想定して説明する。上述のように、SRAMにはリテンション制御があり、これによりアクティブまたはスリープの各状態を遷移させることができる。例えば、制御信号#0がHレベルであればメモリモジュール#0がアクティブになり、制御信号#0がLレベルであればメモリモジュール#0がスリープになる。

[0035] この例では、メモリ使用期間においては、3つのメモリモジュールのうち、2つのメモリモジュールがアクティブになるように制御される。このとき、電源グループ内で動作を行うメモリモジュールの数が一定であるため、電源グループ内のメモリモジュールに消費される電源電流の総和（メモリ総電流）も一定になる。したがって、メモリモジュールに供給される電源の電流変動が抑制される。

[0036] 上述のような積層構造を想定すると、画像メモリ130やAD変換器120などの画素アレイ部110以外の領域であっても、各部の電流変動は画素アレイ部110にも作用を及ぼし、不要な横筋を発生するなど、生成される画像の品質に悪影響を与えるおそれがある。その点、この実施の形態によれば、メモリモジュールに供給される電源の電流変動を抑制して、画像品質を向上させることができる。

[0037] <2. 電源グループとメモリモジュールの配置>

上述の例では、本技術の原理を説明するために、電源グループ内のメモリモジュールの数を3個としたが、以下ではメモリモジュールの配置を併せて考慮するために、電源グループ内のメモリモジュールの数を $N+1$ 個（ N は1以上の整数）として説明する。ただし、電源グループ内のモジュール番号

が共通するメモリモジュール同士が同じ動作を行うように制御を行う点は、上述の例と同様である。なお、説明の都合上、全体の配置を90度回転させた図を使用する。

[0038] [第1の配置例]

図5は、本技術の実施の形態における画像メモリ130の第1の配置例を示す図である。

[0039] この第1の配置例では、複数の電源グループのメモリモジュールにおいて、モジュール番号が共通するもの同士は、電源パッド139からの距離が互いに等しい位置に配置される。

[0040] 電源グループ内のメモリモジュールは、1つの電源パッド139に接続する電源線138を共有する。そして、電源グループの各々において、モジュール番号が共通するもの同士は、同じ順序で電源線138に接続する。したがって、モジュール番号が共通するもの同士は、電源パッド139からの距離が互いに等しくなる。これにより、電源グループ毎のメモリモジュールの電源電流の挙動を統一することができる。

[0041] 図6は、本技術の実施の形態の画像メモリ130の第1の配置例における動作例を示す図である。

[0042] この例では、メモリモジュール#Nとメモリモジュール#1とが同時にアクティブになり、次にメモリモジュール#1とメモリモジュール#2とが同時にアクティブになる。この要領で、メモリモジュール#N-1とメモリモジュール#Nとが同時にアクティブになると、1フレーム分の書き込みを終了する。

[0043] このように、メモリ使用期間においては、N+1個のメモリモジュールのうち、2つのメモリモジュールがアクティブになるように制御される。このとき、電源グループ内で動作を行うメモリモジュールの数が一定であるため、電源グループ内のメモリ総電流も一定になる。したがって、メモリモジュールに供給される電源の電流変動が抑制される。

[0044] [第2の配置例]

図7は、本技術の実施の形態における画像メモリ130の第2の配置例を示す図である。

[0045] この第2の配置例では、複数の電源グループのメモリモジュールにおいて、モジュール番号が共通するもの同士は、電源パッド139からの距離が互いに異なる位置に配置される。これにより、モジュール番号が共通するもの同士は、電源パッド139からの距離が互いに異なるものとなり、電源線138における電圧降下（IRドロップ）が電源グループ毎に異なるものとなる。

[0046] したがって、この第2の配置例によれば、電源線138の負荷を含めて、電源による電流変動を抑制することができる。

[0047] [第3の配置例]

図8は、本技術の実施の形態における画像メモリ130の第3の配置例を示す図である。

[0048] この第3の配置例では、複数の電源グループのメモリモジュールにおいて、モジュール番号が共通するもの同士は、電源パッド139からの距離がランダムな位置に配置される。これにより、モジュール番号が共通するもの同士は、電源パッド139からの距離がランダムになり、電源線138における電圧降下（IRドロップ）のパターンを電源グループ毎に散らすことができる。

[0049] したがって、この第3の配置例によれば、電源線138の負荷を含めて、電源による電流変動を抑制することができる。

[0050] [第4の配置例]

図9は、本技術の実施の形態における画像メモリ130の第4の配置例を示す図である。

[0051] これまでの配置例では電源グループ内のメモリモジュールにはそれぞれ1つずつモジュール番号が付与されていたが、この第4の配置例では、複数の電源グループのメモリモジュールにおいて、モジュール番号が同じものが2つずつ付与される。したがって、ある電源グループでは2つのメモリモジュ

ールがアクティブになる。ただし、画像メモリ 130 全体で見れば、メモリ総電流が一定になるように制御される。

[0052] 図 10 は、本技術の実施の形態の画像メモリ 130 の第 4 の配置例における動作例を示す図である。

[0053] この例では、メモリモジュール #0 とメモリモジュール #1 とが同時にアクティブになり、次にメモリモジュール #1 とメモリモジュール #2 とが同時にアクティブになる。この要領で、1 フレーム分の書き込みを終了する。

[0054] この第 4 の配置例では、電源または接地の降圧または昇圧の制御の対象となる S R A M の総数が、電源グループ毎に同じになるように配置することで、電源配線の負荷を揃えることができる。これは、メモリの書き込み電力よりもリーク電流が支配的な場合に、特に有用である。

[0055] このように、本技術の実施の形態では、電源線 138 を共有する複数のメモリモジュールに対して、供給される電源電流の総和が一定となるように、システム制御部 151 が制御を行う。これにより、メモリモジュールに供給される電源の電流変動を抑制して、出力画像の画像品質を向上させることができる。

[0056] なお、上述の実施の形態は本技術を具現化するための一例を示したものであり、実施の形態における事項と、特許請求の範囲における発明特定事項とはそれぞれ対応関係を有する。同様に、特許請求の範囲における発明特定事項と、これと同一名称を付した本技術の実施の形態における事項とはそれぞれ対応関係を有する。ただし、本技術は実施の形態に限定されるものではなく、その要旨を逸脱しない範囲において実施の形態に種々の変形を施すことにより具現化することができる。

[0057] なお、本明細書に記載された効果はあくまで例示であって、限定されるものではなく、また、他の効果があってもよい。

[0058] なお、本技術は以下のような構成もとることができる。

(1) 被写体からの光を光電変換する複数の画素を配置した画素アレイ部と、

前記複数の画素からのアナログ信号をデジタル信号による画素信号に変換するアナログデジタル変換部と、

前記アナログデジタル変換部によって変換された前記画素信号を保持する複数のメモリモジュールと、

前記複数のメモリモジュールに共有されて電源電流を供給する電源線と、

前記電源線を共有する前記複数のメモリモジュールに対して供給される電源電流の総和が一定となるように前記複数のメモリモジュールの各々について独立に動作制御を行う制御部と

を具備する撮像装置。

(2) 前記複数のメモリモジュールは、SRAMであり、

前記制御部は、前記SRAMのリテンションを制御する
前記(1)に記載の撮像装置。

(3) 前記制御部は、前記複数のメモリモジュールのうち所定数のメモリモジュールがアクティブになるように前記SRAMのリテンションを制御する
前記(2)に記載の撮像装置。

(4) 前記電源線は、異なる複数の電源パッドからの電源電流を供給する複数の電源線であり、

前記複数のメモリモジュールは、前記複数の電源線の各々を共有する電源グループに分割される

前記(1)から(3)のいずれかに記載の撮像装置。

(5) 前記制御部は、前記複数のメモリモジュールのうち前記電源グループ内のモジュール番号が共通するもの同士が同じ動作を行うように制御する
前記(4)に記載の撮像装置。

(6) 前記複数のメモリモジュールは、前記複数のメモリモジュールのうち前記電源グループ内のモジュール番号が共通するもの同士が前記電源パッドからの距離が互いに等しい位置に配置される

前記(5)に記載の撮像装置。

(7) 前記複数のメモリモジュールは、前記複数のメモリモジュールのうち

前記電源グループ内のモジュール番号が共通するもの同士が前記電源パッドからの距離が互いに異なる位置に配置される

前記（５）に記載の撮像装置。

（８）前記複数のメモリモジュールは、前記複数のメモリモジュールのうち前記電源グループ内のモジュール番号が共通するもの同士が前記電源パッドからの距離がランダムな位置に配置される

前記（５）に記載の撮像装置。

（９）複数のメモリモジュールと、

前記複数のメモリモジュールに共有されて電源電流を供給する電源線と、

前記電源線を共有する前記複数のメモリモジュールに対して供給される電源電流の総和が一定となるように前記複数のメモリモジュールの各々について独立に動作制御を行う制御部と

を具備する記憶装置。

符号の説明

- [0059] １００ イメージセンサ
 １１０ 画素アレイ部
 １１１ 画素駆動部
 １２０ ＡＤ変換器
 １２１ カラム処理部
 １３０ 画像メモリ
 １３８ 電源線
 １３９ 電源パッド
 １４０ 周辺回路
 １５０ 出力回路
 １５１ システム制御部
 １５４ 信号処理部
 １９１、１９２ ビア領域

請求の範囲

- [請求項1] 被写体からの光を光電変換する複数の画素を配置した画素アレイ部と、
- 前記複数の画素からのアナログ信号をデジタル信号による画素信号に変換するアナログデジタル変換部と、
- 前記アナログデジタル変換部によって変換された前記画素信号を保持する複数のメモリモジュールと、
- 前記複数のメモリモジュールに共有されて電源電流を供給する電源線と、
- 前記電源線を共有する前記複数のメモリモジュールに対して供給される電源電流の総和が一定となるように前記複数のメモリモジュールの各々について独立に動作制御を行う制御部と
- を具備する撮像装置。
- [請求項2] 前記複数のメモリモジュールは、S R A Mであり、
- 前記制御部は、前記S R A Mのリテンションを制御する
- 請求項1記載の撮像装置。
- [請求項3] 前記制御部は、前記複数のメモリモジュールのうち所定数のメモリモジュールがアクティブになるように前記S R A Mのリテンションを制御する
- 請求項2記載の撮像装置。
- [請求項4] 前記電源線は、異なる複数の電源パッドからの電源電流を供給する複数の電源線であり、
- 前記複数のメモリモジュールは、前記複数の電源線の各々を共有する電源グループに分割される
- 請求項1記載の撮像装置。
- [請求項5] 前記制御部は、前記複数のメモリモジュールのうち前記電源グループ内のモジュール番号が共通するもの同士が同じ動作を行うように制御する

請求項 4 記載の撮像装置。

- [請求項6] 前記複数のメモリモジュールは、前記複数のメモリモジュールのうち前記電源グループ内のモジュール番号が共通するもの同士が前記電源パッドからの距離が互いに等しい位置に配置される

請求項 5 記載の撮像装置。

- [請求項7] 前記複数のメモリモジュールは、前記複数のメモリモジュールのうち前記電源グループ内のモジュール番号が共通するもの同士が前記電源パッドからの距離が互いに異なる位置に配置される

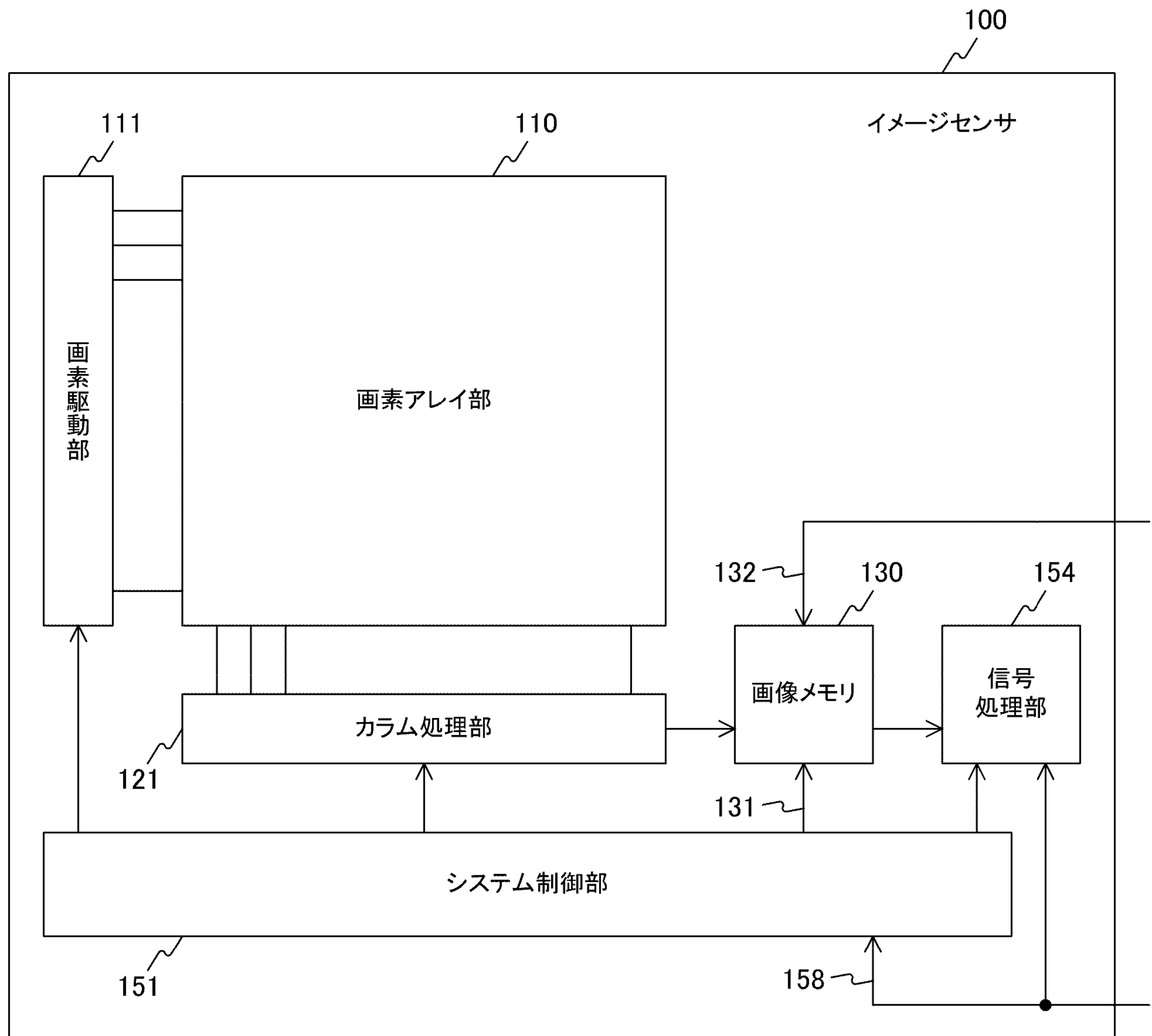
請求項 5 記載の撮像装置。

- [請求項8] 前記複数のメモリモジュールは、前記複数のメモリモジュールのうち前記電源グループ内のモジュール番号が共通するもの同士が前記電源パッドからの距離がランダムな位置に配置される

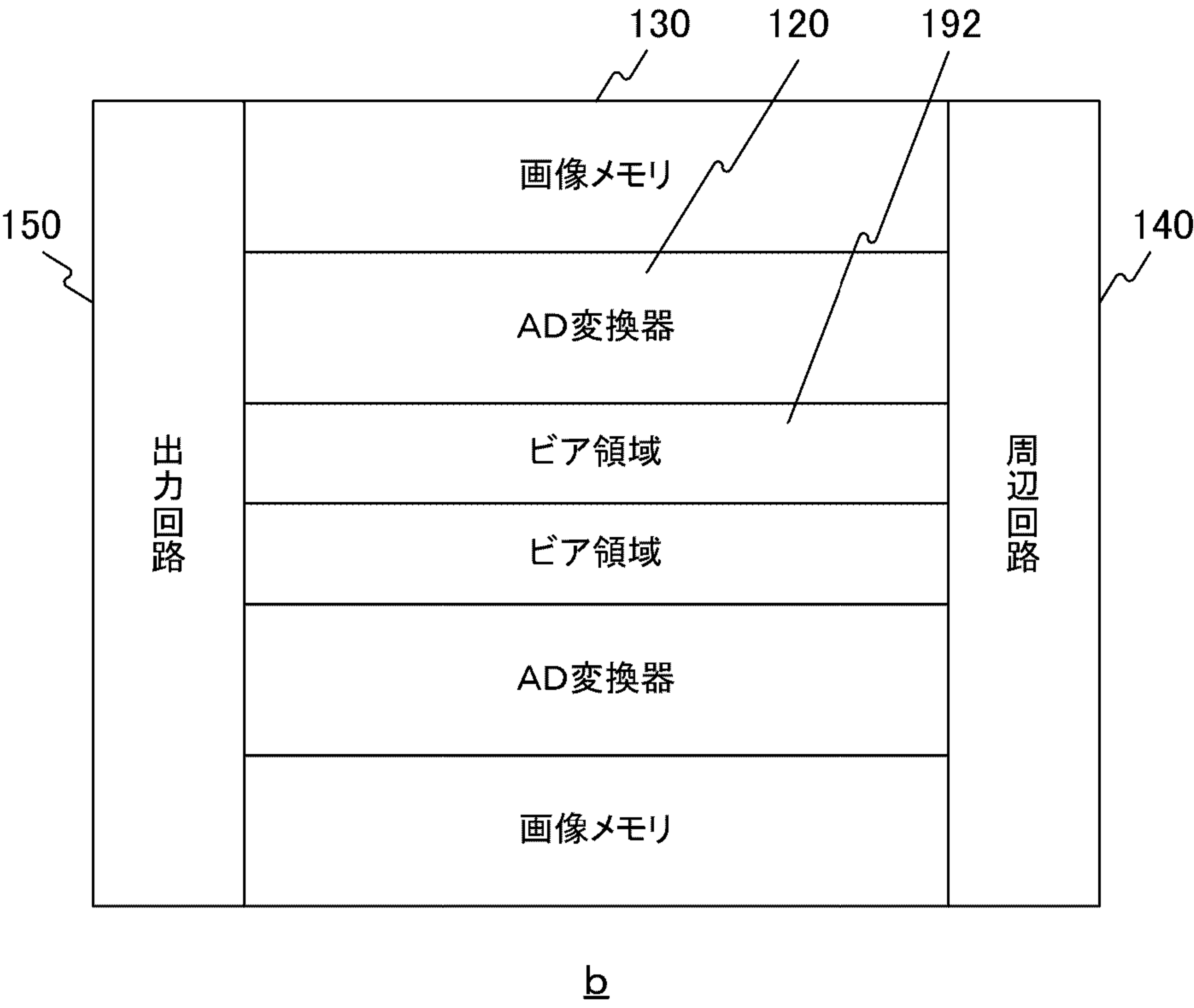
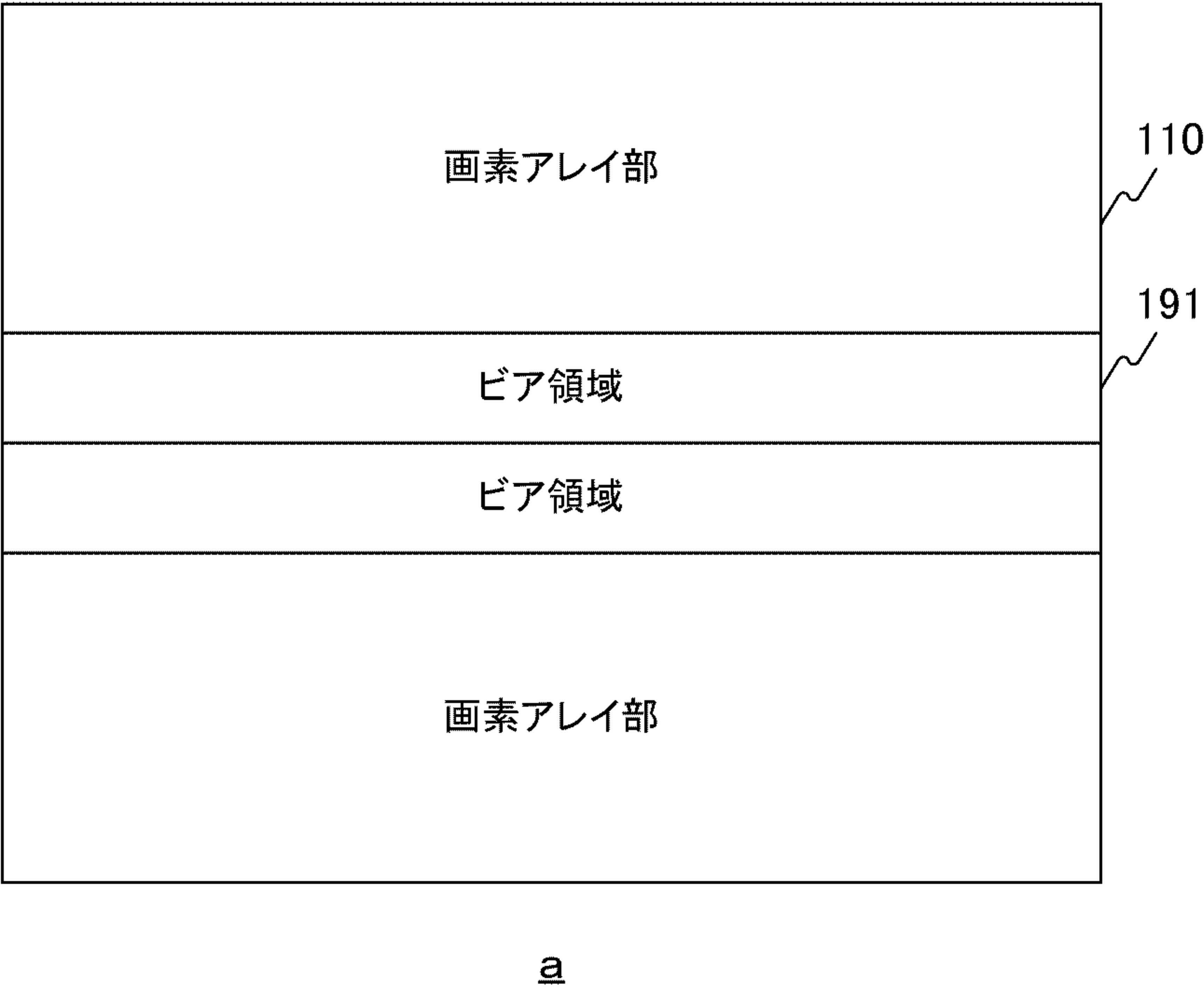
請求項 5 記載の撮像装置。

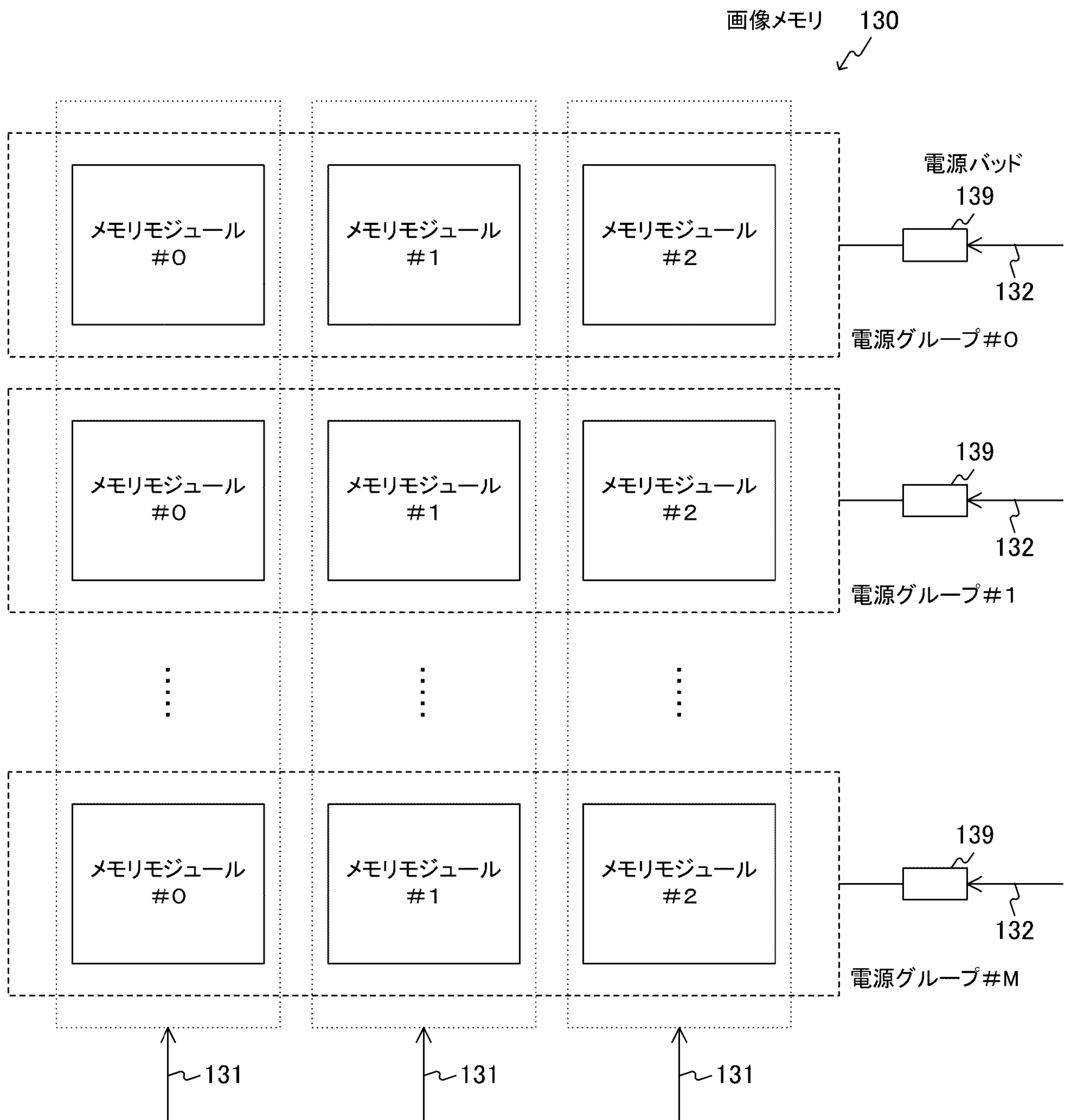
- [請求項9] 複数のメモリモジュールと、
 前記複数のメモリモジュールに共有されて電源電流を供給する電源線と、
 前記電源線を共有する前記複数のメモリモジュールに対して供給される電源電流の総和が一定となるように前記複数のメモリモジュールの各々について独立に動作制御を行う制御部と
 を具備する記憶装置。

[図1]

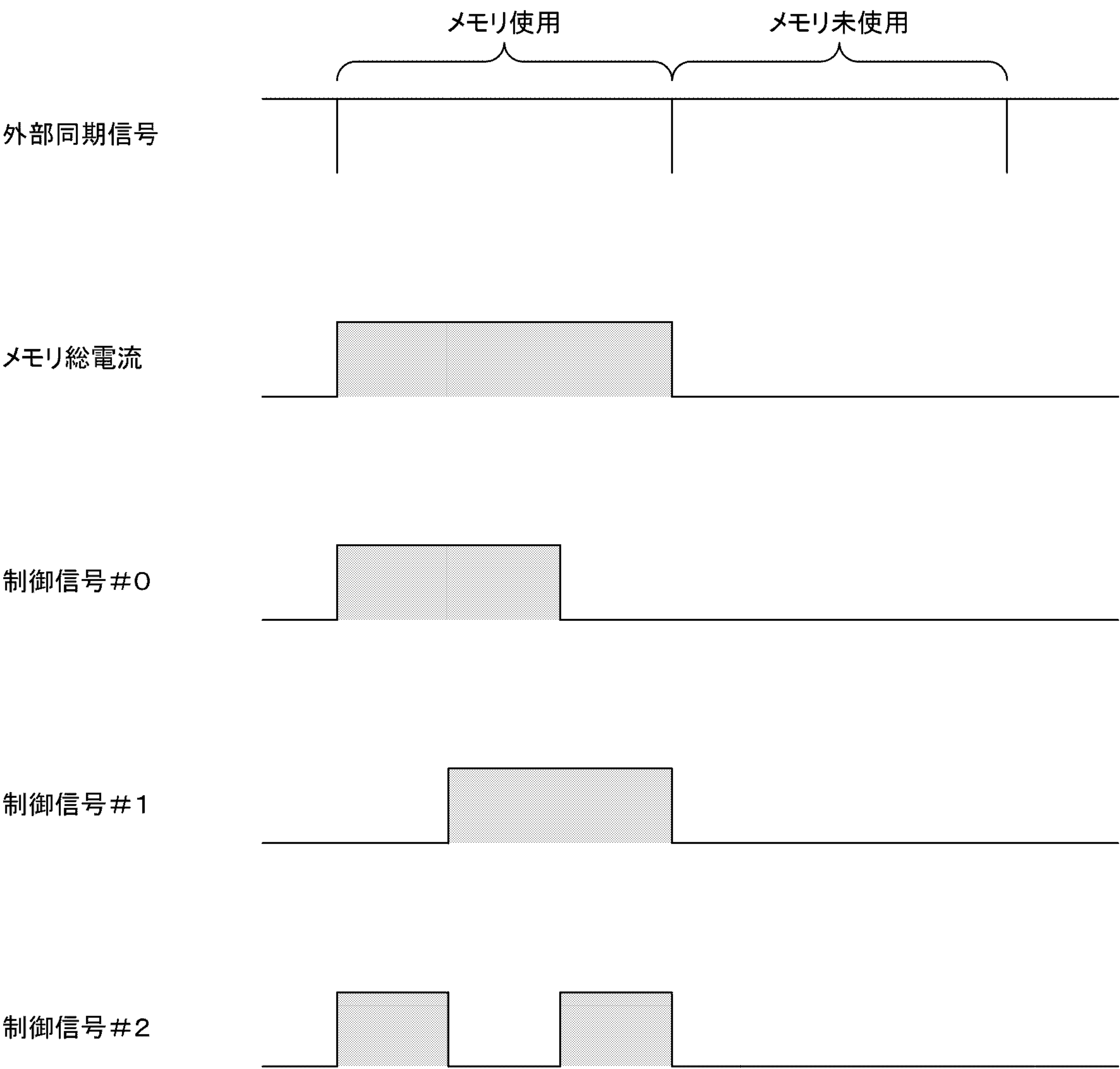


[図2]

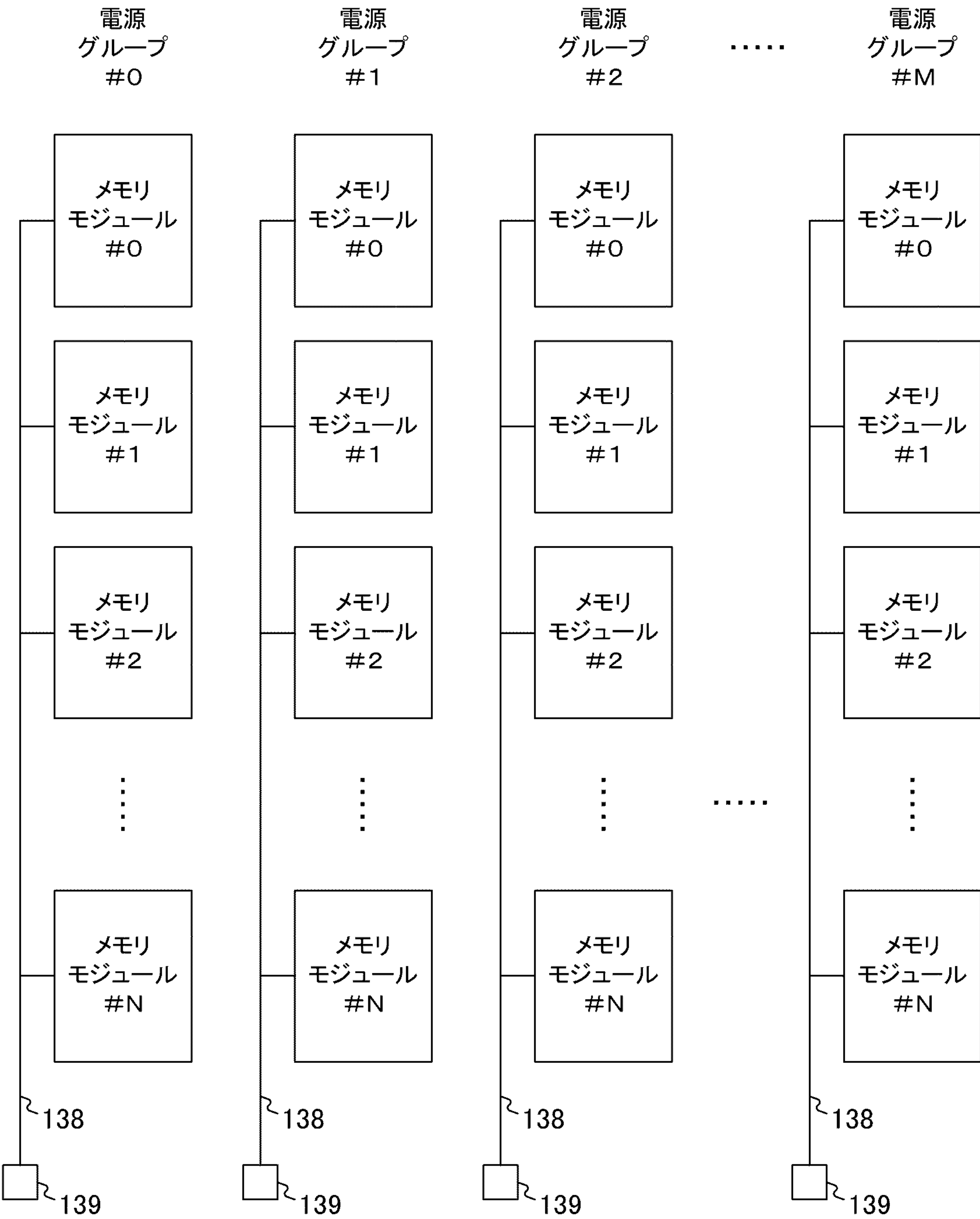




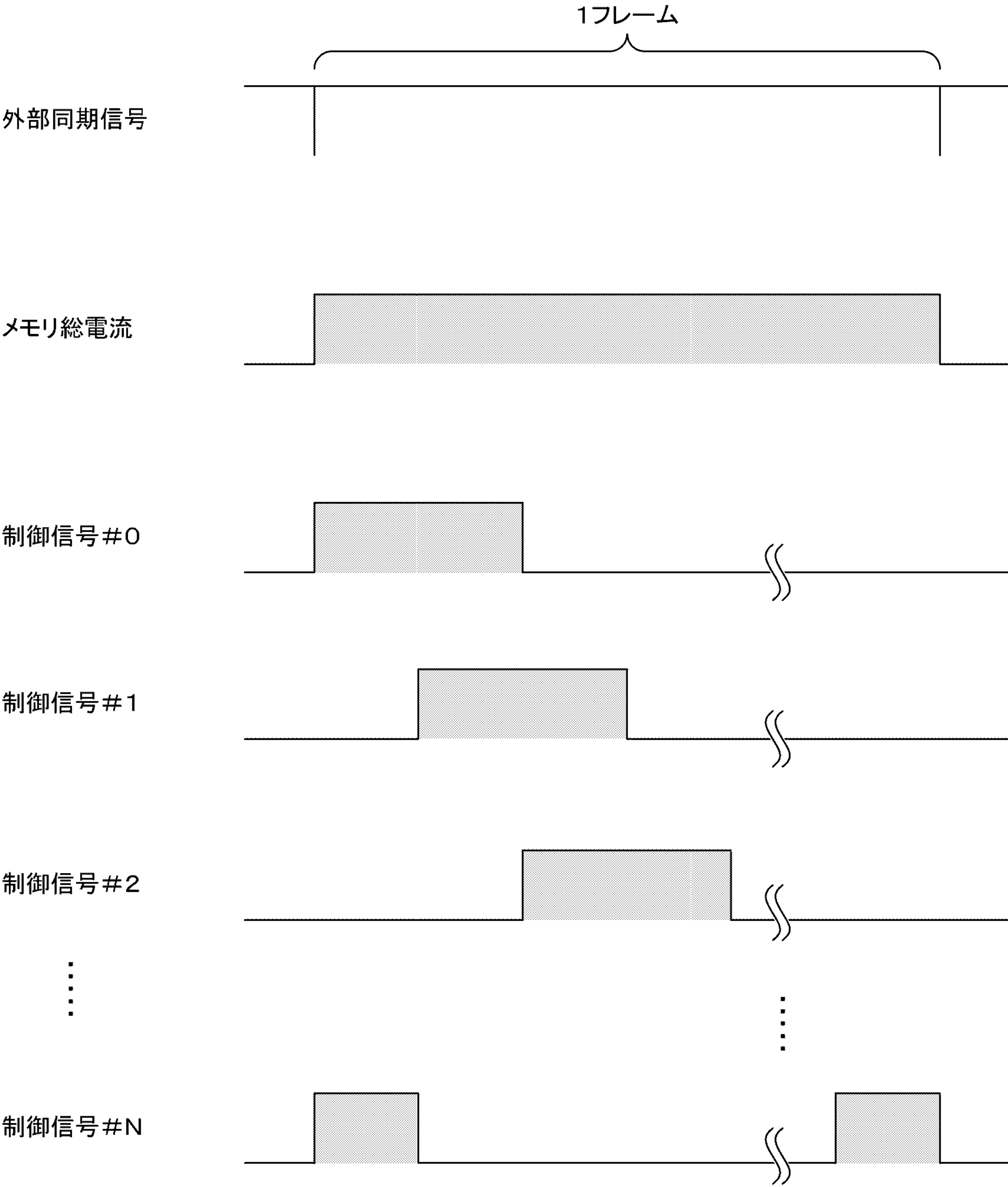
[図4]



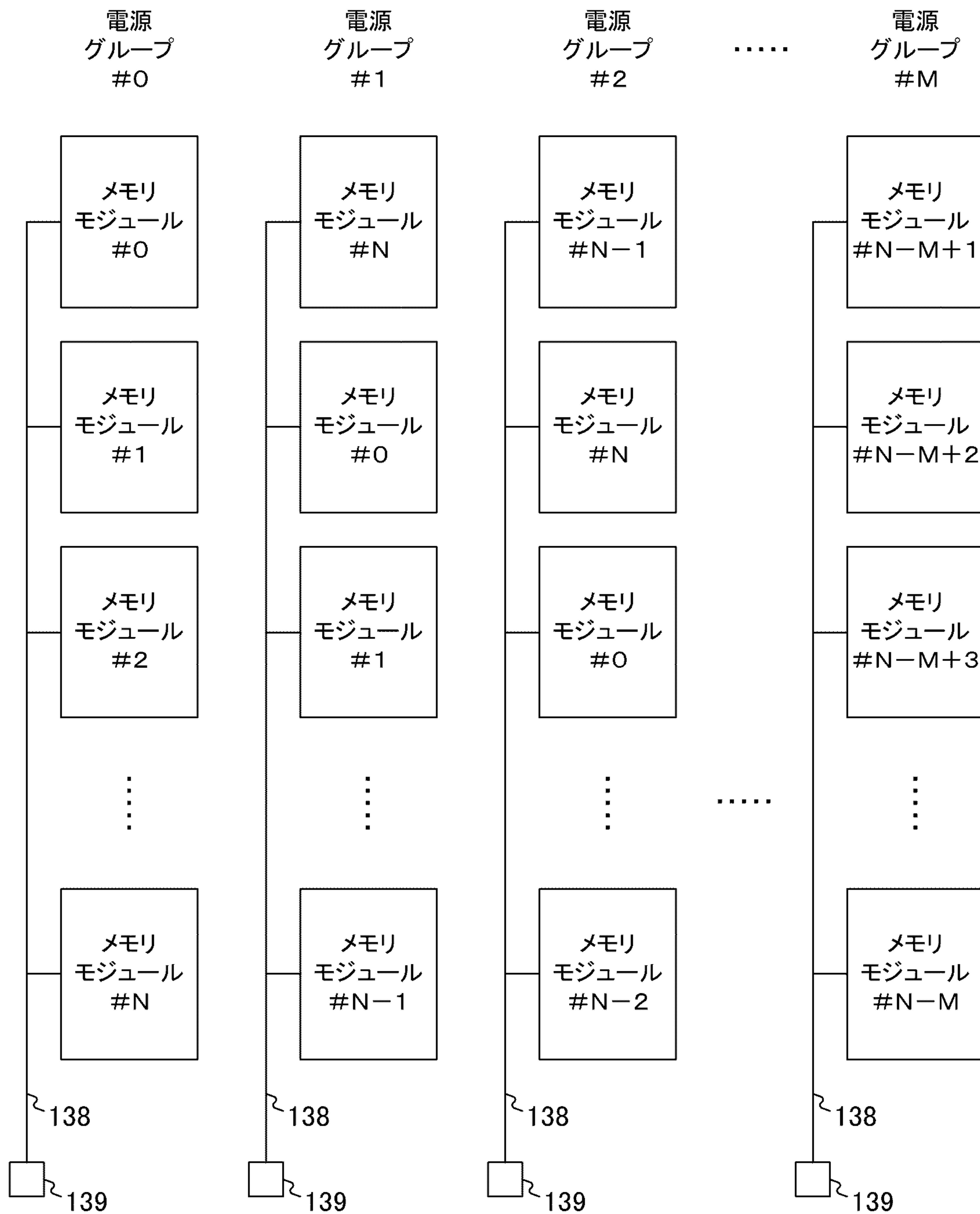
[図5]



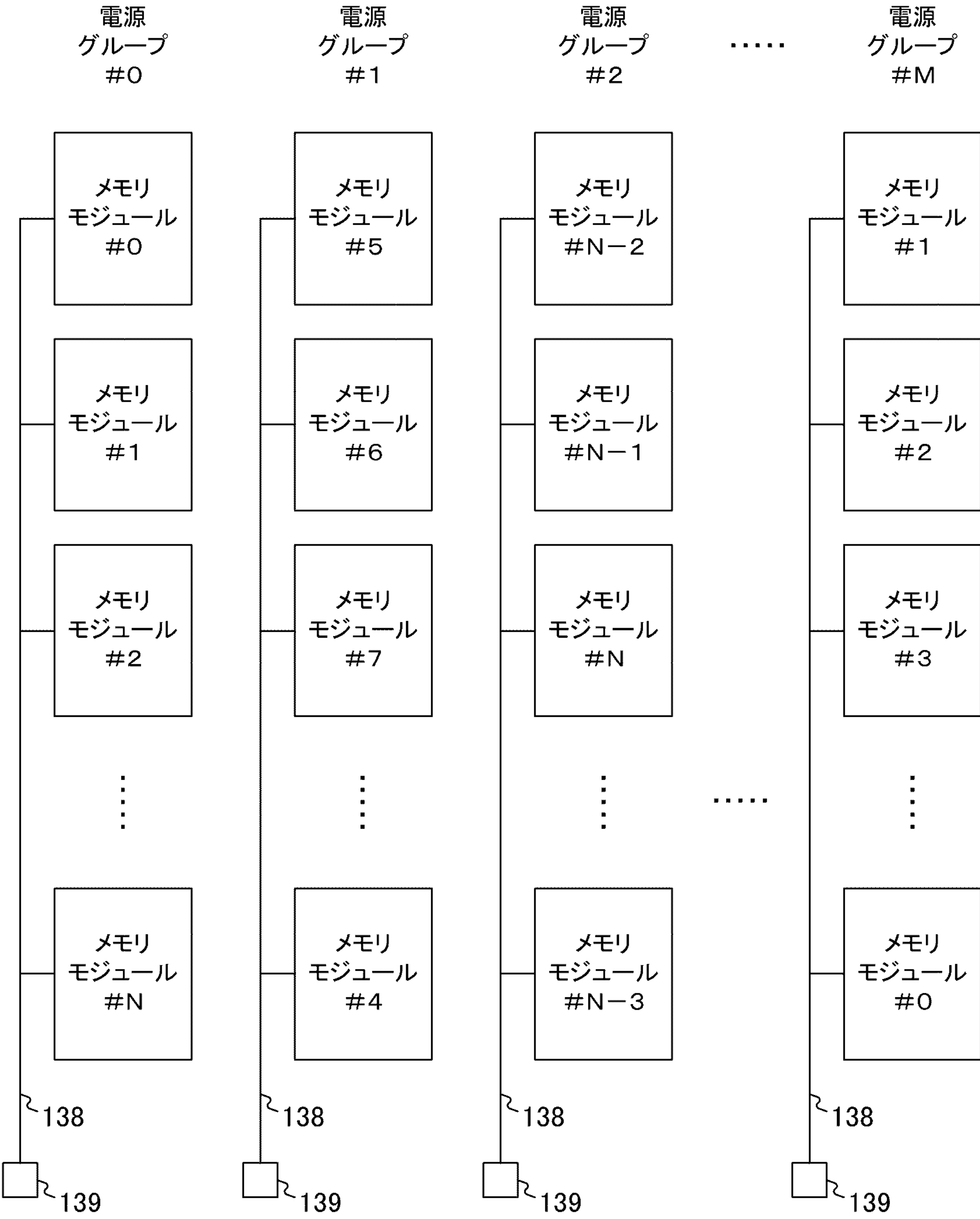
[図6]



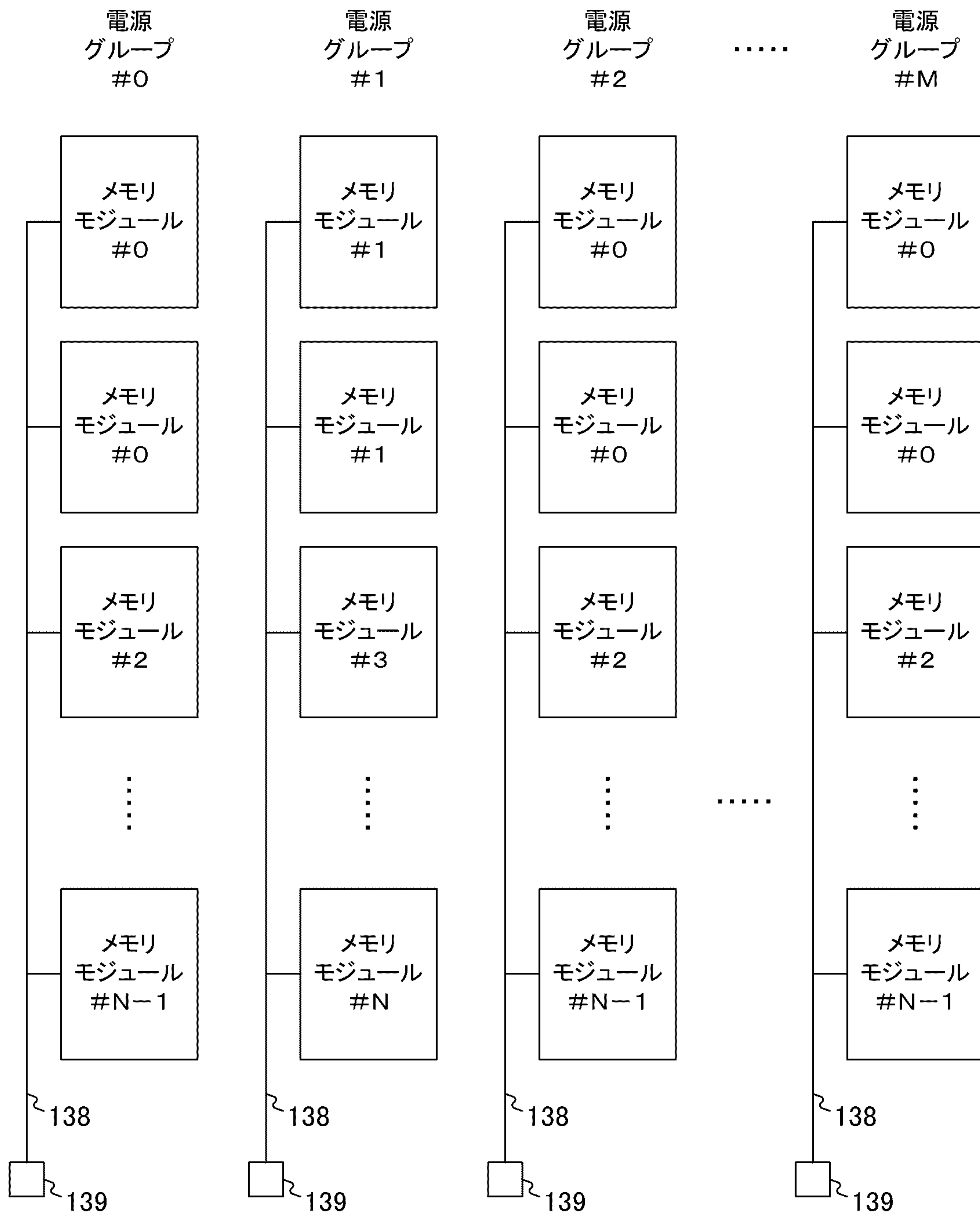
[図7]



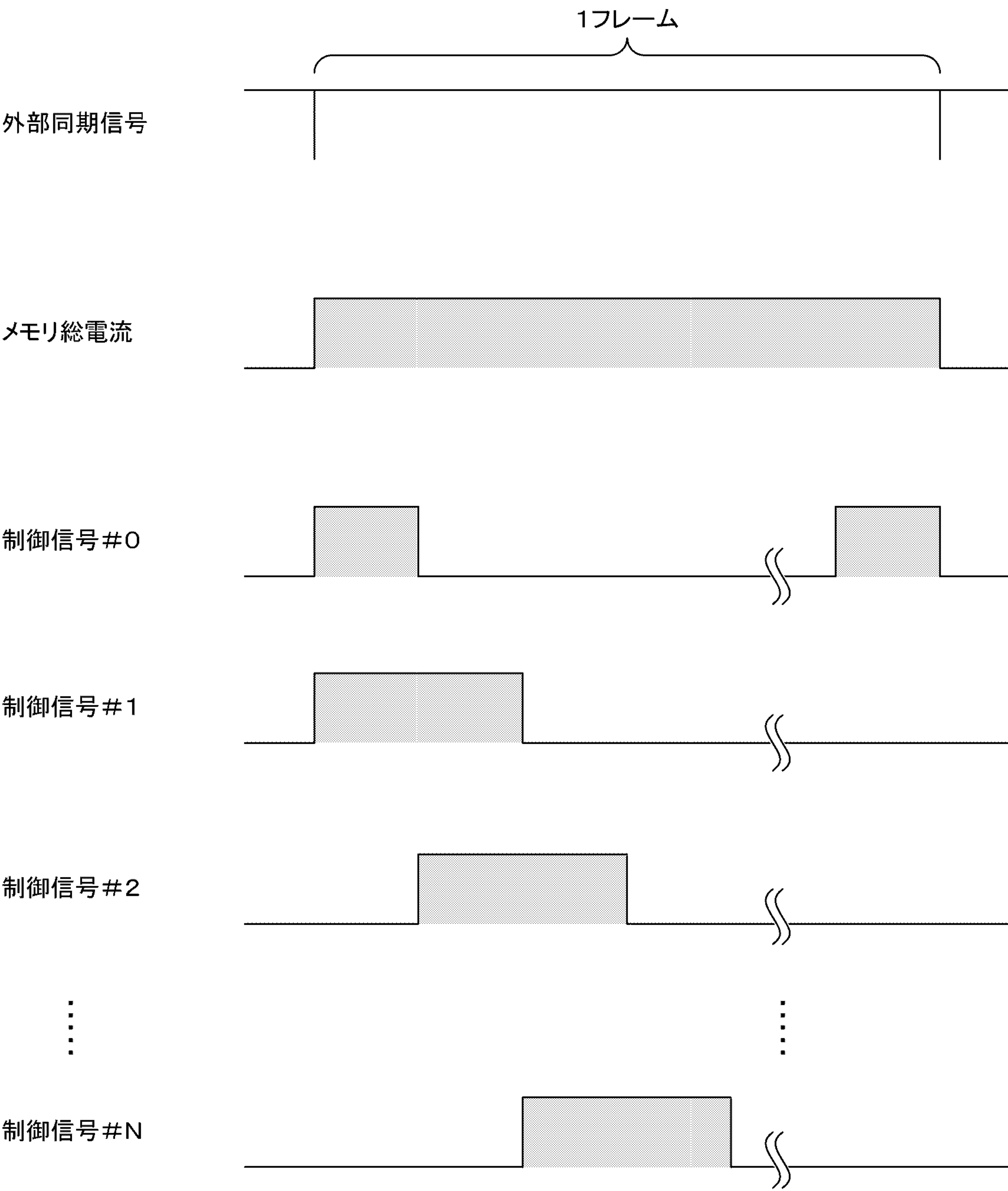
[図8]



[図9]



[図10]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2020/027598

A. CLASSIFICATION OF SUBJECT MATTER Int.Cl. H01L27/10(2006.01)i, H01L21/8244(2006.01)i, H01L27/11(2006.01)i, H04N5/369(2011.01)i, H04N5/378(2011.01)i FI: H04N5/369800, H04N5/378, H01L27/10495, H01L27/11 According to International Patent Classification (IPC) or to both national classification and IPC														
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) Int.Cl. H01L27/10, H01L21/8244, H01L27/11, H04N5/369, H04N5/378 Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Published examined utility model applications of Japan 1922-1996 Published unexamined utility model applications of Japan 1971-2020 Registered utility model specifications of Japan 1996-2020 Published registered utility model applications of Japan 1994-2020 Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)														
C. DOCUMENTS CONSIDERED TO BE RELEVANT														
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.												
A	JP 6-28844 A (HITACHI VLSI ENG CORP.) 04.02.1994 (1994-02-04), entire text	1-9												
A	JP 11-203862 A (MITSUBISHI ELECTRIC CORPORATION) 30.07.1999 (1999-07-30), entire text	1-9												
A	JP 2015-126240 A (CANON INC.) 06.07.2015 (2015-07-06), entire text	1-9												
☐ Further documents are listed in the continuation of Box C. ☒ See patent family annex.														
<table><tr><td>* Special categories of cited documents:</td><td></td></tr><tr><td>"A" document defining the general state of the art which is not considered to be of particular relevance</td><td>"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention</td></tr><tr><td>"E" earlier application or patent but published on or after the international filing date</td><td>"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone</td></tr><tr><td>"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)</td><td>"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art</td></tr><tr><td>"O" document referring to an oral disclosure, use, exhibition or other means</td><td>"&" document member of the same patent family</td></tr><tr><td>"P" document published prior to the international filing date but later than the priority date claimed</td><td></td></tr></table>			* Special categories of cited documents:		"A" document defining the general state of the art which is not considered to be of particular relevance	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention	"E" earlier application or patent but published on or after the international filing date	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone	"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art	"O" document referring to an oral disclosure, use, exhibition or other means	"&" document member of the same patent family	"P" document published prior to the international filing date but later than the priority date claimed	
* Special categories of cited documents:														
"A" document defining the general state of the art which is not considered to be of particular relevance	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention													
"E" earlier application or patent but published on or after the international filing date	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone													
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art													
"O" document referring to an oral disclosure, use, exhibition or other means	"&" document member of the same patent family													
"P" document published prior to the international filing date but later than the priority date claimed														
Date of the actual completion of the international search 30.09.2020		Date of mailing of the international search report 13.10.2020												
Name and mailing address of the ISA/ Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan		Authorized officer Telephone No.												

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No.

PCT/JP2020/027598

JP 6-28844 A 04.02.1994 (Family: none)

JP 11-203862 A 30.07.1999 US 6064621 A
entire text

JP 2015-126240 A 06.07.2015 US 2015/0288899 A1
entire text

A. 発明の属する分野の分類（国際特許分類（IPC））

H01L 27/10(2006.01)i; H01L 21/8244(2006.01)i; H01L 27/11(2006.01)i; H04N 5/369(2011.01)i; H04N 5/378(2011.01)i

FI: H04N5/369 800; H04N5/378; H01L27/10 495; H01L27/11

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

H01L27/10; H01L21/8244; H01L27/11; H04N5/369; H04N5/378

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報

1922 - 1996年

日本国公開実用新案公報

1971 - 2020年

日本国実用新案登録公報

1996 - 2020年

日本国登録実用新案公報

1994 - 2020年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 6-28844 A（日立超エル・エス・アイ・エンジニアリング株式会社）04.02.1994 (1994 - 02 - 04) 全文	1-9
A	JP 11-203862 A（三菱電機株式会社）30.07.1999（1999 - 07 - 30） 全文	1-9
A	JP 2015-126240 A（キヤノン株式会社）06.07.2015（2015 - 07 - 06） 全文	1-9

☐ C欄の続きにも文献が列挙されている。

☒ パテントファミリーに関する別紙を参照。

* 参考文献のカテゴリー

“A” 特に関連のある文献ではなく、一般的技術水準を示すもの

“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

“O” 口頭による開示、使用、展示等に言及する文献

“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献

“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの

“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

“&” 同一パテントファミリー文献

国際調査を完了した日

30.09.2020

国際調査報告の発送日

13.10.2020

名称及びあて先

日本国特許庁(ISA/JP)

〒100-8915

日本国

東京都千代田区霞が関三丁目4番3号

権限のある職員（特許庁審査官）

橘 高志 5V 8391

電話番号 03-3581-1101 内線 3571

様式 PCT/ISA/210（第2ページ）（2015年1月）

国際調査報告
パテントファミリーに関する情報

国際出願番号
PCT/JP2020/027598

引用文献			公表日	パテントファミリー文献	公表日
JP	6-28844	A	04.02.1994	(ファミリーなし)	
JP	11-203862	A	30.07.1999	US 6064621 A	
				全文	
JP	2015-126240	A	06.07.2015	US 2015/0288899 A1	
				全文	