



(12)发明专利

(10)授权公告号 CN 103730156 B

(45)授权公告日 2017.01.04

(21)申请号 201410009119.5

(74)专利代理机构 北京市金杜律师事务所

(22)申请日 2010.07.26

11256

(65)同一申请的已公布的文献号

代理人 王茂华

申请公布号 CN 103730156 A

(51)Int.Cl.

(43)申请公布日 2014.04.16

G11C 15/00(2006.01)

(30)优先权数据

2009-180502 2009.08.03 JP

(56)对比文件

CN 1702773 A, 2005.11.30,

(62)分案原申请数据

CN 1677567 A, 2005.10.05,

201010238029.5 2010.07.26

CN 1220468 A, 1999.06.23,

(73)专利权人 瑞萨电子株式会社

CN 101317234 A, 2008.12.03,

地址 日本东京都

US 2007/0008760 A1, 2007.01.11,

(72)发明人 渡边直也

US 7505295 B1, 2009.03.17,

US 2001/0026464 A1, 2001.10.04,

US 2005/0201132 A1, 2005.09.15,

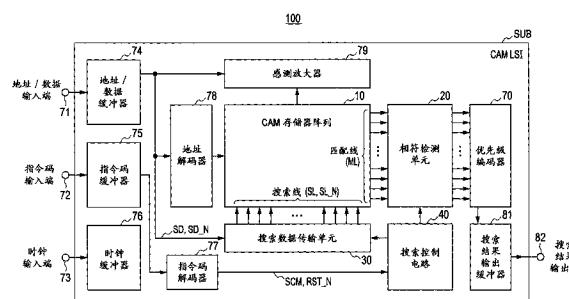
审查员 陈敏

(54)发明名称

内容可寻址存储器

(57)摘要

本发明提供能够在高于常规的频率上工作的内容可寻址存储器。当提供自搜索控制电路的搜索使能信号被断言时，每个搜索线驱动器将搜索数据经由搜索线对传输至CAM存储器阵列的每个CAM单元。所述搜索线使能信号经由与所述搜索控制电路相连的单条控制信号线被传输至所述搜索线驱动器。所述控制信号线以这样的方式连接到所述搜索线驱动器，即使得所述搜索线使能信号从匹配放大器处所视的远侧起按所述搜索线驱动器的布置顺序，通过所述搜索线驱动器与所述控制信号线之间的连接节点。



1. 一种对从外部输入的搜索数据与预先存储的数据进行比较的内容可寻址存储器，包括：

多条匹配线，被布置为在第一方向上延伸；

多条搜索线，被布置为在与所述第一方向相交的第二方向上延伸；

存储器单元阵列，具有相应地布置于所述匹配线与所述搜索线的交叉点上的多个存储器单元；

多个搜索线驱动器，布置于每条相应的搜索线并且根据搜索数据驱动所述搜索线；以及

搜索控制电路，通过在所述第一方向上延伸的控制信号接线，将控制信号传输至所述搜索线驱动器，

其中所述搜索控制电路被布置在所述存储器单元阵列在所述第一方向上的一端，

其中所述控制信号接线具有：

第一和第二接线部分，从所述存储器单元阵列在所述第一方向上的一端延伸至其另一端，并且在所述第二方向上被并排布置；以及

返回接线部分，布置在其另一端，

其中所述第一接线部分的两端被相应地连接到所述搜索控制电路和所述返回接线部分，并且

其中所述第二接线部分的两端被相应地连接到所述搜索控制电路和所述返回接线部分。

2. 根据权利要求1所述的内容可寻址存储器，

其中所述第一接线部分和所述第二接线部分被相应地布置在互不相同的接线层中，并且

其中所述第一接线部分和所述第二接线部分经由所述返回接线部分被相互连接。

3. 根据权利要求1或2所述的内容可寻址存储器，其中所述搜索线驱动器被连接到所述第一接线部分。

4. 一种执行从外部输入的搜索数据与预先存储的数据之间的比较的内容可寻址存储器，包括：

第一和第二区块，各自包括：

多条匹配线，布置为在第一方向上延伸；

多条搜索线，布置为在与所述第一方向相交的第二方向上延伸；

存储器单元阵列，具有相应地布置于所述匹配线与所述搜索线的交叉点上的多个存储器单元；

多个搜索线驱动器，布置于每条相应的搜索线并且根据搜索数据驱动所述搜索线；以及

搜索控制电路，通过在所述第一方向上延伸的控制信号接线将控制信号传输至所述搜索线驱动器，

其中所述第一和第二区块在所述第一方向上被并排布置，

其中所述第一区块的搜索控制电路被布置在整个第一和第二区块在所述第一方向上的一端，

其中所述第二区块的搜索控制电路被布置在整个第一和第二区块在第一方向上的另一端，

其中所述控制信号接线具有：

第一接线部分，在所述第一方向上延伸，并且其两端相应地连接到所述第一区块的搜索控制电路和所述第二区块的搜索控制电路；

第二接线部分，布置于所述第一与第二区块之间；

第三接线部分，在所述第一方向上延伸，并且其两端相应地连接到所述第一区块的搜索控制电路和所述第二接线部分；以及

第四接线部分，在所述第一方向上延伸，并且其两端相应地连接到所述第二区块的搜索控制电路和所述第二接线部分。

5. 根据权利要求4所述的内容可寻址存储器，

其中所述第一区块的搜索线驱动器被相应地连接到所述第一接线部分，并且

其中所述第二区块的搜索线驱动器被相应地连接到所述第四接线部分。

6. 根据权利要求4或5所述的内容可寻址存储器，

其中所述第一、第三和第四接线部分被布置在第一接线层中，并且

其中所述第二接线部分被布置在不同于所述第一接线层的第二接线层中。

7. 一种执行从外部输入的搜索数据与预先存储的数据之间的比较的内容可寻址存储器，包括：

第一和第二区块，各自包括：

多条匹配线，布置为在第一方向上延伸；

多条搜索线，布置为在与所述第一方向相交的第二方向上延伸；

存储器单元阵列，具有相应地布置于所述匹配线与所述搜索线的交叉点上的多个存储器单元；

多个搜索线驱动器，布置于每条相应的搜索线并且根据搜索数据驱动所述搜索线；以及

搜索控制电路，通过在所述第一方向上延伸的控制信号接线将控制信号传输至所述搜索线驱动器，

其中所述第一和第二区块在所述第一方向上被并排布置，

其中所述第一区块的搜索控制电路被布置在整个第一和第二区块在所述第一方向上的一端，

其中所述第二区块的搜索控制电路被布置在整个第一和第二区块在所述第一方向上的另一端，

其中所述控制信号接线具有：

第一和第二接线部分，在所述第一方向上延伸，并且其一端各自连接到所述第一区块的所述搜索控制电路；以及

第三和第四接线部分，在所述第一方向上延伸，并且其一端各自连接到所述第二区块的所述搜索控制电路，

其中所述第一和第三接线部分被布置在第一接线层中，

其中所述第二和第四接线部分被布置在不同于所述第一接线层的第二接线层中，

其中所述第一和第四接线部分的另一端通过接触而被相互连接，并且
其中所述第二和第三接线部分的另一端通过接触而被相互连接。

8. 根据权利要求7所述的内容可寻址存储器，
其中所述第一区块的搜索线驱动器被相应地连接到所述第一接线部分，并且
其中所述第二区块的搜索线驱动器被相应地连接到所述第三接线部分。

内容可寻址存储器

[0001] 本申请是于2010年7月26日提交的申请号为201010238029.5、名称为“内容可寻址存储器”的中国专利申请的分案申请。

[0002] 与相关申请的交叉引用

[0003] 在2009年8月3日提交的日本专利申请号2009-180502的公开内容,包括说明书、附图和摘要,在此整体纳入参考。

技术领域

[0004] 本发明涉及使用半导体元件的内容可寻址存储器,并且特别涉及能够以高于常规的速度操作的内容可寻址存储器。

背景技术

[0005] 一般地,随着半导体存储器的高集成度的发展和其中的容量的巨大增加,半导体存储器的高速操作变得困难。其中一个原因是由于随着连接到每条接线的存储器单元数量的增加而增加的接线电容而发生的信号传播延迟。

[0006] 在日本未审查专利公开号Hei10(1998)-255477(专利文献1)中公开的技术致力于消除从字线驱动电路输出的驱动控制信号中的传播延迟。该文献的字线驱动电路包括信号生成单元、第一驱动电路、第二驱动电路以及加速驱动电路。信号生成单元以预定的定时生成驱动信号。第一驱动电路响应于驱动信号,驱动第一接线的连接有多个受控电路的一端侧。第二驱动电路响应于驱动信号,驱动具有小于第一接线的驱动负载的第二接线的一端侧。加速驱动电路具有连接到第二接线的另一端侧和第一接线的另一端侧的输入,以及输出端子,用于在第一接线的另一端侧的电平与第二接线的另一端侧的电平互不相符时驱动第一接线的另一端侧。

[0007] 日本未审查专利公开号2001-357675(专利文献2)公开了使得读取访问时间更快的技术。描述于这一文献中的半导体存储器装置包括存储器单元,排布在列方向上;一对数字线,连接到每个存储器单元;以及字线,布置为相应地与数字线相交并且用于选择相应的存储器单元。此外,半导体存储器装置包括感测放大器,布置在数字线的一端;近端侧预充电电路,相对于数字线布置在感测放大器附近;以及远端侧预充电电路,布置在数字线与感测放大器相对侧的一端。这样的半导体存储器装置具有的特点是:在读取操作时远端侧预充电电路的预充电操作完成的时间早于近端侧预充电电路的该时间或与其同步。优选地,在读取操作中,用于选择处于靠近远端侧预充电电路的一侧的每条字线的信号比用于选择处于靠近近端侧预充电电路的一侧的每条字线的信号更早上升。

发明内容

[0008] 本发明针对具有数据搜索功能的内容可寻址存储器。常规存储器在地址被输入时会输出存储于每个存储器单元中的与该地址相对应的数据。另一方面,在内容可寻址存储器中,每个搜索数据被输入,而与搜索数据相匹配的存储的数据被搜索。如果存在与搜索数

据相匹配的存储的数据,那么与存储的数据相对应的地址或者与该地址相关的数据被输出。

[0009] 具体地描述,内容可寻址存储器中多个存储器单元被连接到单条匹配线(相符线)。此外,一对搜索线(检索线)被提供给每个存储器单元用以与匹配线相交。在搜索操作时,匹配线被预充电至,例如,“1”(H(高)电平)。此后,搜索数据经由搜索线传输。当传输的搜索数据与预先存储于相应存储器单元中的数据相互匹配时,匹配线被维持在“1”的状态。当它们互不匹配时,匹配线被驱动至“0”的状态(L(低)电平)。匹配线的逻辑电平由连接到匹配线的相应的匹配放大器所检测。

[0010] 为了使能这样的配置的内容可寻址存储器中的高速操作,控制用于预充电匹配线的定时、提供的用以将搜索数据输入到相应的存储器单元的定时、提供的用以检测匹配线的逻辑电平的定时等等是重要的。然而在现有技术中,由于这些定时的控制是由各自使用半导体元件的延迟级所执行的,随着电路操作变得更快,对延迟级的设计变得越来越困难。

[0011] 本发明的目标是提供能够以高于常规的频率操作的内容可寻址存储器。

[0012] 根据本发明的一种实施方式的内容可寻址存储器包括匹配线;预充电单元;多个存储器单元,相应地沿匹配线排布;匹配放大器;以及搜索数据传输单元。预充电单元相应地连接到匹配线并且被提供用以将匹配线预充电至预定电压。在数据搜索时,每个存储器单元根据输入的搜索数据与预先存储的数据之间是否匹配而将相应的匹配线从预充电状态改变。匹配放大器被相应地装设在匹配线的一端并且检测匹配线的逻辑电平。搜索数据传输单元从处于远离匹配放大器一侧的存储器单元起按存储器单元的布置顺序将搜索数据传输至存储器单元。

[0013] 根据以上实施方式,搜索数据从处于远离匹配放大器一侧的相应的存储器单元按存储器单元的布置顺序传输至相应的存储器单元。因而可以在搜索数据到存储器单元的传输之后开始由匹配放大器进行逻辑电平的检测,而不用考虑匹配线的延迟时间。作为结果,实现了高于常规频率的操作。

附图说明

[0014] 图1为示出根据本发明的第一实施方式的内容可寻址存储器100的整体配置的框图;

[0015] 图2为示例说明图1中所示的内容可寻址存储器100的部分配置的详情的框图;

[0016] 图3为描绘图2中所示的预充电单元PC、CAM单元CC、和匹配放大器MA的配置的电路图:

[0017] 图4为示出图2中所示的搜索线驱动器DR的配置的框图;

[0018] 图5为用于解释说明图3和图4中所示的相应的信号的时序图;

[0019] 图6为示例说明图1中所示的搜索控制电路40的配置的框图;

[0020] 图7为描绘图6中所示的主搜索控制电路41的框图;

[0021] 图8为用于解释说明图7中所示的相应的信号的时序图;

[0022] 图9为示出图6中所示的副搜索控制电路50的部分配置(搜索线使能信号SLE和匹配线预充电信号MLPRE_N的生成)的框图;

[0023] 图10为用于解释说明图9中所示的相应的信号的时序图;

- [0024] 图11为示例说明图6中所示的副搜索控制电路50的部分配置(匹配放大器控制信号MAE等的生成)的框图；
- [0025] 图12为示出图11中所示的延迟级55的配置的一个范例的框图；
- [0026] 图13为用于解释说明图11中所示的相应信号的时序图；
- [0027] 图14为描绘作为图2中所示的内容可寻址存储器100的对比范例的内容可寻址存储器900的配置的框图；
- [0028] 图15为示出图14中所示的搜索控制电路940的部分配置的框图；
- [0029] 图16为示例说明图2中所示的控制信号线36的配置的一个范例的规划图；
- [0030] 图17为描绘图2中所示的控制信号线36的配置的另一范例的规划图；
- [0031] 图18为示出根据本发明的第二实施方式的内容可寻址存储器100A的配置的框图；
- [0032] 图19为示例说明图18中所示的副搜索控制电路50A的部分配置(搜索线使能信号SLE_0和匹配线预充电信号MLPRE_0_N的生成)的框图；
- [0033] 图20为示出图18中所示的副搜索控制电路50B的部分配置(搜索线使能信号SLE_1和匹配线预充电信号MLPRE_1_N的生成)的框图；
- [0034] 图21为用于解释说明图19和图20中所示的相应的信号的时序图；
- [0035] 图22为示出图18中所示的副搜索控制电路50A的部分配置(匹配放大器控制信号MAE_0等的生成)的框图；
- [0036] 图23为示出图18中所示的副搜索控制电路50B的部分配置(匹配放大器控制信号MAE_1等的生成)的框图；
- [0037] 图24为用于解释说明图22中所示的相应的信号的时序图；
- [0038] 图25为示出图18中所示的控制信号线120和121的配置的一个范例的规划图；以及
- [0039] 图26为示例说明图18中所示的控制信号线120和121的配置的另一范例的规划图。

具体实施方式

- [0040] 本发明的优选实施方式将于以下参考随附的附图而被详细地描述。相同的附图标记偶尔会相应地附加在相同或相应的部件，而它们的描述将因此而不再重复。
- [0041] 〈第一实施方式〉
- [0042] [内容可寻址存储器100的整体配置和操作的概要]
- [0043] 图1为示出根据本发明的第一实施方式的内容可寻址存储器100的整体配置的框图。
- [0044] 参考图1，内容可寻址存储器100包括CAM存储器阵列10，形成在半导体衬底SUB上；匹配检测单元20；搜索数据传输单元30；搜索控制电路40(控制器)；优先级编码器70；搜索结果输出缓冲器81；地址/数据缓冲器74；指令码缓冲器75；指令码解码器77；时钟缓冲器76；地址解码器78；以及感测放大器79。
- [0045] CAM存储器阵列10包括多个CAM单元(存储器单元)排布在矩阵的形式中。每个CAM单元具有在其中存储一位数据以及比较搜索数据与预先存储的数据的功能。
- [0046] 内容可寻址存储器100包括对应于CAM存储器阵列10的相应行装设的字线(图3的附图标记WL)以及对应于CAM存储器阵列10的相应列装设的位线对(图3的附图标记BL和BL_N)，用于正常的数据写入和读取。此外，内容可寻址存储器100包括对应于CAM存储器阵列10

的相应行装设的匹配线(相符线)以及对应于CAM存储器阵列10的相应列装设的搜索线对SL和SL_N(检索线对),用于数据搜索。在本说明书中,_N偶尔被附加在每个附图标记的末尾,这种情况下它们是按其中逻辑电平被反转的互补关系被放置的。

[0047] 匹配检测单元20(匹配放大器)检测每条匹配线ML的逻辑电平(“1”或“0”)。由此检测出在连接到匹配线ML的每个CAM单元中,搜索数据与预先存储的数据是否互相匹配。

[0048] 搜索数据传输单元30(搜索线驱动器)在数据搜索时经由搜索线对SL和SL_N传输搜索数据到CAM存储器阵列10的每个存储器单元。

[0049] 搜索控制电路40基于输入其中的时钟CLK控制搜索数据传输单元30和匹配检测单元20的操作定时。

[0050] 优先级编码器70在匹配检测单元20的检测结果的基础上,根据预定优先级输出在其上搜索数据与存储的数据互相匹配了的每个地址,作为搜索结果。

[0051] 搜索结果输出缓冲器81通过搜索结果输出端子82向外输出接收自优先级编码器70的搜索结果。

[0052] 地址/数据缓冲器74将经由地址/数据输入端子71接收到的每个地址或数据输出至地址解码器78和感测放大器79。此外,地址/数据缓冲器74经由地址/数据输入端子71接收在其中的数据搜索所必需的多位搜索数据SD和SD_N并将其输出至搜索数据传输单元30。

[0053] 指令码缓冲器75将经由指令码输入端子72接收到的每个指令码输出至指令码解码器77。指令码包括指示数据写入的指令码以及指示数据搜索的指令码,等等。

[0054] 指令码解码器77解码接收自指令码缓冲器75的指令码以生成对应于指令内容的信号。例如,在接收到数据搜索指令时,指令码缓冲器75激活或断言搜索信号SCM。在接收到复位指令时,指令码缓冲器75断言复位信号RST。

[0055] 地址解码器78在数据写入时基于接收自地址/数据缓冲器74的地址选择目标写入存储器单元组,并且在数据读取时选择目标读取存储器单元组。

[0056] 时钟缓冲器76经由时钟输入端子73接收来自外部的时钟,并将其输出至内容可寻址存储器100的相应的部件。

[0057] 感测放大器79在数据读取时检测连接有读取目标CAM单元的位线对的逻辑电平。

[0058] 与数据搜索相关的组件将在以下进一步详细解释说明。图2为示出图1中所示的内容可寻址存储器100的部分配置的详情的框图。CAM存储器阵列10、匹配检测单元20、搜索数据传输单元30和搜索控制电路40在图2中示出。

[0059] CAM存储器阵列10包括多个存储器单元(CAM单元)排布在具有n行和m列的矩阵的形式中。就图2而言,m=80。第i行和第j列的CAM单元(其中i:是从大于/等于1到小于/等于n-1的整数,而j:是从大于/等于1到小于/等于m-1的整数)被描述为相应的CAM单元CC[i-1,j-1]。CAM单元在它们被给予通用名称或者在它们表示未指定单元时被描述为CAM单元CC。此外,CAM存储器阵列10的行方向被称为X方向,而其列方向被称为Y方向。当对于X方向的取向相互区别时,它们通过增加符号而被描述,如+X方向和-X方向。Y方向也与以上类似。

[0060] 如图2中所示,内容可寻址存储器100包括从ML[0]到ML[n-1]的n条匹配线,其对应于CAM存储器阵列10的行装设并在X方向上延伸。此外,内容可寻址存储器100包括从SL[0]和SL_N[0]到SL[m-1]和SL_N[m-1]的m对搜索线,其对应于CAM存储器阵列10的列装设并在Y方向上延伸(图2描述m=80)。在其中它们被给予通用名称或者它们表示未指定线路时,匹配

线ML[0]到ML[n-1]以及搜索线对SL[0]和SL_N[0]到SL[79]和SL_N[79]被相应地描述为匹配线ML和搜索线对SL和SL_N。CAM单元CC相应地对应于其上n条匹配线ML与m对搜索线对SL和SL_N相交的点装设。CAM单元CC被连接到它们相应的匹配线ML以及搜索线对SL和SL_N。

[0061] 内容可寻址存储器100此外包括从PC[0]到PC[n-1]的预充电单元相应地连接到从ML[0]到ML[n-1]的n条匹配线。在其中它们被给予通用名称或者它们表示未指定单元时,从PC[0]到PC[n-1]的预充电单元也被相应地描述为预充电单元PC。当接收自搜索控制电路40的匹配线预充电信号MLPRE_N(第三控制信号)被置于有效状态(“0”)时,每个预充电单元PC将相应的匹配线ML预充电至预定电压(图2中的电源电压)。每个预充电单元PC被装设在相应的匹配线ML在-X方向侧的一端,即,在匹配检测单元20(匹配放大器MA[0]到MA[n-1])附近。

[0062] 在内容可寻址存储器中,多位搜索数据(多个搜索字)与预先存储的数据(多个存储字)在每一由多个CAM单元CC构成的条目上进行比较。在图2中,一个条目由对应于连接到相应的匹配线ML的一行(80个)的CAM单元CC所构成。亦即,条目位宽为80位。多个搜索字经由对应于80个对的搜索线对SL和SL_N被输入至CAM存储器阵列10的相应的条目。输入的多个搜索字与多个存储字被相应地在每个CAM单元CC上在位单元中比较。

[0063] 数据搜索步骤将被解释。首先,相应的匹配线ML由预充电单元PC预充电至“1”。然后,搜索数据通过它们相应的搜索线对SL和SL_N被输入至相应的CAM单元CC。每个CAM单元CC对输入的搜索数据与预先存储的一位数据进行比较。当它们彼此不同时,被置于预充电状态的相应的匹配线ML被放电,从而改变相应的匹配线ML的逻辑电平。

[0064] 由此,当即使在任何相应地连接到匹配线ML的CAM单元CC的情况下存储的数据与搜索数据也都相匹配(命中“HIT”)时,即,当搜索字与存储字互相匹配时,相应的匹配线ML的逻辑电平被维持在“1”。当存储的数据与搜索数据关于至少一个连接到匹配线ML的CAM单元CC不相匹配(错过“MISS”)时,即,当搜索字与存储字互不匹配时,预充电的电荷被放电从而使相应的匹配线ML的逻辑电平被变为“0”。

[0065] 偶尔,有各种步骤被视为数据搜索步骤,比如用于预充电每条匹配线至“0”并且在存储的数据与搜索数据为HIT状态时将其充电至“1”的方法、用于预充电每条匹配线至“1”并且在存储的数据与搜索数据为MISS状态时将其充电至“0”的方法,等等。本申请对数据搜索步骤没有特别限制。

[0066] 匹配检测单元20包括从MA[0]到MA[n-1]的n个匹配放大器,相应地对应于n条匹配线ML。当它们被给予通用名称或者当它们指称未指定放大器时,从MA[0]到MA[n-1]的匹配放大器在以下被相应地描述为匹配放大器MA。相应的匹配放大器MA被连接到它们相应的匹配线ML的-X方向侧的一端。

[0067] 每个匹配放大器MA检测相应的匹配线ML的逻辑电平(“1”或“0”)。如图3中所述,匹配放大器MA将相应的匹配线ML的电压与施加到参考线上的参考电压(图3的ML_REF)进行比较,以从而检测匹配线ML的逻辑电平。每个匹配放大器MA的操作由输出自搜索控制信号40的匹配放大器控制信号MLI、MAE和MALAT(第二控制信号)所控制。

[0068] 搜索数据传输单元30总共包括从DR[0]到DR[m-1]的m个搜索线驱动器(在图2中m=80),相应地与对应于m对的从SL[0]和SL_N[0]到SL[m-1]和SL_N[m-1]的搜索线对相对应。从DR[0]到DR[79]的搜索线驱动器在它们被给予通用名称或者当它们表示未指定驱动

器时,相应地被描述为搜索线驱动器DR。每个搜索线驱动器DR被连接到相应的搜索线对SL和SL_N在-Y方向侧上相应的一端。

[0069] 如图2中所示,第i(其中i:是从大于/等于1到小于/等于m的整数)搜索线驱动器DR[i-1]接收每一单个的搜索数据SD[i-1]和SD_N[i-1]以及公用搜索线使能信号SLE(第一控制信号)。搜索数据SD[i-1]和SD_N[i-1]是互补数据,在其中当其中的一个为“1”时,其中的另一个为“0”,该数据是由图1中所示的地址/数据缓冲器74所供应的。搜索线使能信号SLE由搜索控制电路40通过单条控制信号线36(36A、36B和36C)而提供。搜索线驱动器DR[i-1]在搜索线使能信号SLE在有效状态(“1”)时将搜索数据SD[i-1]和SD_N[i-1]传输至相应的搜索线对SL[i-1]和SL_N[i-1]。偶尔,从SD[0]和SD_N[0]到SD[m-1]和SD_N[m-1]的搜索数据在它们被给予通用名称的地方或者在它们表示未指定搜索数据时也被描述为搜索数据SD和SD_N。

[0070] [匹配放大器和搜索线驱动器等的详情]

[0071] 以下将做出对预充电单元PC、CAM单元、匹配放大器MA和搜索线驱动器DR的配置和操作的更加详细的描述。

[0072] 图3为示出图2中所示的预充电单元PC、CAM单元CC和匹配放大器MA的配置的电路图。

[0073] (1.预充电单元PC)

[0074] 参考图3,每个预充电单元PC包括PMOS(P-沟道金属氧化物半导体)晶体管QP1。PMOS晶体管QP1的漏极被连接到其相应的匹配线ML,其源极被连接到电源节点VDD并且其栅极被输入以匹配线预充电信号MLPRE_N。当匹配线预充电信号MLPRE_N被断言为“0”时,PMOS晶体管QP1进入导电状态,使电源电压被施加到匹配线ML上。

[0075] (2.CAM单元的配置)

[0076] CAM单元CC包括SRAM(静态随机存取存储器)单元11,其中存储数据;以及从QN1到QN4的NMOS(N-沟道金属氧化物半导体)晶体管。

[0077] SRAM单元11包括由反相器12和13以及NMOS晶体管14和15构成的触发器,用于数据的输入/输出。反相器12和13各自的输出节点被连接到另一个的输入节点。反相器12和13的输出节点被用作存储节点ND1和ND1_N,用于保留数据。存储在存储节点ND1和ND1_N上的数据是互补数据,当其中一个为“1”时,其中另一个变为“0”。

[0078] 存储节点ND1经由NMOS晶体管14被连接到其相应的位线BL。存储节点ND1_N经由NMOS晶体管15被连接到其相应的位线BL_N。NMOS晶体管14和15的栅电极被连接到它们相应的字线WL。字线WL和位线对BL与BL_N在正常数据写入和读取时使用。

[0079] NMOS晶体管QN1和QN2以这一顺序被串联连接在匹配线ML与地节点GND之间。NMOS晶体管QN1的栅极被连接到存储节点ND1_N,而NMOS晶体管QN2的栅极被连接到其相应的搜索线SL。

[0080] NMOS晶体管QN3和QN4以这一顺序被串联连接在匹配线ML与地节点GND之间。NMOS晶体管QN3的栅极被连接到存储节点ND1,而NMOS晶体管QN4的栅极被连接到其相应的搜索线SL_N。

[0081] 因而,在数据搜索中,当存储节点ND1为“1”(存储节点ND1_N为“0”)并且搜索线SL为“1”(搜索线SL_N为“0”)时(HIT),NMOS晶体管QN2和QN3相应地进入导电状态,而NMOS晶体

管QN1和QN4相应地进入非导电状态。由于在这种情况下匹配线ML与地节点GND处于非连接状态,预充电的匹配线ML的电压保持不变。

[0082] 在数据搜索中,当存储节点ND1为“1”而搜索线SL为“0”时(MISS),NMOS晶体管QN3和QN4相应地进入导电状态,而NMOS晶体管QN1和QN2相应地进入非导电状态。在这种情况下,匹配线ML与地节点GND通过NMOS晶体管QN3和QN4而相互连接。预充电的匹配线ML的电荷经由这一导电路径而被放电。

[0083] 在数据搜索中,当存储节点ND1为“0”并且搜索线SL为“0”时(HIT),NMOS晶体管QN1和QN4相应地进入导电状态,而NMOS晶体管QN2和QN3相应地进入非导电状态。由于在这种情况下匹配线ML与地节点GND处于非连接状态,预充电的匹配线ML的电压保持不变。

[0084] 在数据搜索中,当存储节点ND1为“0”而搜索线SL为“1”时(MISS),NMOS晶体管QN1和QN2相应地进入导电状态,而NMOS晶体管QN3和QN4相应地进入非导电状态。在这种情况下,匹配线ML与地节点GND通过NMOS晶体管QN1和QN2而相互连接。预充电的匹配线ML的电荷经由这一导电路径而被放电。

[0085] (3.匹配放大器的配置)

[0086] 如图3中所示,匹配放大器MA包括由PMOS晶体管所充当的传输门QP2和QP3、比较电路21、由NMOS晶体管所充当的传输门QN6和QN7、锁存电路22以及从QP7到QP10的PMOS晶体管。匹配放大器MA被供应以来自图2的搜索控制电路40的匹配放大器控制信号MLI、MAE、MAE_N和MALAT。

[0087] 传输门QP2执行匹配线ML与布置于匹配放大器MA内的信号线CRS_ML之间的连接状态或非连接状态的切换。传输门QP3执行参考线ML_REF与布置于匹配放大器MA内的信号线CRS_REF之间的连接状态或非连接状态的切换。当匹配线ML的电压与参考线ML_REF的参考电压由匹配放大器MA进行比较时,输入到传输门QP2和QP3的栅电极的匹配放大器控制信号MLI被断言为(“1”)。因而,由于传输门QP2和QP3相应地进入非导电状态,可以防止它们受到匹配线ML的电容的影响。

[0088] 比较电路21将全部经由传输门QP2和QP3传输的匹配线ML的电压与参考线ML_REF的参考电压进行比较。如图3中所示,比较电路21包括从QP4到QP6的PMOS晶体管以及从QN3到QN5的NMOS晶体管。对于这些晶体管之间的连接将会做出描述。PMOS晶体管QP4被连接在电源节点VDD与节点ND3之间,而NMOS晶体管QN3被连接在地节点GND与节点ND4之间。PMOS晶体管QP5被连接在节点ND3与信号线CRS_REF之间,而PMOS晶体管QP6被连接在节点ND3与信号线CRS_ML之间。NMOS晶体管QN4被连接在节点ND4与信号线CRS_REF之间,而NMOS晶体管QN5被连接在节点ND4与信号线CRS_ML之间。

[0089] 在匹配放大器MA的操作中,施加到NMOS晶体管QN3的栅电极的匹配放大器控制信号MAE被断言为“1”,而施加到PMOS晶体管QP4的栅电极的匹配放大器控制信号MAE_N被断言为“0”。因而,当匹配线ML的电压高于参考线ML_REF的电压时,信号线CRS_ML的电压被驱动至电源电压而信号线CRS_REF的电压被驱动至地电压。当反之匹配线ML的电压低于参考线ML_REF的电压时,信号线CRS_ML的电压被驱动至地电压而信号线CRS_REF的电压被驱动至电源电压。

[0090] 传输门QN6和QN7被装设用以执行比较电路21与锁存电路22之间的连接状态或非连接状态的切换。传输门QN6和QN7的栅电极被输入以匹配放大器控制信号MALAT。当匹配放

大器控制信号MALAT有效(“1”)时,传输门QN6和QN7进入导电状态。当匹配放大器控制信号MALAT无效(“0”)时,传输门QN6和QN7相应地进入非导电状态。

[0091] 锁存电路22是RS(复位-置位)锁存电路,其包括与非电路23和24以及反相器电路25。与非电路23的第一输入节点通过传输门QN6被连接到信号线CRS_{ML},而其第二输入节点被连接到与非电路24的输出节点。与非电路24的第一输入节点通过传输门QN7被连接到信号线CRS_{REF},而其第二输入节点被连接到与非电路23的输出节点。反相器电路25输出与非电路24的输出的反相信号,作为匹配放大器MA的输出信号MAO_N。

[0092] PMOS晶体管QP7和QP8被装设用以补偿因传输门QN6和QN7而产生的电压下降。如图3中所示,PMOS晶体管QP7的源极被连接到电源节点VDD,其漏极被连接到与非电路23的第一输入节点,而其栅极被连接到与非电路24的第一输入节点。PMOS晶体管QP8的源极被连接到电源节点VDD,其漏极被连接到与非电路24的第一输入节点,而其栅极被连接到与非电路23的第一输入节点。

[0093] 假设作为匹配线ML和参考线ML_{REF}由比较电路21所驱动的结果,信号线CRS_{ML}的电压变得与电源电压相等而信号线CRS_{REF}的电压变得与地电压相等。在这种情况下,通过传输门QN6传输至与非电路23的电压被变得比电源电压低NMOS晶体管的阀值电压。由于PMOS晶体管QP7通过如图3中所示装设PMOS晶体管QP7和QP8而进入导电状态,与非电路23的第一输入节点的电压可以等于电源电压。

[0094] PMOS晶体管QP9和QP10被装设用以控制锁存电路22的工作状态。如图3中所示,PMOS晶体管QP9被连接在电源节点VDD和与非电路23的第一输入节点之间,而PMOS晶体管QP10被连接在电源节点VDD和与非电路24的第一输入节点之间。匹配放大器控制信号MALAT被输入至PMOS晶体管QP9和QP10的栅极。

[0095] 由于在匹配放大器控制信号MALAT处于无效状态(“0”)时PMOS晶体管QP9和QP10为导电状态,锁存电路22的输入全都进入“1”的状态。在此时,锁存电路22保持其原始内部状态。由于在匹配放大器控制信号MALAT处于有效状态(“1”)时PMOS晶体管QP9和QP10为非导电状态,锁存电路22输出对应于比较电路21的输出结果的值。

[0096] (4.搜索线驱动器的配置)

[0097] 图4为示出图2中所示的搜索线驱动器DR的配置的框图。参考图4,搜索线驱动器DR包括“与”门电路31和32以及低电平通过D型锁存器33和34。D型锁存器33和34的输入端子被相应地输入以搜索数据SD和SD_N。搜索线使能信号SLE被同时输入至D型锁存器33和34的时钟端子。D型锁存器33的输出信号和搜索线使能信号SLE被输入至“与”门电路31。D型锁存器34的输出信号和搜索线使能信号SLE被输入至“与”门电路32。“与”门电路31和32的输出信号被相应地提供给相应的搜索线SL和SL_N。

[0098] 由于在搜索线使能信号SLE处于无效状态(“0”)时“与”门电路31和32的输出为“0”,“0”被输出至搜索线SL和SL_N两者。当搜索线使能信号SLE从无效状态(“0”)改变为有效状态(“1”)(搜索线驱动器DR被激活)时,D型锁存器33和34在搜索线使能信号被切换到有效状态(“1”)时在其中保持搜索数据SD和SD_N。在搜索线使能信号SLE的有效状态(“1”)中,保留在D型锁存器33和34中的数据被相应地提供给搜索线SL和SL_N。

[0099] (5.时序图)

[0100] 图5按时钟CLK、搜索数据SD和SD_N、搜索线使能信号SLE、搜索线SL和SL_N的电压、

匹配线预充电信号MLPRE_N、控制信号REF_DOWN以及匹配放大器控制信号MLI、MAE和MALAT的从上开始的顺序示出它们的相应波形。由实线表示的最下方曲线图表示匹配线ML的电压波形。由点划线表示的曲线图表示图3的信号线CRS_ML的电压波形。由虚线表示的曲线图表示图3的信号线CRS_REF的电压波形。图5的时序图将在以下参考图3到图5解释。

[0101] 首先,新的搜索数据SD和SD_N响应于时钟CLK的上升定时T10、T30和T50而被供应。假设在图5中,在T10与T30时刻之间输入的搜索数据SD和SD_N与存储在CAM单元CC中的数据相匹配(HIT),并且在T30与T50时刻之间输入的搜索数据SD和SD_N不与存储在CAM单元CC中的数据匹配(MISS)。

[0102] 搜索线使能信号SLE响应于时钟CLK的下降定时T20、T40和T60而进入有效状态(“1”),并且响应于时钟CLK的上升定时T30和T50而进入无效状态(“0”)。根据搜索线使能信号SLE的激活,搜索数据SD和SD_N在T22与T31时刻之间以及T42与T51时刻之间被传输至搜索线SL和SL_N。

[0103] 匹配线预充电信号MLPRE_N响应于时钟CLK的上升定时T30和T50而进入有效状态(“0”),并且响应于时钟CLK的下降定时T20、T40和T60而进入无效状态(“1”)。匹配线预充电信号MLPRE_N受到控制以使其不与搜索线SL和SL_N同时进入有效状态。即,匹配线预充电信号MLPRE_N进入无效状态(“1”的定时T21和T41早于搜索数据SD和SD_N被传输至搜索线SL和SL_N的激活定时T22和T42。此外,匹配线预充电信号MLPRE_N进入有效状态(“0”的定时T33和T53迟于搜索线SL和SL_N被停用的定时T31和T51。

[0104] 控制信号REF_DOWN是用于控制图3的参考线ML_REF的电压电平的信号。当控制信号REF_DOWN在无效状态(“0”)时,参考线ML_REF的电压变得与电源电压相等。当控制信号REF_DOWN在有效状态(“1”)时,参考线ML_REF的电压达到低于电源电压预定电压(例如,100mV左右)的电压。在图5中,控制信号REF_DOWN大约与搜索线使能信号SLE同步进入有效状态(“1”)。

[0105] 匹配放大器控制信号MLI、MAE和MALAT响应于时钟CLK的上升定时T30和T50而仅在预定时段内被置于有效状态(“1”)。在此时,它们按MLI、MAE和MALAT的顺序进入有效状态(“1”),并且按MALAT、MAE和MLI的顺序进入无效状态(“0”)。匹配放大器控制信号MLI、MAE和MALAT也受到控制以使其不与搜索线SL和SL_N同时达到有效状态。即,匹配放大器控制信号MLI、MAE和MALAT被断言的定时迟于搜索线SL和SL_N被停用的定时T31和T51。

[0106] 作为按上述定时提供相应信号的结果,在匹配线ML以及信号线CRS_ML和CRS_REF上的电压波形指示出如图5的下部所示的变化。这些电压波形将在以下按时间流逝顺序描述。

[0107] 在匹配线预充电信号MLPRE_N在从T11到T21的时段中处于有效状态(“0”)时,匹配线ML、参考线ML_REF以及信号线CRS_ML和CRS_REF被预充电至预定电压(图5中的电源电压VDD)。

[0108] 在下一时刻T22,控制信号REF_DOWN被断言,以使参考线ML_REF的电压电平低于电源电压VDD。因而,信号线CRS_REF的电压电平也被降低。

[0109] 在T22时刻到T31时刻的时段中,搜索数据SD和SD_N被传输至搜索线SL和SL_N以从而激活搜索线SL和SL_N。由于在这段时间内搜索数据SD和SD_N与存储于相应的CAM单元CC中的数据互相匹配(HIT),匹配线ML和信号线CRS_ML的电压保持不变并且因此保持了电源

电压VDD。

[0110] 随后,匹配放大器控制信号MLI被断言,以使切断图3中所示的传输门QP2和QP3。在下一时刻T32,匹配放大器控制信号MAE被断言,以使图3的比较电路21开始工作。其结果是,信号线CRS_REF的电压被降低至地电压GND。此外,匹配放大器控制信号MALAT被断言,以使图3的锁存电路22输出搜索结果MAO_N。

[0111] 在下一时刻T33,匹配线预充电信号MLPRE_N在比较电路21进行操作的同时进入有效状态(“0”)。因而,匹配线ML被预充电用以进行下一次数据搜索。

[0112] 在由比较电路21进行的比较操作结束之后,匹配放大器控制信号MLI在T34时刻返回至无效状态(“0”),以使图3的传输门QP2和QP3进入导电状态。因此,信号线CRS_REF的电压上升至电源电压VDD。第一数据搜索如以上所述完成。

[0113] 在下一时刻T41,匹配线预充电信号MLPRE_N进入无效状态(“1”),以使匹配线ML、参考线ML_REF和信号线CRS_ML完成预充电。

[0114] 在下一时刻T42,控制信号REF_DOWN被断言,以使参考线ML_REF的电压电平比电源电压VDD低预定电压。因而,信号线CRS_REF的电压电平也降低该预定电压。

[0115] 在从下一时刻T42到时刻T51的时段中,相应的搜索数据SD和SD_N被传输至搜索线SL和SL_N。由于在这种情况下搜索数据SD和SD_N与存储于相应的CAM单元CC中的数据不相匹配(MISS),预充电的匹配线ML和信号线CRS_ML的电荷经由CAM单元CC而被放电。其结果是,匹配线ML和信号线CRS_ML的电压被逐渐降低。

[0116] 随后,匹配放大器控制信号MLI被断言,以切断图3中所示的传输门QP2和QP3。在下一时刻T52,匹配放大器控制信号MAE被断言,以使图3的比较电路21开始工作。其结果是,信号线CRS_ML的电压被降低至地电压GND。此外,匹配放大器控制信号MALAT被断言,以使图3的锁存电路22输出搜索结果MAO_N。

[0117] 在下一时刻T53,匹配线预充电信号MLPRE_N在比较电路21进行操作的同时进入有效状态(“0”)。因而,匹配线ML被预充电用以进行下一次数据搜索。其结果是,匹配线ML的电压逐渐升向电源电压VDD。

[0118] 在由比较电路21进行的比较操作结束之后,匹配放大器控制信号MLI在T54时刻返回至无效状态(“0”),以使图3的传输门QP2和QP3进入导电状态。因此,信号线CRS_REF的电压也上升至电源电压VDD。

[0119] [对于内容可寻址存储器的定时控制的说明]

[0120] 在如上所述的数据搜索中,避免匹配线预充电信号MLPRE_N的断言与搜索线对SL和SL_N的断言(搜索数据SD和SD_N的传输)的同时发生是必要的。这是因为如果搜索线SL和SL_N的激活与每条匹配线的预充电同时发生,则会有下面的问题。

[0121] 首先,有直通电流从图3中所示的预充电PMOS晶体管QP2流向图3中所示的CAM单元CC。其次,尽管数据搜索的结果为不匹配(MISS),匹配线ML将有可能因匹配线预充电信号MLPRE_N的断言而被充电到H电平,因而导致错误搜索结果的输出。

[0122] 因此,对提供用以断言搜索线使能信号SLE的定时以及提供用以断言匹配线预充电信号MLPRE_N的定时进行调节是重要的。具体而言,必须在匹配线ML的预充电结束之后开始搜索数据SD和SD_N到搜索线对SL和SL_N的传输(搜索线对SL和SL_N的激活)。还必须在搜索线SL和SL_N达到无效状态之后断言匹配线预充电信号MLPRE_N并在随后开始匹配线ML的

预充电。

[0123] 除了上述各点,甚至必须注意被提供用以在搜索数据SD和SD_N到搜索线SL和SL_N的传输之后断言匹配放大器控制信号MLI、MAE和MALAT的定时。这是因为虽然匹配线ML在数据搜索的结果为不匹配(MISS)时由CAM单元CC进行放电,但由于匹配线ML的电容,随着CAM单元CC与CAM单元CC的距离的增加,将匹配线ML的电压中的降低传递到匹配放大器MA是需要时间的。

[0124] 在常规内容可寻址存储器中,这样的定时控制由使用多个反相器级的延迟电路所执行。因此,由于制造工艺造成的MOS晶体管特性的波动的影响以及电源电压和工作温度的变动的影响增加,在定时设计上已花费大量时间。此外,内容可寻址存储器的工作频率的加快在延迟电路本身的设计中遇到了困难。根据第一实施方式的内容可寻址存储器100能够通过使用不同于常规的定时控制方法而抑制工艺波动的影响以及电源电压和工作温度中的变动的影响。其中详情将于以下解释。

[0125] [内容可寻址存储器100的定时控制的详情]

[0126] 再次参考图2,内容可寻址存储器100包括搜索控制电路40,其被提供用以控制匹配放大器MA和搜索线驱动器DR的工作定时。在图1中,搜索控制电路40被装设在匹配检测单元20(匹配放大器MA)的-Y方向侧以及搜索数据传输单元30(搜索线驱动器DR)的-X方向侧上。

[0127] 搜索控制电路40接收来自图1的时钟缓冲器76的时钟CLK并且接收来自指令码解码器77的搜索信号SCM和复位信号RST_N。搜索控制电路40基于接收到的信号生成上述搜索线使能信号SLE、匹配线预充电信号MLPRE_N以及匹配放大器控制信号MLI、MAE、MAE_N和MALAT,并将它们由其中输出。

[0128] 内容可寻址存储器100的一个特征点在于,一条控制信号线36(36A、36B和36C)被装设用以将搜索线使能信号SLE传输至相应的搜索线驱动器DR。控制信号线36包括接线部分36A,从搜索控制电路40的输出节点开始在+X方向上延伸;搜索线使能信号SLE在其处折返的返回部分36B;以及接线部分36C,在-X方向上从返回部分36B延伸到搜索控制电路40。

[0129] 接线部分36C按搜索线驱动器DR的布置顺序连接到相应的搜索线驱动器DR并且进一步连接到搜索控制电路40。因而,在搜索线使能信号SLE被从搜索控制电路40输出之后,其通过接线部分36A并到达返回部分36B。在返回部分36B折返的搜索线使能信号SLE首先通过距匹配放大器MA最远的搜索线驱动器DR[79]和接线部分36C的连接节点。然后,搜索线使能信号SLE以搜索线驱动器DR[78]、DR[77]、...、DR[0]这样的顺序通过搜索线驱动器DR和接线部分36C的连接节点。搜索线使能信号SLE最终重新到达搜索控制电路40。随后,在从搜索控制电路40发出的时候,搜索线使能信号被描述为SLE_SND,而在由搜索控制电路40重新接收的时候,搜索线使能信号被描述为SLE_RCV。

[0130] 由于提供上述控制信号线36,第一搜索线驱动器DR[79]在使得搜索线使能信号SLE从其由搜索控制电路40所断言开始至少传播通过第一接线部分36A所使用的时间过去之后被激活。因而,搜索线使能信号SLE从搜索控制电路40到搜索线驱动器DR[79]的传输所使用的时间可长于匹配线预充电信号MLPRE_N从搜索控制电路40到任何预充电单元PC的传输所使用的时间。其结果是,可以在匹配线ML由相应的预充电单元PC完成预充电之后,开始搜索数据SD和SD_N到搜索线对SL和SL_N的传输(激活搜索线SL和SL_N)。

[0131] 在这里,搜索线使能信号SLE的传输时间取决于控制信号线36的RC延迟。因而,可以根据每条接线的长度、宽度和厚度控制信号传输时间。不同于使用级联耦合反相器的常规延迟电路,本范例不受晶体管制造工艺中的波动的影响。传输时间还可以通过插入与控制信号线36串联的高电阻接线部分或者装设与控制信号线36并联的电容性负载而被调节。

[0132] 此外,通过提供上述控制信号线36可以使用返回至搜索控制电路40的搜索线使能信号SLE_RCV来生成匹配线预充电信号MLPRE_N以及匹配放大器控制信号MLI、MAE和MALAT。因而,可以轻易地在搜索线SL和SL_N进入无效状态之后断言匹配线预充电信号MLPRE_N以及匹配放大器控制信号MLI、MAE和MALAT。

[0133] 另外,由于搜索线SL和SL_N以从远离每个匹配放大器MA的那些开始的顺序被激活,没有必要考虑每条匹配线ML的接线延迟以确定被提供用以激活匹配放大器MA的定时。

[0134] 装设具有如上所述的上述配置的控制信号线36使得即使在不使用延迟电路的情况下,也可以轻松地控制用于激活搜索线SL和SL_N的定时以及用于断言匹配线预充电信号MLPRE_N的定时。因此,内容可寻址存储器能够在比常规的更高的频率上工作。

[0135] [搜索控制电路40的配置]

[0136] 以下将解释搜索控制电路40的具体配置范例。

[0137] 图6为示例说明图1中所示的搜索控制电路40的配置的框图。参考图6,搜索控制电路40包括主搜索控制电路41和副搜索控制电路50。

[0138] 主搜索控制电路41基于在其中接收的时钟CLK、搜索信号SCM和复位信号RST_N,生成触发信号SE_ACT0,用于对相应的匹配线ML进行预充电;以及触发信号SE_ACT1,用于激活相应的搜索线SL和SL_N。

[0139] 副搜索控制电路50基于用于激活搜索线SL和SL_N的触发信号SE_ACT1,生成并输出搜索线使能信号SLE_SND。此外,副搜索控制电路50基于接收到的搜索线使能信号SLE_RCV和用于对每条匹配线ML进行预充电的触发信号SE_ACT0,生成并输出匹配线预充电信号MLPRE_N。副搜索控制电路50此外还基于接收到的搜索线使能信号SLE_RCV,生成并输出匹配放大器控制信号MLI、MAE和MALAT。

[0140] (1. 主搜索控制电路41的配置)

[0141] 图7为示出图6中所示的主搜索控制电路41的配置的框图。参考图7,主搜索控制电路41包括D型触发器42至44、“与”门电路45和46以及反相器47。

[0142] D型触发器42在时钟CLK的上升沿的定时保留搜索信号SCM并且从其中输出其保留的值(SE_C10)。

[0143] D型触发器43在时钟CLK的下降沿的定时保留D型触发器42的输出信号SE_C10并且从其中输出其保留的值(SE_C20)。

[0144] D型触发器44在时钟CLK的上升沿的定时保留D型触发器43的输出信号SE_C20并且从其中输出其保留的值(SE_C30)。

[0145] “与”门电路45执行对于D型触发器43的输出信号SE_C20与时钟CLK求逻辑和的算术运算,并且输出算术运算的结果作为触发信号SE_ACT0,用于预充电每条匹配线ML。

[0146] “与”门电路46执行对于D型触发器44的输出信号SE_C30与借助反相器47反转时钟CLK而获得的信号求逻辑和的算术运算,并且输出算术运算的结果作为触发信号SE_ACT1,用于激活搜索线SL和SL_N。

[0147] D型触发器42至44此外在其中接收复位信号RST_N。当复位信号RST_N进入有效状态(“0”)时,D型触发器42至44的输出信号全部被复位为“0”。

[0148] 图8为用于描述图7中所示的相应的信号的时序图。参考图7和图8,时钟CLK被假设为在T10、T30和T50时刻的定时上升并且在T20、T40和T60时刻的定时下降。

[0149] 在时钟CLK上升的T10时刻,搜索信号SCM在有效状态(“1”)。因而,D型触发器42的输出信号SE_C10在T10时刻与时钟CLK下一次上升的T30时刻之间成为H电平。

[0150] 然后,在时钟CLK下降的T20时刻,D型触发器42的输出信号SE_C10在H电平。因而,D型触发器43的输出信号SE_C20在T20时刻与时钟CLK下一次下降的T40时刻之间成为H电平。

[0151] 然后,在时钟CLK再次上升的T30时刻,D型触发器43的输出信号SE_C20在H电平。因而,D型触发器44的输出信号SE_C30在T30时刻与时钟CLK下一次上升的T50时刻之间成为H电平。

[0152] 由于D型触发器43的输出信号SE_C20和时钟CLK在下一时刻T30与T40之间全都是H电平,对应于“与”门电路45的输出的触发信号SE_ACT0进入到H电平。亦即,用于对每条匹配线ML进行预充电的触发信号SE_ACT0在对应于时钟CLK的前半个周期的半周期(T30到T40)中进入有效状态(“1”)。

[0153] 由于在下一时刻T40与T50之间触发器44的输出信号SE_C30在H电平而时钟CLK在L电平,对应于“与”门电路46的输出的触发信号SE_ACT1成为H电平。亦即,用于激活搜索线SL和SL_N的触发信号SE_ACT1在对应于时钟CLK的后半个周期的半周期(T40到T50)中进入有效状态(“1”)。

[0154] (2.副搜索控制电路50的配置)

[0155] 图9为示出图6中所示的副搜索控制电路50的部分配置的框图。图9示出副搜索控制电路50与搜索线使能信号SLE和匹配线预充电信号MLPRE_N相关的配置。

[0156] 如图9中所示,副搜索控制电路50包括缓冲电路51和52、反相器53以及与非电路54。

[0157] 缓冲电路51调整用于激活搜索线SL和SL_N的触发信号SE_ACT1并且将其输出作为搜索线使能信号SLE_SND。

[0158] 与非电路54对通过由反相器53反转接收到的搜索线使能信号SLE_RCV而获得的信号与用于对每条匹配线ML进行预充电的触发信号SE_ACT0执行与非运算。

[0159] 缓冲电路52调整由与非电路54所进行的运算的结果并且将其输出作为匹配线预充电信号MLPRE_N。

[0160] 根据上面的配置,即使断言了触发信号SE_ACT0,在搜索线使能信号SLE_RCV处于有效状态(“1”的同时,匹配线预充电信号MLPRE_N并未进入有效状态(“0”)。搜索线使能信号SLE_RCV进入无效状态(“0”),从而使匹配线预充电信号MLPRE_N能够被断言。

[0161] 图10为用于解释说明图9中所示的相应信号的时序图。图10以时钟CLK、触发信号SE_ACT0和SE_ACT1、在发送处的搜索线使能信号SLE_SND、到达搜索线驱动器DR[79]的搜索线使能信号SLE_SL[79]、在由搜索控制电路40接收处的搜索线使能信号SLE_RCV,以及匹配线预充电信号MLPRE_N的顺序从上面开始示出它们的相应波形。时钟CLK被假设为在T10和T30时刻的定时上升并且在T20和T40时刻的定时下降。

[0162] 如图10中所示,用于对每条匹配线ML进行预充电的触发信号SE_ACT0在T20时刻改

变为L电平。匹配线预充电信号MLPRE_N对其做出响应而在T21时刻改变为H电平,从而导致了匹配线ML的预充电的完成。

[0163] 此外,用于激活搜索线SL和SL_N的触发信号SE_ACT1在T20时刻改变为H电平。搜索线使能信号SLE_SND对其做出响应,改变为H电平(其被断言)。在搜索线驱动器DR[79]接收到的搜索线使能信号SLE_SL[79]在从搜索线使能信号SLE_SND被断言起延迟了接线延迟的T23时刻被断言。此外,在搜索控制电路40接收到的搜索线使能信号SLE_RCV在延迟了接线延迟的情况下被断言。

[0164] 因而,时间余量TD1可以被提供在匹配线ML的预充电完成的时刻T21与搜索线SL[79]和SL_N[79]被首次激活的时刻T23之间。

[0165] 然后,在T30时刻,用于对匹配线ML进行预充电的触发信号SE_ACT0改变为H电平,以使匹配线预充电信号MLPRE_N进入可断言状态。然而,由于在搜索控制电路40接收到的搜索线使能信号SLE_RCV在此时处于H电平,匹配线预充电信号MLPRE_N未被断言。匹配线预充电信号MLPRE_N在接收于搜索控制电路40的搜索线使能信号SLE_RCV进入L电平之后被断言(T36时刻)。

[0166] 如图2中所示,搜索线使能信号SLE在其通过每个搜索线驱动器DR与控制信号线36间的连接节点之后到达搜索控制电路40。因而,所有搜索线对SL和SL_N的激活解除在搜索线使能信号SLE_RCV被去断言的T35时刻过去之前完成。其结果是,时间余量TD2可以被提供在完成所有搜索线对SL和SL_N的激活解除的T35时刻与匹配线预充电信号MLPRE_N被断言的T36时刻之间。

[0167] 如上所述,内容可寻址存储器100能够在不使用其中串接有多个反相器的延迟电路的情况下控制匹配线预充电信号MLPRE_N和搜索线使能信号SLE的定时。

[0168] 图11为示例说明图6中所示的副搜索控制电路50的部分配置的框图。图11示例说明了副搜索控制电路50与匹配放大器控制信号MLI、MAE、MAE_N和MALAT的生成有关的配置。

[0169] 如图11中所示,副搜索控制电路50包括延迟级55至59、反相器60和61、“与”门电路62至64以及缓冲电路65至68。

[0170] “与”门电路62对通过由反相器60反转搜索线使能信号SLE_RCV而获得的信号与通过由延迟级55、58和59延迟搜索线使能信号SLE_RCV而获得的信号执行“与”运算。“与”门电路62的运算结果由缓冲电路65进行调整,并接着被输出作为匹配放大器控制信号MLI。

[0171] “与”门电路63对通过由反相器60反转搜索线使能信号SLE_RCV并于随后由延迟级56将其延迟而获得的信号与通过由延迟级55和58延迟搜索线使能信号SLE_RCV而获得的信号执行“与”运算。“与”门电路63的运算结果由缓冲电路66进行调整,并接着被输出作为匹配放大器控制信号MAE。“与”门电路63的运算结果进一步由反相器61所反转以及由缓冲电路67调整,并接着被输出作为匹配放大器控制信号MAE_N。

[0172] “与”门电路64对通过由反相器60反转搜索线使能信号SLE_RCV并由延迟级56和57将其延迟而获得的信号与通过由延迟级55延迟搜索线使能信号SLE_RCV而获得的信号执行“与”运算。“与”门电路64的运算结果由缓冲电路68进行调整,并接着被输出作为匹配放大器控制信号MALAT。

[0173] 图12为示出图11中所示的延迟级55的配置的一个范例的框图。参考图12,延迟级55包括串接的CMOS(互补金属氧化物半导体)反相器91至96。

[0174] 第一和最后级的CMOS反相器91和96相应地包括PMOS晶体管QP21和NMOS晶体管QN21串联连接在电源节点VDD与地节点GND之间。发送自前一级的信号被输入至晶体管QP21和QN21的栅极。通过反转输入信号而获得的信号被从晶体管QP21和QN21的连接节点输出。

[0175] 级间CMOS反相器92至95相应地包括PMOS晶体管QP22和QP23以及NMOS晶体管QN22和QN23串联连接在电源节点VDD与地节点GND之间。发送自前一级的信号被输入至晶体管QP22、QP23、QN22和QN23的栅极，而通过反转输入信号而获得的信号被从晶体管QP23和QN22的连接节点输出。延迟时间可以通过增加或减少级间CMOS反相器92至95的级数而进行调节。

[0176] 图11中所示的其他延迟级56至59的配置也与图12类似。然而，由于这些延迟级56至59的延迟时间短于延迟级55的延迟时间，级间CMOS反相器的级数少于延迟级55中的级数。

[0177] 图13为用于解释说明图11中所示的相应信号的时序图。图13以时钟CLK、触发信号SE_ACT1、在搜索控制电路40接收到的搜索线使能信号SLE_RCV、图11的延迟级55的输出信号SLE_RCV_DLY，以及匹配放大器控制信号MLI、MAE和MALAT的从上开始的顺序示出它们的波形。时钟CLK被假设为在T10和T30时刻的定时上升并且在T20和T40时刻的定时下降。

[0178] 如图13中所示，用于激活搜索线SL和SL_N的触发信号SE_ACT1在T30时刻变为L电平。由于搜索线使能信号SLE对其做出响应而变为L电平，在搜索控制电路40接收到的搜索线使能信号SLE_RCV在延迟了接线延迟的T35时刻变为L电平。匹配放大器控制信号MLI、MAE和MALAT响应于搜索线使能信号SLE_RCV的下降沿，以此顺序变为H电平。

[0179] 然后，图11中所示的延迟级55的输出信号SLE_RCV_DLY在延迟了预定延迟时间的T37时刻变为L电平。匹配放大器控制信号MALAT、MAE和MLI响应于延迟级55的输出信号SLE_RCV_DLY的下降沿，以此顺序变为L电平。

[0180] [对比范例]

[0181] 图14为示出作为图2中所示的内容可寻址存储器100的对比范例的内容可寻址存储器900的配置的框图。

[0182] 图14中所示的内容可寻址存储器900与图2中所示的内容可寻址存储器100的不同之处在于，其包括从搜索控制电路940在+X方向上延伸的控制信号线936，而不是图2中所示的控制信号线36。控制信号线936按从靠近每个匹配放大器MA的一侧所视的搜索线驱动器DR的布置顺序连接到相应的搜索线驱动器DR。在+X方向上传输的搜索线使能信号SLE以搜索线驱动器DR的数字顺序到达相应的搜索线驱动器DR，而不会在中途反折。

[0183] 图15为示出图14中所示的搜索控制电路940的部分配置的框图。图15示出搜索控制电路940与搜索线使能信号SLE和匹配线预充电信号MLPRE_N的生成相关的配置。

[0184] 如图15中所示，搜索控制电路940包括延迟级951和952、缓冲电路953和954以及与非电路955。搜索线使能信号SLE_SND通过在图8的用于激活搜索线SL和SL_N的触发信号SE_ACT1由延迟级951所延迟之后，由缓冲电路953所调整而生成。匹配线预充电信号MLPRE_N通过借助于缓冲电路954，调整对图8中的用于对匹配线ML进行预充电的触发信号SE_ACT0与由延迟级952所延迟的触发信号SE_ACT0的与非运算的结果而被生成。

[0185] 因而，根据图14的对比范例的内容可寻址存储器900需要通过延迟级951和952控制搜索线使能信号SLE的断言的定时和匹配线预充电信号MLPRE_N的断言的定时。由于延迟

级951和952的延迟时间因每个晶体管的制造中的变动以及电源电压和工作温度的波动的原因而变化很大,所以需要花费时间来执行定时调节。特别是,随着工作频率变快,为每条匹配线ML确保预充电周期变得困难。

[0186] [控制信号线的配置范例]

[0187] 图16为示出图2中所示的控制信号线36的配置的一个范例的规划图。为便于图形示例说明,有些接线在图16中被示为阴影线。

[0188] 如图16中所示,控制信号线36包括用同一金属接线层整体形成的接线部分36A、返回部分36B和接线部分36C。

[0189] 接线部分36A在-X方向上的一端经由接触NCS(连接节点)连接到装设在搜索控制电路40中的用于发送搜索线使能信号SLE_SND的单元的末级晶体管49A和49B。

[0190] 从返回部分36B所视,接线部分36C首先经由接触NC[79](连接节点)连接到搜索线驱动器DR[79]的输入第一级的晶体管37A和37B。接线部分36C在随后以搜索线驱动器DR的布置顺序经由接触NC[78]至NC[1](连接节点)连接到相应的搜索线驱动器DR中的输入第一级的晶体管37A和37B。最后,接线部分36C在-X方向上的一端经由接触NCR(连接节点)连接到用于接收搜索线使能信号SLE_RCV的单元中的输入第一级的晶体管48A和48B,晶体管48A和48B被装设在搜索控制电路40中。

[0191] 如上所述,图16中,从第一方向(X方向)所视,搜索控制电路40被布置在存储器单元阵列10的一端(在-X方向侧的一端)。控制信号接线36具有第一接线部分36C、第二接线部分36A以及返回接线部分36B。从第一方向(X方向)所视,第一和第二接线部分36C和36A从存储器单元阵列10的一端(在-X方向侧的一端)延伸到其另一端(在+X方向侧的一端)并且在第二方向(Y方向)上被并排布置。从第一方向(X方向)所视,返回接线部分36B位于存储器单元阵列10的另一端(在+X方向侧的一端)。第一接线部分36C的全部两端被相应地连接到搜索控制电路40和返回接线部分36B。第二接线部分36A的全部两端被相应地连接到搜索控制电路40和返回接线部分36B。多个搜索线驱动器DR被连接到第一接线部分36C。

[0192] [控制信号线的另一配置范例]

[0193] 图17为示出图2中所示的控制信号线36的配置的另一范例的规划图。一些接线在图17中被示为阴影线,以便于图形示例说明。

[0194] 如图17中所示,控制信号线36包括接线部分36A,形成于对应于第P层的金属接线层中;接线部分36C,形成于对应于位于第P层之上的第Q层的金属接线层中;以及接触孔38A和38B,将接线部分36A在+X方向侧上的一端与接线部分36C在+X方向侧上的一端相连接。接触孔38A和38B对应于搜索线使能信号在其上折返的返回部分36B。

[0195] 接线部分36A在-X方向侧上的一端经由接触NCS(连接节点)连接到被装设在搜索控制电路40中,用于搜索线使能信号SLE_SND的发送的单元的末级晶体管49A和49B。

[0196] 从接触孔38A和38B所视,接线部分36C首先经由接触NC[79]连接到搜索线驱动器DR[79]中的输入第一级的晶体管37A和37B。随后,接线部分36C以搜索线驱动器DR的布置顺序经由接触NC[78]至NC[1](连接节点),连接到相应搜索线驱动器DR中的输入第一级的晶体管37A和37B。最后,接线部分36C在-X方向侧上的一端经由接触NCR(连接节点)连接到被装设在搜索控制电路40中,用于搜索线使能信号SLE_RCV的接收的单元中的输入第一级的晶体管48A和48B。

[0197] 如上所述,在图17中,第一接线部分36C和第二接线部分36A被相应地布置在不同的接线层(Q层和P层)中,并且经由被用作返回接线部分36B的接触孔38A和38B而相互连接。

[0198] <第二实施方式>

[0199] [内容可寻址存储器100A的配置]

[0200] 图18为示出根据本发明的第二实施方式的内容可寻址存储器100A的配置的框图。图18中所示的内容可寻址存储器100A中示出了图1中所述的内容可寻址存储器的配置的一些布局。

[0201] 内容可寻址存储器100A与图2的内容可寻址存储器100的不同之处在于,CAM存储器阵列10被分为第一和第二存储器区块10A和10B。存储器区块10A和10B中的每一个都包括CAM单元CC[0,0]至CC[n-1,m-1],排布在n行和m列中(其中m=80)。存储器区块10A和10B被相对称地布置于在Y方向上延伸的虚拟线SYM1(对称线)的两侧。在各存储器区块10A和10B,距离虚拟线SYM1最远的列的列号被假设为0,而最接近虚拟线SYM1的列的列号被假设为79。

[0202] 存储器区块10A和10B中的每一个都装设有在X方向上延伸的各自对应于相应行的n条匹配线ML[0]至[n-1],以及在Y方向上延伸的各自对应于相应列的m个搜索线对SL[0]和SL_N[0]至SL[n-1]和SL_N[m-1](其中m=80)。此后,对于存储器区块10A的匹配线与搜索线对被相应地描述为匹配线MLA与搜索线对SLA和SLA_N,而对于存储器区块10B的匹配线和搜索线对被相应地描述为匹配线MLB与搜索线对SLB和SLB_N。对于存储器区块10A装设的匹配线MLA与搜索线对SLA和SLA_N,以及对于存储器区块10B装设的匹配线MLB与搜索线对SLB和SLB_N相对于虚拟线SYM1相对称地布置。

[0203] 此外,如图18中所示,内容可寻址存储器100A包括对应于第一存储器区块10A装设的匹配检测单元20A、搜索数据传输单元30A和第一预充电单元PCA[0]至PCA[n-1],以及对应于第二存储器区块10B装设的匹配检测单元20B、搜索数据传输单元30B和第二预充电单元PCB[0]至PCB[n-1]。

[0204] 匹配检测单元20A包括匹配放大器MAA[0]至MAA[n-1],各自被装设在相应匹配线MLA[0]至MLA[n-1]的两端中更远离对称线SYM1的一侧上的那端上。由于相应的匹配放大器MAA在配置上与第一实施方式中所采用的相同,因而将不再重复对它们的描述。配置匹配检测单元20B的匹配放大器MAB[0]至MAB[n-1]也与上述相类似。匹配检测单元20A的匹配放大器MAA与匹配检测单元20B的匹配放大器MAB相对于虚拟线SYM1相对称地布置。

[0205] 搜索数据传输单元30A包括搜索线驱动器DRA[0]至DRA[79],相应地装设在搜索线对SLA[0]和SLA_N[0]至SLA[79]和SLA_N[79]位于-Y方向侧上的一端。由于搜索线驱动器DRA在配置上与第一实施方式中所采用的相同,因而将不再重复对它们的描述。配置搜索数据传输单元30B的搜索线驱动器DRB[0]至DRB[79]也与上述相类似。搜索数据传输单元30A的搜索线驱动器DRA与搜索数据传输单元30B的搜索线驱动器DRB相对于虚拟线SYM1相对称地布置。

[0206] 本发明的第一存储器单元130A包括第一存储器区块10A,以及对应于第一存储器区块10A的匹配线MLA、搜索线对SLA和SLA_N、匹配检测单元20A和搜索数据传输单元30A。类似地,本发明的第二存储器单元130B包括第二存储器区块10B,以及对应于第二存储器区块10B的匹配线MLB、搜索线对SLB和SLB_N、匹配检测单元20B和搜索数据传输单元30B。第一与

第二存储器单元130A与130B相对于虚拟线SYM1相对对称地布置。

[0207] 第一预充电单元PCA[0]至PCA[n-1]对应于装设在存储器区块10A的匹配线MLA[0]至MLA[n-1]而被相应地装设。第一预充电单元PCA[0]至PCA[n-1]被相应地连接到匹配线MLA的位于靠近匹配检测单元20A(匹配放大器MAA)的一侧上的一端。

[0208] 类似地,第二预充电单元PCB[0]至PCB[n-1]对应于装设在存储器区块10B的匹配线MLB[0]至MLB[n-1]而被相应地装设。第二预充电单元PCB[0]至PCB[n-1]被相应地连接到匹配线MLB的位于靠近匹配检测单元20B(匹配放大器MAB)的一侧上的一端。由于第一和第二预充电单元PCA和PCB在配置上与第一实施方式中所采用的预充电单元PC相同,因而将不再重复对它们的描述。

[0209] 此外,内容可寻址存储器100A包括副搜索控制电路50A,相对于虚拟线SYM1装设在第一存储器区块10A的同一侧;以及副搜索控制电路50B,相对于虚拟线SYM1装设在第二存储器区块10B的同一侧。副搜索控制电路50A与副搜索控制电路50B相对于虚拟线SYM1互相对称地布置。在图18中,副搜索控制电路50A和50B中的每一个与虚拟线SYM1之间的距离约等于匹配检测单元20A和20B中的每一个与虚拟线SYM1之间的距离。

[0210] 副搜索控制电路50A(第二控制单元)向布置在由插入其间的虚拟线SYM1所隔开的对侧上的搜索数据传输单元30B的每个搜索线驱动器DRB提供搜索线使能信号SLE_0(第二控制信号)。当接收到的搜索线使能信号SLE_0被断言时,搜索数据传输单元30B的每个搜索线驱动器DRB将搜索数据SDB和SDB_N传输至连接到相应的搜索线对SLB和SLB_N的每个CAM单元CC。

[0211] 类似地,副搜索控制电路50B(第一控制单元)向在由插入其间的虚拟线SYM1所隔开的对侧上的搜索数据传输单元30A的每个搜索线驱动器DRA提供搜索线使能信号SLE_1(第一控制信号)。当接收到的搜索线使能信号SLE_1被断言时,搜索数据传输单元30A的每个搜索线驱动器DRA将搜索数据SDA和SDA_N传输至连接到相应的搜索线对SLA和SLA_N的每个CAM单元CC。

[0212] 副搜索控制电路50A(第二控制单元)此外接收来自布置在由插入其间的虚拟线SYM1所隔开的对侧上的副搜索控制电路50B(第一控制单元)的搜索线使能信号SLE_1(第一控制信号)。副搜索控制电路50A使用搜索线使能信号SLE_1生成匹配放大器控制信号MLI_0、MAE_0和MALAT_0(第四控制信号)以及匹配线预充电信号MLPRE_0_N(第六控制信号)。生成的匹配放大器控制信号MLI_0、MAE_0和MALAT_0以及匹配线预充电信号MLPRE_0_N被相应地输出至相对于虚拟线SYM1布置在副搜索控制电路50A的同一侧上的匹配检测单元20A的相应的匹配放大器MAA以及相应的第一预充电单元PCA[0]至PCA[n-1]。当接收到的匹配放大器控制信号MLI_0、MAE_0和MALAT_0被断言时,匹配检测单元20A的相应的匹配放大器MAA检测其所对应的匹配线MLA的逻辑电平。当接收到的匹配线预充电信号MLPRE_0_N被断言时,第一预充电单元PCA[0]至PCA[n-1]向其所对应的匹配线MLA施加预定电压(电源电压)。

[0213] 类似地,副搜索控制电路50B(第一控制单元)此外接收来自布置在由插入其间的虚拟线SYM1所隔开的对侧上的副搜索控制电路50A(第二控制单元)的搜索线使能信号SLE_0(第二控制信号)。副搜索控制电路50B使用搜索线使能信号SLE_0生成匹配放大器控制信号MLI_1、MAE_1和MALAT_1(第三控制信号)以及匹配线预充电信号MLPRE_1_N(第五控制信号)。生成的匹配放大器控制信号MLI_1、MAE_1和MALAT_1以及匹配线预充电信号MLPRE_1_N

被相应地输出至相对于虚拟线SYM1布置在副搜索控制电路50B的同一侧上的匹配检测单元20B的相应的匹配放大器MAB以及第二预充电单元PCB[0]至PCB[n-1]。当接收到的匹配放大器控制信号MLI_1、MAE_1和MALAT_1被断言时，匹配检测单元20B的相应的匹配放大器MAB检测其所对应的匹配线MLB的逻辑电平。当接收到的匹配线预充电信号MLPRE_1_N被断言时，第二预充电单元PCB[0]至PCB[n-1]向其所对应的匹配线MLB施加预定电压(电源电压)。

[0214] 如图18中所示，装设控制信号线120(第二控制信号线)以将搜索线使能信号SLE_0从副搜索控制电路50A传输至搜索数据传输单元30B和副搜索控制电路50B。此外，装设控制信号线121(第一控制信号线)以将搜索线使能信号SLE_1从副搜索控制电路50B传输至搜索数据传输单元30A和副搜索控制电路50A。

[0215] 控制信号线120从副搜索控制电路50A起大致在+X方向上延伸，并与虚拟线SYM1相交，并且到达布置在其相对一侧上的副搜索控制电路50B。控制信号线120以搜索线驱动器DRB(DRB[79]至DRB[0])的布置顺序连接到搜索数据传输单元30B的搜索线驱动器DRB。因而，输出自副搜索控制电路50A的搜索线使能信号SLE_0以从靠近虚拟线SYM1一侧开始的顺序到达搜索数据传输单元30B的搜索线驱动器DRB。

[0216] 控制信号线121从副搜索控制电路50B起大致在-X方向上延伸。控制信号线121与虚拟线SYM1相交并且到达布置在其相对一侧上的副搜索控制电路50A。控制信号线121以搜索线驱动器DRA(DRA[79]至DRA[0])的布置顺序连接到搜索数据传输单元30A的搜索线驱动器DRA。因而，输出自副搜索控制电路50B的搜索线使能信号SLE_1以从靠近虚拟线SYM1一侧开始的顺序到达搜索数据传输单元30A的搜索线驱动器DRA。

[0217] 控制信号线120与121相对于虚拟线SYM1大致互相对称地布置。搜索线使能信号SLE_1以副搜索控制电路50B作为起点，延伸至搜索数据传输单元30A的任意第一搜索线驱动器DRA的传输路径长度，与搜索线使能信号SLE_0以副搜索控制电路50A作为起点，延伸至相对于虚拟线SYM1与第一搜索线驱动器DRA对称布置的第二搜索线驱动器DRB的传输路径长度相等。此外，搜索线使能信号SLE_0从副搜索控制电路50A延伸至副搜索控制电路50B的传输路径长度，与搜索线使能信号SLE_1从副搜索控制电路50B延伸至副搜索控制电路50A的传输路径长度相等。因而，当控制信号线120与121的厚度和宽度被制成彼此相等时，信号传输时间也是彼此相等的。

[0218] 内容可寻址存储器100A此外包括优先级编码器70和主搜索控制电路41(第三控制单元)，共用地提供给第一和第二存储器区块10A和10B。主搜索控制电路41向副搜索控制电路50A和50B输出触发信号SE_ACT1和SE_ACT2(第七控制信号)。

[0219] 优先级编码器70被装设在相对于虚拟线SYM1与第二存储器区块10B的同一侧(+X方向侧)上。优先级编码器70接收相应地来自于匹配检测单元20A的匹配放大器MAA[0]至MAA[n-1]的，装设在第一存储器区块10A的匹配线MLA的逻辑电平的检测结果MAOA_N[0]至MAOA_N[n-1]。此外，优先级编码器70接收相应地来自于匹配检测单元20B的匹配放大器MAB[0]至MAB[n-1]的，装设在第二存储器区块10B的匹配线MLB的逻辑电平的检测结果MAOB_N[0]至MAOB_N[n-1]。

[0220] 主搜索控制电路41被装设在相对于虚拟线SYM1与优先级编码器70的同一侧(+X方向侧)，从虚拟线SYM1所视大约与优先级编码器70距离相等的位置。此外，如上所述，从副搜索控制电路50A和50B中的每一个到虚拟线SYM1的距离，大约等于从匹配检测单元20A和20B

中的每一个到虚拟线SYM1的距离。

[0221] 由于这样的布局,触发信号SE_ACT1和SE_ACT2中的每一个从主搜索控制电路41延伸至副搜索控制电路50A的传输路径长度,变得大约与检测结果从匹配检测单元20A延伸至优先级编码器70的传输路径长度相等。此外,触发信号SE_ACT1和SE_ACT2从主搜索控制电路41延伸至副搜索控制电路50B的传输路径长度,变得大约与检测结果从匹配检测单元20B延伸至优先级编码器70的传输路径长度相等。因而,当用于传输触发信号SE_ACT1和SE_ACT2中的每一个的接线与用于传输匹配检测单元20A和20B中的每一个的检测结果的接线在厚度和宽度上被制成彼此相等时,传输全部两种信号所需的时间也成为相等的。

[0222] [内容可寻址存储器100A的有利功效]

[0223] 根据具有以上配置的内容可寻址存储器100A,输出自副搜索控制电路50A的搜索线使能信号SLE_0到达搜索数据传输单元30B的第一搜索线驱动器DRB[79]所需的时间可长于输出自副搜索控制电路50A的匹配线预充电信号MLPRE_0_N到达任何第一预充电单元PCA所需的时间。类似地,输出自副搜索控制电路50B的搜索线使能信号SLE_1到达搜索数据传输单元30A的第一搜索线驱动器DRA[79]所需的时间可长于输出自副搜索控制电路50B的匹配线预充电信号到达任何第二预充电单元PCB所需的时间。从而,甚至可以在预充电单元PCA和PCB完成匹配线MLA和MLB的预充电之后相对于第一和第二存储器区块10A和10B两者,执行搜索线SLA、SLA_N、SLB以及SLB_N的激活。

[0224] 此外,副搜索控制电路50A能够使用接收自副搜索控制电路50B的相应的搜索线使能信号SLE_1_RCV,生成匹配线预充电信号MLPRE_0_N以及匹配放大器控制信号MLI_0、MAE_0和MALAT_0。类似地,副搜索控制电路50B能够使用接收自副搜索控制电路50A的相应的搜索线使能信号SLE_0_RCV,生成匹配线预充电信号MLPRE_1_N以及匹配放大器控制信号MLI_1、MAE_1和MALAT_1。因而,在对应于第一和第二存储器区块10A和10B的搜索线SLA、SLA_N、SLB以及SLB_N进入无效状态之后,匹配线预充电信号MLPRE_0_N和MLPRE_1_N,以及匹配放大器控制信号MLI_0、MAE_0、MALAT_0、MLI_1、MAE_1和MALAT_1可以被容易地断言。

[0225] 此外,由于即使相对于全部第一和第二存储器区块10A和10B两者,搜索线SLA、SLA_N、SLB和SLB_N仍以从远离相应的匹配放大器MAA和MAB起的顺序被激活,因而无需考虑匹配线MLA与MLB的接线延迟,以确定提供用以激活匹配放大器MAA与MAB的定时。

[0226] 另外,根据具有以上配置的内容可寻址存储器110A,可以缩短第一与第二存储器区块间的存取队列。其原因将于以下具体解释。

[0227] 当第一存储器模块10A的数据搜索被首先执行时(第一数据搜索),置于有效状态中的触发信号SE_ACT1被从主搜索控制电路41传输至副搜索控制电路50B。作为对其的响应,置于有效状态中的搜索线使能信号SLE_1被从副搜索控制电路50B传输至搜索数据传输单元30A的相应的搜索线驱动器DRA。作为对其的响应,搜索数据SDA和SDA_N被从搜索数据传输单元30A的搜索线驱动器DRA传输至第一存储器区块10A的相应的CAM单元CC。每条匹配线MLA的电压在搜索数据SDA和SDA_N与存储的数据互不匹配之处发生的变化由匹配检测单元20A的每个匹配放大器MAA进行检测。然后,检测结果被从匹配检测单元20A的每个匹配放大器MAA传输至优先级编码器70。

[0228] 随后,当第二存储器模块10B的数据搜索被执行时(第二数据搜索),置于有效状态中的触发信号SE_ACT1被从主搜索控制电路41传输至副搜索控制电路50A。作为对其的响

应,置于有效状态中的搜索线使能信号SLE_0被从副搜索控制电路50A传输至搜索数据传输单元30B的相应的搜索线驱动器DRB。作为对其的响应,搜索数据SDB和SDB_N被从搜索数据传输单元30B的搜索线驱动器DRB传输至第二存储器区块10B的相应的CAM单元CC。每条匹配线MLB的电压在搜索数据SDB和SDB_N与存储的数据互不匹配之处发生的变化由匹配检测单元20B的每个匹配放大器MAB进行检测。然后,检测结果被从匹配检测单元20B的每个匹配放大器MAB传输至优先级编码器70。

[0229] 当第一数据搜索与第二数据搜索被比较时,信号从主搜索控制电路41延伸至优先级编码器70的传输路径长度变得彼此相同。作为其结果,由于信号的传输时间可以是相同的,搜索结果的输出中的波动变得更小,并且因此内容可寻址存储器能够工作在高于常规的频率上。

[0230] [副搜索控制电路50A和50B的配置]

[0231] 副搜索控制电路50A和50B的具体配置范例将于以下解释。

[0232] 图19为示例说明图18中所示的副搜索控制电路50A的部分配置的框图。图19示出了副搜索控制电路50A与搜索线使能信号SLE_0和匹配线预充电信号MLPRE_0_N的生成有关的配置。由于图19的副搜索控制电路50A的电路内部配置与图9的相同,其描述将不再重复。图19中所示的副搜索控制电路50A使用接收自主搜索控制电路41的用于激活搜索线SLB和SLB_N的触发信号SE_ACT1,生成搜索线使能信号SLE_0_SND。此外,副搜索控制电路50A使用用于对匹配线MLA进行预充电的触发信号SE_ACT0以及接收自副搜索控制电路50B的搜索线使能信号SLE_1_RCV,生成匹配线预充电信号MLPRE_0_N。

[0233] 图20为示出图18中所示的副搜索控制电路50B的部分配置的框图。图20示出副搜索控制电路50B与搜索线使能信号SLE_1和匹配线预充电信号MLPRE_1_N的生成有关的配置。由于图20中所示的副搜索控制电路的电路内部配置与图9的相同,其描述将不再重复。图20中所示的副搜索控制电路50B使用接收自主搜索控制电路41的用于激活搜索线SLA和SLA_N的触发信号SE_ACT1,生成搜索线使能信号SLE_1_SND。此外,副搜索控制电路50B使用用于对匹配线MLB进行预充电的触发信号SE_ACT0以及接收自副搜索控制电路50A的搜索线使能信号SLE_0_RCV,生成匹配线预充电信号MLPRE_1_N。

[0234] 图21为用于解释说明图19和图20中所示的相应的信号的时序图。图21根据从上面开始的顺序,示出时钟CLK、触发信号SE_ACT0和SE_ACT1、在由副搜索控制电路50A发送处的搜索线使能信号SLE_0_SND、已到达搜索数据传输单元30B的搜索线驱动器DRB[79]的搜索线使能信号SLE_0_SLB[79]、在由副搜索控制电路50B接收处的搜索线使能信号SLE_0_RCV,以及匹配线预充电信号MLPRE_1_N的波形。时钟CLK被假设为在T10和T30时刻的定时上升并且在T20和T40时刻的定时下降。

[0235] 如图21中所示,用于对匹配线MLB进行预充电的触发信号SE_ACT0在T20时刻变为L电平。作为对其的响应,输出自副搜索控制电路50B的匹配线预充电信号MLPRE_1_N在T21时刻变为H电平,从而导致完成对与第二存储器区块10B相对应的相应的匹配线MLB的预充电。

[0236] 此外,在T20时刻,用于激活搜索线SLB和SLB_N的触发信号SE_ACT1变为H电平。作为对其的响应,传输自副搜索控制电路50A的搜索线使能信号SLE_0_SND变为H电平。在搜索线使能信号SLE_0_SND被断言之后过了接线延迟后的T23时刻,接收自搜索数据单元30B的搜索线驱动器DRB[79]的搜索线使能信号SLE_0_SLB[79]被断言。此外,接收自副搜索控制

电路50B的搜索线使能信号SLE_0_RCV在延迟了该接线延迟之后被断言。

[0237] 因而,在第二存储器区块10B,可以在完成对每条匹配线MLB的预充电的T21时刻与第一搜索线SLB[79]和SLB_N[79]被激活的T23时刻之间提供时间余量TD1。

[0238] 随后,在T30时刻,用于对匹配线MLB进行预充电的触发信号SE_ACT0变为H电平。此外,在副搜索控制电路50B接收的搜索线使能信号SLE_0_RCV进入L电平,以使输出自副搜索控制电路50B的匹配线预充电信号MLPRE_1_N被断言(T36时刻)。作为其结果,在第二存储器区块10B,可以在完成对所有搜索线对SLB和SLB_N的去激活的T35时刻,与匹配线预充电信号MLPRE_1_N被断言的T36时刻之间提供时间余量TD2。虽然以上描述是对于第二存储器区块10B做出的,第一存储器区块10A也与以上相类似。

[0239] 图22为示出图18中所示的副搜索控制电路50A的部分配置的框图。图22示出副搜索控制电路50A与匹配放大器控制信号MLI_0、MAE_0和MALAT_0的生成有关的配置。由于图22中所示的副搜索控制电路50A在电路的内部配置中与图11中所示的相同,其描述将不再重复。副搜索控制电路50A使用接收自副搜索控制电路50B的搜索线使能信号SLE_1_RCV,生成匹配放大器控制信号MLI_0、MAE_0、MAE_0_N和MALAT_0。

[0240] 图23为示出图18中所示的副搜索控制电路50B的部分配置的框图。图23示出副搜索控制电路50B与匹配放大器控制信号MLI_1、MAE_1和MALAT_1的生成有关的配置。由于副搜索控制电路50B在电路的内部配置中与图11中的相同,其描述将不再重复。副搜索控制电路50B使用接收自副搜索控制电路50A的搜索线使能信号SLE_0_RCV,生成匹配放大器控制信号MLI_1、MAE_1和MALAT_1。

[0241] 图24为用于解释说明图22的相应的信号的时序图。图24根据从上面开始的顺序,示出时钟CLK、触发信号SE_ACT1、在副搜索控制电路50A接收的搜索线使能信号SLE_1_RCV、图22的延迟级55的输出信号SLE_1_RCV_DLY,以及匹配放大器控制信号MLI_0、MAE_0和MALAT_0的波形。时钟CLK被假设在T10和T30时刻的定时上升,并且在T20和T40时刻的定时下降。

[0242] 如图24中所示,输出自主搜索控制电路41的,用于激活搜索线SLA和SLA_N的触发信号SE_ACT1,在T30时刻变为L电平。作为对其的响应,输出自副搜索控制电路50B的搜索线使能信号SLE_1变为L电平。因此,在副搜索控制电路50A接收的搜索线使能信号SLE_1_RCV在接线延迟过后的T35时刻变为L电平。匹配放大器控制信号MLI_0、MAE_0和MALAT_0响应于搜索线使能信号SLE_1_RCV的下降沿,以这一顺序相应地变为H电平。

[0243] 随后,图22中所示的延迟级55的输出信号SLE_1_RCV_DLY在延迟了预定延迟时间的T37时刻变为L电平。匹配放大器控制信号MALAT_0、MAE_0和MLI_0响应于延迟级55的输出信号SLE_1_RCV_DLY的下降沿,以这一顺序相应地变为L电平。

[0244] [控制信号线的配置范例]

[0245] 图25为示出图18中所示的控制信号线120和121的配置的一个范例的规划图。为便于图形示例说明,一些接线在图25中被示为阴影线。

[0246] 如图25中所示,控制信号线120包括以对应于第Q层的金属接线层一体地形成的接线部分120A至120C。接线部分120A在-X方向侧上的一端,经由接触NAS,连接到被装设在副搜索控制电路50A的,用于传输搜索线使能信号SLE_0的单元中的末级的晶体管112A和112B。接线部分120A从接触NAS在+X方向上延伸。接线部分120A在+X方向侧上的一端被连接

到在Y方向上延伸的接线部分120B的一端。接线部分120C从接线部分120B的另一端在+X方向上延伸。接线部分120C在+X方向侧上的一端,经由接触NBR,连接到被装设在副搜索控制电路50B的,用于接收搜索线使能信号SLE_0的单元中的输出第一级的晶体管113A和113B。

[0247] 控制信号线121包括接线部分121A和121C,形成在与位于和控制信号线120的相同一层的第Q层相对应的金属接线层中;以及L形接线部分121B形成在与位于第Q层之下的第P层相对应的金属接线层中。接线部分121A在+X方向侧上的一端,经由接触NBS,连接到被装设在副搜索控制电路50B的,用于传输搜索线使能信号SLE_1的单元中的末级的晶体管114A和114B。接线部分121A从接触NBS在-X方向上延伸,并且经由接触122连接到接线部分121B的一端。接线部分121C经由接触123连接到接线部分121B的另一端,并且从接触123在-X方向上延伸。接线部分121C在-X方向侧上的一端,经由接触NAR,连接到被装设在副搜索控制电路50A的,用于接收搜索线使能信号SLE_1的单元中的输入第一级的晶体管111A和111B。

[0248] 控制信号线121的接线部分121C被装设得比控制信号线120的接线部分120A更靠近搜索数据传输单元30A。从虚拟线SYM1侧所视,接线部分121C首先经由接触NA[79](连接节点),连接到搜索数据传输单元30A的搜索线驱动器DRA[79]的输入第一级的晶体管37A和37B。随后,接线部分121C以搜索线驱动器DRA的布置顺序连接到相应的搜索线驱动器DRA的输入第一级的晶体管37A和37B,并且最后经由接触NA[0]连接到搜索线驱动器DRA[0]的输入第一级的晶体管37A和37B。

[0249] 控制信号线120的接线部分120C被装设得比控制信号线121的接线部分121A更靠近搜索数据传输单元30B。从虚拟线SYM1侧所视,接线部分120C首先经由接触NB[79],连接到搜索数据传输单元30B的搜索线驱动器DRB[79]中的输入第一级的晶体管37A和37B。随后,接线部分120C以搜索线驱动器DRB的布置顺序连接到相应的搜索线驱动器DRB的输入第一级的晶体管37A和37B,并且最后经由接触NB[0]连接到搜索线驱动器DRB[0]的输入第一级的晶体管37A和37B。

[0250] 图25中所示的控制信号线120和121的上述配置被归纳如下:偶尔,第二存储器单元130B与副搜索控制电路50B被统称为第一区块,而第一存储器单元130A与副搜索控制电路50A被统称为第二区块。第一和第二区块在第一方向(X方向)上被并排布置。

[0251] 第一区块的搜索控制电路(副搜索控制电路50B)被布置在整个第一和第二区块在第一方向(X方向)上的一端(+X方向侧上的一端)。第二区块的搜索控制电路(副搜索控制电路50A)被布置在整个第一和第二区块在第一方向(X方向)上的另一端(-X方向侧上的一端)。

[0252] 控制信号线120和121相应地包括第一至第四接线部分。第一接线部分120(120A至120C)在第一方向(X方向)延伸,并且其两端相应地连接到第一区块的搜索控制电路50B和第二区块的搜索控制电路50A。第二接线部分121B被布置在第一和第二区块之间。第三接线部分121A在第一方向(X方向)延伸。其两端相应地连接到第一区块的搜索控制电路50B和第二接线部分121B。第四接线部分121C在第一方向延伸,并且其两端相应地连接到第二区块的搜索控制电路50A和第二接线部分121B。

[0253] 更具体地描述,第一区块的多个搜索线驱动器DRB被相应地连接到第一接线部分120(120C)。第二区块的多个搜索线驱动器DRA被相应地连接到第四接线部分121C。第一、第三和第四接线部分120、121A和121C被布置于第一接线层(Q层)中,而第二接线层121B被布

置在不同于第一接线层(Q层)的第二接线层(P层)。

[0254] [控制信号线的另一配置范例]

[0255] 图26为示例说明图18中所示的控制信号线120和121的配置的另一范例的规划图。一些接线在图26中被示为阴影线,以便于图形示例说明。

[0256] 如图26中所示,控制信号线120包括接线部分120A,形成在与第P层相对应的金属接线层中;以及接线部分120B,形成在与位于第P层上方的第Q层相对应的金属接线层中。除在-X方向侧上的一端以外,接线部分120A在X方向上延伸。接线部分120A在-X方向侧上的一端被弯曲成L型式样,并且经由接触NA(连接节点)连接到被装设在副搜索控制电路50A的,用于传输搜索线使能信号SLE_0的单元中的末级的晶体管112A和112B。接线部分120B在-X方向侧上的一端,经由接触124,连接到在虚拟线SYM1附近的接线部分120A在+X方向侧上的一端。接线部分120B从接触124在+X方向上延伸。接线部分120B在+X方向侧上的一端,经由接触NBR,连接到被装设在副搜索控制电路50B的,用于接收搜索线使能信号SLE_0的单元中的输入第一级的晶体管113A和113B。

[0257] 控制信号线121包括接线部分121A,形成在与第P层相对应的金属接线层中;以及接线部分121B,形成在与位于第P层上方的第Q层相对应的金属接线层中。除被弯曲成L型式样的两端以外,接线部分121A在X方向上延伸。接线部分121A在+X方向侧上的一端,经由接触NBS,连接到被装设在副搜索控制电路50B的,用于传输搜索线使能信号SLE_1的单元中的末级的晶体管114A和114B。除在+X方向侧上的被弯曲两次呈曲柄形式的一端以外,接线部分121B在X方向上延伸。接线部分121B在+X方向侧上的一端,经由接触125,连接到接线部分121A在-X方向侧上的一端。接线部分121C在-X方向侧上的一端,经由接触NAR,连接到被装设在副搜索控制电路50A的,用于接收搜索线使能信号SLE_1的单元中的输入第一级的晶体管111A和111B。

[0258] 从虚拟线SYM1侧所视,控制信号线120的形成于第Q层中的接线部分120B,首先经由接触NB[79],连接到搜索数据传输单元30B的搜索线驱动器DRB[79]的输入第一级的晶体管37A和37B。随后,接线部分120B以搜索线驱动器DRB的布置顺序,连接到搜索数据传输单元30B的相应的搜索线驱动器DRB的输入第一级的晶体管37A和37B。接线部分120B最后经由接触NB[0],连接到搜索数据传输单元30B的搜索线驱动器DRB[0]的输入第一级的晶体管37A和37B。

[0259] 从虚拟线SYM1侧所视,控制信号线120的形成于第Q层中的接线部分121B,首先经由接触NA[79],连接到搜索数据传输单元30A的搜索线驱动器DRA[79]的输入第一级的晶体管37A和37B。随后,接线部分121B以搜索线驱动器DRA的布置顺序,连接到搜索数据传输单元30A的相应的搜索线驱动器DRA的输入第一级的晶体管37A和37B。接线部分121B最后经由接触NA[0],连接到搜索数据传输单元30A的搜索线驱动器DRA[0]的输入第一级的晶体管37A和37B。

[0260] 图26中所示的控制信号线120和121的上述配置被归纳如下:偶尔,随后,第二存储器单元130B与副搜索控制电路50B被统称为第一区块,而第一存储器单元130A与副搜索控制电路50A被统称为第二区块。第一和第二区块在第一方向(X方向)上被并排布置。

[0261] 第一区块的搜索控制电路(副搜索控制电路50B)被布置在整个第一和第二区块在第一方向(X方向)的一端(在+X方向侧的一端)。第二区块的搜索控制电路(副搜索控制电路

50A)被布置在整个第一和第二区块在第一方向(X方向)的另一端(在-X方向侧上的一端)。

[0262] 控制信号线120和121相应地包括第一至第四接线部分。第一接线部分120B和第二接线部分121A在第一方向(X方向)延伸,并且其一端(在+X方向侧上的一端)相应地连接到第一区块的搜索控制电路50B。第三接线部分121B和第四接线部分120A在第一方向(X方向)延伸,并且其一端(在-X方向侧上的一端)相应地连接到第二区块的搜索控制电路50A。第一和第三接线部分120B和121B中的每一个都被布置在其相应的第一接线层(Q层)中。第二和第四接线部分121A和120A中的每一个都被布置在其相应的不同于第一接线层(Q层)的第二接线层(P层)中。第一和第四接线层120B和120A的另一端经由接触124而相互连接。第二和第三接线部分121A和121B的另一端经由接触125而相互连接。

[0263] 更具体地描述,第一区块的多个搜索线驱动器DRB被相应地连接到第一接线部分120B。第二区块的多个搜索线驱动器DRA被相应地连接到第三接线部分121B。

[0264] 本次公开的实施方式应当被视为示例说明性的,而在任何方面都不应被视为限制性的。本发明的范围不是由以上描述,而是由权利要求的范围所定义的。本发明的范围旨在包括权利要求与等价条款的意义和范围中的所有变化。

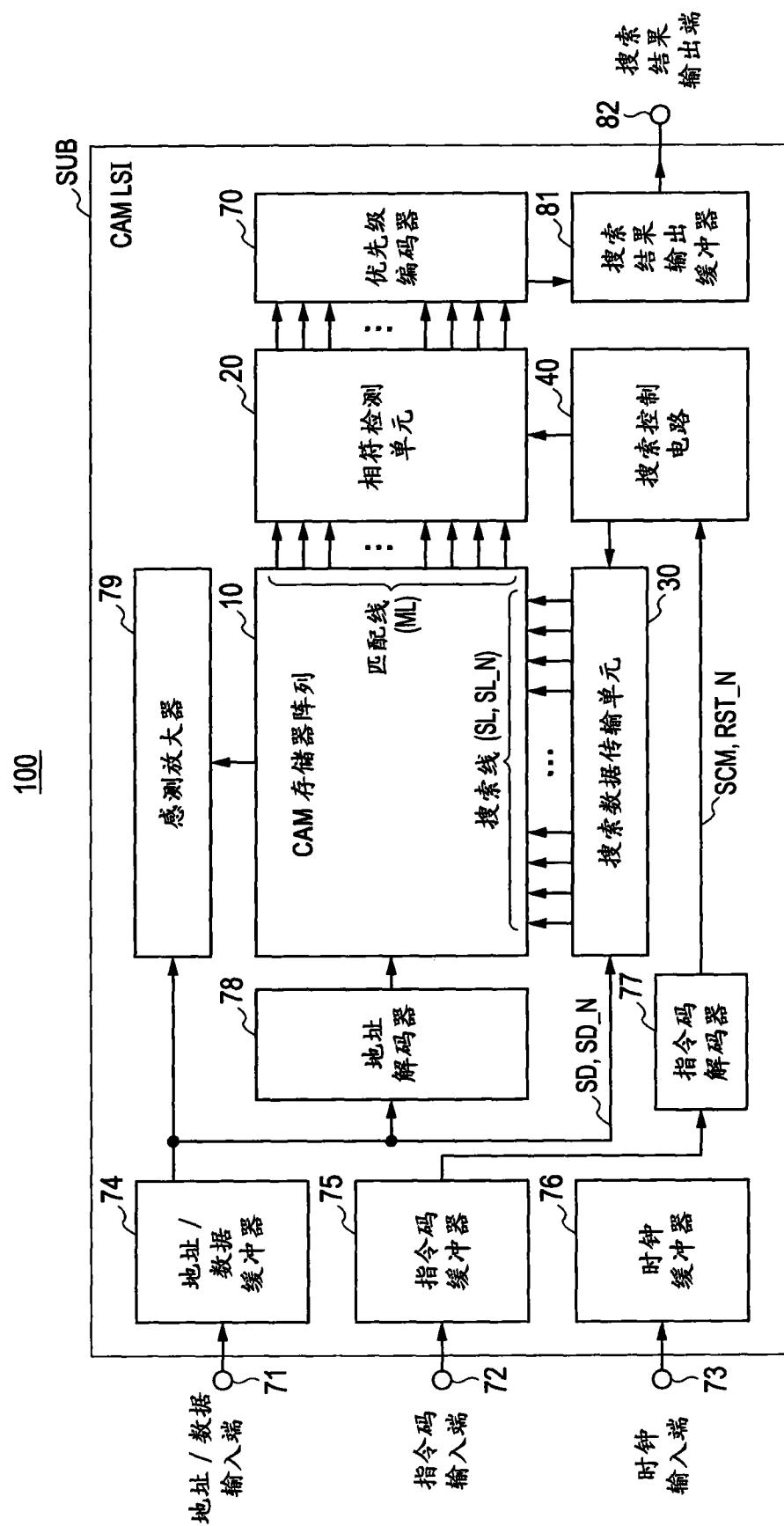


图 1

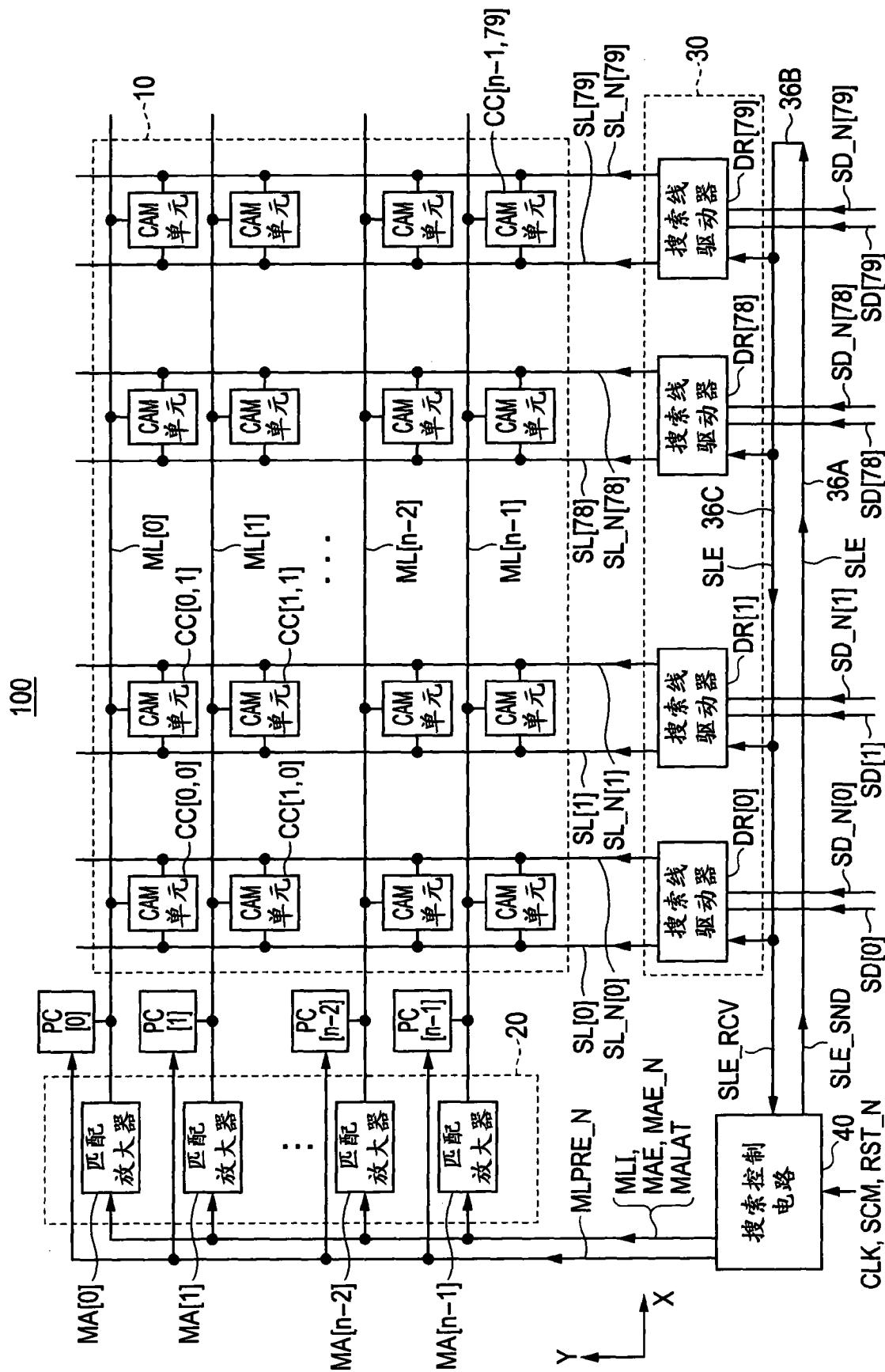


图2

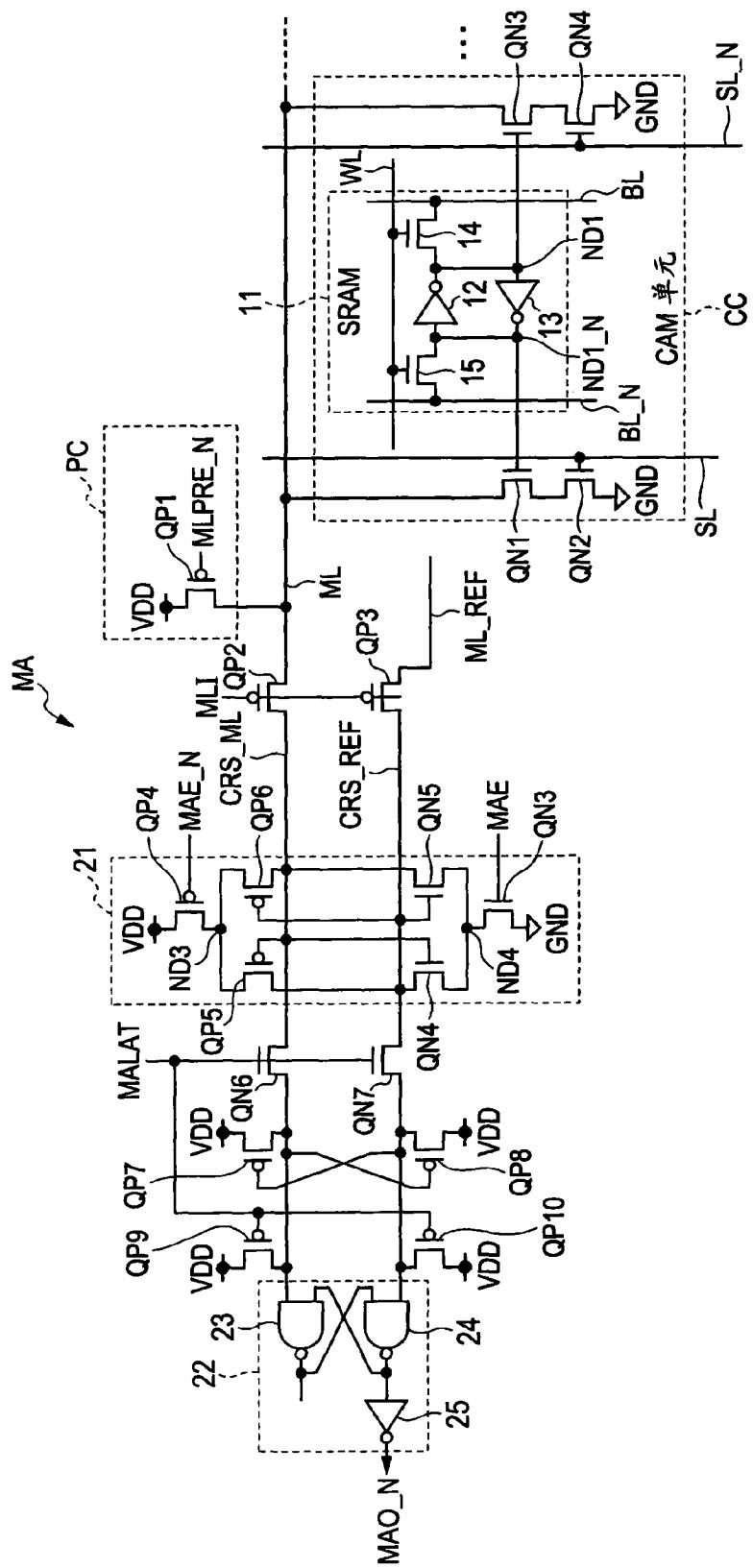


图3

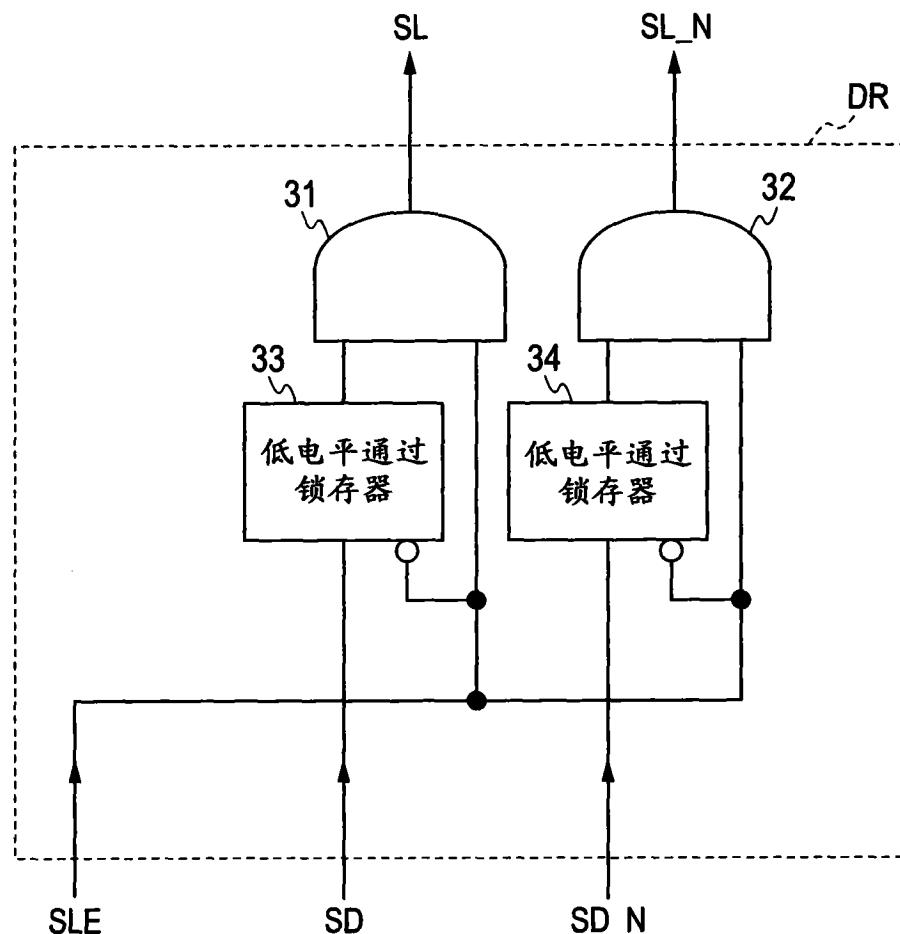


图4

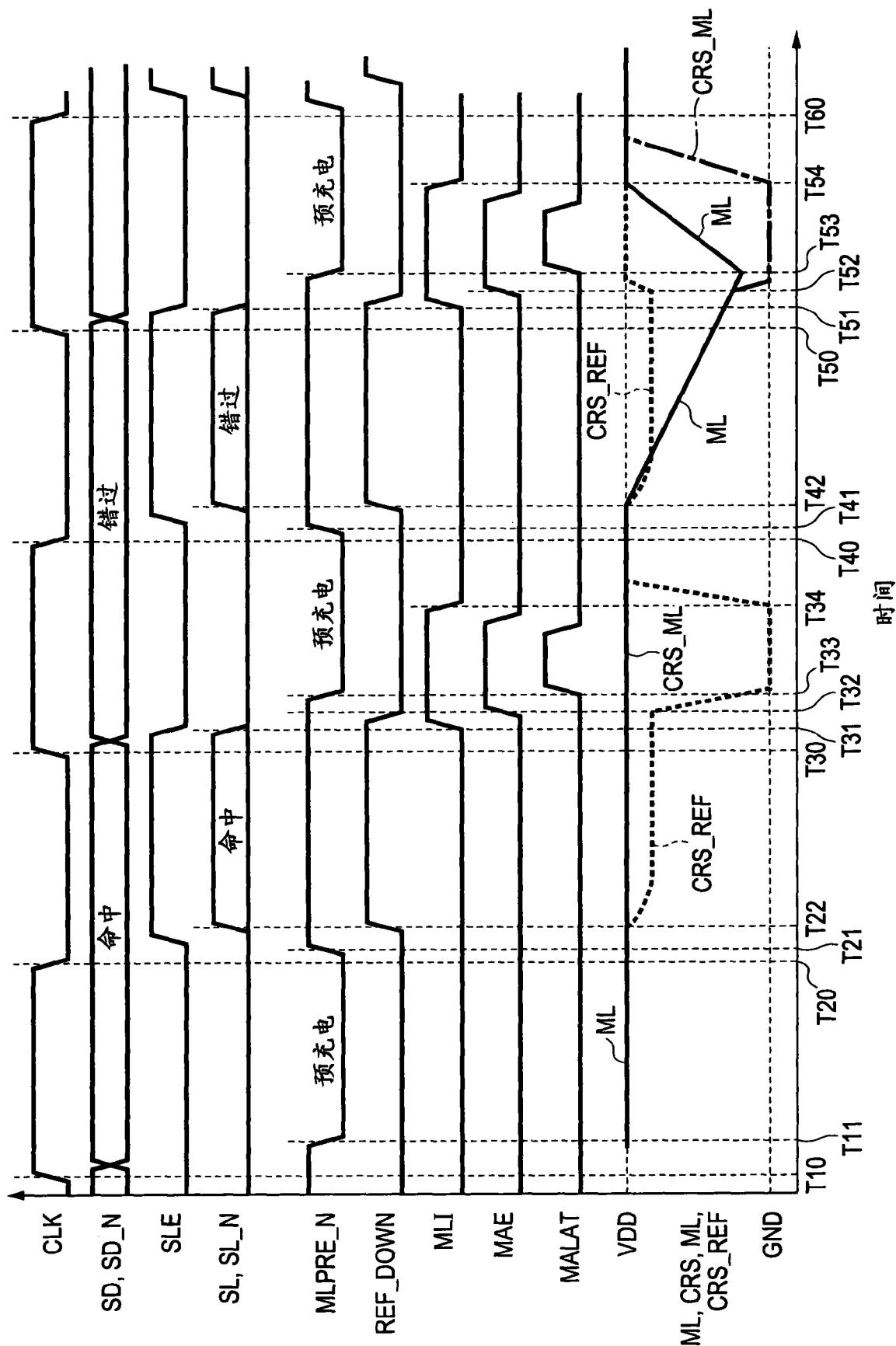


图5

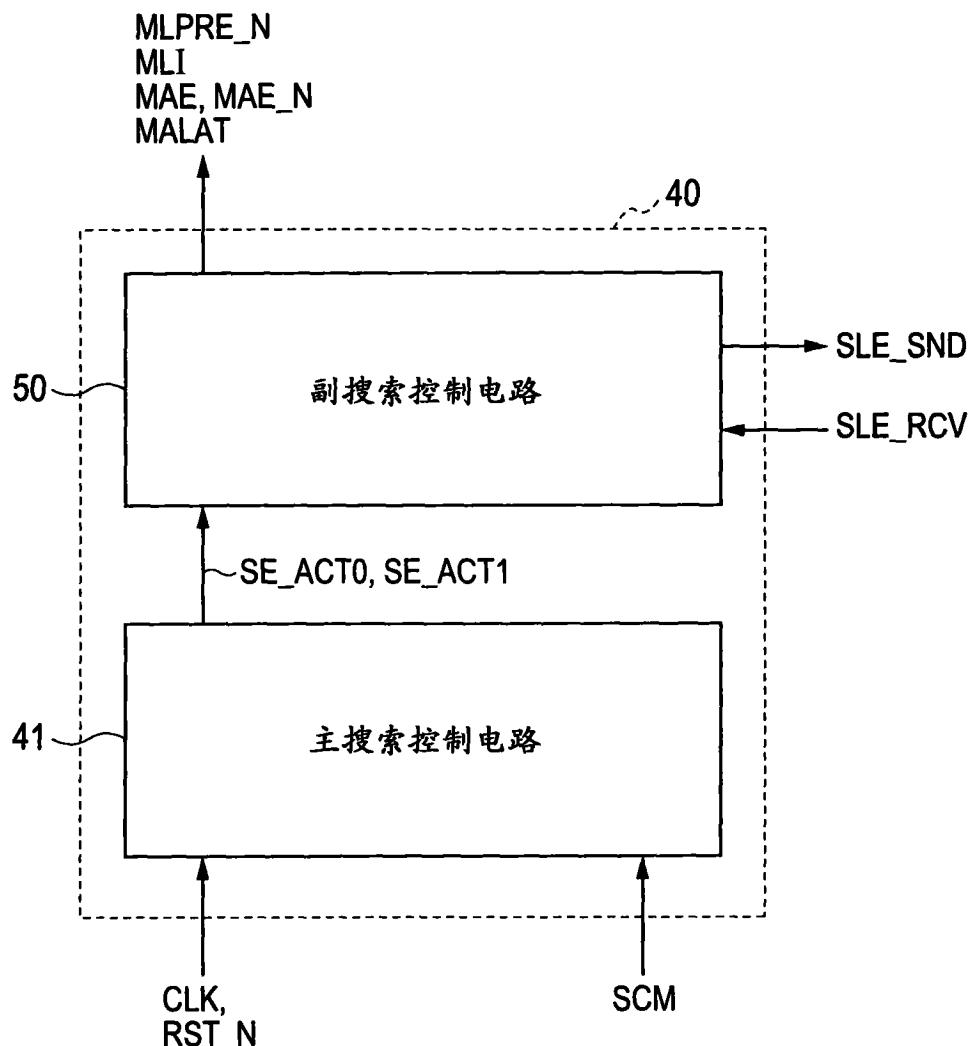


图6

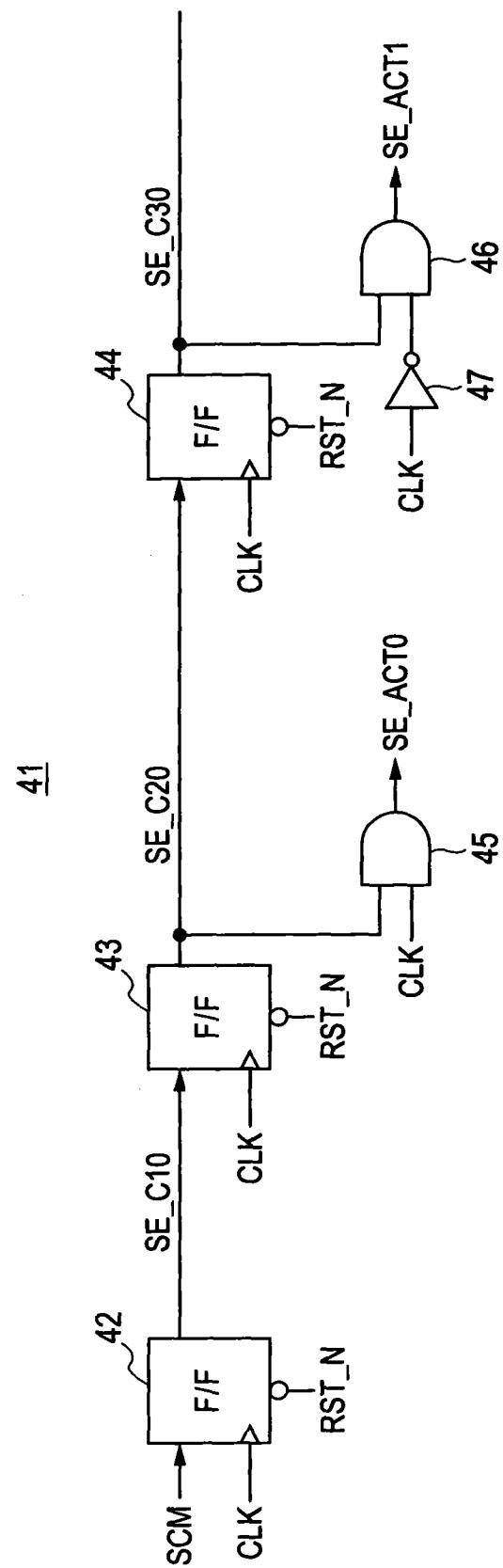


图 7

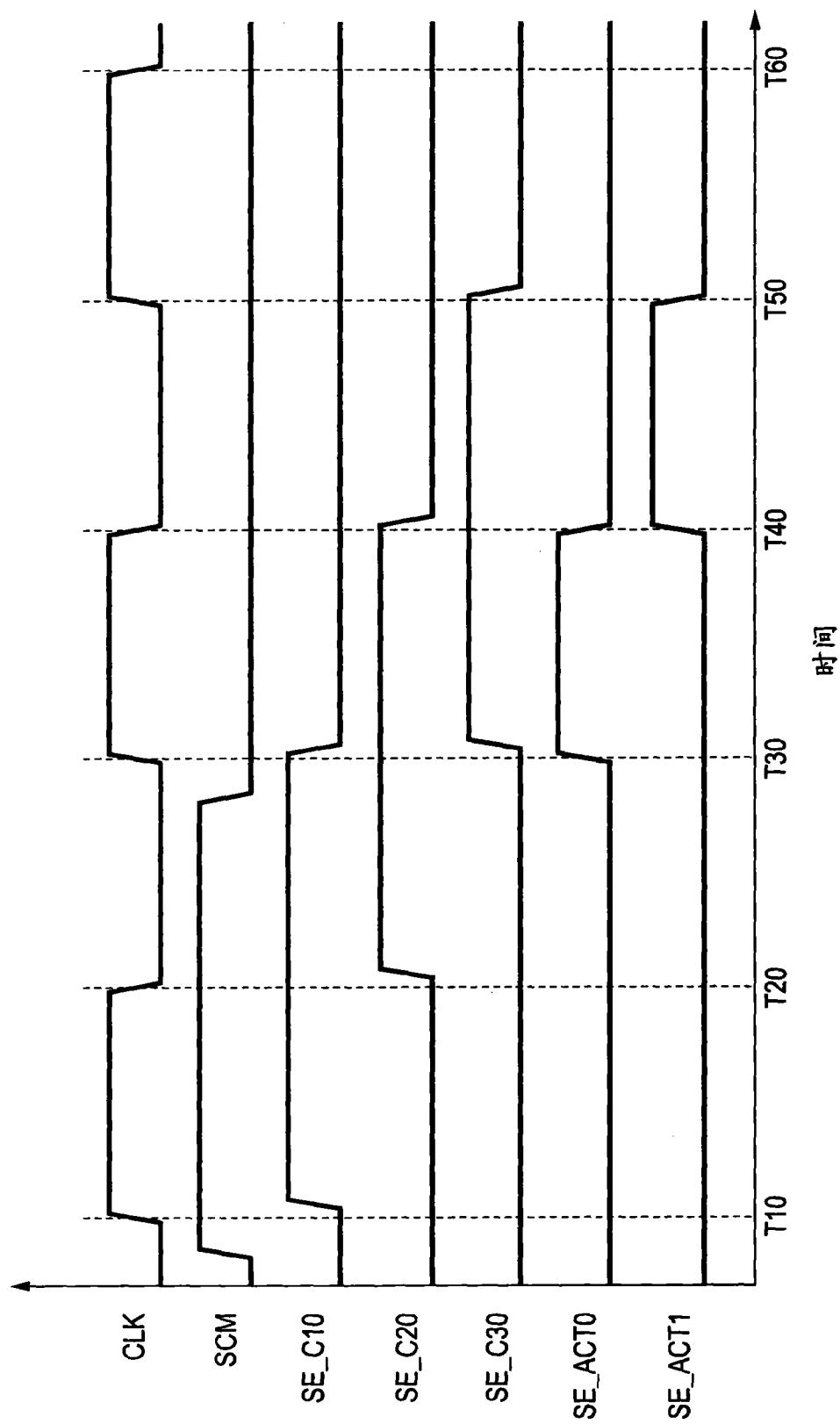


图8

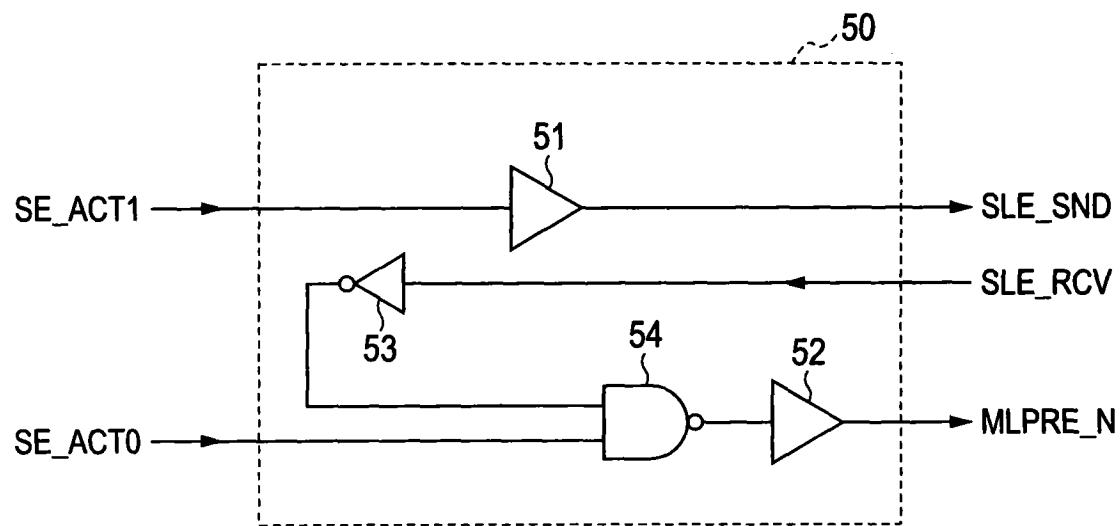


图9

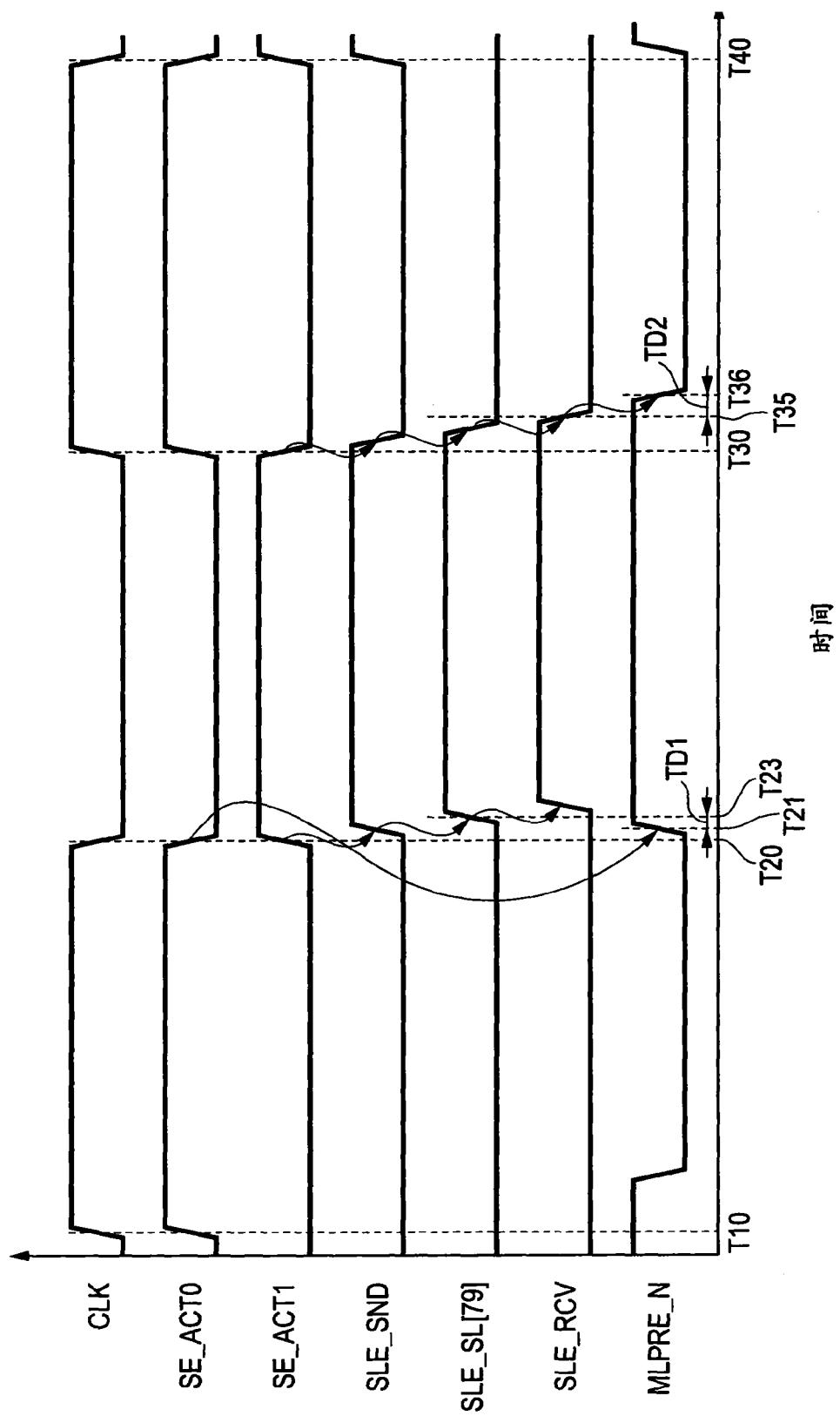


图10

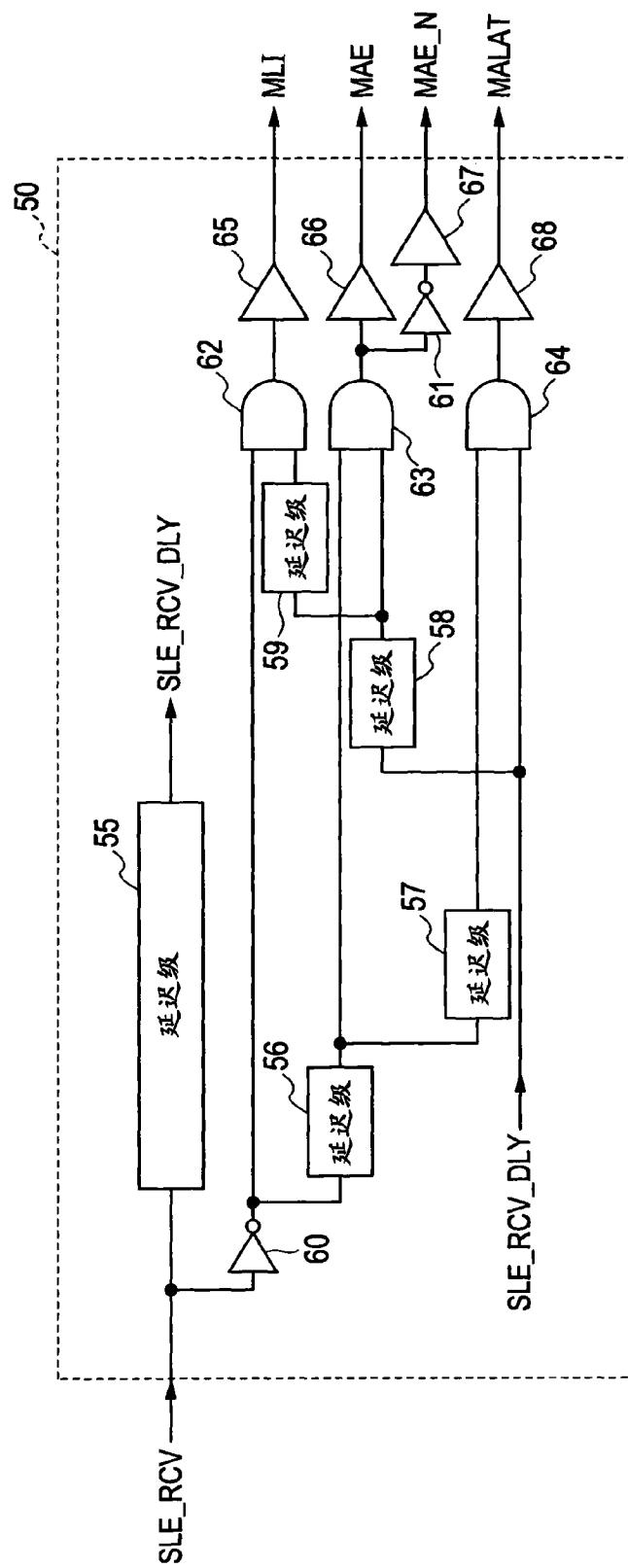


图11

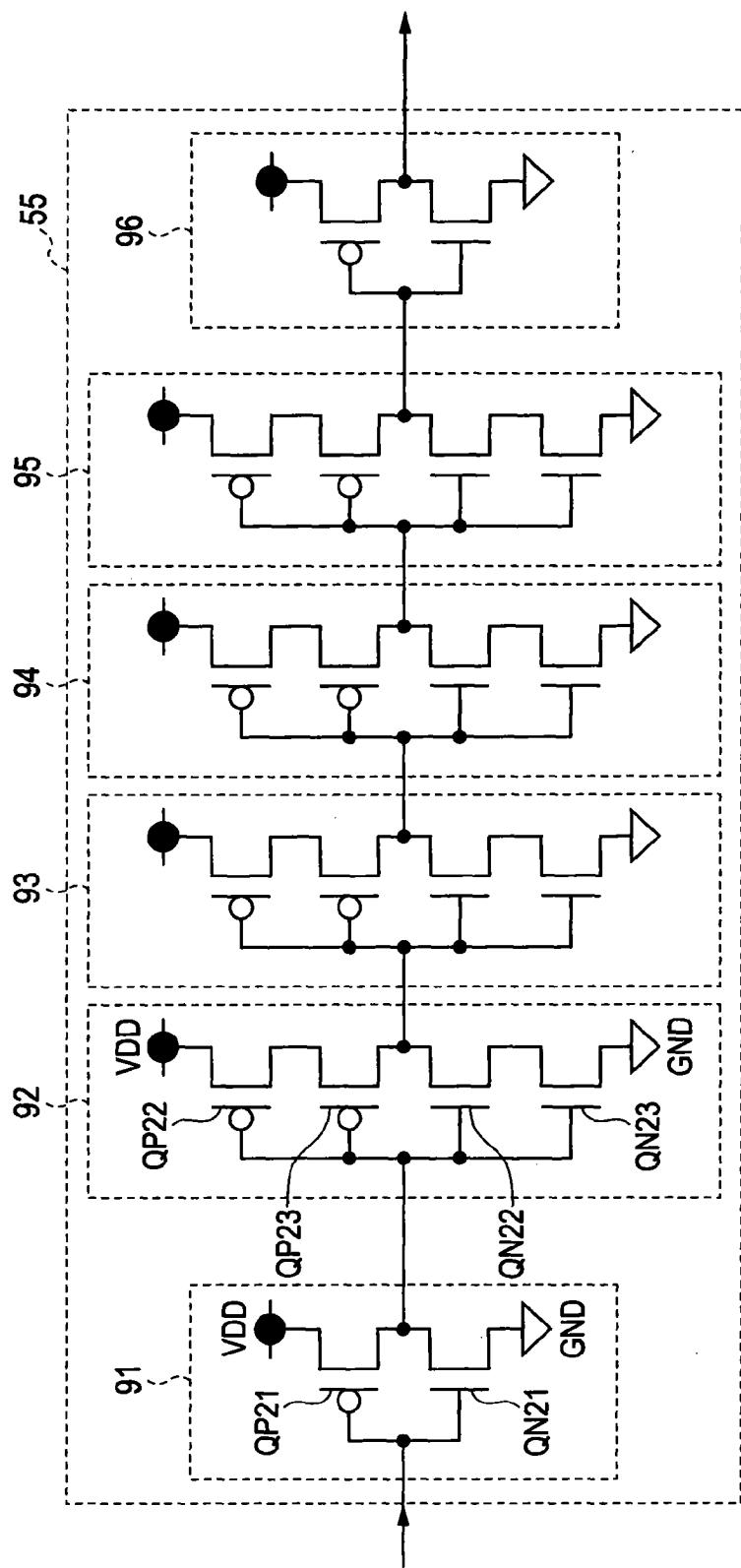


图12

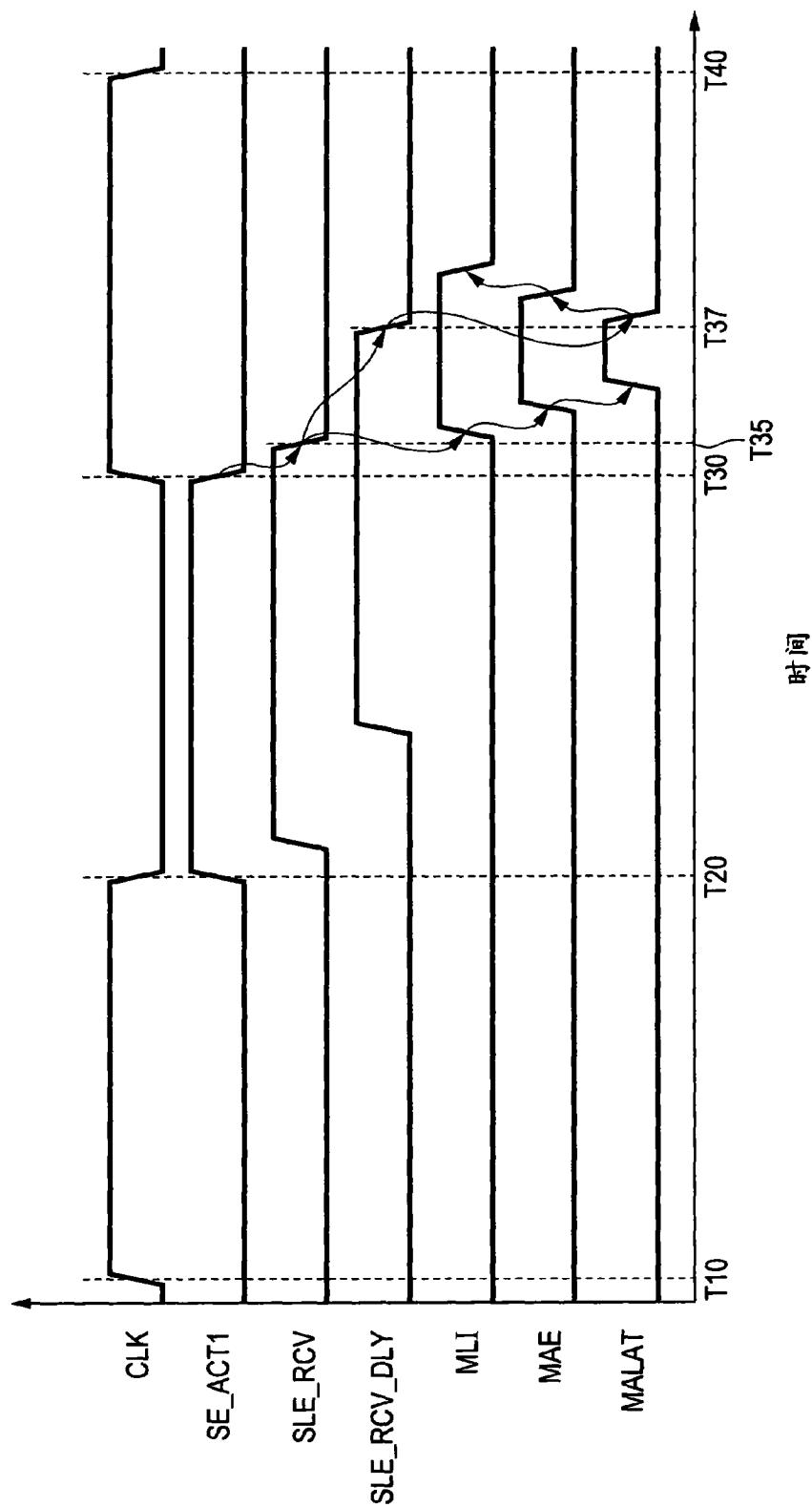


图13

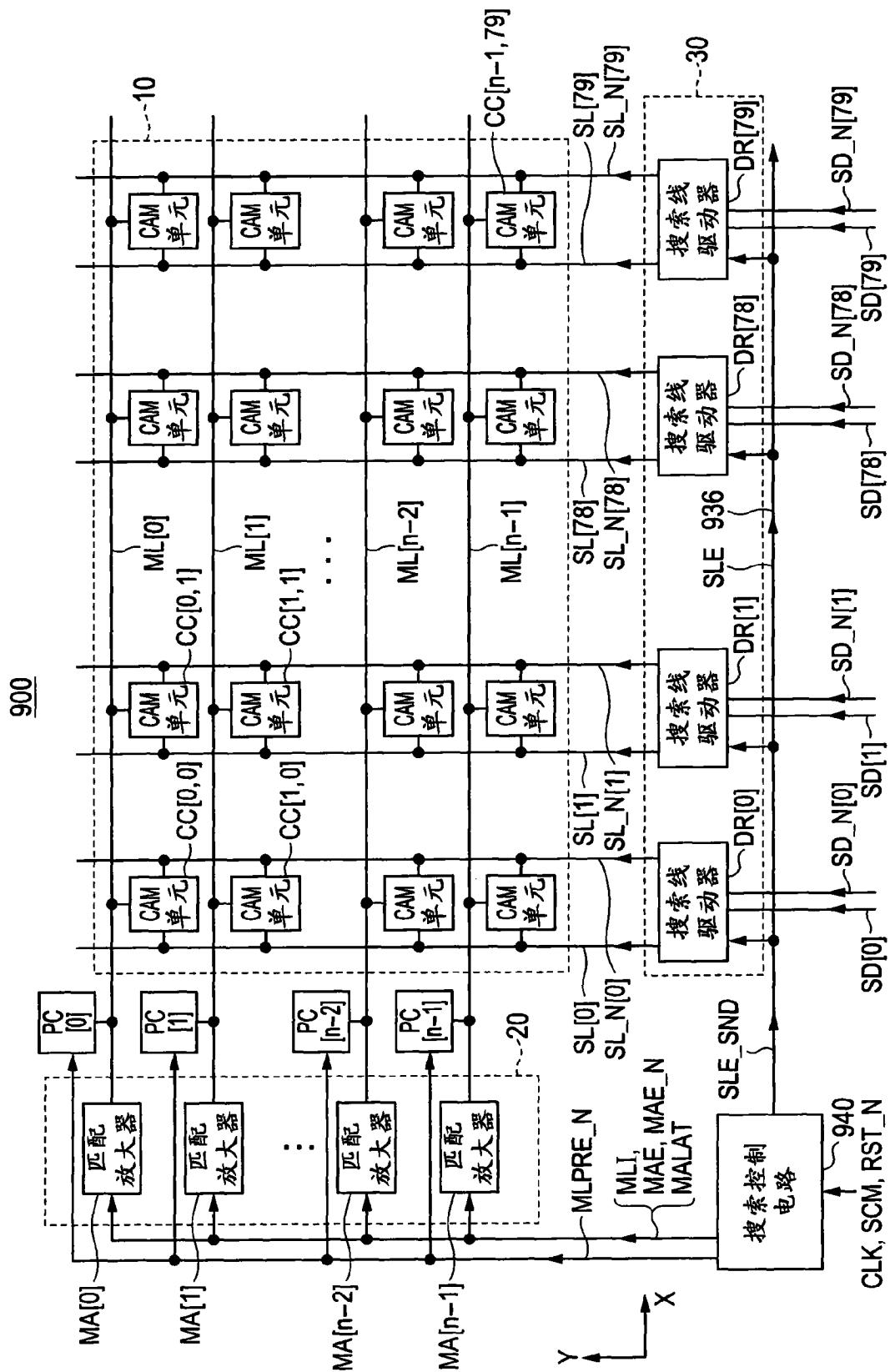


图14

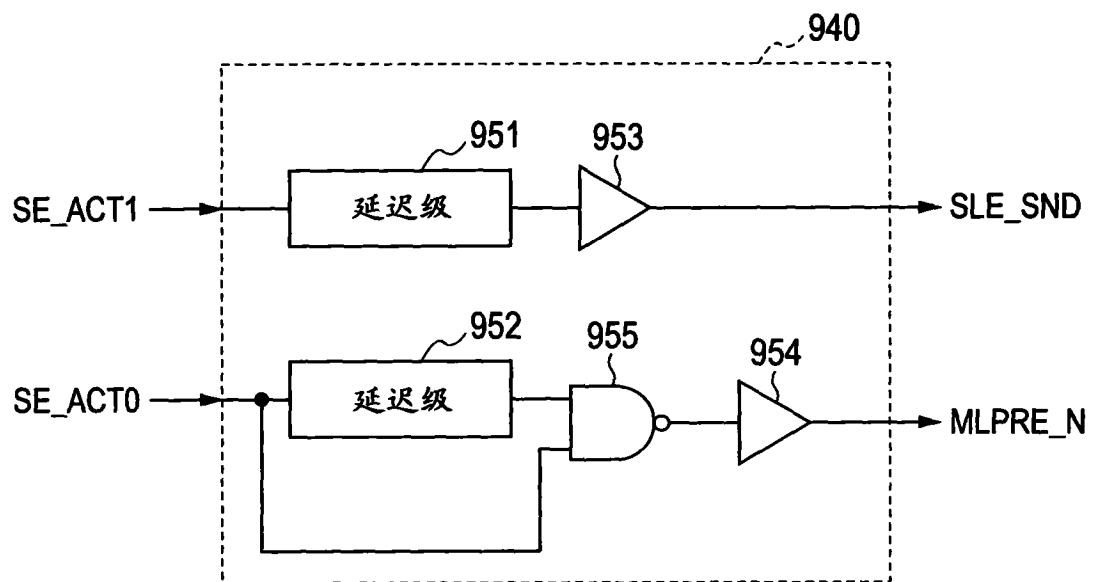


图15

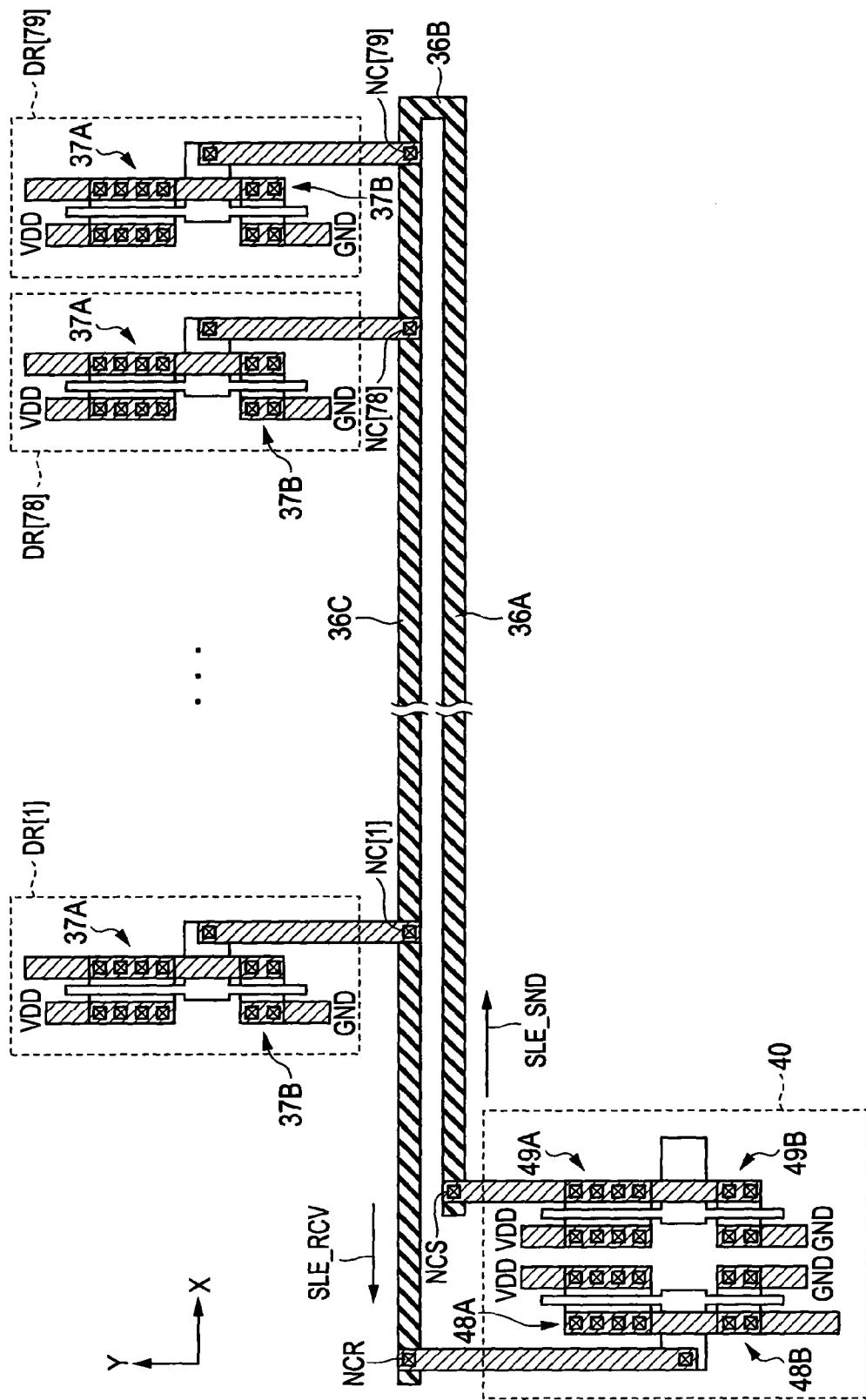


图16

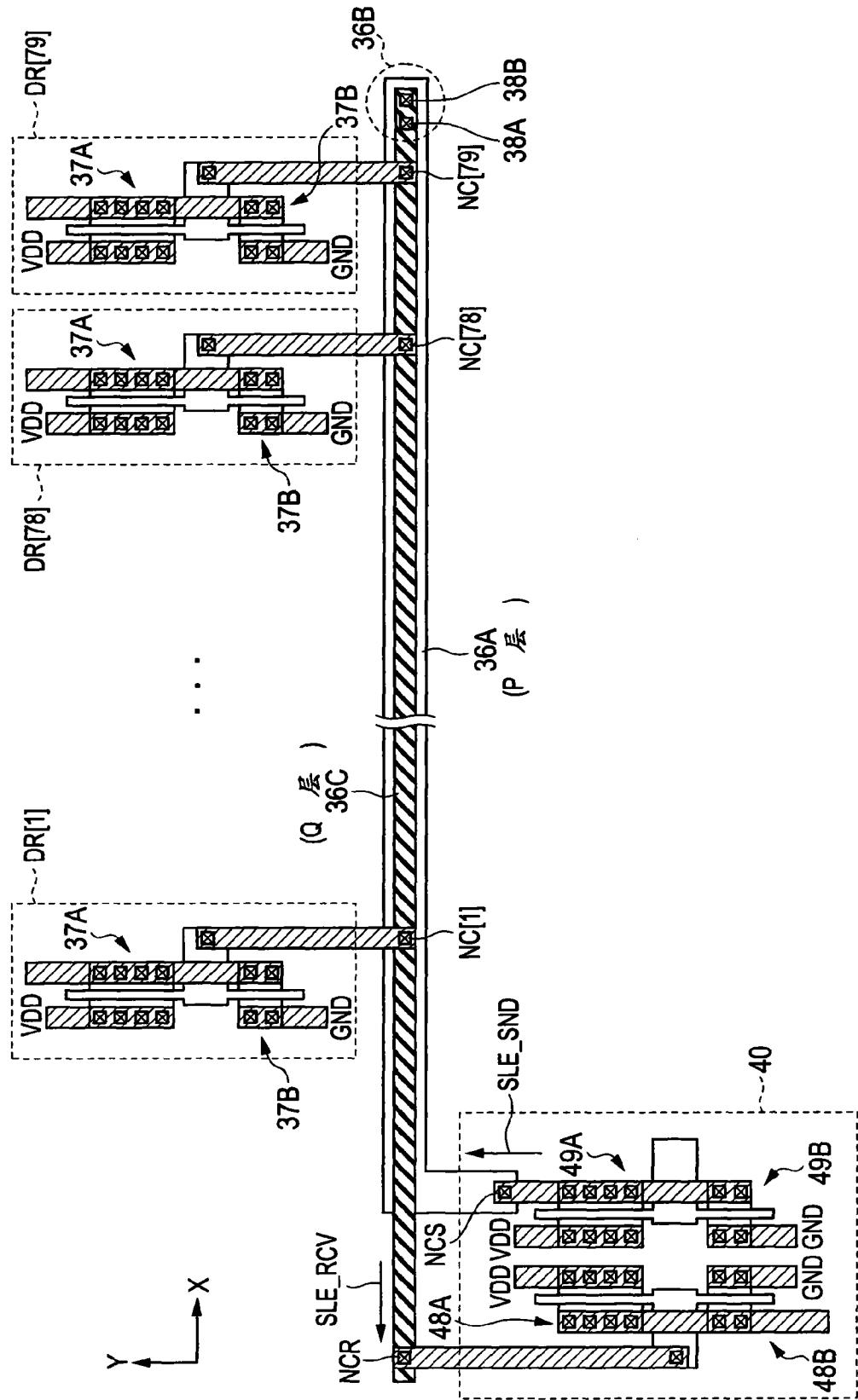
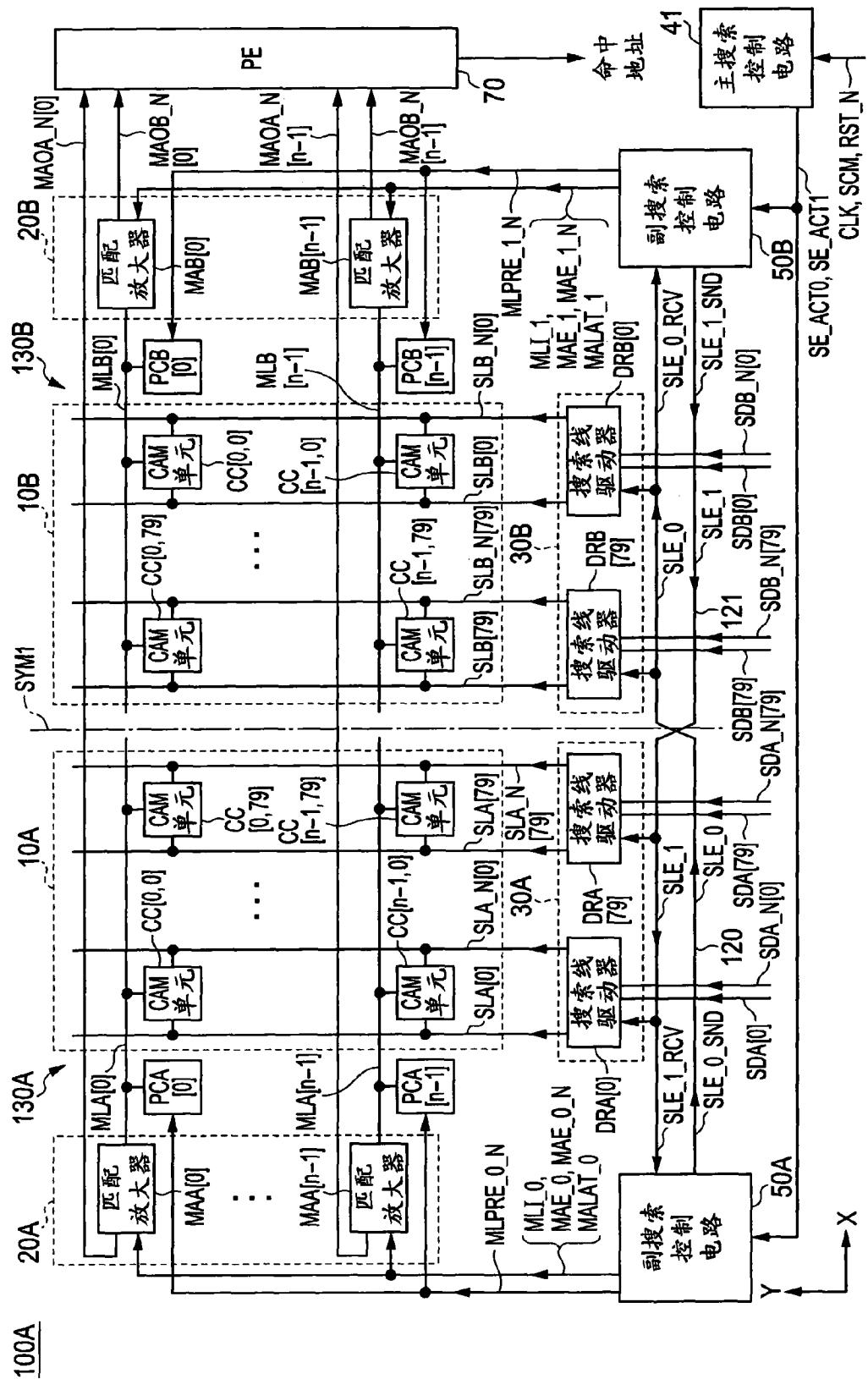


图 17



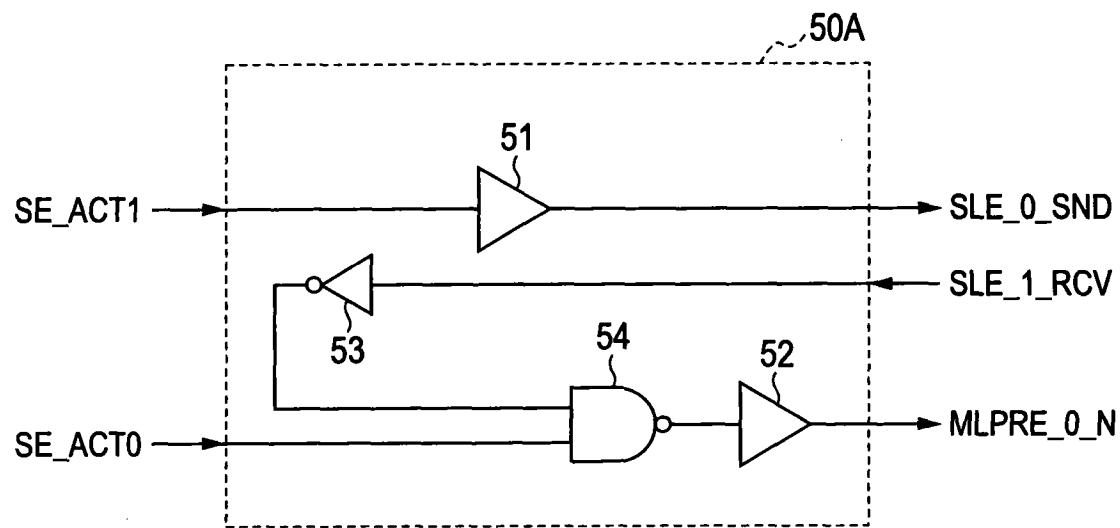


图19

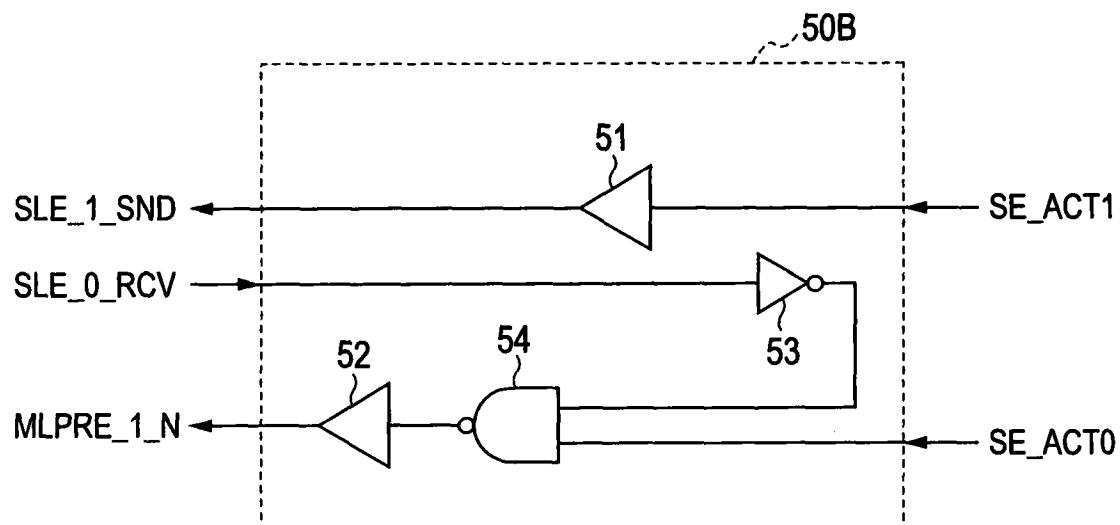


图20

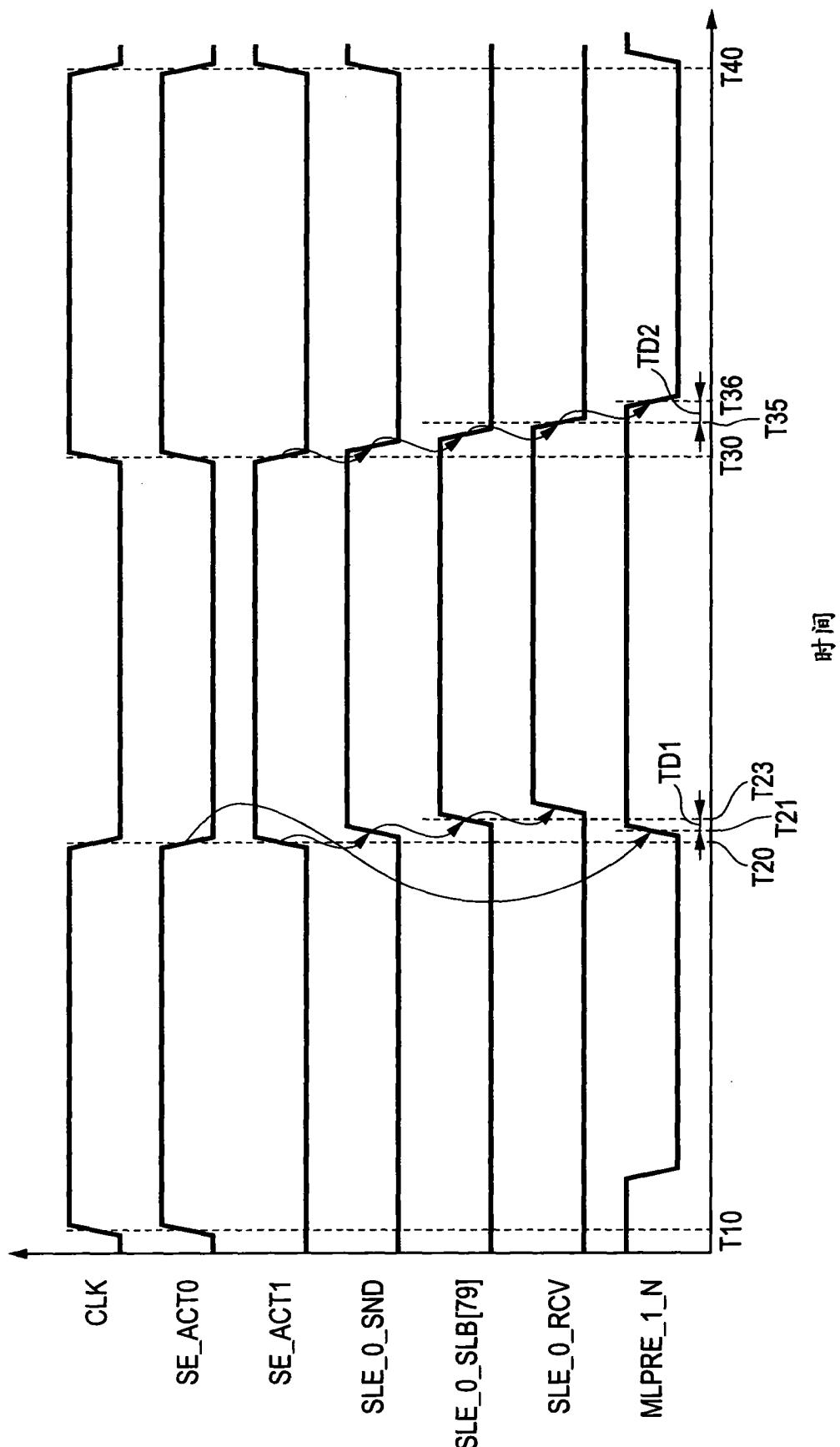


图21

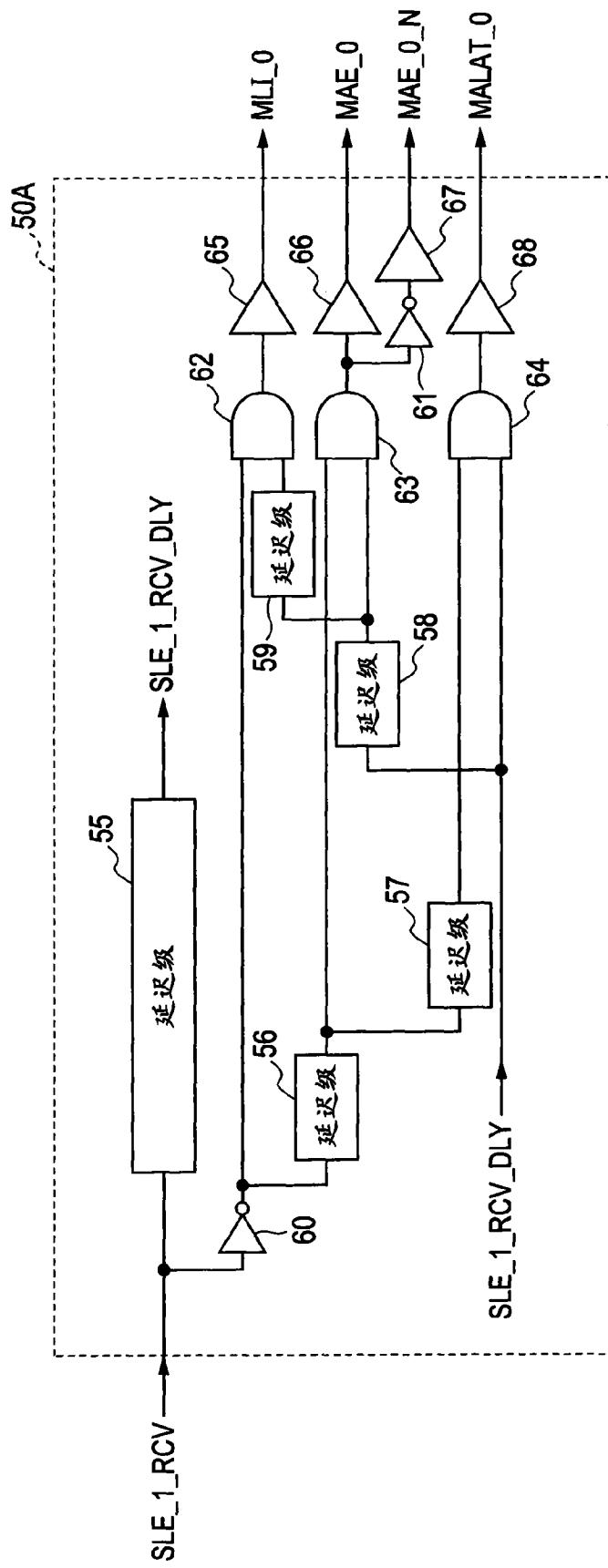


图22

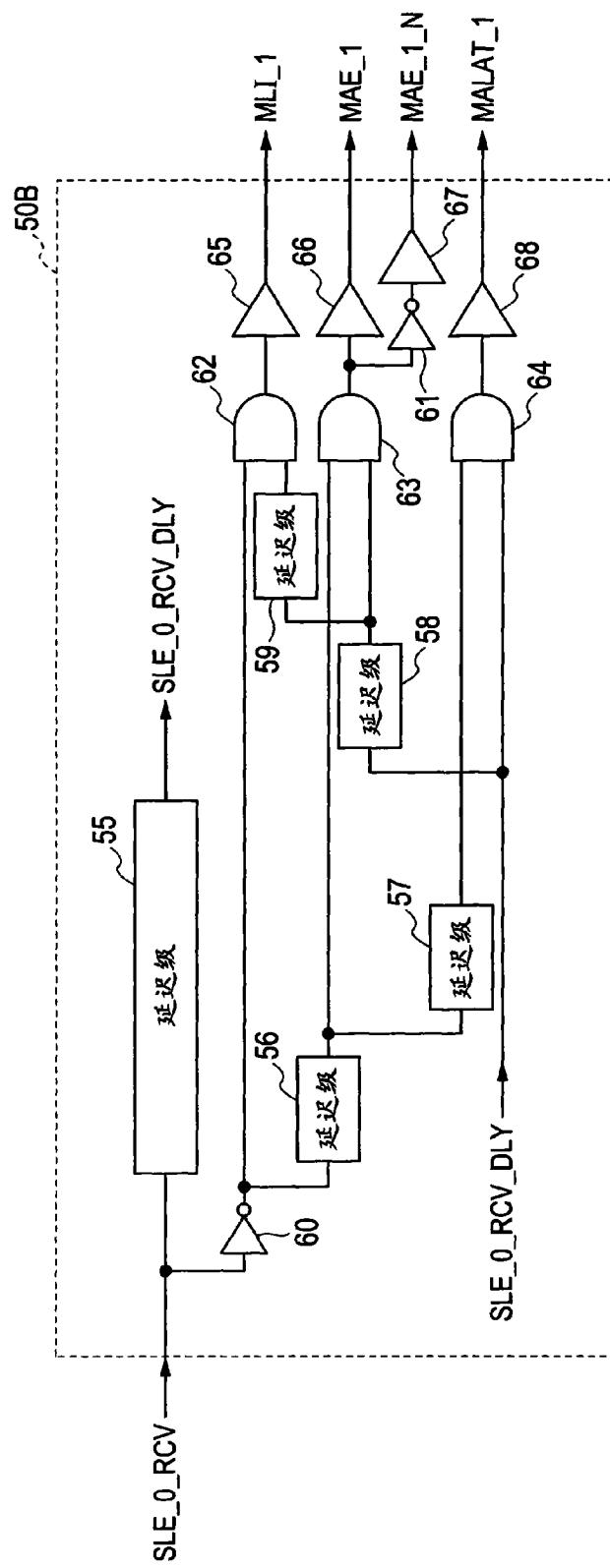


图23

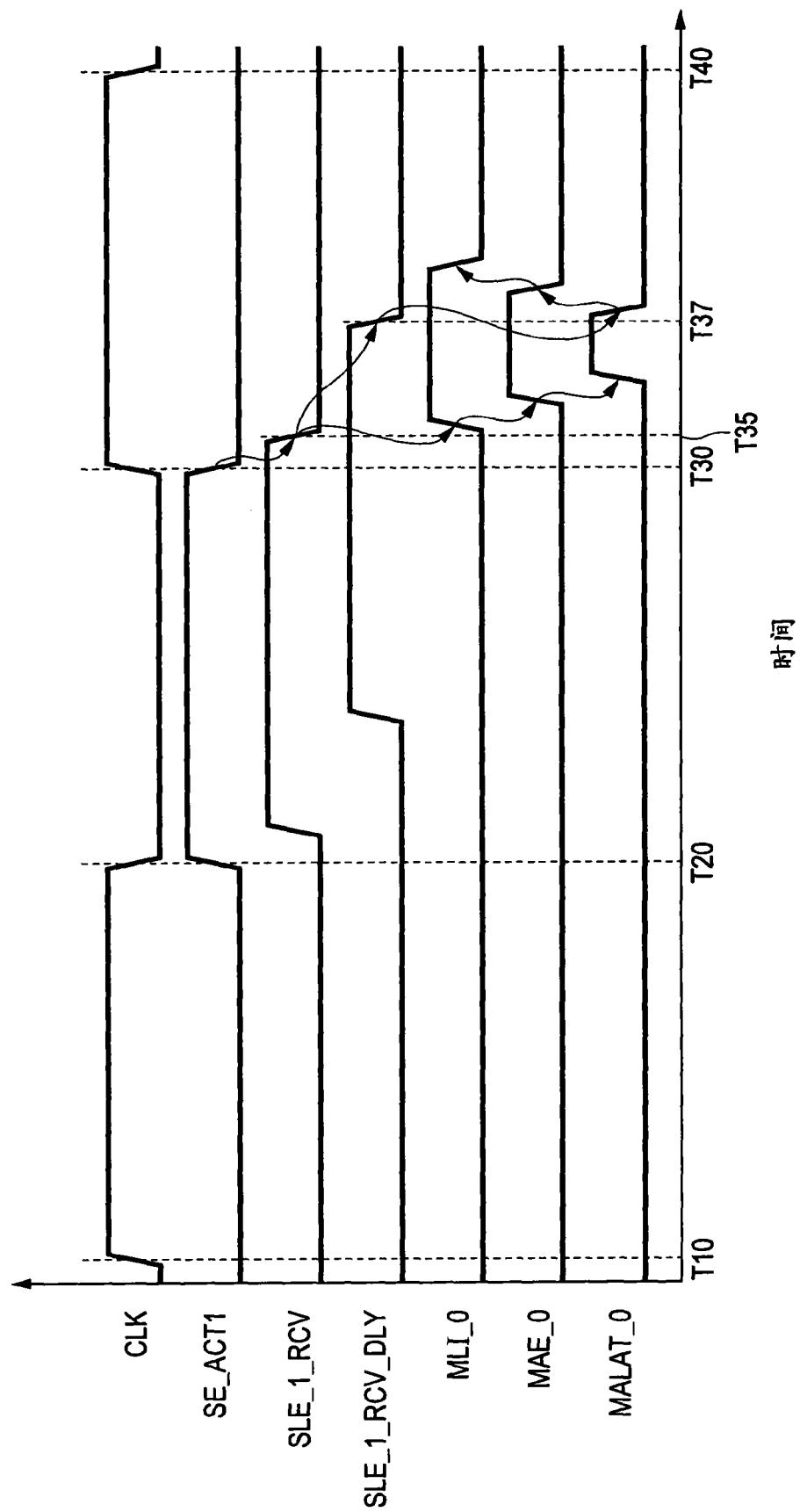


图24

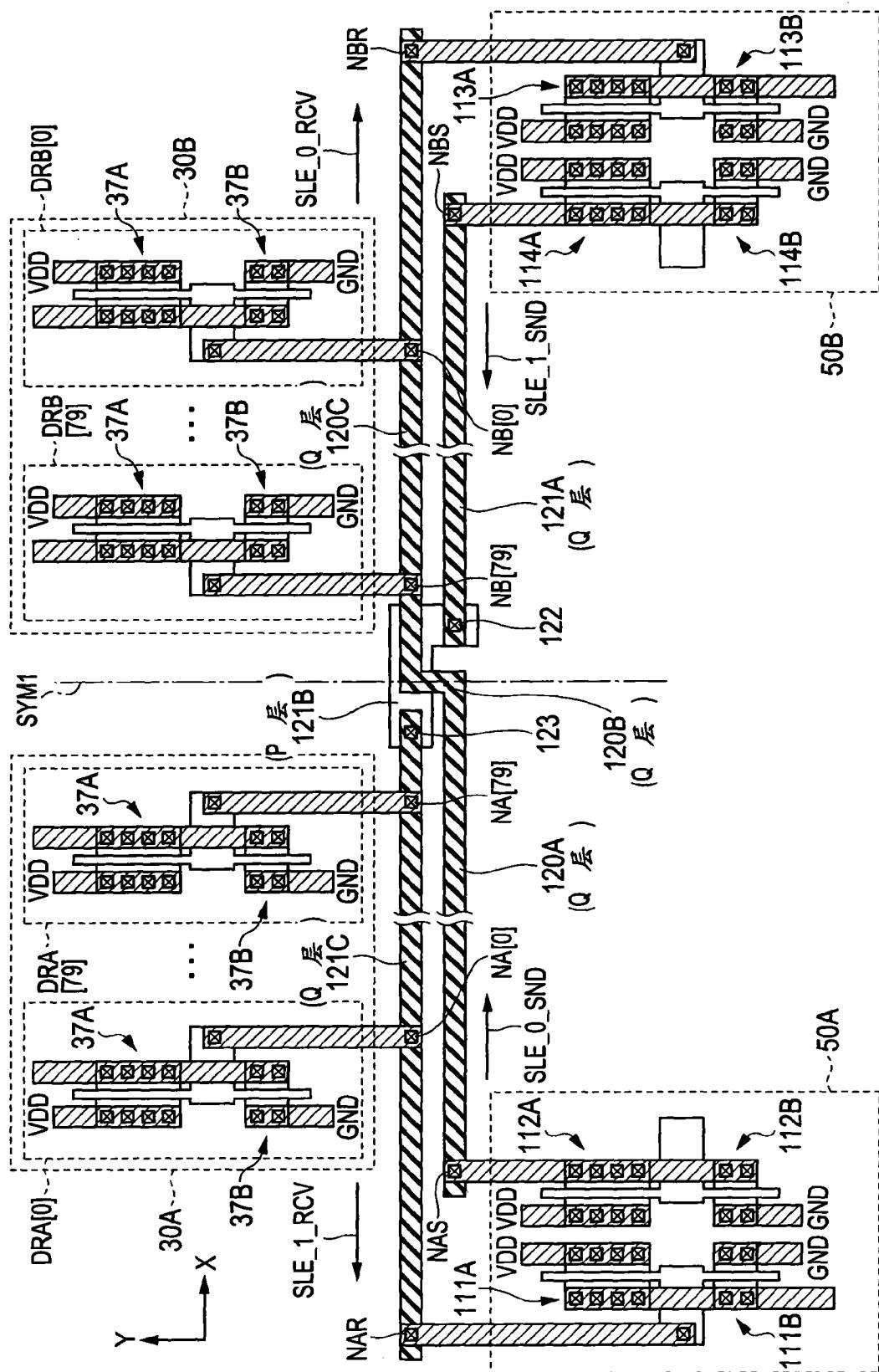


图25

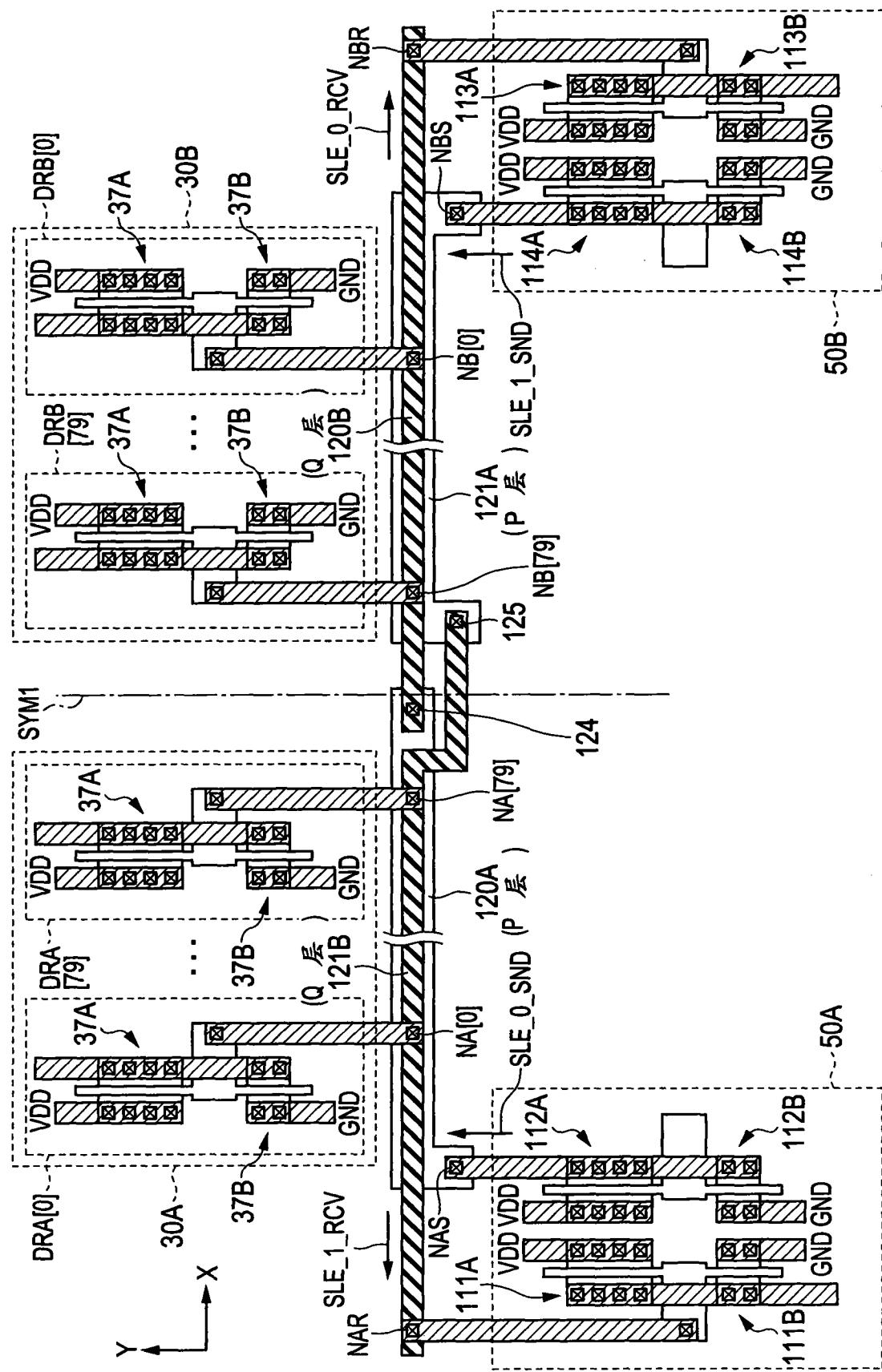


图26