



(12) 发明专利申请

(10) 申请公布号 CN 102099902 A

(43) 申请公布日 2011. 06. 15

(21) 申请号 200980128947. 8

地址 美国加利福尼亚州

(22) 申请日 2009. 07. 21

(72) 发明人 明·雷恩·林 佐兰·克里沃卡皮奇
维特克·毛萨勒

(30) 优先权数据

12/176, 866 2008. 07. 21 US

(74) 专利代理机构 上海胜康律师事务所 31263

代理人 周文强 李献忠

(85) PCT申请进入国家阶段日

2011. 01. 20

(51) Int. Cl.

(86) PCT申请的申请数据

PCT/US2009/004211 2009. 07. 21

H01L 21/336 (2006. 01)

H01L 29/78 (2006. 01)

(87) PCT申请的公布数据

W02010/011287 EN 2010. 01. 28

(71) 申请人 超威半导体公司

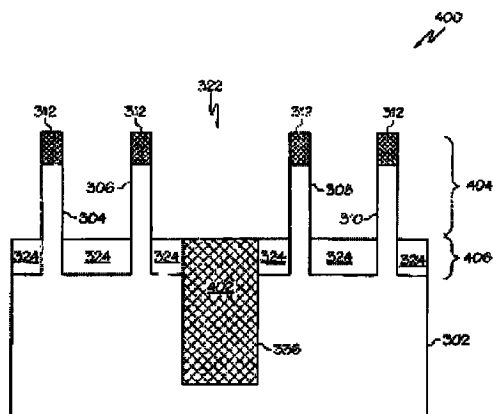
权利要求书 3 页 说明书 6 页 附图 11 页

(54) 发明名称

带有沟道分隔的鳍状半导体设备生产方法

(57) 摘要

本发明提供了一种生产诸如 FinFET 设备结构之类半导体设备结构 (300) 的方法。所述方法从提供基板开始, 所述基板包括块状半导体材料 (302)、从所属块状半导体材料 (302) 中形成的第一导电鳍结构 (306) 和从所属块状半导体材料 (302) 中形成的第二导电鳍结构 (308)。所述第一导电鳍结构 (306) 和所述第二导电鳍结构 (308) 由间隔 (322) 分隔。接着, 在所述间隔 (322) 内, 贴近所述第一导电鳍结构 (306) 和所述第二导电鳍结构 (308) 形成垫板 (332、334)。随后, 使用所述垫板 (332、334) 作为蚀刻掩模在蚀刻步骤蚀刻所述块状半导体材料 (302), 以在所述块状半导体材料 (302) 内形成分隔沟道 (336)。在所述分隔沟道 (336) 内、所述垫板 (332、334) 上、所述第一导电鳍结构 (306) 上和所述第二导电鳍结构 (308) 上形成介电材料 (340)。然后, 蚀刻至少一部分所述介电材料 (340) 和至少一部分所述垫板 (332、334), 以暴露所述第一导电鳍结构 (306) 的上方部分 (342) 和所述第二导电鳍结构 (308) 的上方部分 (342), 同时保留所述分隔沟道 (336) 内的所述介电材料 (340)。在这些步骤后, 使用传统方式完成所述设备的生产。



1. 一种用于鳍状半导体设备的沟道分隔方法,所述方法包括:

从块状半导体基板 (302) 中形成第一导电鳍系列 (314) 和第二导电鳍系列 (316),所述第一导电鳍系列 (314) 和所述第二导电鳍系列 (316) 由间隔 (322) 分隔;

在所述第一导电鳍系列 (314)、所述第二导电鳍系列 (316) 和所述块状半导体基板 (302) 上方沉积氧化物材料 (324),所述氧化物材料 (324) 形成与所述间隔 (322) 相对应的凹陷 (326),所述凹陷 (326) 定位于所述氧化物材料 (324) 的相对侧壁 (328) 之间;

加深所述凹陷 (326),让其进入所述块状半导体基板 (302) 之内,以形成沟道 (336),所述沟道 (336) 自动与所述相对侧壁 (328) 对齐;以及

用介电材料 (340) 填充所述沟道 (336)。

2. 如权利要求 1 所述的方法,其中所述形成步骤形成所述第一导电鳍系列 (314) 内的多个导电鳍 (304、306) 和所述第二导电鳍系列 (316) 内的多个导电鳍 (308、310)。

3. 如权利要求 2 所述的方法,其中所述形成步骤根据选定的鳍间隙 (320) 形成所述第一导电鳍系列 (314) 内的多个导电鳍 (304、306) 和所述第二导电鳍系列 (316) 内的多个导电鳍 (308、310),由此所述间隔 (322) 分隔所述第一导电鳍系列 (314) 和所述第二导电鳍系列 (316),其分隔距离大于所选定的鳍间隙 (320)。

4. 如权利要求 1 所述的方法,其中加深所述凹陷 (326) 包括:蚀刻所述氧化物材料 (324),以延伸所述凹陷至所述块状半导体基板 (302);并且

之后,使用所述氧化物材料 (324) 作为蚀刻掩模蚀刻所述块状半导体基板 (302)。

5. 如权利要求 1 所述的方法,其中填充所述沟道 (336) 包括在沟道 (336) 内、所述块状半导体基板 (302) 上、所述第一导电鳍系列 (314) 上和所述第二导电鳍系列 (316) 上沉积氧化物 (340)。

6. 如权利要求 5 所述的方法,进一步包括将所述氧化物 (340) 抛光至所述第一导电鳍系列 (314) 和所述第二导电鳍系列 (316) 的高度。

7. 如权利要求 6 所述的方法,进一步包括蚀刻所述氧化物 (340) 至暴露所述第一导电鳍系列 (314) 的仅仅一部分和所述第二导电鳍系列 (316) 的仅仅一部分。

8. 一种生产半导体设备结构 (300) 的方法,所述方法包括:

提供基板,所述基板包括块状半导体材料 (302)、从所述块状半导体材料 (302) 中形成的第一导电鳍结构 (306) 和从所述块状半导体材料 (302) 中形成的第二导电鳍结构 (308),所述第一导电鳍结构 (306) 和所述第二导电鳍结构 (308) 由间隔 (322) 分隔;

在所述间隔 (322) 内,贴近所述第一导电鳍结构 (306) 和所述第二导电鳍结构 (308) 形成垫板 (332,334);

使用所述垫板 (332,334) 作为蚀刻掩模蚀刻所述块状半导体材料 (302),以在所述块状半导体材料 (302) 内形成分隔沟道 (336);

在所述分隔沟道 (336) 内、所述垫板 (332,334) 上、所述第一导电鳍结构 (306) 上和所述第二导电鳍结构 (308) 上形成介电材料 (340);以及

蚀刻至少部分所述介电材料 (340) 和至少部分所述垫板 (332,334),以暴露所述第一导电鳍结构 (306) 的上方部分 (342) 和所述第二导电鳍结构 (308) 的上方部分 (342),同时保留所述分隔沟道 (336) 内的所述介电材料 (340)。

9. 如权利要求 8 所述的方法,其中形成垫板 (332,334) 包括:

在所述第一导电鳍结构 (306)、所述第二导电鳍结构 (308) 和所述块状半导体材料 (302) 上沉积氧化物材料 (324), 所述氧化物材料 (324) 形成对应于所述间隔 (322) 的凹陷 (326); 以及

各向异性蚀刻所述氧化物材料 (324), 由此所述凹陷 (326) 延伸到所述块状半导体材料 (302)。

10. 如权利要求 8 所述的方法, 其中蚀刻所述块状半导体材料 (302), 形成分隔沟道 (336), 所述分隔沟道 (336) 与所述垫板 (332, 334) 自动对齐。

11. 如权利要求 8 所述的方法, 进一步包括在蚀刻至少一部分所述介电材料 (340) 和至少一部分所述垫板 (332、334) 之前, 将所述介电材料 (340) 抛光至所述第一导电鳍结构 (306) 和所述第二导电鳍结构 (308) 的高度。

12. 如权利要求 11 所述的方法, 其中所述蚀刻至少一部分所述介电材料 (340) 和至少一部分所述垫板 (332、334) 步骤使用端点蚀刻技术。

13. 如权利要求 8 所述的方法, 进一步包括:

完成第一设备结构的制备, 所述第一设备结构包括所述第一导电鳍结构 (306); 以及完成第二设备结构的制备, 所述第二设备结构包括所述第二导电鳍结构 (308); 其中在所述分隔沟道 (336) 中的所述介电材料 (340) 电分隔所述第一设备结构和所述第二设备结构。

14. 一种制造半导体设备结构 (300) 的方法, 所述方法包括:

提供基板, 所述基板包括块状半导体材料 (302)、从所述块状半导体材料 (302) 中形成的第一导电鳍结构 (306) 和从所述块状半导体材料 (302) 中形成的第二导电鳍结构 (308), 所述第一导电鳍结构 (306) 和所述第二导电鳍结构 (308) 由间隔 (322) 分隔;

在所述间隔 (322) 内, 贴近所述第一导电鳍结构 (306) 和所述第二导电鳍结构 (308) 形成垫板 (332, 334);

使用所述垫板 (332, 334) 作为蚀刻掩模蚀刻所述块状半导体材料 (302), 以在所述块状半导体材料 (302) 内形成分隔沟道 (336);

去除所述垫板 (332, 334);

在所述分隔沟道 (336) 内、所述垫板 (332, 334) 上、所述第一导电鳍结构 (306) 上和所述第二导电鳍结构 (308) 上形成介电材料 (340); 以及

蚀刻至少部分所述介电材料 (340), 以暴露所述第一导电鳍结构 (306) 的上方部分 (342) 和所述第二导电鳍结构 (308) 的上方部分 (342), 同时保留所述分隔沟道 (336) 内的所述介电材料 (340)。

15. 如权利要求 14 所述的方法, 其中形成垫板 (332, 334) 包括:

在所述第一导电鳍结构 (306)、所述第二导电鳍结构 (308) 和所述块状半导体材料 (302) 上沉积氧化物材料 (324), 所述氧化物材料 (324) 形成对应于所述间隔 (322) 的凹陷 (326); 以及

各向异性蚀刻所述氧化物材料 (324), 由此所述凹陷 (326) 延伸到所述块状半导体材料 (302)。

16. 如权利要求 14 所述的方法, 其中蚀刻所述块状半导体材料 (302), 形成分隔沟道 (336), 所述分隔沟道 (336) 与所述垫板 (332, 334) 自动对齐。

17. 如权利要求 14 所述的方法,进一步包括在蚀刻至少一部分所述介电材料 (340) 之前,将所述介电材料 (340) 抛光至所述第一导电鳍结构 (306) 和所述第二导电鳍结构 (308) 的高度。

18. 如权利要求 17 所述的方法,其中所述蚀刻至少一部分所述介电材料 (340) 步骤使用端点蚀刻技术。

19. 如权利要求 14 所述的方法,进一步包括:

完成 NMOS 晶体管设备结构的制备,所述 NMOS 晶体管设备结构包括所述第一导电鳍结构 (306);以及

完成 PMOS 晶体管设备结构的制备,所述 PMOS 晶体管设备结构包括所述第二导电鳍结构 (308);其中

在所述分隔沟道 (336) 中的所述介电材料 (340) 电分隔所述 NMOS 晶体管设备结构和所述 PMOS 晶体管设备结构。

20. 如权利要求 14 所述的方法,其中去除所述垫板 (332,334) 包括选择性蚀刻所述垫板 (332,334)。

带有沟道分隔的鳍状半导体设备生产方法

技术领域

[0001] 笼统地说,下述内容的实施方式是关于半导体设备及其相关生产工艺。更具体地说,下述内容的实施方式是关于生产带有沟道分隔的半导体设备,例如 FinFET 设备。

背景技术

[0002] 晶体管,例如金属氧化物半导体场-效应晶体管 (MOSFETs),是大量大多数半导体设备的核心构造模块。某些半导体设备,例如高性能处理设备,可包括数百万个晶体管。对这些设备而言,传统上,减小晶体管尺寸并由此增加晶体管密度是半导体生产工业中的高优先级目标。

[0003] FinFET 是一种能够使用非常小尺度工艺生产的晶体管。图 1 是在半导体晶圆基板 102 上形成的 FinFET 100 的简化透视图。FinFET 的名字来源于其能够用于一个或多个导电鳍 (fins) (FinFET 100 只包括一个鳍 104)。如图 1 所示,鳍 104 在 FinFET 100 的源头区 106 和排放区 108 之间延伸。FinFET 100 包括一个环绕在鳍 104 周围的门结构 110。鳍 104 被门结构 110 环绕的尺寸决定了 FinFET 100 的有效通道。图 2 为另一个 FinFET 200 的简化透视图;该特定的版本包括在源头区 204 和排放区 206 之间延伸的三个鳍 202。与 FinFET 100 一样,贯穿所述三个鳍 202 形成门结构 208。当在该方式中采用多个鳍时,保持均匀的鳍厚度和均匀的鳍间隙(两个相邻的鳍之间的距离加上鳍厚度)是极其重要的。

[0004] FinFET 设备以往是采用绝缘硅 (SOI) 基板生产。使用 SOI 基板,所述导电鳍从所述硅材料中形成,其中所述绝缘层在相邻 FinFET 设备之间起到绝缘作用。块硅基板比 SOI 基板便宜,而如果采用合适的绝缘方法,FinFET 设备也能够采用块硅生产。一种已知的用于从块硅基板中生产 FinFET 的绝缘方法需要多个光刻和蚀刻步骤,在 n 通道和 p 通道晶体设备之间产生沟道。这样的多个光刻与蚀刻步骤的成本和复杂度掩盖了使用块硅基板代替 SOI 所带来的好处。

发明内容

[0005] 本发明所述的 FinFET 生产技术能够用于块状半导体基板,且能够与其他工艺技术结合使用。所述生产技术在相邻的 FinFET 设备之间产生隔离沟道,而无需额外的光刻和蚀刻步骤。所产生的隔离沟道能够相对于所述相邻的 FinFET 设备(例如相邻的 PMOS 和 NMOS 晶体管设备)的边界自动对准。

[0006] 上述的和其他的方面能够通过鳍状半导体设备的沟道隔离方法的实施方式实现。该方法包括从块状半导体基板上形成第一导电鳍系列和第二导电鳍系列,所述第一导电鳍系列和第二导电鳍系列由间隔分离开。所述方法随后在所述第一导电鳍系列、第二导电鳍系列和所述块状半导体基板上沉积氧化材料。所述氧化材料形成与所述间隔相对应 (corresponds to) 的凹陷,其中所述凹陷位于所述氧化材料的相对侧壁面之间。所述凹陷深入所属块状半导体材料形成沟道,所述沟道自动与所述相对侧壁面对齐,采用介电材料填入所述沟道。

[0007] 本发明还提供了一种生产半导体设备的方法。所述方法包括提供基板,所述基板包括块状半导体材料、从所述块状半导体材料中形成的第一导电鳍结构和从所述块状半导体材料中形成的第二导电鳍结构,其中所述第一导电鳍结构和第二导电鳍结构由间隔分离开。所述方法在所述间隔内,贴近 (adjacent) 所述第一导电鳍结构和第二导电鳍结构形成垫板 (spacers),随后使用所述垫板作为蚀刻掩模蚀刻所述块状半导体材料,在所述块状半导体材料中形成间隔沟道。在所述隔离沟道内、所述垫板上方、所述第一导电鳍结构上方和所述第二导电鳍结构上方放置介电材料,所述介电材料随后与所述垫板一起被蚀刻,直到暴露所述第一导电鳍结构的上方部分和第二导电鳍结构的上方部分,同时保留在所述隔离沟道内的所述介电材料。本方法的替代实施方式在所述隔离沟道内形成所述介电材料之前去除所述第一导电鳍结构上方和所述第二导电鳍结构上方的垫板。

[0008] 这里的发明内容综述带来了简化形式的概念的选择,所述简化方式会在下文中更详细地描述。本综述并未指出要求保护的内容的关键特征或必要特征,也不能被用作辅助确认所述要求保护的内容的范围。

[0009] 附图简要说明

[0010] 为了更透彻地理解下述内容,可结合下面的图片,参考详细描述和权利要求,其中在图片之间相同的标注号指代相同的部件。

[0011] 图 1 为传统 FinFET 的简化透视图;

[0012] 图 1 为具有多个鳍的传统 FinFET 的简化透视图;

[0013] 图 3-10 为显示半导体设备结构的实施方式和相关生产方法的截面图;以及

[0014] 图 11 和 12 为显示半导体设备结构的另一种实施方式和相关生产方法的步骤的截面图。

具体实施方式

[0015] 下文的详细描述仅仅是性质的描述,并非限制所述主题或所述申请的实施方式以及这些实施方式的使用。这里所使用的词汇“示例的”意思是“作为例子、实例或例证”。无需认为这里所描述的任何示例的执行方式相比其他执行方式是更优选的或更有利的。更进一步地,无需受限于先前的技术领域、背景技术、发明内容或后续的详细描述中所表述或暗示的理论。

[0016] 为了简明起见,与半导体设备生产相关的传统技术在本发明中不作详细介绍。更进一步,本发明所述的各种工作和工艺步骤能够融入更复杂的程序或工艺中,所述程序或工艺具有本发明中未描述附加步骤或功能。特别地,半导体晶体管设备生产中的各种步骤是众所周知的,因此为了简明起见,许多传统的步骤在本发明中只会简单提起或者完全忽略,不提供所述众所周知的工艺细节。

[0017] 本发明中所描述的技术和工艺可用于生产 MOS 晶体管设备,包括 NMOS 晶体管设备、PMOS 晶体管设备和 CMOS 晶体管设备。尽管“MOS 设备”的称谓通常指具有金属门电极和氧化门绝缘体的设备,该称谓在本文的全文中将被用于指代任意的半导体设备,所述半导体设备包括导体门电极(金属或其他导体材料),所述导体门电极位于门绝缘体(氧化物或其他绝缘体)上方,所述门绝缘体依次位于半导体基板上。

[0018] 已知多种 FinFET 设备和相关的生产工艺。例如,专利号为 6872647 和 6921963 的

美国专利（均授权给 Advanced Micro Devices 公司）都涉及 FinFETs 和生产 FinFETs 的工艺（这两个专利的相关内容被引用在此作为参考）。根据这两个专利中所描述的传统生产技术，FinFET 设备中的导电鳍采用光刻、蚀刻和其他传统工艺步骤制成。FinFET 的性能依赖于鳍的厚度和间隙，所述厚度和间隙应当保持均匀并且在生产过程中严格控制。基于该考虑，采用现代半导体生产工艺（例如 32nm 或者更小的技术）生产 FinFET，由于控制所述鳍的尺寸的重要性，可以是具有挑战性的。

[0019] 本发明所述的技术和工艺可用于在块状半导体基板上形成的相邻 FinFET 设备之间形成绝缘区域。图 3-10 为显示半导体设备结构 300 的实施方式和示例生产方法的截面图。该生产工艺显示了沟道隔离方法的一种实施方式，所述沟道隔离方法适用于鳍状半导体设备，例如 FinFETs。图 3 描绘的所述半导体设备结构 300 在所述生产工艺的中间阶段，也就是说，在提供合适的基板、在所述基板形成导电鳍并在所述导电鳍上形成氮化盖之后。在这个特定实施方式中，半导体设备结构 300 使用块状半导体基板，例如块硅基板 302。“硅基板”这个称谓在本发明中用于包含通常的单晶体或相对纯净的硅材料，所述硅材料通常应用于所述半导体工业中。块硅基板 302 原本可以是 N 型或 P 型硅，但是通常是 P 型，而块硅基板 302 随后以合适的方式掺杂以形成活性区域。这里，在传统方式中所述导电鳍从块硅基板 302 中形成。

[0020] 图 3 显示了半导体设备结构 300 在从块硅基板 302 中形成多个鳍 304、306、308 和 310 之后，以及在所述鳍上方形成氮化硅盖 312 之后的状态。导电鳍与其上方覆盖的氮化物盖的结合物在本发明中被称为“导电鳍结构”。所述鳍和盖采用众所周知的技术和工艺步骤形成（例如与光刻和图案化、侧壁图像转印、蚀刻、材料成长、材料沉积、表面极化等类似工艺相关的技术和步骤）。导电鳍 304 和 306 共同形成了第一导电鳍系列 314，导电鳍 308 和 310 共同形成了第二导电鳍系列 316。尽管半导体设备结构 300 每个系列包括两个鳍，替代实施方式无需如此设置。事实上，一个导电鳍系列可以包括任意数量的鳍，也包括一个。更进一步，第一导电鳍系列 314 中的鳍的数量无需与第二导电鳍系列 316 中的鳍的数量相等（由于流动性的差异，相比 n 型的设备鳍通常会有更多 p 型的设备鳍）。当半导体设备结构 300 的制备结束后，所述第一系列 314 可以用于第一设备（例如 NMOS 晶体管设备），所述第二系列 316 可以用于第二设备（例如 PMOS 晶体管设备），其中这两个设备彼此分离。

[0021] 每个系列中的所述导电鳍的形成使其具有一致的间隙和一致的鳍厚度。在实际操作中，两个鳍系列 314 和 316 通常具有相同的所述鳍间隙和厚度。在图 3 中，箭头 318 表示导电鳍 304 的所述鳍厚度，箭头 320 表示所述两个相邻鳍 308 和 310 之间的间隙。在一些实施方式中，所述鳍厚度可以在约 10-60nm（优选约 10-20nm）的范围内，所述鳍间隙可以在约 30-300nm（优选约 40-50nm）的范围内。在某些实施方式中，所述导电鳍高约 40-70nm，氮化硅盖 312 高约 20-40nm。应当理解的是，提供这些示例尺寸是为了建立一个方便和实际的参考框架，半导体设备结构 300 的实际实施方式的实际尺寸可以变化。

[0022] 第一导电鳍系列 314 和第二导电鳍系列 316 由一沟道 322 分隔，所述沟道通常定位在导电鳍 306 和导电鳍 308 之间。注意，所述沟道 322 将第一导电鳍系列 314 与第二导电鳍系列 316 分隔开来，在半导体设备结构 300 中该分隔距离比选定的鳍间隙 320 大。所述沟道 322 可表示的空间，原本会被根据所述选定的鳍间隙 320 所形成的至少一个导电鳍所占据。例如，半导体设备结构 300 代表了一种实施方式，其中，所述沟道 322 仅包含一个

导电鳍。其他实施方式可使用更宽的间隙,可能对应多于一个的“缺失”导电鳍。

[0023] 尽管在如图 3 所示的工艺中的步骤之后,可采取其他的生产步骤或亚工艺,该实施实例继续在所述第一导电鳍系列 314 上方、第二导电鳍系列 316 上方以及所述块硅基板 302 上方沉积绝缘材料,例如氧化物(优选氧化硅)(图 4)。换句话说,所述氧化物材料 324 以整体覆盖的方式覆盖在半导体设备结构 300 的所述暴露表面上。如图 4 所示,在沉积后,所述氧化物材料 324 填入每个导电鳍系列的相邻鳍之间的空隙内,并排列在沟道 322 所定义的空间内。如果合理控制该沉积步骤,氧化物材料 324 不会完全填满沟道 322,氧化物材料 324 通常会符合沟道 322 的外形。在所示的实施方式中,氧化物材料 324 的沉积厚度约为 25-30nm。

[0024] 氧化物材料 324 的沉积导致形成凹陷 326,所述凹陷通常对应于沟道 322 的位置和形状。该凹陷 326 由氧化物材料 324 的某些特性限定。特别地,凹陷 326 的边界由氧化物材料 324 的相对侧壁 328、氧化材料 324 的最低的暴露表面 330 组成。

[0025] 尽管在形成氧化材料 324 之后能够执行其他的生产步骤或亚工艺,该实施实例继续进行蚀刻步骤,优选采用各向异性的蚀刻技术(即定向蚀刻)。图 5 显示了各向异性蚀刻氧化物材料 324 以延伸凹陷 326 至所述块硅基板 302 的结果。换句话说,凹陷 326 现在的终端在块硅基板 302。在该步骤中使用的蚀刻化学物质选择性蚀刻氧化物材料 324,而基本不蚀刻氮化硅盖 312 和块硅基板 302。该蚀刻步骤的各向异性的特性在沟道 322 中形成了垫板 332 和 334。垫板 332 贴近导电鳍 306,垫板 334 贴近导电鳍 308。这些垫板 332 和 334 通常被称为侧壁垫板。事实上,垫板 332 和 334 通常与原本的沉积氧化物材料 324 的相对的侧壁 328 对齐并与其对应。

[0026] 尽管在形成垫板 332 和 334 之后能够执行其他的生产步骤或亚工艺,该实施实例继续进行另一个蚀刻步骤(图 6)。该步骤中使用的蚀刻化学物质选择性蚀刻硅,而基本不蚀刻氧化物材料 324 和氮化硅盖 312。该蚀刻步骤优选采用各向异性蚀刻技术以蚀刻块硅基板 302,使用氧化物材料 324 作为蚀刻掩模。更详细地说,垫板 332 和 334 作为硬质蚀刻掩模在块硅基板 302 内形成隔离沟道 336。值得注意的是,该蚀刻步骤加深凹陷 326,让其进入块硅基板 302 内,形成隔离沟道 336,所述隔离沟道自动与相对侧壁 328 对齐(以及,因此,自动对齐垫板 332 和 334)。在某些实施方式中,隔离沟道 336 被蚀刻的深度在约 0.15-0.50 μm 的范围内(优选深度约 0.15 μm)。

[0027] 图 7 显示了在完成可选的再次氧化步骤之后的半导体设备结构 300 的状态。可执行该可选的步骤以修复所述硅材料的界面,通常所述界面会在蚀刻中受到破坏。根据传统的再次氧化技术,半导体设备结构 300 会保持在高温下暴露在氧气中,由此在隔离沟道 336 种形成暴露硅材料的氧化物。图 7 显示了该氧化层 338,为了能够看清对其进行放大。值得注意的是,由于在该实施方式中氧化物材料 324 不能作为合适的氧气屏障,该再次氧化步骤也氧化了所述导电鳍。因此,如果在所述生产工艺中包括该可选的再次氧化步骤,那么可能需要控制初始的鳍宽度和鳍间隙以适应由于产生氧化层 338 带来的所述鳍的变窄结果。

[0028] 为了简洁和简单起见,下面的描述假设所述可选的再次氧化步骤未实施。由此,尽管在形成隔离沟道 336 之后能够执行其他的生产步骤或亚工艺,该实施实例继续进行从半导体设备结构 300 去除氧化物材料 324,包括垫板 332 和 334。图 8 显示了在去除氧化物材料 324 之后的半导体设备结构 300 的状态。在实际中,氧化物材料 324 在一个合适的蚀刻

步骤中去除,所述蚀刻步骤优选采用各向同性湿式蚀刻技术,例如稀释 HF 化学物质。该湿式氧化蚀刻选择性地蚀刻氧化物材料 324,而基本不蚀刻氮化硅盖 312 和块硅基板 302。如图 8 所示,该蚀刻步骤暴露导电鳍 304、306、308 和 310 以及氮化硅盖 312。优选去除氧化物材料 324 以改善下述的后续工艺步骤的均匀度(设备与设备之间、晶圆与晶圆之间)和可控性。

[0029] 尽管在去除垫板 332 和 334 之后能够执行其他的生产步骤或亚工艺,该实施实例继续使用合适的介电材料填入隔离沟道 336(图 9)。在实际操作中,可采用合适的沉积技术,例如化学气相沉积技术,在隔离沟道 336 内、导电鳍 304、306、308 和 310 上、氮化硅盖 312 上以及块硅基板 302 上形成介电材料 340。在某些实施方式中,介电材料 340 为二氧化硅,采用原硅酸四乙酯 (TEOS) 作为硅源(通常称为 TEOS 氧化物)。

[0030] 图 9 显示了在沉积介电材料 340 之后以及在介电材料 340 已被抛光或平面化之后的半导体设备结构 300 的状态。例如,可采用化学机械抛光从而抛光所述 TEOS 氧化物至所述导电鳍结构的高度。考虑到这点,图 9 显示了如何使用氮化硅盖 312 控制所述抛光,以使所产生的所述 TEOS 氧化物的高度对应于氮化硅盖 312 的高度。

[0031] 尽管在如图 9 所示的形成介电材料 340 之后能够执行其他的生产步骤或亚工艺,该实施实例继续进行削减介电材料 340 的高度。图 10 显示了在去除了至少部分介电材料 340 之后的半导体设备结构 300 的状态。在优选实施方式中,在定时蚀刻中去除介电材料 340,所述定时蚀刻选择性蚀刻所述 TEOS 氧化物材料,基本不蚀刻所述导电鳍、盖 312 和块硅基板 302。考虑到这点,控制所述蚀刻步骤的持续时间达到所需的 TEOS 氧化物材料的剩余高度,由此使所述介电材料 340 的层均匀凹陷。

[0032] 参考图 10,介电材料 340 的蚀刻暴露了每个导电鳍结构的上方部分。换句话说,由于蚀刻介电材料 340 到剩余高度对齐所述导电鳍,氮化硅盖 312 和所述导电鳍的上边暴露出来。值得注意的是,留在隔离沟道 336 中的介电材料 340 被保留下来。这能够在相邻的设备结构之间形成电绝缘。更进一步的,介电材料 340 的层 344 保留在所述导电鳍的根部。层 344 在后续的工艺步骤中被使用。例如,介电材料 340 的层 344 能够用于使在下方的块硅基板 302 中进行离子植入成为可能。

[0033] 在此之后,可采用任意数量的已知工艺步骤完成所述第一设备结构(例如在本实施实例中包括导电鳍 304 和 306)的生产,并完成所述第二设备结构(例如在本实施实例中包括导电鳍 308 和 310)的生产。在实际操作中,所述第一设备结构可以是 NMOS 晶体管设备结构,所述第二设备结构可以是 PMOS 晶体管设备结构,隔离沟道 336 中的介电材料 340 隔离所述 NMOS 和 PMOS 晶体管设备结构。

[0034] 回过头参考图 6 中所示的半导体设备结构 300 的状态,可选择一种与如上所述的方式不同的加工方式的替代生产工艺。在这方面,图 11 和 12 是显示了半导体设备结构 400 和相关生产方法的替代实施方式的截面图。参见图 11,该替代实施方式并不去除氧化物材料 324 或垫板 332 和 334。相反,在隔离沟道 336 内、氧化物材料 324(包括垫板 332 和 334)上方以及所述导电鳍结构(包括导电鳍 304、306、308 和 310,及对应的氮化硅盖 312)上方形成介电材料 402。在实际操作中,介电材料 402 可以是,例如,通过在氧化环境加热所述硅所生长出的氧化物(即热生长氧化物,而不是沉积氧化物)。

[0035] 图 11 显示了在沉积介电材料 402 之后,以及在抛光或平面化介电材料 402 之后的

半导体设备结构 400 的状态。例如,可采用化学机械抛光将介电材料抛光到所述导电鳍结构的高度。考虑到这点,图 11 显示了在氧化物材料 324 的上表面凹陷内的一些介电材料 402。值得注意的是,氮化硅盖 312 可被用于控制所述抛光,以使介电材料 402 的最后高度对应于氮化硅盖 312 的高度。

[0036] 尽管在如图 11 所示的形成介电材料 402 之后能够执行其他的生产步骤或亚工艺,该实施实例继续蚀刻至少一部分介电材料 402 和至少一部分氧化物材料 324 (包括垫板 332 和 334)。图 12 显示了在完成该蚀刻步骤后的半导体设备结构 400 的状态。在实际操作中,所述生产工艺采用定时蚀刻技术和合适的蚀刻化学物,所述蚀刻化学物选择性蚀刻介电材料 402 和氧化物材料 324,而基本不蚀刻所述导电鳍、氮化硅盖 312 和块硅基板 302。

[0037] 参考图 12,与参考图 10 的上面的解释相同,对介电材料 402 和氧化物材料 324 的蚀刻暴露了每个导电鳍结构的上方部分 404。值得注意的是,与上面所描述的其他实施方式一样,留在隔离沟道 336 中的介电材料 402 被保留下来,一层 406 氧化材料 324 被保留在所述导电鳍的根部。需要理解的是图 12 中所示的半导体材料 400 的状态与图 10 中所示的半导体材料 300 的状态是类似的,功能也一致。

[0038] 在此之后,可采用任意数量的已知工艺步骤在半导体设备结构 400 里完成所述设备结构的产生。同样的,导电鳍 304 和 306 可以形成 NMOS 晶体管设备结构的一部分,导电鳍 308 和 310 可以形成 PMOS 晶体管设备结构的一部分,隔离沟道 336 中的介电材料 402 隔离所述 NMOS 和 PMOS 晶体管设备结构。

[0039] 尽管在上面的详细描述中出现了至少一种示例实施方式,需要理解的是存在大量的变化形式。需要理解本发明中所描述的一个或多个示例实施方式并不以任何方式限制所要求保护的实质的范围、应用或者结构。反而,上面的详细描述会为本领域的技术人员提供执行所述的一个或多个实施方式的一张方便的地图。应当理解,可对各元素进行功能和布置上的多种变化,但不会脱离权利要求所确定的范围,包括已知的等同技术或者在提交本专利申请时可预见的等同技术。

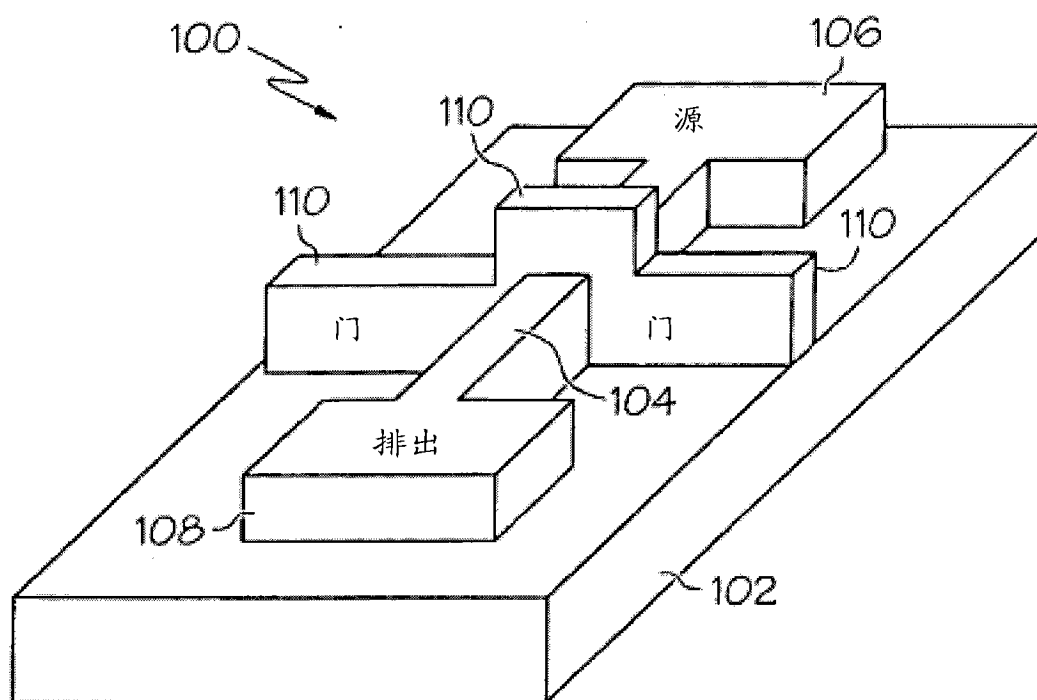


图 1(现有技术)

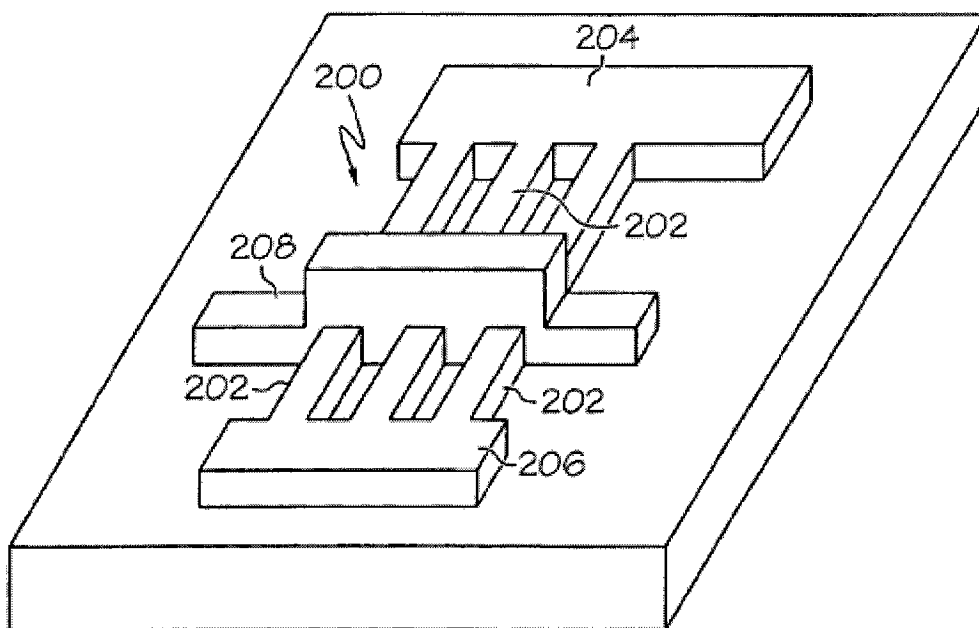


图 2(现有技术)

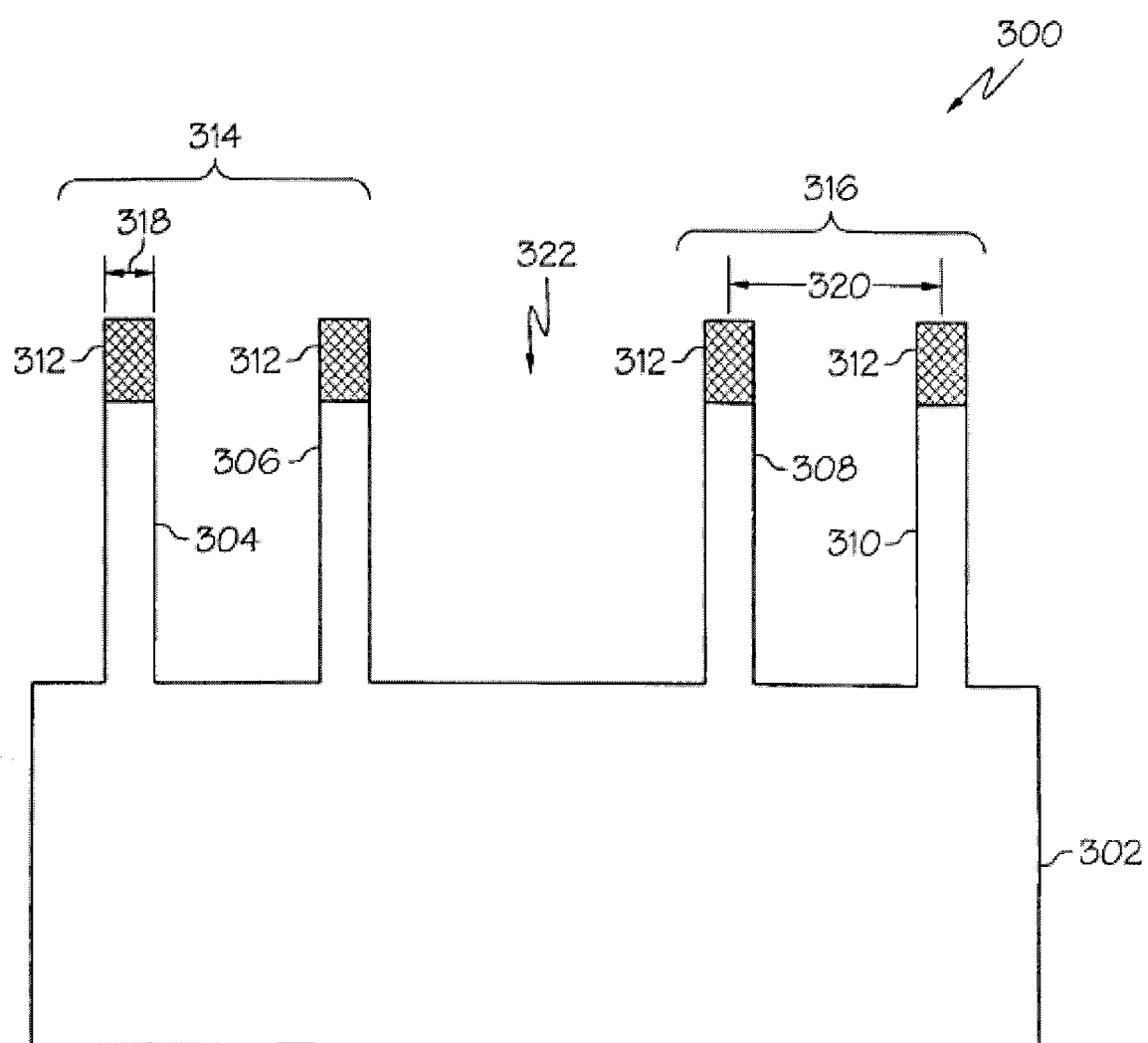


图 3

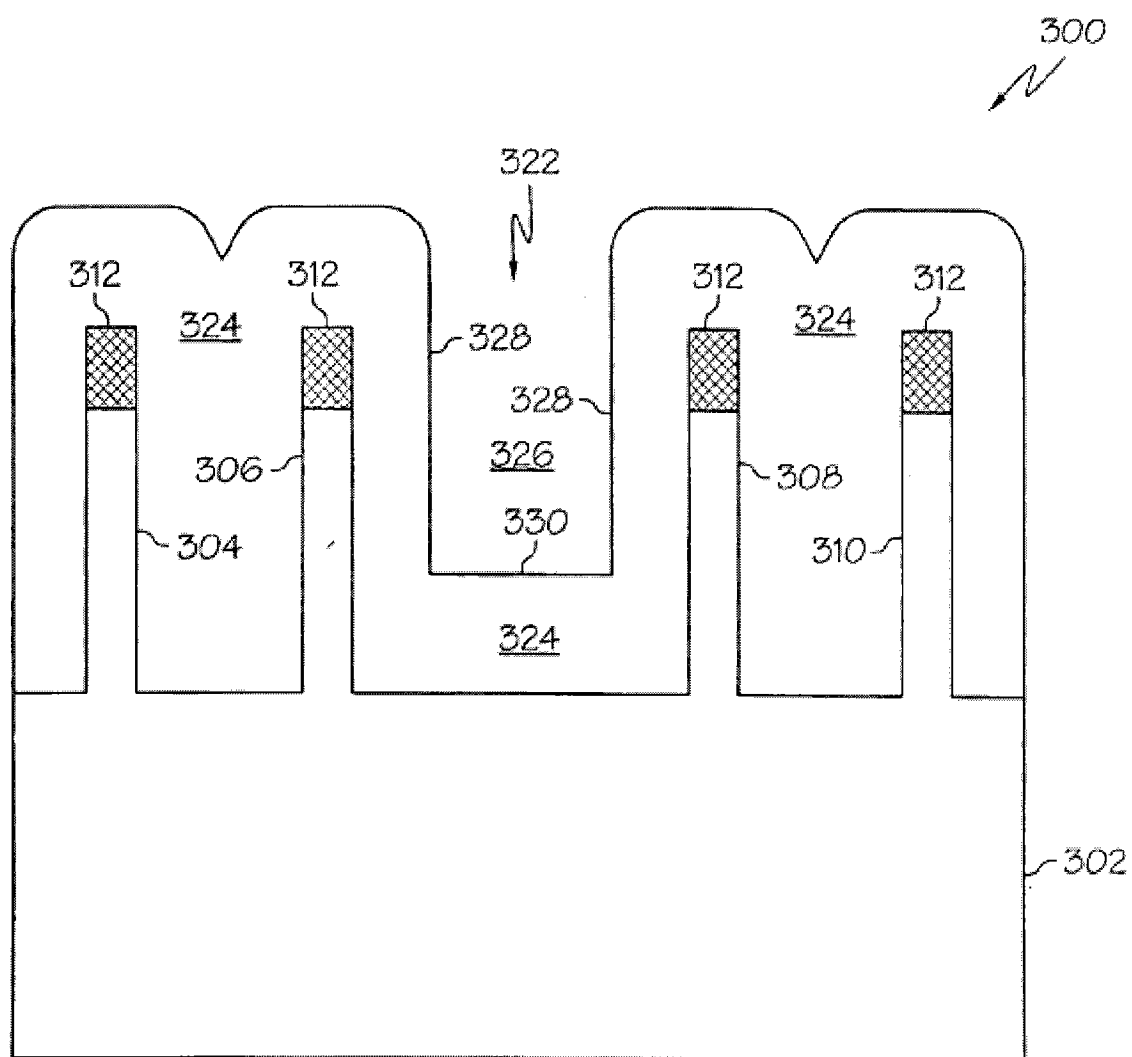


图 4

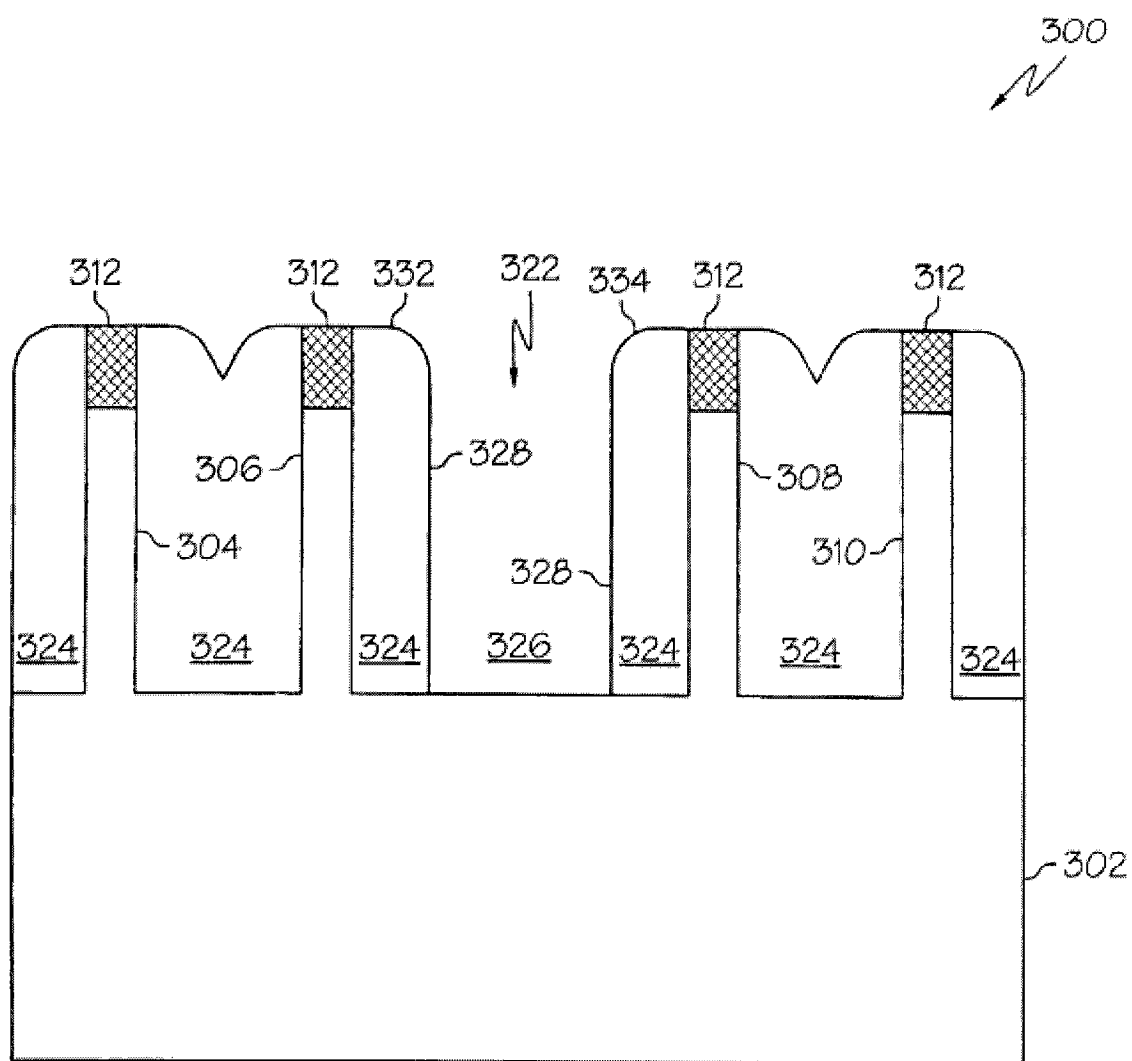


图 5

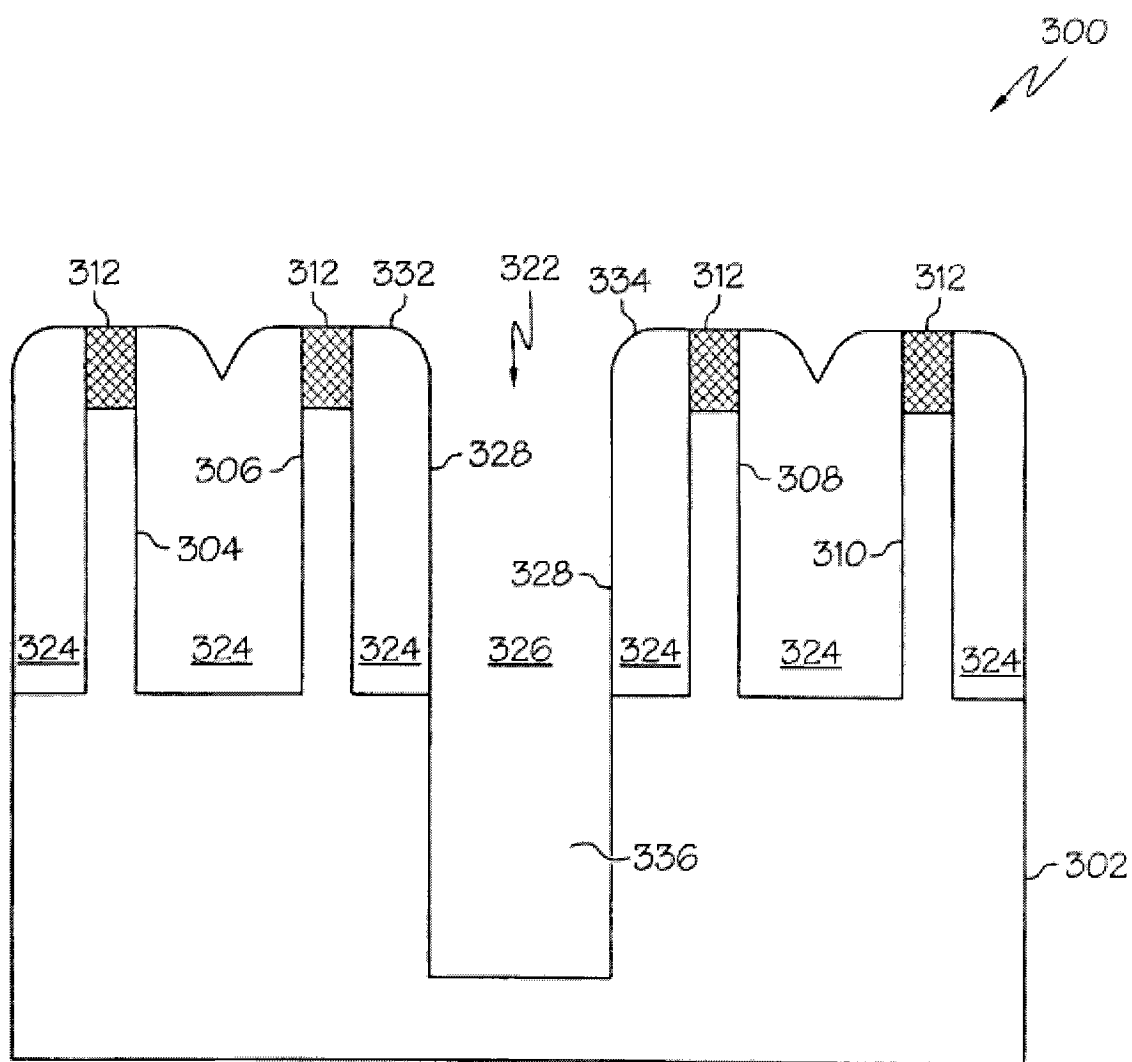


图 6

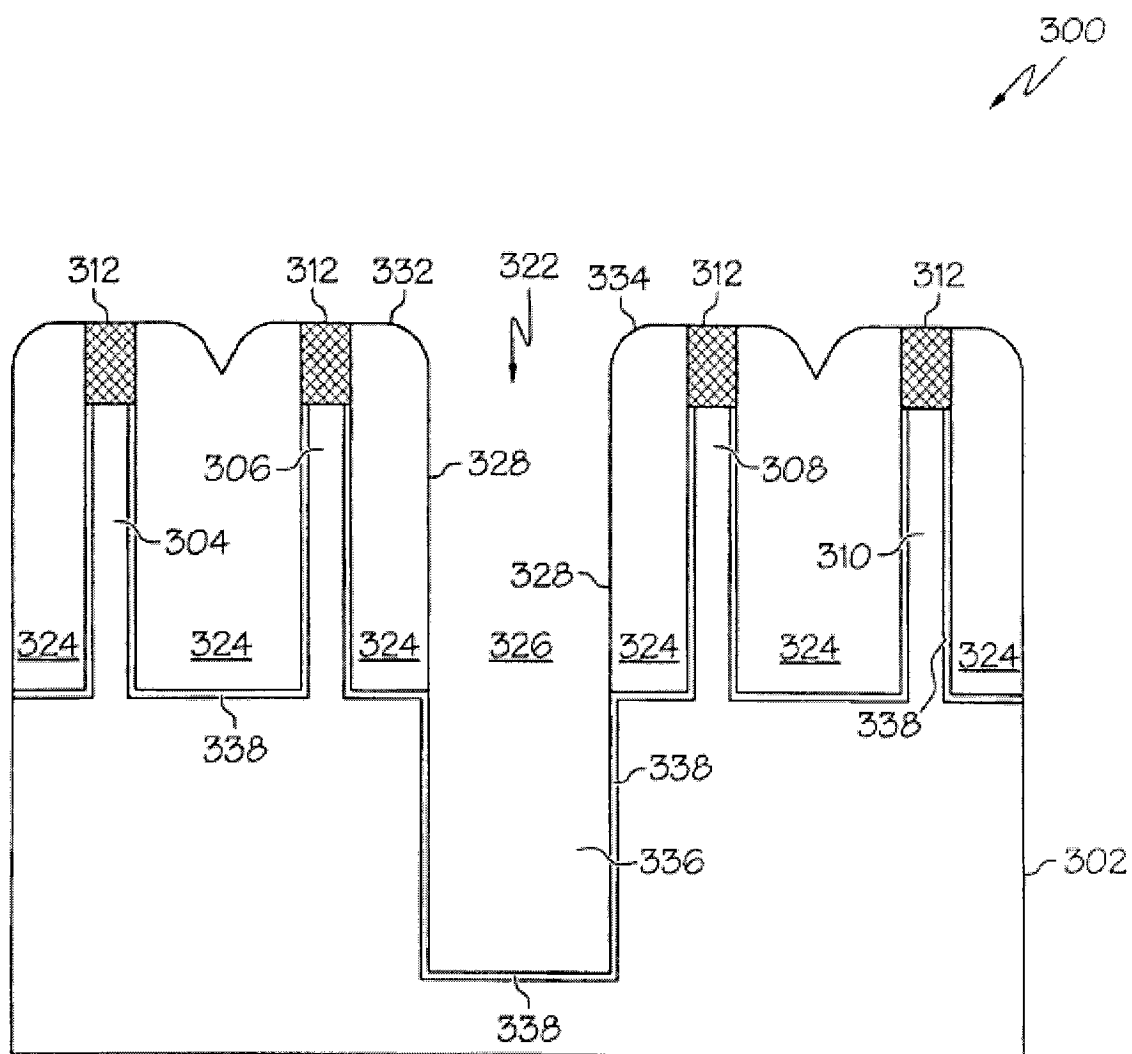


图 7

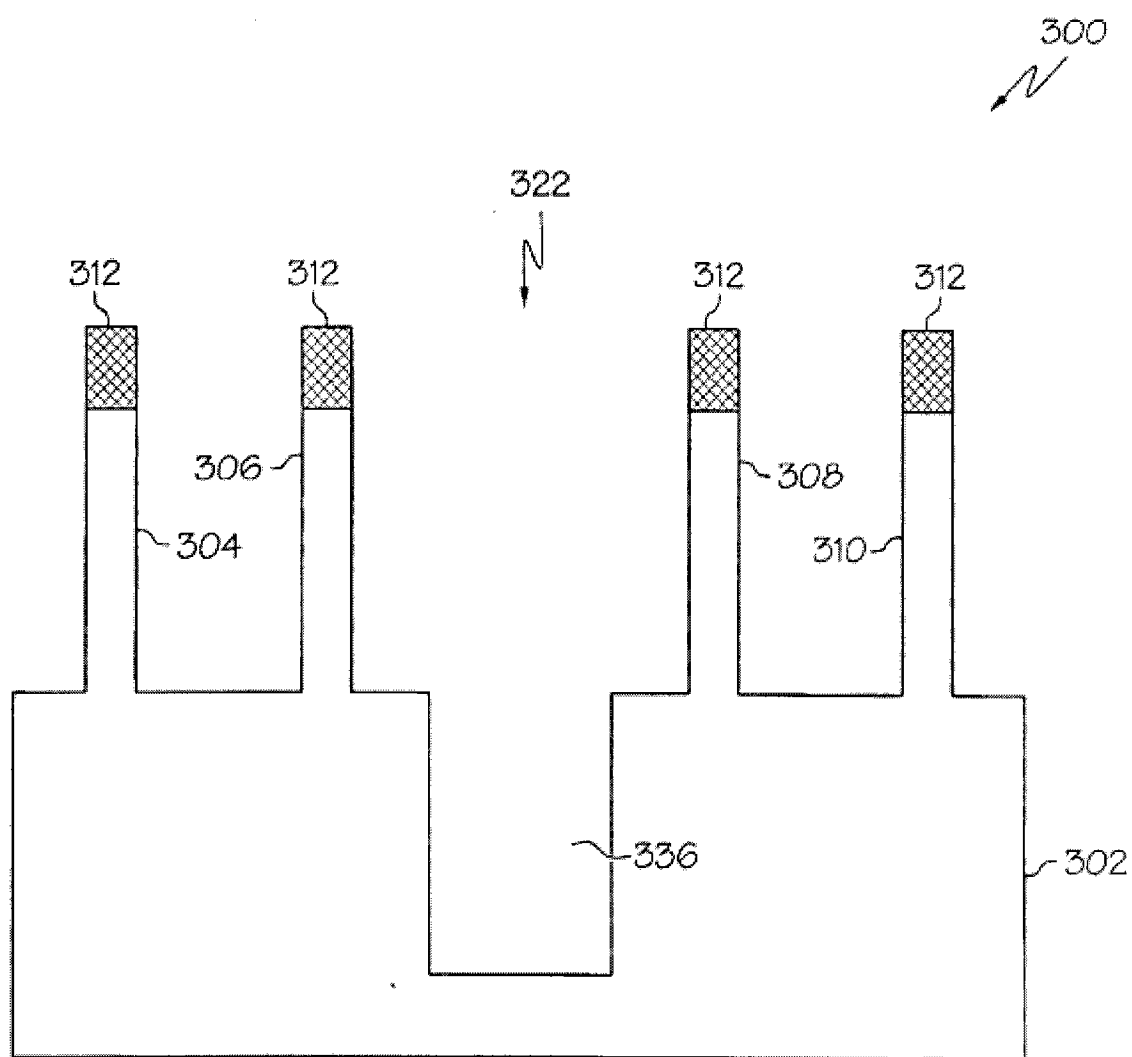


图 8

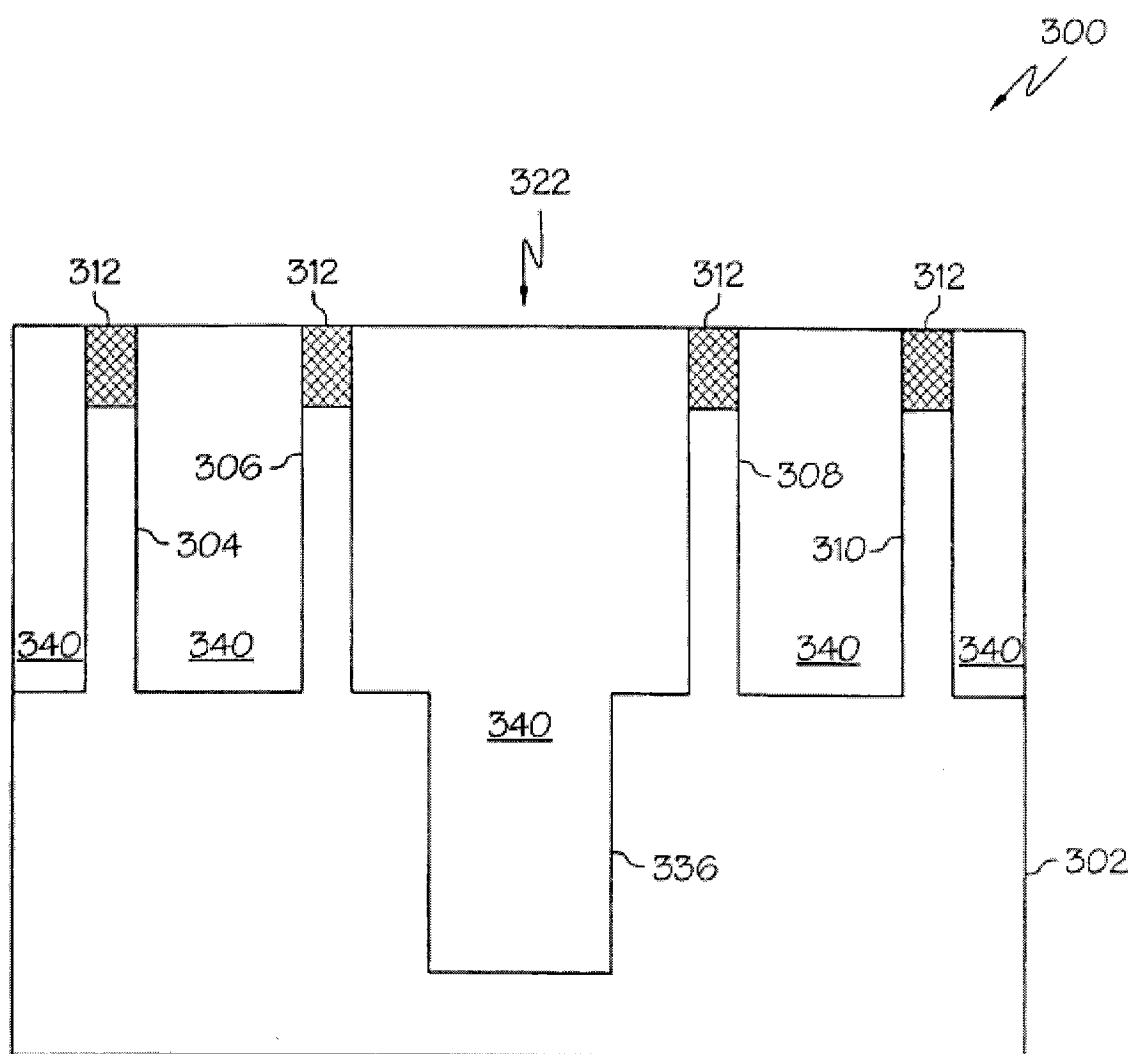


图 9

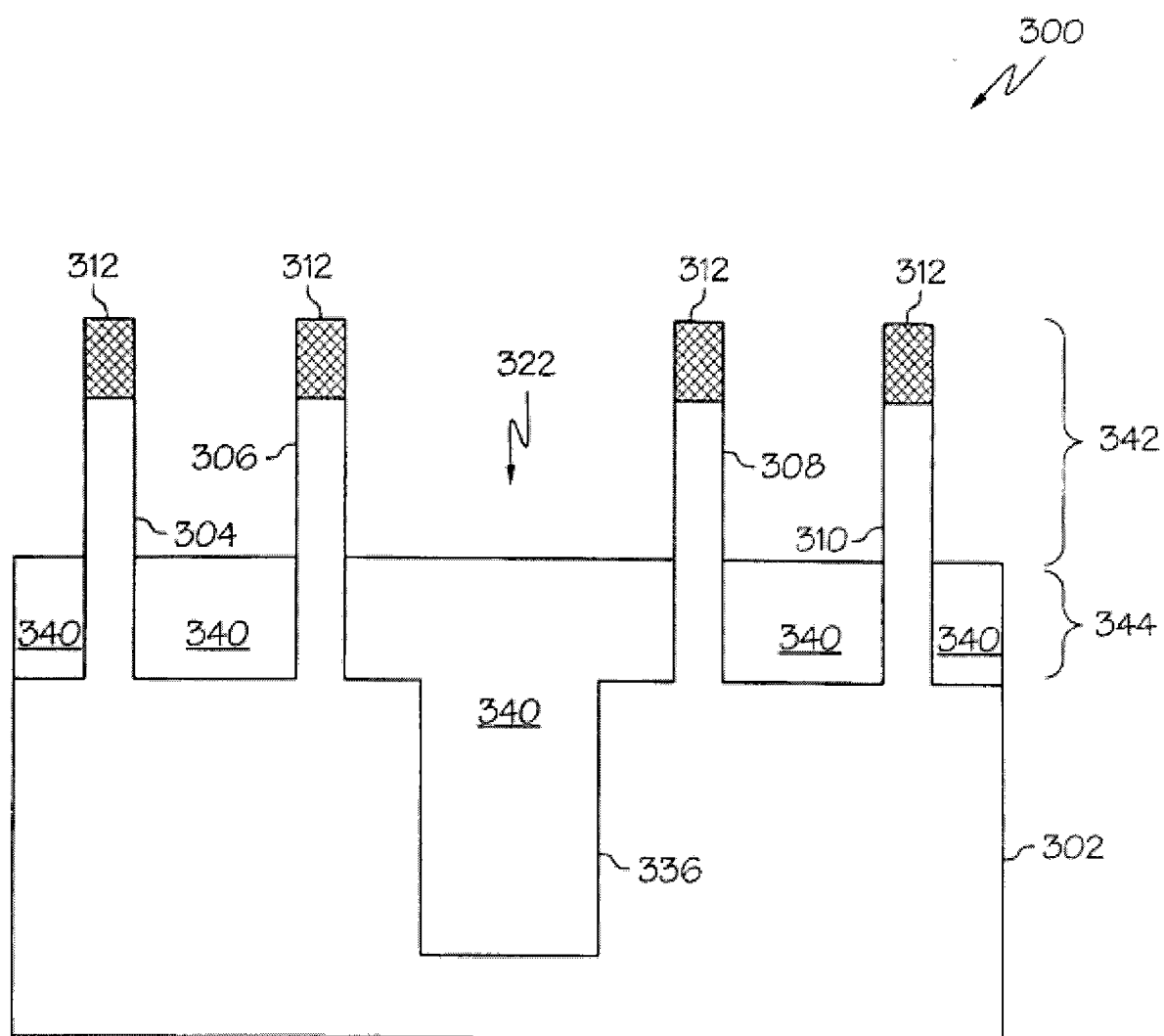


图 10

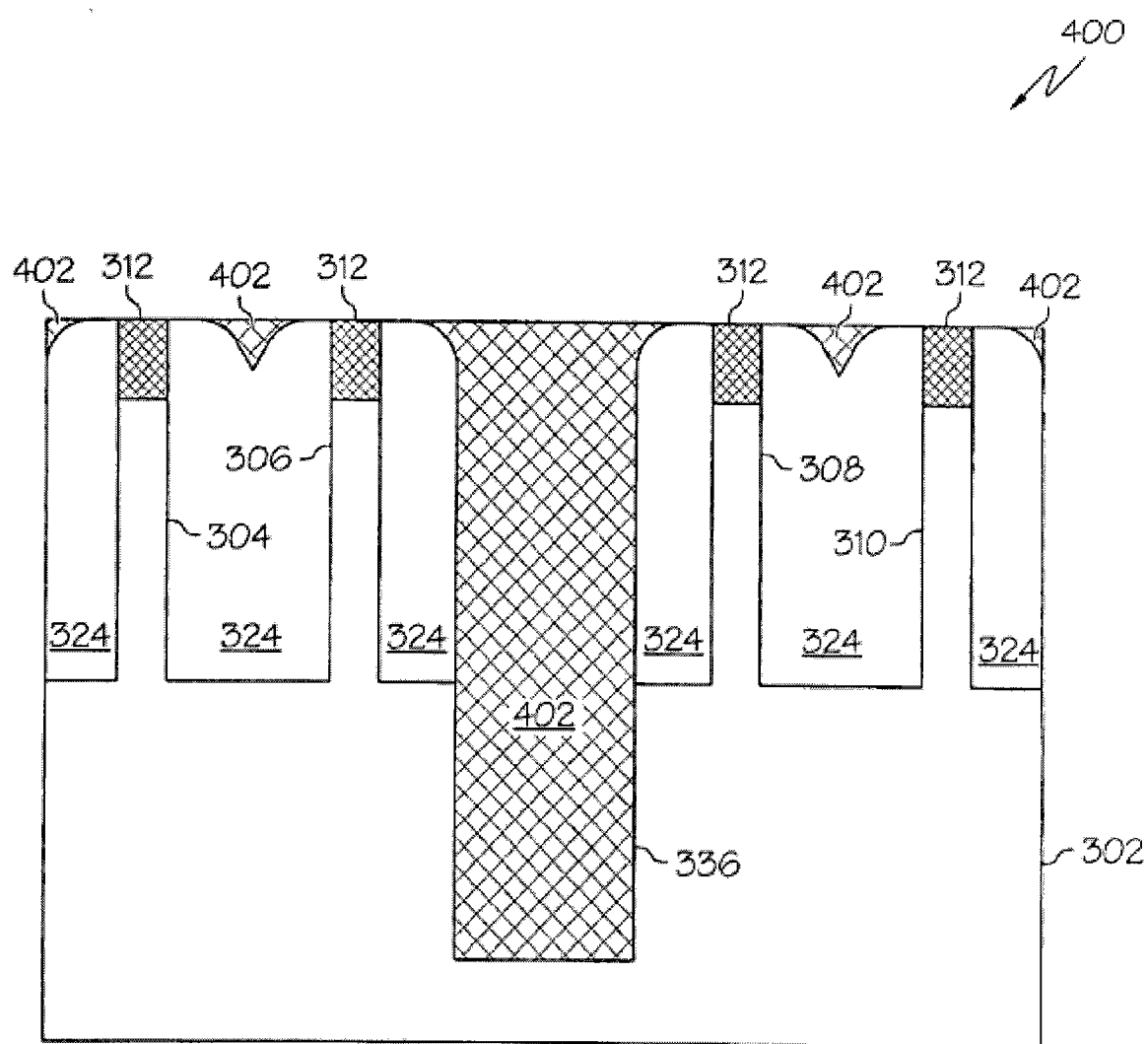


图 11

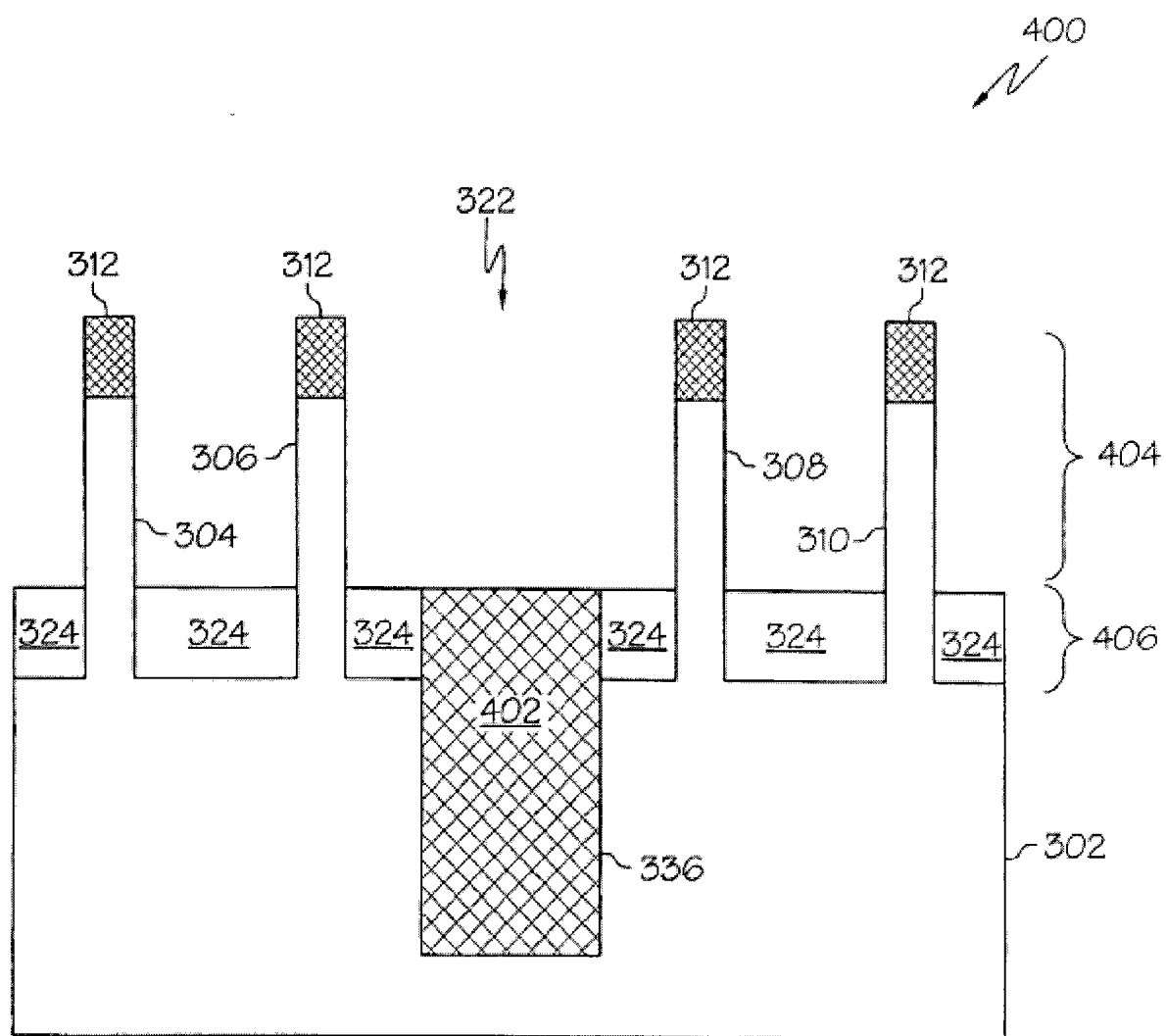


图 12