

ČESKOSLOVENSKÁ
SOCIALISTICKÁ
REPUBLIKA
(19)



FEDERÁLNÍ ÚŘAD
PRO VYNÁLEZY

POPIS VYNÁLEZU K AUTORSKÉMU OSVĚDČENÍ

266044

(11) (B1)

(13)

(51) Int. Cl.⁴

G 11 C 7/00

(22) Přihlášeno 26 11 87

(21) PV 8544-87.L

(40) Zveřejněno 14 03 89

(45) Vydáno 13 06 90

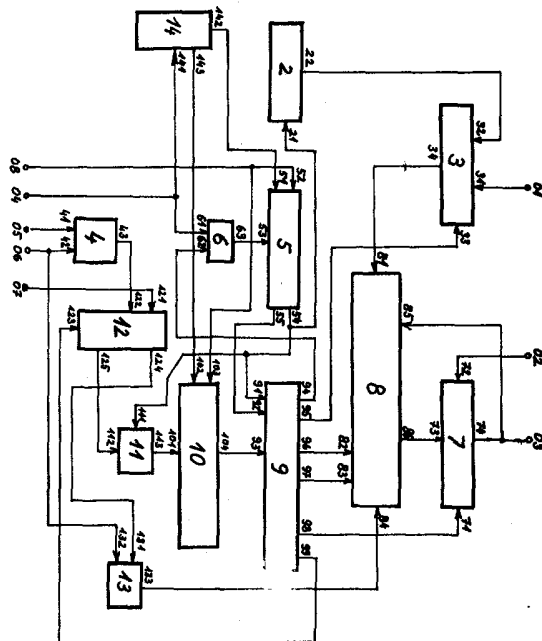
(75)

Autor vynálezu

STRONER PETR ing., BARTŮNEK IVAN ing., MILENOVSKÝ PAVEL ing., PRAHA

(54) **Zapojení pro synchronní zápis, čtení a obnovu dat dynamické paměti**

(57) Zapojení se týká centrální jednotky mikropočítačového systému a jeho dynamické paměti. Zapojení obsahuje dynamickou paměť a obvody pro řízení synchronního zápisu, čtení a obnovu dat v paměti. Pracuje synchronně s procesorem. Synchronizaci řídí taktovací generátor. Vlastní cyklus, to je obnovovací zápisový nebo čtecí řídí synchronní registr. Taktovací obvod je společný jak pro vlastní zapojení, tak pro mikroprocesor, s jehož činností se funkce synchronizuje. Využije se v řídicí a výpočetní technice.



Vynález se týká zapojení pro synchronní zápis, čtení a obnovu dat dynamické paměti typu RAM, pro jejíž činnost je nutné, aby docházelo automaticky k obnově informace do definované doby.

Při zápisu a čtení dat z dynamické paměti se požaduje, aby při příslušném požadavku na čtení a zápis nebyl přerušen obnovovací cyklus, ale také aby byl okamžitě zahájen čtecí či zápisový cyklus současně se požaduje, aby obnovovací cyklus proběhl na předepsaných adresách do definované doby.

Dosud známá zapojení využívají princip autonomního obnovovacího cyklu. Tento cyklus se řídí většinou krystalovým generátorem hodinových pulsů asynchronně s hodinovým generátorem mikroprocesorů. Při tomto řešení pak dochází k tomu, že čtecí nebo zápisový cyklus paměti musí být pozdržen do konce obnovovacího cyklu, čímž dochází ke zpomalení činnosti výpočetní jednotky. U generátoru obnovovacích cyklů řízených krystalem je délka obnovovacího cyklu pevně dána a je pro korektní hodnotu krystalu neměnná. Pro zvýšenou spolehlivost paměti se však požaduje, aby obnovovací cyklus byl co nejčastější. Tento požadavek je však v rozporu s požadavkem na co největší výpočetní rychlost mikroprocesoru, pro který by bylo optimální, aby paměť pracovala bez obnovovacích cyklů.

Tuto nevýhodu odstraňuje zapojení pro synchronní zápis, čtení a obnovu dat paměti. Podstata vynálezu spočívá v tom, že zapojení pracuje synchronně s procesorem, přičemž hodinový vstup taktovacího generátoru je spojen s hodinovým vstupem synchronizačního registru, jehož pozitivní výstup je spojen s pozitivním vstupem sdruženého kombinačního obvodu, s obnovovacím vstupem uvolňovacího kombinačního obvodu a s inkrementálním vstupem čítače. Skupinový výstup čítače je spojen s adresním vstupem demultiplexeru, jehož skupinový výstup je spojen s adresním vstupem paměťového bloku. Datový výstup paměťového bloku je spojen s datovým vstupem vyrovnávací paměti, jejíž strobovací vstup je spojen se strobovacím výstupem sdruženého kombinačního obvodu. Ukončovací výstup kombinačního obvodu je spojen s nulovacím vstupem klopného obvodu, jehož negativní výstup je spojen s povelovým vstupem uvolňovacího kombinačního obvodu. Výstup uvolňovacího kombinačního obvodu je spojen s nulovacím vstupem řídicího registru, jehož skupinový výstup je spojen se skupinovým taktovacím vstupem sdruženého kombinačního obvodu. Sloupcový výstup sdruženého kombinačního obvodu je spojen se sloupcovým vstupem paměťového bloku, jehož zápisový vstup je spojen s výstupem zápisového kombinačního obvodu. Blokovací vstup zápisového kombinačního obvodu je spojen s pozitivním výstupem klopného obvodu. Hodinový vstup klopného obvodu je spojen s výstupem povelového kombinačního obvodu, jehož zápisový vstup je spojen s povelovým vstupem zápisového kombinačního obvodu a se zápisovým vstupem zapojení. Synchronizační vstup zapojení je spojen se synchronizačním vstupem nulovacího kombinačního obvodu a se synchronizačním vstupem taktovacího generátoru. Oscilační výstup taktovacího generátoru je spojen s hodinovým vstupem řídicího registru. Sériový vstup řídicího registru je spojen se sériovým vstupem synchronizačního registru a se sériovým vstupem zapojení. Uvolňovací vstup zapojení je spojen s uvolňovacím vstupem vyrovnávací paměti, jejíž datový výstup je spojen s datovým vstupem zapojení a s datovým vstupem paměťového bloku. Řádkový vstup paměťového bloku je spojen s řádkovým výstupem sdruženého kombinačního obvodu, jehož negativní vstup je spojen s negativním výstupem synchronizačního registru. Nulovací vstup synchronizačního registru je spojen s výstupem nulovacího kombinačního obvodu. Nulovací vstup kombinačního obvodu je spojen s nulovacím výstupem sdruženého kombinačního obvodu, jehož uvolňovací výstup je spojen se skupinovým výběrem vstupem demultiplexeru. Skupinový adresní vstup demultiplexeru je spojen s adresním vstupem zapojení. Čtecí vstup zapojení je spojen se čtecím vstupem povelového kombinačního obvodu. Blokovací vstup zapojení je spojen s datovým vstupem klopného obvodu.

Výhodou uspořádání podle vynálezu je, že jednoduchými prostředky zajišťuje synchronní čtení, zápis a obnovovací cyklus dynamické paměti s chodem mikroprocesoru bez nároku na přídavné časy, které způsobují časovou degradaci celého systému. Zapojení podstatně zrychluje práci operačního systému. Umožňuje zrychlené opakování obnovovacího cyklu, což podstatně zvýší spolehlivost paměti. Jestliže je k centrální jednotce připojen řadič disků, je možno přímo řídit disky se zvýšenou hustotou bez doplňkového technického vybavení.

Příklad zapojení pro synchronní zápis, čtení a obnovu dat dynamické paměti podle vynálezu je znázorněn v blokovém schématu na připojeném výkrese.

Jednotlivé bloky zapojeno je možno charakterizovat takto. Čítač 2 je synchronní γ -bitový čítač, který slouží ke generaci adres obnovovacích cyklů. Demultiplexer 3 je přepínač, který slouží k přepínání adresace paměti, z čítače adres 3 a adres generovaných procesorem na adresní vstup 01 zapojení. Povelový kombinační obvod 4 je hradlo typu NAND a slouží ke sčítání povelových signálů pro čtení a zápis. Synchronizační registr 5 je tříkrokový posuvný registr, který slouží k synchronnímu odstartování obnovovacích cyklů. Nulovací klopný obvod 6 je hradlo typu AND a slouží ke sčítání vnějšího a vnitřního vynulování synchronizačního registru 5. Vyrovnávací paměť 7 je vytvořena z asynchronních klopných obvodů a slouží k zachycení dat při čtecím cyklu z paměťového bloku 8. Paměťový blok 8 se skládá z dynamických pamětí typu RAM a slouží k zapamatování dat. Sdružený kombinační obvod 9 je tvořen hradly typu AND a NAND a slouží ke generaci řídicích signálů pro paměťový blok 8. Řídicí registr 10 je sedmikrokový posuvný synchronní registr a slouží jako zdroj značek reálného času pro sdružený kombinační obvod 9. Uvolňovací kombinační obvod 11 se skládá z hradel typu NOT a NAND a slouží k sečtení signálů pro spuštění funkce řídicího registru při obnovovacím cyklu či při čtecím zápisovém cyklu. Klopný obvod 12 je typu D a slouží k synchronnímu odstartování čtecího či zápisového cyklu. Zápisový kombinační obvod 13 je vytvořen z hradel typu NOT a AND a slouží ke generaci zápisového pilsu do paměťového bloku 8. Taktovací generátor 14 je krystalový generátor, který generuje jednak oscilační kmitočet a jednak nižší taktovací kmitočet.

Jednotlivé bloky jsou zapojeny takto. Hodinový vstup 142 taktovacího generátoru 14 je spojen s hodinovým vstupem 51 synchronizačního registru 5, jehož pozitivní výstup 54 je spojen s pozitivním vstupem 91 sdruženého kombinačního obvodu 9, s obnovovacím vstupem 111 uvolňovacího kombinačního obvodu 11 a s inkrementálním vstupem 21 čítače 2. Skupinový výstup 22 čítače 2 je spojen s obnovovacím adresním vstupem 32 demultiplexeru 3, jehož skupinový výstup 34 je spojen s adresním vstupem 81 paměťového bloku 8. Datový výstup 86 paměťového bloku 8 je spojen s datovým vstupem 73 vyrovnávací paměti 7, jejíž strobovací vstup 71 je spojen se strobovacím výstupem 98 sdruženého kombinačního obvodu 9. Ukončovací výstup 99 kombinačního obvodu 9 je spojen s nulovacím vstupem 123 klopného obvodu 12, jehož negativní výstup 125 je spojen s povelovým vstupem 112 uvolňovacího kombinačního obvodu 11. Výstup 113 uvolňovacího kombinačního obvodu 11 je spojen s nulovacím vstupem 101 řídicího registru taktovacím 10, jehož skupinový výstup 104 je spojen se skupinovým vstupem 93 sdruženého kombinačního obvodu 9. Sloupcový výstup 97 sdruženého kombinačního obvodu 9 je spojen se sloupcovým vstupem 83 paměťového bloku 8, jehož zápisový vstup 84 je spojen s výstupem 133 zápisového kombinačního obvodu 13. Blokovací vstup 131 zápisového kombinačního obvodu 13 je spojen s pozitivním výstupem 124 klopného obvodu 12. Hodinový vstup 122 klopného obvodu 12 je spojen s výstupem 43 povelového kombinačního obvodu 4, jehož zápisový vstup 42 je spojen s povelovým vstupem 132 zápisového kombinačního obvodu 13 a se zápisovým vstupem 06 zapojení. Synchronizační vstup 04 zapojení je spojen se synchronizačním vstupem 61 nulovacího kombinačního obvodu 6 a se synchronizačním vstupem 141 taktovacího generátoru 14. Oscilační výstup 143 taktovacího generátoru 14 je spojen s hodinovým vstupem 102 řídicího registru 10. Sériový vstup 103 řídicího registru 10 je spojen se sériovým vstupem 52 synchronizačního registru 5 a se sériovým vstupem 08 zapojení. Uvolňovací vstup 02 zapojení je spojen s uvolňovacím vstupem 72 vyrovnávací paměti 7, jejíž datový výstup 74 je spojen s datovým vstupem 03 zapojení a s datovým vstupem 85 paměťového bloku 8. Řádkový vstup 82 paměťového bloku 8 je spojen s řádkovým výstupem 96 sdruženého kombinačního obvodu 9, jehož negativní vstup 92 je spojen s negativním výstupem 55 synchronizačního registru 5. Nulovací vstup 53 synchronizačního registru 5 je spojen s výstupem 63 nulovacího kombinačního obvodu 6. Nulovací vstup 62 kombinačního obvodu 6 je spojen s nulovacím výstupem 94 sdruženého kombinačního obvodu 9, jehož zvolňovací výstup 95 je spojen se skupinovým výběrovým vstupem 33 demultiplexeru 3. Skupinový adresní vstup 31 demultiplexeru 3 je spojen s adresním vstupem 01 zapojení. Čtecí vstup 05 zapojení je spojen se čtecím vstupem 41 povelového kombinačního obvodu 4. Blokovací vstup 07 zapojení je spojen s datovým vstupem 121 klopného obvodu 12.

Synchronní činnost zapojení se řídí signálem přicházejícím na synchronizační vstup 04 zapojení. Tento signál se vede jednak na synchronizační vstup 141 taktovacího generátoru 14 a jednak na synchronizační vstup 61 nulovacího kombinačního obvodu 6, který svým výstupem 63 odnuluje přes nulovací vstup 53 synchronizační registr 5. Na hodinový vstup 51 synchronizačního registru 5 se přivádí hodinová frekvence z hodinového výstupu 142 taktovacího generátoru 14. Na pozitivním výstupu 54 synchronizačního registru 5 se objeví signál log 1, za předpokladu, že se signál log 1 současně přivádí na sériový vstup 08 zapojení a odtud na sériový vstup 52 synchronizačního registru 5 a na sériový vstup 103 řídícího registru 10. Třetí hodinový puls na hodinovém vstupu 51 synchronizačního registru 5 způsobí přechod pozitivního výstupu 54 synchronizačního registru 5 do úrovně log 1 a současně způsobí přechod negativního výstupu 55 synchronizačního registru 5 do úrovně log 0. Úroveň log 1 na pozitivním výstupu 54 synchronizačního registru 5 způsobí přes obnovací vstup 111 uvolňovacího kombinačního obvodu 11 a přes jeho výstup 113 odnulování řídícího registru 10 na jeho nulovací vstup 101. Na hodinový vstup 102 řídícího registru 10 se přivádí oscilační kmitočet z oscilačního výstupu 143 taktovacího generátoru 14. Na skupinovém výstupu 104 řídícího registru 10 se začnou objevovat časové signály, které se přivádějí na skupinový taktovací vstup 93 sdruženého kombinačního obvodu 9, na všech jeho výstupech 94 až 99 se postupně generují řídící signály pro paměťový blok 8. Signál z řádkového výstupu 96 sdruženého kombinačního obvodu 9 se přivádí na řádkový vstup 82 paměťového bloku 8. Signál z nulovacího výstupu 94 sdruženého kombinačního obvodu 9 se přivádí na nulovací vstup 62 nulovacího kombinačního obvodu 6 a přes jeho výstup 63 vynuluje synchronizační registr 5. Tím se ukončí obnovovací cyklus. Během uvolňovacího cyklu je zablokován uvolňovací výstup 95, sloupcový výstup 97 a startovací výstup 98 a ukončovací výstup 99 sdruženého kombinačního obvodu 9. Zablkování zajišťují logické úrovně na pozitivním vstupu 91 sdruženého kombinačního obvodu 9 a na jeho negativním vstupu 92. Při ukončení obnovovacího cyklu se změní úroveň na pozitivním výstupu 54 synchronizačního registru 5 z log. 1 a log. 0. Tím se jednak zvýší obsah čítače 2 o jedničku. Současně se přes obnovovací vstup 111 uvolňovacího kombinačního obvodu 11 vynuluje registr 10. Během tohoto obnovovacího cyklu se přivádí adresa ze skupinového výstupu 22 čítače 2 na obnovovací adresní vstup 32 demultiplexeru 3. Tato adresa se dále uvolňuje na skupinový výstup 34 demultiplexeru 3, přivádí se na adresní vstup 81 paměťového bloku 8. Čtecí cyklus se odstartuje přivedením aktivního signálu na čtecí vstup 05 zapojení a odtud na čtecí vstup 41 povelového kombinačního obvodu 4. Z výstupu 43 povelového kombinačního obvodu 4 se přivádí povel na hodinový vstup 122 klopného obvodu 12. Úroveň log 1 se přiřadí na blokovací vstup 07 zapojení a odtud na datový vstup 121 klopného obvodu 12, což způsobí, že se úroveň log 1 objeví i na negativním výstupu 125 klopného obvodu 12. Úroveň log 1, která se přivádí na povelový vstup 112 uvolňovacího kombinačního obvodu 11 způsobí odnulování řídícího registru 10. Současně sdružený kombinační obvod 9 začne generovat řídící povel pro demultiplexer 3 a paměťový blok 8 a to následovně. Signál na uvolňovacím výstupu 95 sdruženého kombinačního obvodu 9, který se přivádí na skupinový výběrový vstup 33 demultiplexeru 3 uvolňuje adresu, která se přivádí z adresního vstupu 01 zapojení a odtud dále na skupinový adresní vstup 31 demultiplexeru 3. Tato adresa se uvolní na skupinový adresní výstup 34 demultiplexeru 3. Další povel se objeví na řádkovém výstupu 96 sdruženého kombinačního obvodu 9 a poté na jeho sloupcovém výstupu 97 přechází na sloupcový vstup 83 paměťového bloku 8. Předposlední generovaný povel ze strobovacího výstupu 98 sdruženého kombinovaného obvodu 9, přechází na strobovací vstup 71 vyrovnávací paměti 7. Tento povel přepíše data, která se přivádějí z datového výstupu 86 paměťového bloku 8 na datový vstup 73 vyrovnávací paměti 7 do vyrovnávací paměti 7. Data jsou potom přístupná na datovém výstupu 74 vyrovnávací paměti 7 a tím i na datovém vstupu 03 zapojení za předpokladu, že se přivede aktivní signál na uvolňovací vstup 02 zapojení a odtud i na uvolňovací vstup 72 vyrovnávací paměti 7. Poslední povel, který vychází z ukončovacího výstupu 99 sdruženého kombinačního obvodu 9 vynuluje klopný obvod 12 přes nulovací vstup 123. Tím se ukončí čtecí cyklus. Zápisový cyklus je obdobný čtecímu cyklu s tím rozdílem, že začátek zápisového cyklu se odvozuje od povelu přivedeného na zápisový vstup zapojení 06 a odtud na zápisový vstup 42 povelového kombinačního obvodu 4. Současně se tento povel přivádí na povelový vstup 132 zápisového kombinačního obvodu 13. Po naklopení klopného obvodu 12, když se na jeho pozitivním výstupu 124 objeví úroveň log. 1, která se přivádí na blokovací vstup 131 zápisového kombinačního

obvodu 13, vygeneruje zápisový kombinační obvod 13 zápisový plus na svém výstupu 133. Zápisový puls se přivádí na zápisový vstup 84 paměťového bloku 8. Při tomto zápisovém cyklu se zapisují do paměťového bloku 8 data, která se přivádějí na jeho datový vstup 85 z datového vstupu 03 zapojení.

Vynálezu se využije u mikropočítačových systémů ve výpočetní a řídicí technice.

P Ř E D M Ě T V Y N Á L E Z U

Zapojení pro synchronní zápis, čtení a obnovu dat dynamické paměti, vyznačující se tím, že hodinový vstup (142) taktovacího generátoru (14) je spojen s hodinovým vstupem (51) synchronizačního registru (5), jehož pozitivní výstup (54) je spojen s pozitivním vstupem (91) sdruženého kombinačního obvodu (9), s obnovovacím vstupem (111) uvolňovacího kombinačního obvodu (11) a s inkrementálním vstupem (21) čítače (2), jehož skupinový výstup (22) je spojen s obnovovacím adresním vstupem (32) demultiplexeru (3), jehož skupinový výstup (34) je spojen s adresním vstupem (81) paměťového bloku (8), jehož datový výstup (86) je spojen s datovým vstupem (73) vyrovnávací paměti (7), jejíž strobovací vstup (71) je spojen se strobovacím výstupem (98) sdruženého kombinačního obvodu (9), jehož ukončovací výstup (99) je spojen s nulovacím vstupem (123) klopného obvodu (12), jehož negativní výstup (125) je spojen s povelovým vstupem (112) uvolňovacího kombinačního obvodu (11), jehož výstup (113) je spojen s nulovacím vstupem (10) řídicího registru (10), jehož skupinový výstup (104) je spojen se skupinovým taktovacím vstupem (93) sdruženého kombinačního obvodu (9), jehož sloupcový výstup (97) je spojen se sloupcovým vstupem (83) paměťového bloku (8), jehož zápisový vstup (84) je spojen s výstupem (133) zápisového kombinačního obvodu (13), jehož blokovací vstup (131) je spojen s pozitivním výstupem (124) klopného obvodu (12), jehož hodinový vstup (122) je spojen s výstupem (43) povelového kombinačního obvodu (4), jehož zápisový vstup (42) je spojen s povelovým vstupem (132) zápisového kombinačního obvodu (13) a se zápisovým vstupem (06) zapojení, jehož synchronizační vstup (04) je spojen se synchronizačním vstupem (61) nulovacího kombinačního obvodu (6) a se synchronizačním vstupem (141) taktovacího generátoru (14), jehož oscilační výstup (143) je spojen s hodinovým vstupem (102) řídicího registru (10), jehož sériový vstup (103) je spojen se sériovým vstupem (52) synchronizačního registru (5) a se sériovým vstupem (08) zapojení, jehož uvolňovací vstup (02) je spojen s uvolňovacím vstupem (72) vyrovnávací paměti (7), jejíž datový výstup (74) je spojen s datovým vstupem (03) zapojení a datovým vstupem (85) paměťového bloku (8), jehož řádkový vstup (82) je spojen s řádkovým výstupem (96) sdruženého kombinačního obvodu (9), jehož negativní vstup (92) je spojen s negativním výstupem (55) synchronizačního registru (5), jehož nulovací vstup (53) je spojen s výstupem (63) nulovacího kombinačního obvodu (6), jehož nulovací vstup (62) je spojen s nulovacím výstupem (94) sdružen do kombinačního obvodu (9), jehož uvolňovací výstup (95) je spojen se skupinovým výběrovým vstupem (33) demultiplexeru (3), jehož skupinový adresní vstup (31) je spojen s adresním vstupem (01) zapojení, jehož čtecí vstup (05) je spojen se čtecím vstupem (41) povelového kombinačního obvodu (4), přičemž blokovací vstup (07) zapojení je spojen s datovým vstupem (121) klopného obvodu (12).

266044

