



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I455162 B

(45)公告日：中華民國 103 (2014) 年 10 月 01 日

(21)申請案號：101132128

(22)申請日：中華民國 101 (2012) 年 09 月 04 日

(51)Int. Cl. : H01G4/30 (2006.01)

H01G4/12 (2006.01)

(30)優先權：2012/05/30 南韓

10-2012-0057723

2012/08/16 南韓

10-2012-0089522

(71)申請人：三星電機股份有限公司 (南韓) SAMSUNG ELECTRO-MECHANICS CO., LTD.

(KR)

南韓

(72)發明人：安永圭 AHN, YOUNG GHYU (KR)；朴祥秀 PARK, SANG SOO (KR)；朴珉哲

PARK, MIN CHEOL (KR)；鄭世火 JEONG, SE HWA (KR)

(74)代理人：洪武雄

(56)參考文獻：

TW 201110166A1

TW 201128666A1

CN 1171257C

審查人員：施威志

申請專利範圍項數：17 項 圖式數：11 共 0 頁

(54)名稱

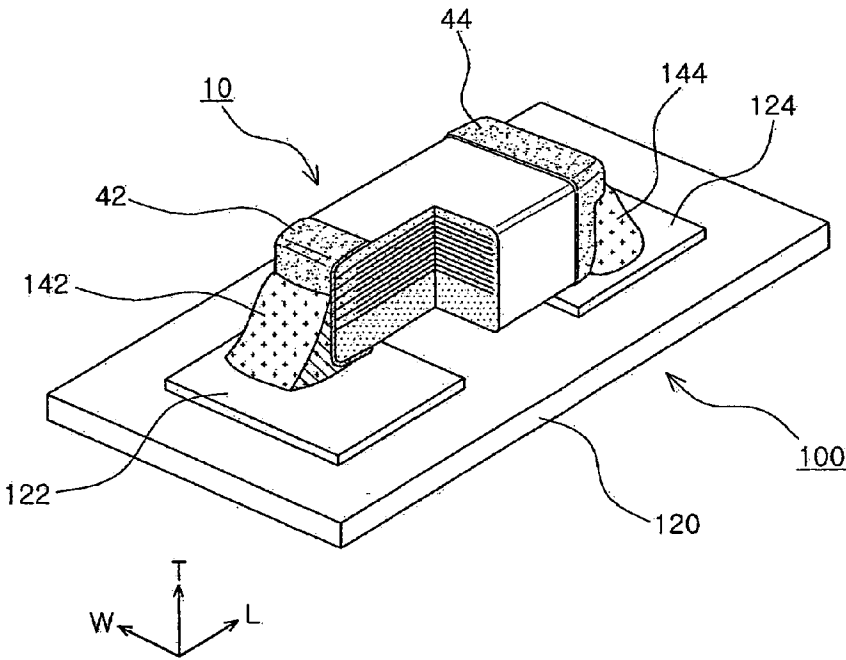
積層晶片電子元件、用於製造該積層晶片電子元件之板體，及其封裝單元

LAMINATED CHIP ELECTRONIC COMPONENT, BOARD FOR MOUNTING THE SAME, AND PACKING UNIT THEREOF

(57)摘要

一種積層晶片電子元件包括：包含內部電極及介電層之陶瓷體；形成以長度方向包覆該陶瓷體兩端部位之外部電極；主動層，其中，該內部電極係以相對方式予以放置在該主動層中，而該介電層係插置於該內部電極之間以形成電容；以及在該主動層之上部位及下部位，以厚度方向形成上包覆層及下包覆層，該下包覆層具有大於該上包覆層之厚度。

A laminated chip electronic component includes: a ceramic body including internal electrodes and dielectric layers; external electrodes formed to cover both end portions of the ceramic body in a length direction; an active layer in which the internal electrodes are disposed in an opposing manner, while having the dielectric layers interposed therebetween, to form capacitance; and upper and lower cover layers formed on upper and lower portions of the active layer in a thickness direction, the lower cover layer having a thickness greater than that of the upper cover layer.



- 10 . . . 積層晶片電容器
- 42 . . . 第一外部電極
- 44 . . . 第二外部電極
- 100 . . . 板體
- 120 . . . 印刷電路板
- 122、124 . . . 電極接墊
- 142、144 . . . 焊接

第4圖

發明專利說明書

公告本

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：101132128

※ 申請日：101.9.4 ※IPC 分類：H01G 4/30 (2006.01)

一、發明名稱：(中文/英文) H01G 4/12 (2006.01)

積層晶片電子元件、用於製造該積層晶片電子元件之板體，及其封裝單元

LAMINATED CHIP ELECTRONIC COMPONENT, BOARD FOR MOUNTING THE SAME, AND PACKING UNIT THEREOF

二、中文發明摘要：

一種積層晶片電子元件包括：包含內部電極及介電層之陶瓷體；形成以長度方向包覆該陶瓷體兩端部位之外部電極；主動層，其中，該內部電極係以相對方式予以放置在該主動層中，而該介電層係插置於該內部電極之間以形成電容；以及在該主動層之上部位及下部位，以厚度方向形成上包覆層及下包覆層，該下包覆層具有大於該上包覆層之厚度。

三、英文發明摘要：

A laminated chip electronic component includes: a ceramic body including internal electrodes and dielectric layers; external electrodes formed to cover both end portions of the ceramic body in a length direction; an active layer in which the internal electrodes are disposed in an opposing manner, while having the dielectric layers interposed therebetween, to form capacitance; and upper and lower cover layers formed on upper and lower portions of the active layer in a thickness direction, the lower cover layer having a thickness greater than that of the upper cover layer.

四、指定代表圖：

(一)本案指定代表圖為：第 (4) 圖。

(二)本代表圖之元件符號簡單說明：

10	積層晶片電容器
42	第一外部電極
44	第二外部電極
100	板體
120	印刷電路板
122、124	電極接墊
142、144	焊接

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

本案無化學式

六、發明說明：

[交叉參照]

本發明專利申請案主張向韓國智慧財產局於 2012 年 5 月 30 日提出申請之第 10-2012-0057723 號以及 2012 年 8 月 16 日提出申請之第 10-2012-0089522 號之韓國專利申請案的優先權，其中，所揭露之內容併入本說明書作為參考。

【發明所屬之技術領域】

本發明係有關於一種用於降低積層晶片電子元件所產生之音頻雜訊的積層晶片電子元件、用於嵌裝該積層晶片電子元件之板體、以及其封裝單元。

【先前技術】

多層電容器(亦即，一種積層晶片電子元件)包括在複數介電層之間形成的內部電極。

當直流或交流電壓施加於具有內部電極之多層電容器時，其中，該內部電極及該介電層交疊，且該介電層係插置於該內部電極之間，該內部電極之間會出現壓電效應產生振動。

當該介電層之介電係數變大及晶片尺寸基於相同電容較大時，所產生的振動變得更強烈。所產生的振動係由多層電容器之外部電極轉移至印刷電路板(PCB)，其中，該多層電容器係嵌裝於該印刷電路板上。

當該 PCB 振動所產生的雜訊含括於音頻時，相對應的振動聲音會讓使用者感到不舒服，此聲音即為已知的音頻雜訊。

為了降低音頻雜訊，本發明之發明人已深入研究在該多層電容器內及該 PCB 有關之內部電極嵌裝方向。從研究結果已得知，以該多層電容器之內部電極及該 PCB 平行之方向在該 PCB 上嵌裝多層電容器相較於以該內部電極及該 PCB 垂直之方向在該 PCB 上嵌裝該多層電容器會降低音頻雜訊。

然而，即使該多層電容器係以其該內部電極及該 PCB 平行之方向予以嵌裝在該 PCB 上，仍然會測量到音頻雜訊，且判斷為仍處特定位準或更高位準，所以，進一步降低音頻雜訊仍為待研究的議題。

[先前技術文件]

(專利文件 1) 日本專利公開第 1994-268464 號

(專利文件 2) 日本專利公開第 1994-215978 號

(專利文件 3) 日本專利公開第 1996-130160 號

專利文件 1 揭露與 PCB 呈水平方向嵌裝之內部電極，但其技術特徵在於信號線之間的線距係經窄化以降低高頻雜訊。同時，專利文件 2 及專利文件 3 揭露多層電容器中的上包覆層及下包覆層採用不同厚度。然而，先前技術文件並未建議任何用於降低音頻雜訊的動機或解決方案。再者，先前技術文件完全沒有揭露或預見積層晶片電容器之中央部位偏離主動層之中央部位的程度有多少、上包覆層與下包覆層的比率、下包覆層與陶瓷體厚度的比率、以及下包覆層與主動層厚度的比率等。

【發明內容】

本發明之一態樣提供作為一種積層晶片電容器之多層電容器，其中，下包覆層厚於上包覆層，以及主動層之中央部位係經設置而在範圍內偏離陶瓷體之中央部位。

本發明另一態樣提供一種用於嵌裝積層晶片電子元件之板體，積層晶片電子元件係嵌裝於該板體上，而使得該積層晶片電子元件之內部電極及印刷電路板(PCB)呈水平，以及下包覆層係毗鄰該 PCB，從而降低音頻雜訊。

本發明之另一態樣提供積層晶片電子元件之封裝單元，其中，積層晶片電子元件之內部電極係以墊片之接收部位之下表面為基礎而呈水平放置及對準。

根據本發明之一態樣，提供一種積層晶片電子元件，係包括：包含內部電極及介電層之陶瓷體；以長度方向包覆該陶瓷體兩端部位而形成之外部電極；主動層，其中，該等內部電極係以相對方式放置，而該等介電層係插置於該內部電極之間，用以形成電容；以及在該主動層之上及下部位以厚度方向形成之上及下包覆層，該下包覆層之厚度大於該上包覆層之厚度，其中，當該陶瓷體之一半厚度界定為 A、該下包覆層之厚度界定為 B、該主動層之一半厚度界定為 C、以及該上包覆層之厚度界定為 D 時，該上包覆層之厚度(D)滿足範圍 $D \geq 4 \mu\text{m}$ (微米)，以及該主動層中央部位偏離該陶瓷體中央部位的比率 $(B+C)/A$ 滿足範圍 $1.063 \leq (B+C)/A \leq 1.745$ 。

該上包覆層之厚度(D)與該下包覆層之厚度(B)的比率 (D/B) 可滿足 $0.021 \leq D/B \leq 0.422$ 。

該下包覆層之厚度(B)與該陶瓷體之一半厚度(A)的比率(B/A)可滿足 $0.329 \leq B/A \leq 1.522$ 。

該主動層之厚度(C)與該下包覆層之厚度(B)的比率(C/B)可滿足 $0.146 \leq C/B \leq 2.458$ 。

用於區分上及下部位之記號係在該陶瓷體之上及下表面至少其中一面形成。

根據本發明之另一態樣，提供一種積層晶片電子元件，係包括：於具有六面體形狀之陶瓷體的兩端部位，以長度方向形成之外部電極；形成於該陶瓷體內並包含複數彼此面向而放置之內部電極之主動層，而介電層係插置於該等內部電極之間以形成電容；於該主動層最上方內部電極之上部位形成之上包覆層；以及於該主動層最下方內部電極之下部位形成並且厚度大於該上包覆層厚度之下包覆層，其中，由於施加電壓時，介於該主動層之中央部位中產生之應力及該下包覆層中產生之應力之間的差異，反曲點(PI)係於該陶瓷體之兩端部位以長度方向形成，該兩端部位以厚度方向低於該陶瓷體之中央部位，且當該陶瓷體之一半厚度界定為 A、該下包覆層之厚度界定為 B、及該主動層之一半厚度界定為 C 時，該主動層中央部位偏離該陶瓷體中央部位之比率 $(B+C)/A$ 滿足 $1.063 \leq (B+C)/A \leq 1.745$ 。

當該上包覆層之厚度界定為 D 時，該上包覆層之厚度(D)與該下包覆層之厚度(B)的比率(D/B)可滿足 $0.021 \leq D/B \leq 0.422$ 。

該下包覆層之厚度(B)與該陶瓷體之一半厚度(A)的

比率(B/A)滿足 $0.329 \leq B/A \leq 1.522$ 。

該主動層之一半厚度(C)與該下包覆層之厚度(B)的比率(C/B)滿足 $0.146 \leq C/B \leq 2.458$ 。

根據本發明之另一態樣，提供一種用於嵌裝積層晶片電子元件的板體，係包含：根據本發明具體實施例之積層晶片電子元件；藉由焊接電性連接至該等外部電極之電極接墊；以及印刷電路板(PCB)，在該印刷電路板上形成該等電極接墊，以及該積層晶片電子元件係嵌裝在該等電子接墊上，使得該等內部電極呈水平，且該下包覆層以厚度方向放置於比該上包覆層較低的位置。

由於施加電壓時，介於該主動層中央部位中所產生之應力及該下包覆層中所產生之應力之間的差異，於陶瓷體兩端部位以長度方向形成反曲點(PI)，係低於該焊接之高度。

根據本發明之另一態樣，提供一種封裝單元，係包含：根據本發明具體實施例之積層晶片電子元件；包含接收部位用以接收該積層晶片電子元件之墊片；以及耦接至該墊片且包覆該積層晶片電子元件之封裝膜，其中，該等內部電極係基於該接收部位之下表面呈水平對準而放置。

所接收該積層電子元件之墊片可呈捲狀彎曲。

該上包覆層及該下包覆層其中之一可接收具有相對該接收部位下表面之方向性，以及可在該陶瓷體上形成記號，以便允許該上包覆層及下包覆層之方向性，而得以從外側識別。

接收於該接收部位中的每一個積層晶片電子元件，可經放置而使得該積層晶片電子元件的下包覆層面向該接收部位的下表面。

可在該陶瓷體之上表面形成用於區分上及下部位的記號。

【實施方式】

現在將參照隨附圖式，詳細說明本發明之具體實施例。然而，本發明可利用許多不同形式予以具體實施，並且不應該予以推斷成受限於本說明書所提的具體實施例。更確切地說，這些具體實施例係經提供並將使本揭露徹底且完整，而且將充份傳達本發明之範疇給熟悉本技藝之人士。在圖式中，為了清晰起見，元件的形狀及大小會顯得誇張，以及相同之元件符號將於本說明書中使用，用以指定相同或相似的元件。

根據本發明具體實施例之積層晶片電子元件，可應用於多層陶瓷電容器、積層變阻器、熱敏電阻、壓電元件、積層基板、以及使用介電層且架構係為內部電極面向該介電層之類似元件，該介電層係插置於該內部電極之間。

同樣地，具有具體實施例相關圖式所示，相同概念範疇內相同功能的元件將藉由使用相同的元件符號予以說明。

積層晶片電容器

第 1 圖係根據本發明具體實施例，顯示積層晶片電容器之示意性剖面透視圖。第 2 圖係第 1 圖之積層晶片電容

器以長度及厚度方向之剖面圖。第 3 圖係為第 1 圖之積層晶片電容器以表示維度之長度及厚度方向之示意性剖面圖

請參閱第 1 至 3 圖，積層晶片電容器 10 可包括陶瓷體 12、外部電極 40、主動層 60、以及上包覆層 53 及下包覆層 55。

藉由將導電膏塗敷於陶瓷坯片可製造該陶瓷體 12，以形成內部電極 20，層壓陶瓷坯片並予以燒製，其中，各陶瓷坯片上皆具有所形成的內部電極 20。藉由重複層壓複數介電層 52 及 54 以及內部電極 22 及 24，可形成該陶瓷體 12。

該陶瓷體 12 可具有六面體形狀。當燒製晶片時，陶瓷粉末係呈皺縮，所以，該陶瓷體 12 之六面體形狀可能不具有完全筆直的線形，但仍可呈現實質六面體形狀。

為了闡明本發明之具體實施例，六面體的方向可界定如下：第 1 圖所繪之 L、W、及 T 分別表示長度方向、寬度方向、以及厚度方向。於此，厚度方向可用於具有及積層方向一樣的相同概念，其中，該介電層係以積層方向予以層壓。

第 1 圖之具體實施例係具有矩形平行面體形狀之積層晶片的電容器 10，其中，矩形平行面體形狀的長度大於寬度及厚度。

具有高 K 值-介電係數(介電常數)之陶瓷粉末可作為介電層 50 的材料，以便得到高電容。可使用例如基於鈦酸鋇(BaTiO_3)之粉末、基於鈦酸鋇(SrTiO_3)之粉末、或類似

的陶瓷粉末，但本發明未侷限於此。

可用含有金屬粉末之導電膏形成第一及第二外部電極 42 及 44。銅(Cu)、鎳(Ni)、或銅鎳合金可作為內含於導電膏之金屬粉末所用的金屬，但本發明不特別侷限於此。

該內部電極 20 可包括第一內部電極 22 及第二內部電極 24，以及該第一及第二內部電極 22 及 24 可分別電性連接至第一及第二外部電極 42 及 44。

於此，該第一內部電極 22 及該第二內部電極 24 可分別包括以相對方式疊置的第一及第二電極圖樣部位 222 及 242 以及第一及第二導引部位 224 及 244，介電層 54(請參閱第 1 圖)係插置於該第一及第二電極圖樣部位 222 及 242 之間，以及該第一及第二導引部位 224 及 244 係分別外導至該第一及第二外部電極 42 及 44。

該第一及第二電極圖樣部位 222 及 242 可以厚度方向予以相繼層壓，以構成在該陶瓷體 12 內形成電容的主動層 60。

鑑於在長度方向及厚度方向上之積層晶片電容器的剖面，有別於該主動層 60 的部位可予以界定為邊際部位。在該邊際部位之中，該主動層 60 以厚度方向的上及下邊際部位可特別界定成上包覆層 53 及下包覆層 55。

類似在該第一內部電極 22 及該第二內部電極 24 之間形成介電層 52 及 54，當燒結陶瓷坯片時，可形成該上包覆層 53 及該下包覆層 55。

包含該上包覆層 53 及該下包覆層 55 在內之複數介電

層 50 係處於燒結狀態以及毗鄰該介電層 50 可進行整合，而使得該介電層 50 之間的邊界在未使用掃描式電子顯微鏡(SEM)就不那麼明顯。

在本發明的具體實施例中，該下包覆層 55 之厚度可大於該上包覆層。亦即，與該上包覆層 53 相比較，藉由增加陶瓷坯片的積層數量，該下包覆層 55 之厚度可大於該上包覆層 53。

因此，隨著該上包覆層 53 及該下包覆層 55 形成非對稱的架構，若電極未形成於該下包覆層 55 中，去積層或破裂缺陷會因主動層 60 及該下包覆層 55 燒結皺縮時之間的收縮率差異而增加。

因此，內部電極層可予以加至該下包覆層 55，以降低該主動層 60 及該下包覆層 55 之間的收縮率差異，而得以降低音頻雜訊以及降低去積層或破裂產生的效應。

附加電極層 80 係為內部電極 82 放置於該下包覆層 55 內，未具有此種具有極性不同之內部電極之間插置介電層 84 而疊置的架構。因此，因該陶瓷體 12 兩端部位之外部電極 42 及 44 以長度方向之影響，或者該主動層 60 形成之電容所產生的雜散電容除外，該附加電極層 80 不會構成電容。

在本發明的具體實施例中，該附加電極層 80 在該下包覆層 55 內可為浮動電極層，該浮動電極層係以厚度方向予以層壓，且該面向第一外部電極 42 及該第二外部電極 44 而與該第一外部電極 42 及該第二外部電極 44 之間沒有

電性接觸。

參照第 3 圖所示，可以更清楚地界定本發明的具體實施例之積層晶片電容器。

首先，可界定該陶瓷體 12 整體厚度的一半為 A，該下包覆層 55 之厚度為 B，該主動層 60 整體厚度的一半為 C，以及該上包覆層 53 之厚度為 D。

該陶瓷體 12 之整體厚度未包括該外部電極 40 塗佈於該陶瓷體 12 上表面 S_T 及下表面 S_B 之厚度。在本發明的具體實施例中，該陶瓷體 12 之上表面 S_T 至下表面 S_B 的一半距離(厚度)界定為 A。

該下包覆層 55 之厚度 B 界定為以厚度方向自該主動層 60 最下方內部電極之下表面至該陶瓷體 12 下表面 S_B 的距離。該上包覆層 53 之厚度 D 界定為以厚度方向自該主動層 60 最上方內部電極之上表面至該陶瓷體 12 上表面 S_T 的距離。

於此，該主動層 60 之整體厚度意指從該主動層 60 最上方內部電極之上表面到該主動層 60 最下方內部電極之下表面的距離。C 係界定為主動層 60 之一半。

在本發明的具體實施例中，該上包覆層 53 之厚度可滿足 $D \geq 4$ 微米之範圍。當 D 小於 4 微米時，該內部電極會從該陶瓷體 12 之上表面 S_T 曝露，而導致成為不良品。

同樣地，在本發明的具體實施例中，該主動層 60 中央部位偏離該陶瓷體 12 中央部位的比率 $(B+C)/A$ 可滿足 $1.063 \leq (B+C)/A \leq 1.745$ 之範圍。

於此，該主動層之中央部位可界定為中央線 CL_A 上下 1 微米內，即介於該主動層 60 最上方內部電極上表面及該主動層 60 最下方內部電極下表面之間的中心點。

同樣地，該陶瓷體 12 之中央部位可界定為中央線 CL_C 上下 1 微米內而為介於陶瓷體 12 上表面 S_T 及下表面 S_B 之間的中央點。

當不同極性之電壓施加至形成於積層晶片電容器 10 兩端部位之第一及第二外部電極 42 及 44 時，該陶瓷體 12 因該介電層 50 之反向壓電效應而依從厚度方向擴張及收縮，而相對於陶瓷體 12 以厚度方向之擴張及收縮，第一及第二外部電極 42 及 44 之兩端部位則波以松(Poisson)效應而以厚度方向收縮及擴張。

於此，該主動層 60 之中央部位係在該第一及第二外部電極 42 及 44 之兩端部位以長度方向擴張及收縮到最大產生音頻雜訊的部位。

在本發明的具體實施例中，為了降低音頻雜訊，該主動層 60 中央部位界定為在該陶瓷體 12 中央部位的外側。

同時，在本發明的具體實施例中，由於施加電壓時，在該主動層 60 中央部位產生的應力及該下包覆層 55 產生的應力之間的差異，反曲點可在該陶瓷體 12 兩端部位以長度方向形成，該陶瓷體 12 兩端部位係以厚度方向低於該陶瓷體 12 的中央部位。

為了降低音頻雜訊，在本發明的具體實施例中，該上包覆層厚度(D)與該下包覆層厚度(B)的比率(D/B)可滿足

$$0.021 \leq D/B \leq 0.422。$$

同樣地，該下包覆層之厚度(B)與該陶瓷體之一半厚度(A)的比率(B/A)可滿足 $0.329 \leq B/A \leq 1.522$ 。

該主動層之一半厚度(C)與該下包覆層之厚度(B)的比率(C/B)可滿足 $0.146 \leq C/B \leq 2.458$ 。

同時，為了嵌裝厚度大於該上包覆層 53 之下包覆層 55，使該下包覆層 55 毗鄰印刷電路板(PCB)之上表面，可在該陶瓷體 12 上或下表面至少其中之一形成用以區分上及下部位的記號。

用於嵌裝積層晶片電容器之板體

第 4 圖係為第 1 圖之積層晶片電容器嵌裝於該印刷電路板(PCB)上的示意性透視圖。第 5 圖係為第 4 圖之積層晶片電容器嵌裝於該 PCB 上之示意性平面圖。第 6 圖係為第 4 圖之積層晶片電容器嵌裝於該 PCB 上以長度及厚度方向之剖面圖。

根據本發明具體實施例，用以將積層晶片電容器嵌裝其上的板體 100 可包括該積層晶片電子元件 10、電極接墊 122 及 124、以及印刷電路板 120。

該積層晶片電子元件 10 可為如上該之積層晶片電容器，以及該積層晶片電容器 10 可嵌裝於該 PCB 上，使得該內部電極 22 及 24 平行於該 PCB 120。

同樣地，該積層晶片電容器 10 可嵌裝於該 PCB 120 上，使得積層晶片電容器 10 之陶瓷體 12 內厚度大於該上包覆層 53 之下包覆層 55 係以厚度方向置於比該上包覆層

53 較下面之處。

音頻雜訊在電壓施加於嵌裝於該 PCB 120 上之積層晶片電容器 10 時產生。於此，該電極接墊 122 及 124 的尺寸可決定使該第一及第二外部電極 42 及 44 分別與該電極接墊 122 及 124 連接之焊接 142 及 144 的用量，並且降低音頻雜訊。

第 7 圖係為第 4 圖之積層晶片電容器嵌裝於經施加電壓即變形之 PCB 上的示意性剖面圖。

參照第 7 圖所示，隨著該積層晶片電容器 10 安裝於該 PCB 120 上，當不同極性的電壓施加於形成該積層晶片電容器 10 之兩端部位時，該陶瓷體 12 因該電極層 50 之反向壓電效應而以厚度方向擴張及收縮，相對於該陶瓷體 12 以厚度方向之擴張及收縮，該第一及第二外部電極 42 及 44 則波以松效應而以長度方向收縮及擴張。

同時，在本發明的具體實施例中，由於該主動層 60 中央部位中所產生應力及該下包覆層 55 中所產生應力之間的差異，反曲點(PI)可以長度方向於該陶瓷體 12 之兩端部位形成，該兩端部位係以厚度方向低於該陶瓷體 12 之中央部位。

該 PI 為該陶瓷體 12 外表面之相位改變時的點位。該 PI 之形成可等於或小於該電極接墊 122 及 124 上積層晶片電容器 10 之外部電極 42 及 44 上所形成之焊接 142 及 144 的高度。

在此，該主動層 60 之中央部位係根據電壓施加，使

該陶瓷體 12 之兩端部位以長度方向擴張及收縮到最大的部位。

該附加電極層 80 因該外部電極 42 及 44 於該陶瓷體 12 兩端部位之影響，以長度方向所產生的雜散電容或該主動層 60 形成之電容可加速 PI 於該陶瓷體 12 兩端部位以長度方向形成。

在第 7 圖中，可看出該積層電容器 10 之兩端部位係以長度方向擴張至最大，以及當該積層晶片電容 10 之兩端部位以長度方向擴張至最大時，產生因擴張而伸展 (thrusting) 焊接 142 及 144 上部位朝外之力道①，並且藉由力道②向外側伸展而於焊接 142 及 144 之下方部位產生伸展外部電極之收縮力道①。

因此，可在低於焊接高度的位置形成 PI。

參照第 5 圖所示，介於該第一電極接墊 122 及該第二電極接墊 124 兩端部位之間的距離界定為 $L1$ ，以及介於該積層晶片電容器 10 之第一外部電極 42 及第二外部電極 44 外表面之間的距離界定為 $L2$ 。同樣地，介於該第一電極接墊 122 及該第二電極接墊 124 兩端部位之間的距離界定為 $W1$ ，以及介於該第一外部電極 42 及該第二外部電極 44 外表面之間的距離界定為 $W2$ 。

第 8A 圖係為相關技藝積層晶片電容器之內部電極及該 PCB 呈垂直嵌裝以及該 PCB 呈水平嵌裝時音頻雜訊隨電極接墊尺寸變化之圖表。

參照第 8A 圖所示，可看出當該電極接墊之尺寸，亦

即 $L1/L2$ ，減少至等於或小於 1.34 及 1.17 時，若該積層晶片電容器中的內部電極係水平地嵌裝於 PCB 上，音頻雜訊得以降低。

然而，可看出若該積層晶片電容器中內部電極垂直地嵌裝於 PCB 上，則音頻雜訊並未大幅降低。

換句話說，該電極接墊之尺寸根據該積層晶片電容器之內部電極，在該 PCB 上之嵌裝呈水平或垂直對於降低音頻雜訊有不同的趨向。

第 8B 圖係根據本發明具體實施例之積層晶片電容器嵌裝在該 PCB 上，使得該內部電極對該 PCB 呈水平以及該下包覆層毗鄰該 PCB 時，音頻雜訊隨該電極接墊尺寸變化的圖表。

參照第 8B 圖所示，可看出即使該積層晶片電容器嵌裝於該 PCB 上，使得該內部電極對該 PCB 呈水平，根據該下包覆層之厚度是否比上包覆層之厚度還要厚而音頻雜訊仍然有所不同。因此，為了進一步降低音頻雜訊，可看得出來另一個參數是有必要的。

根據本發明之示例性具體實施例，音頻雜訊要再降低可藉助於控制該主動層中央部位偏離積層晶片電容器中央部位的範圍大小，該上包覆層與該下包覆層之比率、該下包覆層與該陶瓷體厚度之比率、以及該下包覆層與該主動層厚度之比率等。

根據本發明之示例性具體實施例，可看出該主動層 60 之中央部位偏離陶瓷體 12 之中央部位的比率 $((B+C)/A)$ 滿

足 $1.063 \leq (B+C)/A \leq 1.745$ ，即使該電極接墊小而致使焊接用量少仍得以充份降低音頻雜訊，以及在該電極接墊大時，可再大幅降低音頻雜訊。

亦即，當該主動層 60 之中央部位偏離陶瓷體 12 之中央部位的比率 $((B+C)/A)$ 滿足 $1.063 \leq (B+C)/A \leq 1.745$ 之範圍時，音頻雜訊可大幅降底而無關乎電極接墊的尺寸。在本說明書中，A、B 和 C 分別表示該陶瓷體之一半厚度、該下包覆層之厚度以及該主動層之一半厚度。

瞭解這意味著當該主動層 60 之中央部位偏離陶瓷體 12 之中央部位的比率 $((B+C)/A)$ 滿足範圍 $1.063 \leq (B+C)/A \leq 1.745$ 時，該積層晶片電容器之最大位移相應於該主動層 60 中央部位之陶瓷體 12 中央部位之上部位，因此，藉由焊接轉移至該 PCB 120 之位移得以減少，以降低音頻雜訊。

積層晶片電容器之封裝單元

第 9 圖係根據本發明具體實施例，將該積層晶片電容器嵌裝在封裝單元中的示意性透視圖，以及第 10 圖係為第 9 圖封裝單元呈捲狀彎曲的示意性剖面圖。

參照第 9 圖所示，根據本發明的具體實施例，用於該封裝積層晶片電容器的封裝單元 200 可包括具有接收部位 226 之墊片 220，於接收部位 226 中接收該積層晶片電容器 10。

接收墊片 220 之接收部位具有相應於該電子元件 10 之形狀，以及該內部電極可以接收部位 226 之下表面 225 為基礎予以水平放置。

藉由電子元件對準裝置 150 而水平對準，並藉由傳輸裝置 170 移動至該墊片 220 之內部電極的狀態，維持該積層晶片電容器 10。因此，該內部電極可基於該接收部位 226 之下表面 225 水平而放置。依此方式，該墊片 220 中的所有積層晶片電容器 10 可經放置在該墊片 220 中具有相同之方向性。

該接收部位 226 中所接收的每一個積層晶片電容器 10 可經放置而使該下包覆層 55 面向該接收部位 226 之下表面。同樣地，可在陶瓷體 12 之上表面形成用於區分上部位及下部位之記號 15。

用於封裝該積層晶片電容器之封裝單元 200 可復包括包覆該墊片 220 之封裝膜 240，於該墊片 220 中，該電子元件 10 被接收而使得該內部電極基於接收部位 226 之下表面水平放置。

第 10 圖描繪呈捲狀彎曲用於封裝積層晶片電容器的封裝單元 200。該封裝單元 200 可予以持續彎曲而成。

實驗性實施例

根據本發明的具體實施例以及比較性實施例之多層陶瓷電容器 (MLCC) 係如後文該予以製造。

根據該實施例之多層陶瓷電容器，藉由以下步驟予以製造。

首先，包含如鈦酸鋇 (BaTiO_3) 之類的漿體係塗敷於載體膜，並接著使其乾燥，以製備複數厚度為 1.8 微米之陶瓷坯片。

其次，該內部電極係利用篩網(screen)在陶瓷坯片上將導電膏塗敷於鍍內部電極而形成。

大約層壓三百七十(370)個陶瓷坯片，以及於其上形成該內部電極之陶瓷坯片之下所層壓之不具有該內部電極之陶瓷坯片的數量大於其上形成該內部電極之陶瓷坯片之上所層壓之不具有該內部電極之陶瓷坯片的數量。該積層(或積層體)係在 85°C 壓力條件 1000kgf/cm² 的狀況下施予均衡擠壓(isostatic-pressed)。擠壓完成之陶瓷積層被切割成為單獨晶片，且藉由所切割出來的晶片在大氣壓力下於 230°C 維持 60 個小時進行脫脂製程。

之後，在大氣壓力已下降之條件下，以低於 Ni/NiO 均衡氧氣分壓之 10^{-11} atm 至 10^{-10} atm 氧氣分壓予以燒製，致使內部電極氧化。在燒製運作之後，該積層晶片電容器之晶片尺寸(長×寬(L×W))為 1.64mm×0.88mm(L×W, 1608 大小)。於此，製造容差係定為長×寬±0.1mm 以及滿足製造容差之晶片音頻雜訊已在實驗中量測。

之後，晶片經歷如外部電極形成製程、電鍍製程之類的製程以製造 MLCC。

[表一]

#	A (μm)	B (μm)	C (μm)	D (μm)	(B+C)/A	B/A	D/B	C/B	Acoustic Noise (dB)	obtainment of Cap.
1*	405.5	40.2	365.4	39.9	1.000	0.099	0.993	9.090	29.5	OK
2*	436.0	70.4	365.9	69.7	1.001	0.161	0.990	5.197	25.7	OK
3*	455.5	90.8	364.3	91.5	0.999	0.199	1.008	4.012	23.1	OK
4*	508.1	24.9	361.1	269.1	0.760	0.049	10.807	14.502	31.2	OK
5*	456.6	25.2	360.1	167.8	0.844	0.055	6.659	14.290	32.5	OK
6*	527.3	30.2	191.0	642.4	0.419	0.057	21.272	6.325	30.3	OK
7*	414.5	30.9	188.8	420.4	0.530	0.075	13.605	6.110	30.5	OK
8*	516.2	39.4	360.7	271.5	0.775	0.076	6.891	9.155	28.2	OK
9*	446.0	39.8	365.5	121.2	0.909	0.089	3.045	9.183	29.1	OK
10*	469.1	40.6	364.2	169.1	0.863	0.087	4.165	8.970	27.9	OK
11*	416.2	40.7	360.7	70.3	0.964	0.098	1.727	8.862	28.4	OK
12*	428.3	40.8	360.0	95.7	0.936	0.095	2.346	8.824	28.9	OK
13*	495.9	40.9	364.9	221.0	0.818	0.082	5.403	8.922	28.1	OK
14*	435.9	25.0	421.3	4.2	1.024	0.057	0.168	16.852	31.6	OK
15*	420.7	70.4	365.9	39.1	1.037	0.167	0.555	5.197	25.7	OK
16	431.7	94.8	364.3	40.0	1.063	0.220	0.422	3.843	19.9	OK
17	443.0	103.8	389.1	4.0	1.113	0.234	0.039	3.749	19.3	OK
18	443.7	119.8	363.2	41.1	1.089	0.270	0.343	3.032	18.7	OK
19	447.1	147.3	362.1	22.7	1.139	0.329	0.154	2.458	17.9	OK
20	452.8	164.7	360.2	20.4	1.159	0.364	0.124	2.187	17.3	OK
21	448.7	170.3	361.0	5.1	1.184	0.380	0.030	2.120	17.2	OK
22	470.7	170.4	365.4	40.2	1.138	0.362	0.236	2.144	17.4	OK
23	491.9	220.3	360.8	41.8	1.181	0.448	0.190	1.638	16.9	OK
24	500.6	270.2	360.5	9.9	1.260	0.540	0.037	1.334	16.8	OK
25	516.9	270.4	361.8	39.7	1.223	0.523	0.147	1.338	16.7	OK
26	502.1	364.9	312.3	14.7	1.349	0.727	0.040	0.856	16.6	OK
27	407.5	421.8	189.1	14.9	1.499	1.035	0.035	0.448	16.6	OK
28	445.8	493.3	179.3	39.7	1.509	1.107	0.080	0.363	16.5	OK
29	483.7	632.0	160.1	15.2	1.638	1.307	0.024	0.253	16.4	OK
30	520.0	643.4	190.7	15.2	1.604	1.237	0.024	0.296	16.4	OK
31	486.4	685.3	121.1	45.3	1.658	1.409	0.066	0.177	16.4	OK
32	507.2	742.7	120.8	30.1	1.702	1.464	0.041	0.163	16.4	OK
33	515.2	773.9	118.2	20.1	1.732	1.502	0.026	0.153	16.4	OK
34	524.5	798.2	116.9	16.9	1.745	1.522	0.021	0.146	16.3	OK
35*	533.4	832.4	109.8	14.8	1.766	1.561	0.018	0.132	16.3	NG
36*	533.3	841.1	105.3	14.9	1.775	1.577	0.018	0.125	16.3	NG
37*	534.1	849.7	101.2	16.1	1.780	1.591	0.019	0.119	16.3	NG

*表示比較性實施例

表一之資料係基於藉由掃描式電子顯微鏡(SEM)取得之影像，由該陶瓷體 12 之中央部位以寬度(W)方向開始，以長度方向(L)及厚度方向(T)取得之積層晶片電容器 10 之陶瓷體 12 的中央部位之剖面的維度量測值。

在此，如上所述，A 界定為該陶瓷體整體厚度之一半，

B 界定為該下包覆層之厚度，C 界定為該主動層整體厚度之一半，以及 D 界定為該上包覆層之厚度。

為了量測音頻雜訊，每一板體用以量測音頻雜訊之單一樣本(積層晶片電容器)係依從垂直方向予以辨別並嵌裝在該 PCB 上，且接著將板體嵌裝在量測夾具中。之後，使用功率直流電源供應器及信號產生器施加直流電壓及可變電壓(或函數產生器)於嵌裝在量測夾具中之樣本的兩端。藉由直接安裝於 PCB 之上的麥克風，量測音頻雜訊。

樣本 1 至 3 係為具有對稱性包覆架構之比較性實施例，該對稱性包覆架構意指該下包覆層之厚度(B)幾乎類似於該上包覆層之厚度(D)。樣本 4 至 13 係為具有該上包覆層厚度(D)大於該下包覆層厚度(B)之架構的比較性實施例。樣本 14、15 及 35 至 37 係為具有該下包覆層厚度(B)大於該上包覆層厚度(D)之架構的比較性實施例。樣本 16 至 34 係為本發明之具體實施例。

本發明之具體實施例可具有厚度(D)等於或大於 4 微米之上包覆層 53。若該上包覆層之厚度(D)小於 4 微米，則該內部電極會從該陶瓷體 12 之上表面 S_T 曝露，而導致成為不良品。

當 $(B+C)/A$ 等於或近似於 1 時意指主動層之中央部位幾乎未偏離該陶瓷體之中央部位。具有對稱包覆架構(亦即，下包覆層之厚度(B)及上包覆層之厚度(D)幾乎一樣)之樣本 1 至 3 的 $(B+C)/A$ 接近 1。

$(B+C)/A$ 大於 1 的情況可意指該主動層之中央部位向

上偏離該陶瓷體之中央部位，以及 $(B+C)/A$ 小於 1 的情況可意指該主動層之中央部位向下偏離該陶瓷體之中央部位。

首先，可看出樣本 16 至 34，亦即本發明之具體實施例，已徹底降低音頻雜訊到小於 20dB，其中，該主動層之中央部位偏離該陶瓷體之中央部位的比率 $((B+C)/A)$ 滿足 $1.063 \leq (B+C)/A \leq 1.745$

該主動層中央部位偏離該陶瓷體中央部位之比率 $((B+C)/A)$ 小於 1.063 的樣本 1 至 15 具有該主動層中央部位幾乎未偏離該陶瓷體中央部位或向下偏離該陶瓷體中央部位的架構。可看出比率 $(B+C)/A$ 小於 1.063 之樣本 1 至 15 不具有音頻雜訊降低效應。

比率 $(B+C)/A$ 大於 1.745 之樣本 35 至 37 缺少電容。亦即，樣本 35 至 37 之電容顯著地小於目標電容。在表一中，「obtainment of Cap.」(亦即，樣本電容相對於目標電容的比率)之「NG」意指樣本電容小於目標電容的 80%，其中，目標電容定為 100%。

同樣地，可看出該上包覆層厚度(D)與該下包覆層厚度(B)之比率 (D/B) 滿足 $0.021 \leq D/B \leq 0.422$ 的具體實施例已相當程度地降低了音頻雜訊。

該上包覆層厚度(D)及該下包覆層厚度(B)之比率大於 0.422 的比較性實施例沒有音頻雜訊降低效應。若比率 D/B 小於 0.21，則該下方包覆層之厚度(B)過度大於該上包覆層之厚度(D)，會發生非預期剝層或者缺少電容。

可看出該下包覆層厚度(B)與該陶瓷體一半厚度(A)之比率(B/A)滿足 $0.329 \leq B/A \leq 1.522$ 或該主動層一半厚度(C)與該下包覆層厚度(B)之比率(C/B)滿足 $0.146 \leq C/B \leq 2.458$ 的樣本 19 至 34 已相對地進一步降低音頻雜訊到小於 18dB, 樣本 19 至 34 為具體實施例之一部份。

該下包覆層厚度(B)與該陶瓷體一半厚度(A)之比率(B/A)大於 1.522 或該主動層一半厚度(C)與該下包覆層厚度(B)之比率(C/B)小於 0.146 的樣本 35 至 37 缺少電容。

雖然本發明已結合具體實施例予以表示並說明，明顯可知熟悉本技藝之人士可施以修改及改變而不脫離如附加之申請專利範圍所界定之本發明之精神及範疇。

【圖式簡單說明】

發明內容所述或其它本發明之範疇、特徵及其它優點係以實施方式搭配圖式所作的詳細說明而更能清楚理解，其中：

第 1 圖係根據本發明具體實施例之積層晶片電容器的示意性剖面透視圖；

第 2 圖係為第 1 圖之積層晶片電容器以長度及厚度方向之剖面圖；

第 3 圖係為第 1 圖之積層晶片電容器以表示維度之長度及厚度方向的示意性剖面圖；

第 4 圖係為第 1 圖之積層晶片電容器嵌裝於印刷電路板(PCB)上的示意性透視圖；

第 5 圖係為第 4 圖之積層晶片電容器嵌裝於該 PCB 上

之的示意性平面圖；

第 6 圖係為第 4 圖之積層晶片電容器嵌裝於該 PCB 上以長度及厚度方向之剖面圖；

第 7 圖係為第 4 圖之積層晶片電容器嵌裝於經施加電壓即變形之 PCB 上的示意性剖面圖；

第 8A 圖係為相關技藝積層晶片電容器之內部電極及該 PCB 呈垂直嵌裝以及該 PCB 呈水平嵌裝時，顯示音頻雜訊隨電極接墊尺寸變化之圖表；

第 8B 圖係根據本發明具體實施例之積層晶片電容器嵌裝在該 PCB 上，使得該內部電極對該 PCB 呈水平，以及下包覆層毗鄰該 PCB 時，顯示音頻雜訊隨電極接墊尺寸變化的圖表；

第 9 圖係根據本發明具體實施例之積層晶片電容器嵌裝在封裝單元中的示意性透視圖；以及

第 10 圖係為第 9 圖之封裝單元呈捲狀彎曲的示意性剖面圖。

【主要元件符號說明】

10	積層晶片電容器	12	陶瓷體
20、22、24	內部電極	40	外部電極
15	記號	42	第一外部電極
44	第二外部電極	50、52、54	介電層
53	上包覆層	55	下包覆層
60	主動層	80	附加電極層
100	板體	120	印刷電路板

122、124	電極接墊	142、144	焊接
150	電子元件對準裝置	170	傳輸裝置
200	封裝單元	220	墊片
222	第一電極圖樣部位		
224	第一導引部位	225	下表面
226	接收部位	240	封裝膜
242	第二電極圖樣部位		
244	第二導引部位		

七、申請專利範圍：

1. 一種積層晶片電子元件，係包括：

陶瓷體，包含內部電極及介電層；

以長度方向形成包覆該陶瓷體兩端部位之外部電極；

主動層，其中，該等內部電極係以相對方式予以放置，而該等介電層係插置於該等內部電極之間，用以形成電容；以及

以厚度方向在該主動層之上部位及下部位形成上包覆層及下包覆層；

其中，該陶瓷體之一半厚度界定為 A ，該下包覆層之厚度界定為 B ，該主動層之一半厚度界定為 C ，以及該上包覆層之厚度界定為 D ，該上包覆層之厚度(D)滿足 $D \geq 4$ 微米之範圍，以及該主動層中央部位偏離該陶瓷體中央部位的比率 $(B+C)/A$ 滿足 $1.063 \leq (B+C)/A \leq 1.745$ 之範圍。

2. 如申請專利範圍第 1 項所述之積層晶片電子元件，其中，該上包覆層之厚度(D)與該下包覆層之厚度(B)之比率(D/B)滿足 $0.021 \leq D/B \leq 0.422$ 。

3. 如申請專利範圍第 1 項所述之積層晶片電子元件，其中，該下包覆層之厚度(B)與該陶瓷體之一半厚度(A)的比率(B/A)滿足 $0.329 \leq B/A \leq 1.522$ 。

4. 如申請專利範圍第 1 項所述之積層晶片電子元件，其中，該主動層之一半厚度(C)與該下包覆層之厚度(B)

的比率(C/B)滿足 $0.146 \leq C/B \leq 2.458$ 。

5. 如申請專利範圍第 1 項所述之積層晶片電子元件，其中，用於區分上部位及下部位的記號，係形成於該陶瓷體之上表面及下表面至少其中之一。
6. 一種積層晶片電子元件，係包括：

於具有六面體形狀之陶瓷體的兩端部位，以長度方向形成外部電極；

主動層，係形成於該陶瓷體內，且包括複數面彼此面向而置之內部電極，而介電層係插置於該等內部電極之間，以形成電容；

上包覆層，係在該主動層之最上方內部電極之上部位形成；以及

下包覆層，係在該主動層之最下方內部電極之下部位形成，且具有大於該上包覆層厚度之厚度，

其中，由於施加電壓時，介於該主動層之中央部位中產生之應力與該下包覆層中產生之應力之間的差異，反曲點(PI)係於該陶瓷體之兩端部位以該長度方向形成，該兩端部位係以厚度方向低於該陶瓷體之中央部位，以及

當該陶瓷體之一半厚度界定為 A、該下包覆層之厚度界定為 B、以及該主動層之一半厚度界定為 C 時，該主動層中央部位偏離該陶瓷體中央部位之比率 $(B+C)/A$ 滿足 $1.063 \leq (B+C)/A \leq 1.745$ 之範圍。

7. 如申請專利範圍第 6 項所述之積層晶片電子元件，其

中，當該上包覆層之厚度界定為 D 時，該上包覆層厚度 (D) 與該下包覆層厚度 (B) 之比率 (D/B) 滿足 $0.021 \leq D/B \leq 0.422$ 。

8. 如申請專利範圍第 6 項所述之積層晶片電子元件，其中，該下包覆層厚度 (B) 與該陶瓷體一半厚度 (A) 之比率 (B/A) 滿足 $0.329 \leq B/A \leq 1.522$ 。
9. 如申請專利範圍第 6 項所述之積層晶片電子元件，其中，該主動層厚度 (C) 與該下包覆層厚度 (B) 之比率 (C/B) 滿足 $0.146 \leq C/B \leq 2.458$ 。

10. 一種用於嵌裝積層晶片電子元件的板體，係包括：

如申請專範圍第 1 或 6 項所述之積層晶片電子元件；
藉由焊接電性連接至該等外部電極之電極接墊；以及

及

印刷電路板 (PCB)，係在該印刷電路板上形成該等電極接墊，以及該積層晶片電子元件係嵌裝在該等電子接墊上，使得該等內部電極呈水平，並且該下包覆層係以厚度方向置於比該上包覆層較低的位置。

11. 如申請專利範圍第 10 項所述之板體，其中，由於施加電壓時，介於該主動層中央部位中產生之應力及該下包覆層中所產生之應力之間的差異，於陶瓷體兩端部位以長度方向形成反曲點 (PI) 係，係低於該焊接之高度。
12. 一種封裝單元，係包括：

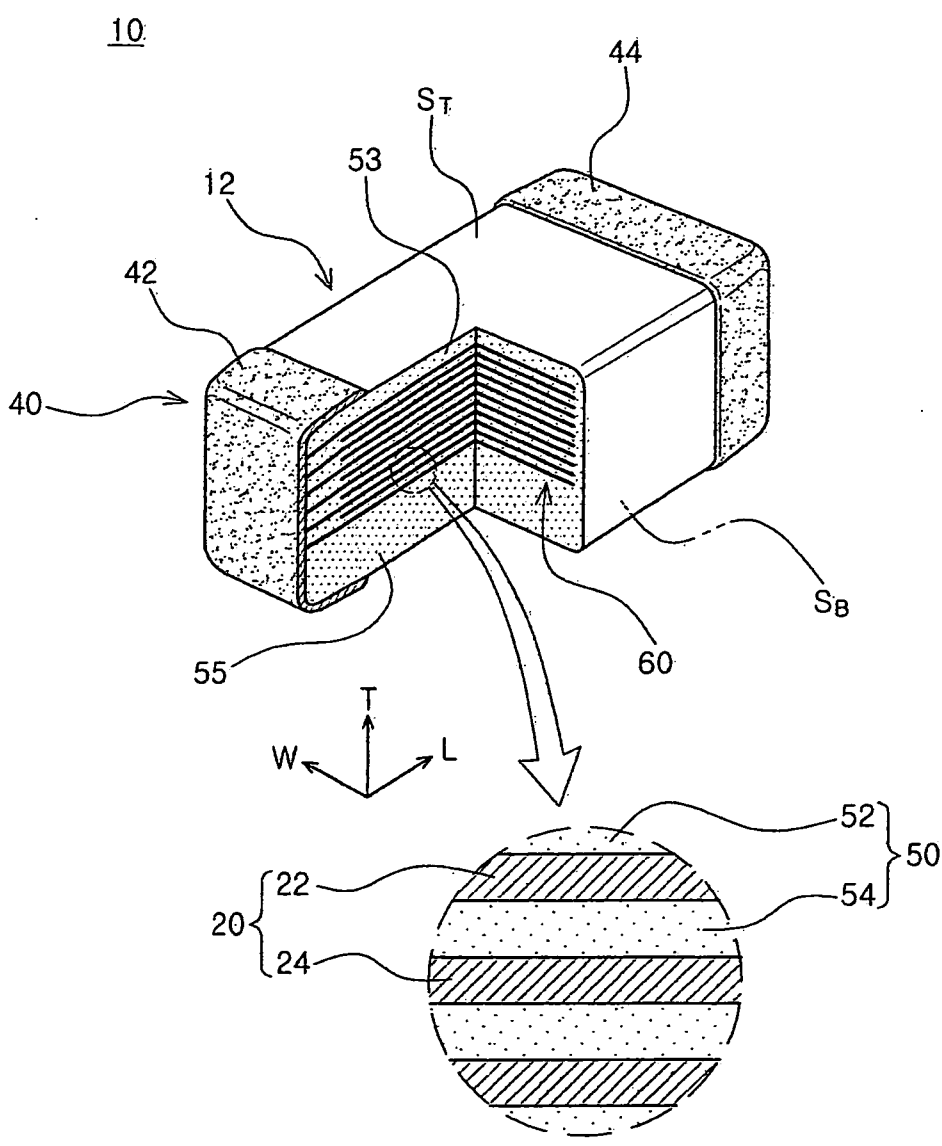
如申請專利範圍第 1 或 6 項所述之積層晶片電子元件；以及

包括接收部位，用以接收該積層晶片電子元件之墊片；

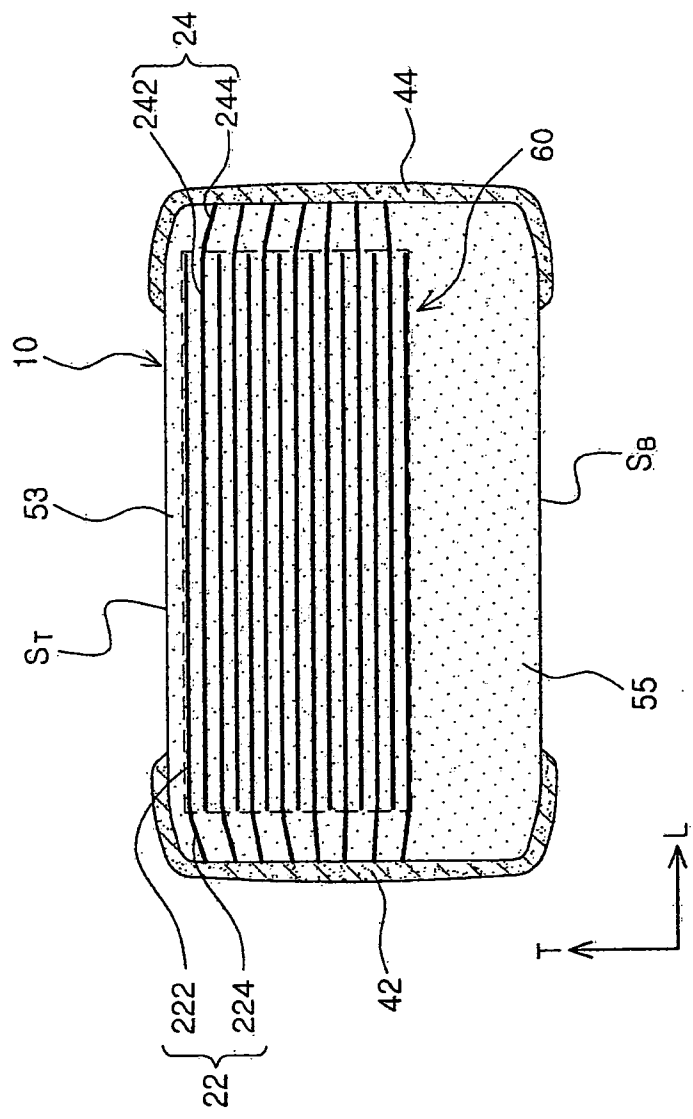
其中，該等內部電極係基於該接收部位之下表面呈水平對準而放置。

13. 如申請專利範圍第 12 項所述之封裝單元，復包括耦接至該墊片，且包覆該積層晶片電子元件之封裝膜。
14. 如申請專利範圍第 12 項所述之封裝單元，其中，該墊片係呈捲狀彎曲，該積層晶片電子元件係接收於該墊片中。
15. 如申請專利範圍第 12 項所述之封裝單元，其中，該等接收部位內所接收之該等積層晶片電子元件中的每一個積層晶片電子元件皆具有方向性，而使得上包覆層及下包覆層中任何一層面向該接收部位之該下表面，以及記號係形成於該陶瓷體上以便允許方向性，其中，該上包覆層及該下包覆層中任一層面向該接收部位之該下表面，而得以從外側識別。
16. 如申請專利範圍第 12 項所述之封裝單元，其中，該等接收部位內所接收之該等積層晶片電子元件中的每一個積層晶片電子元件皆係經放置，而使得該積層晶片電子元件之下包覆層面向該接收部位之下表面。
17. 如申請專利範圍第 12 項所述之封裝單元，其中，用於區分上及下部位之記號係在該陶瓷體之上表面形成。

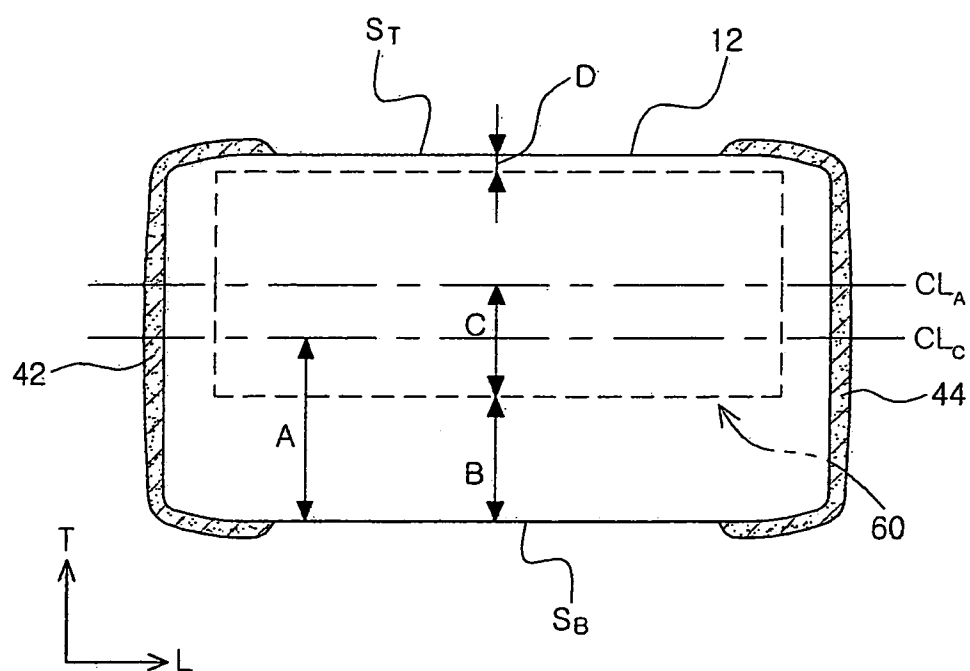
八、圖式：



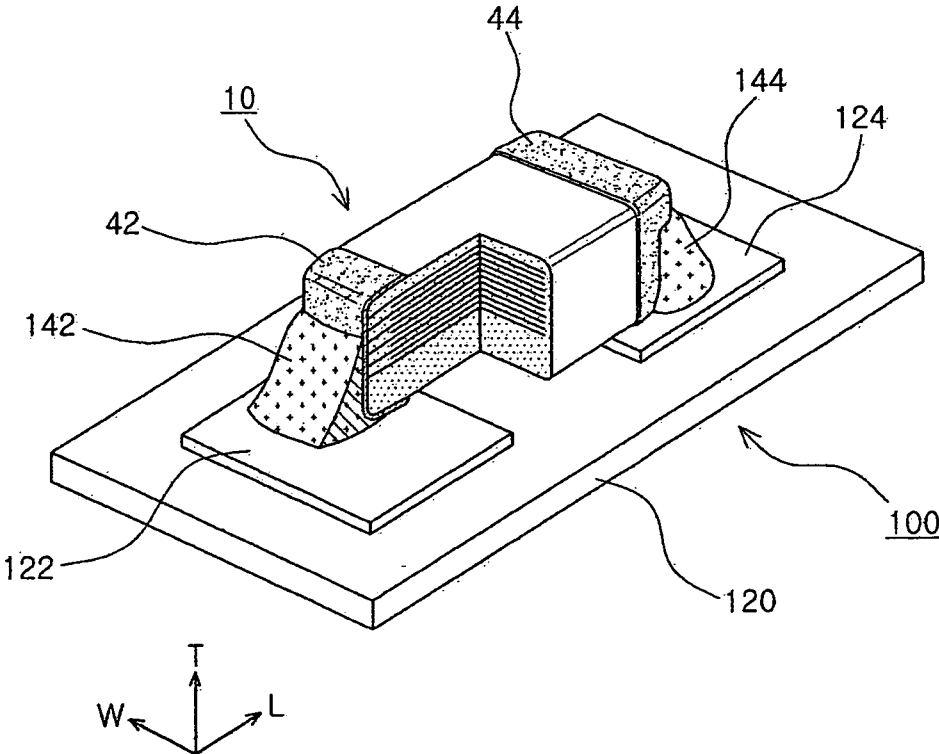
第1圖



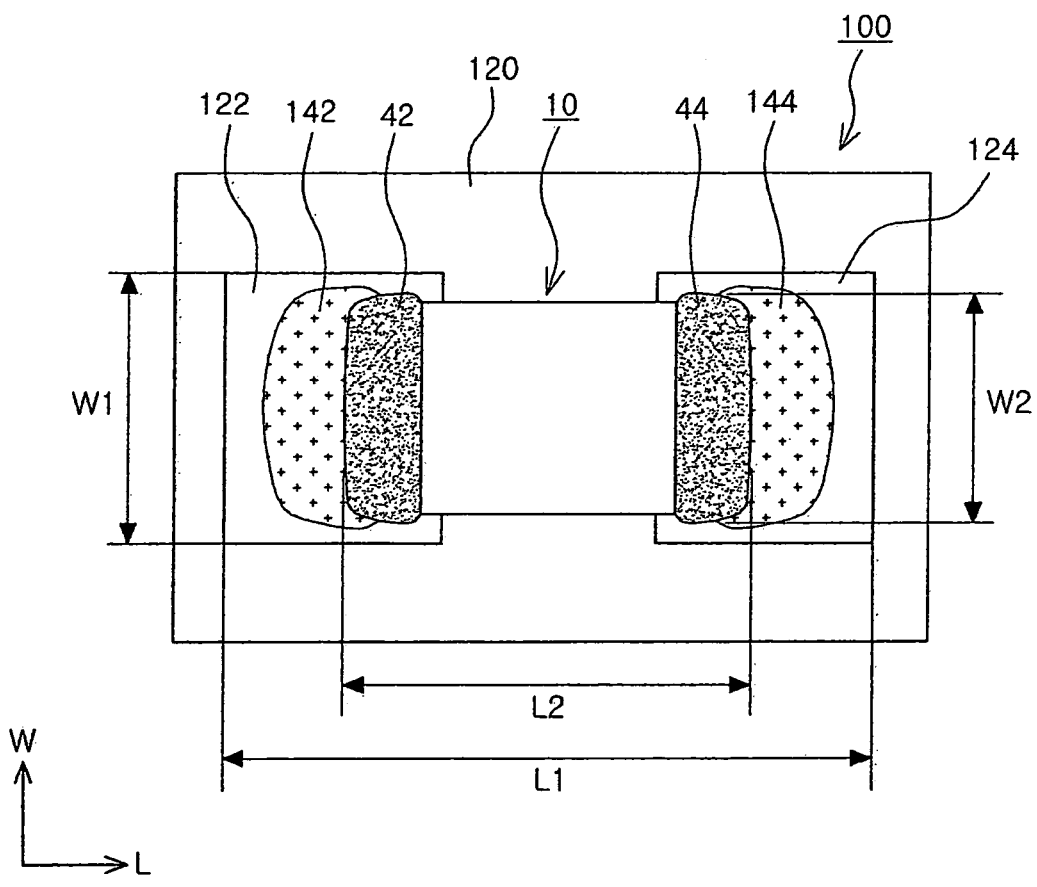
第2圖



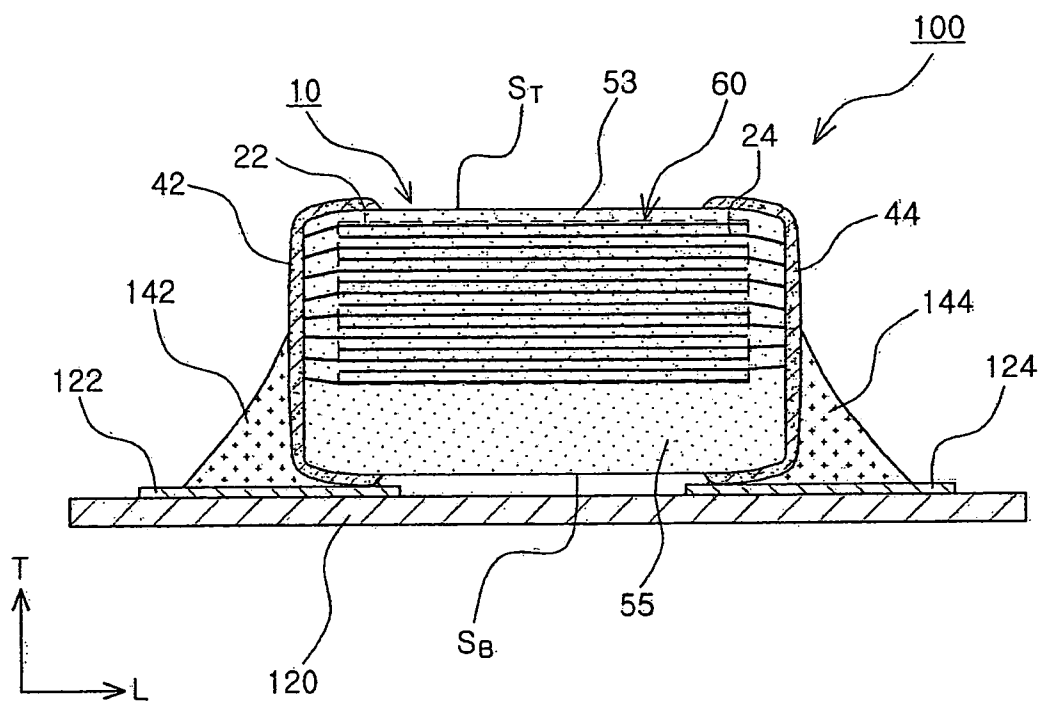
第3圖



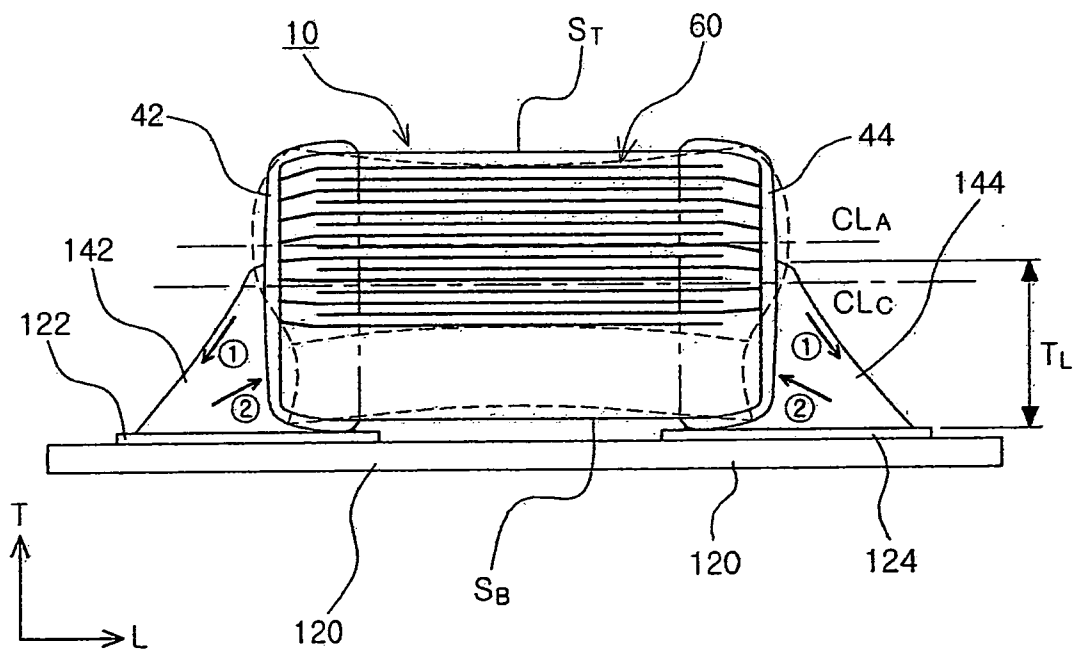
第4圖



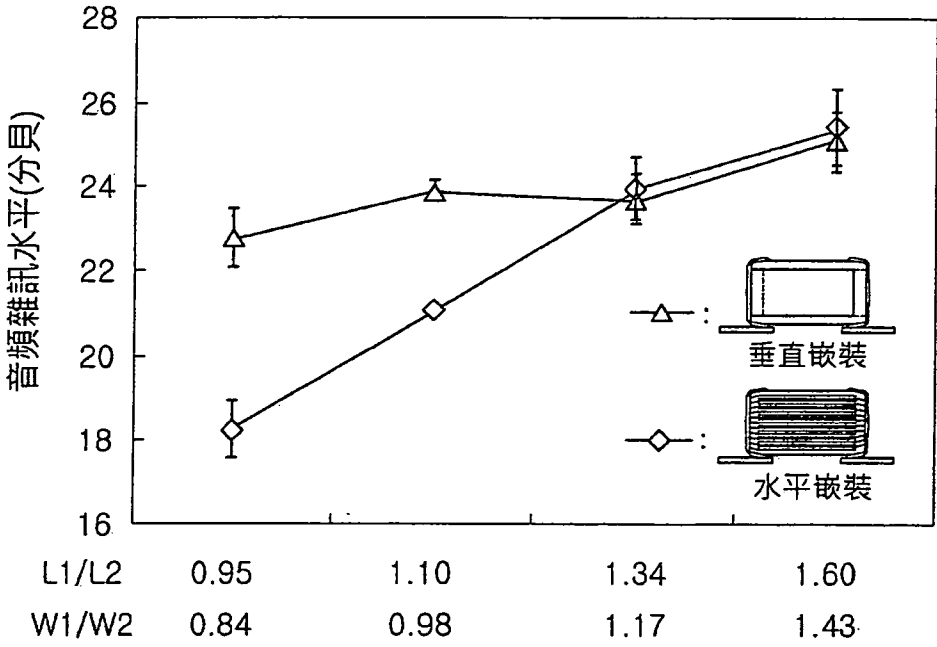
第5圖



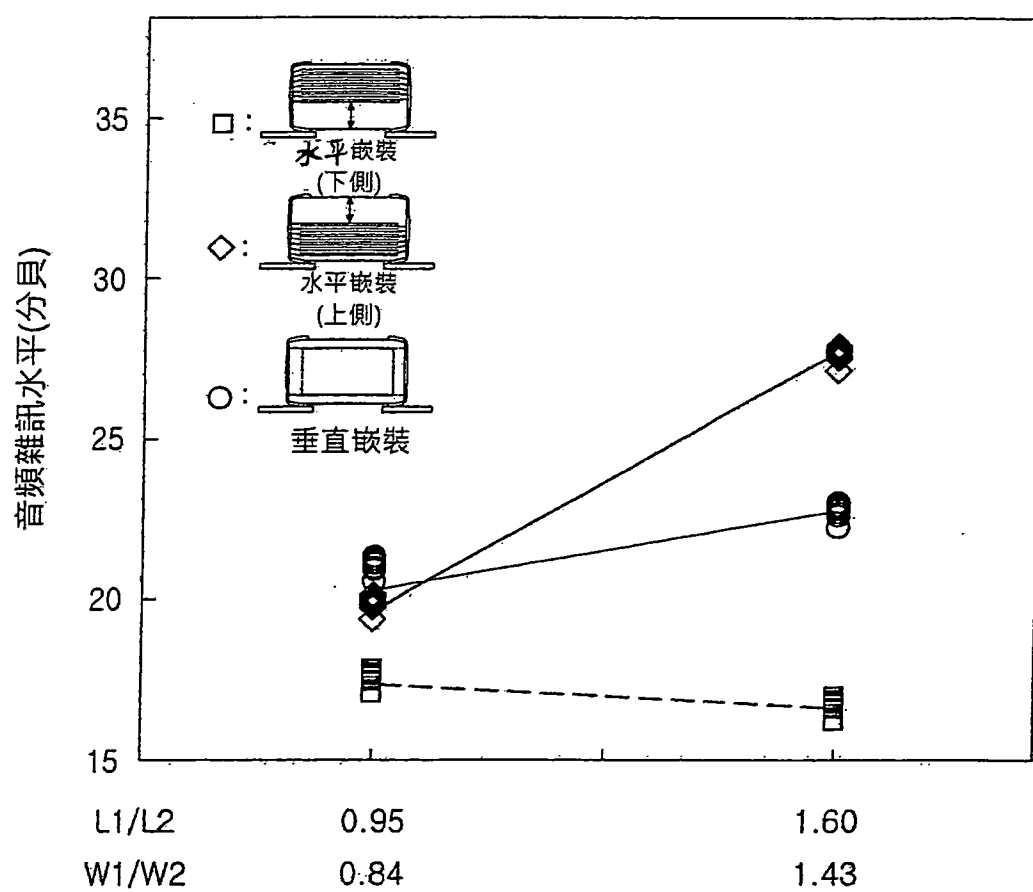
第6圖



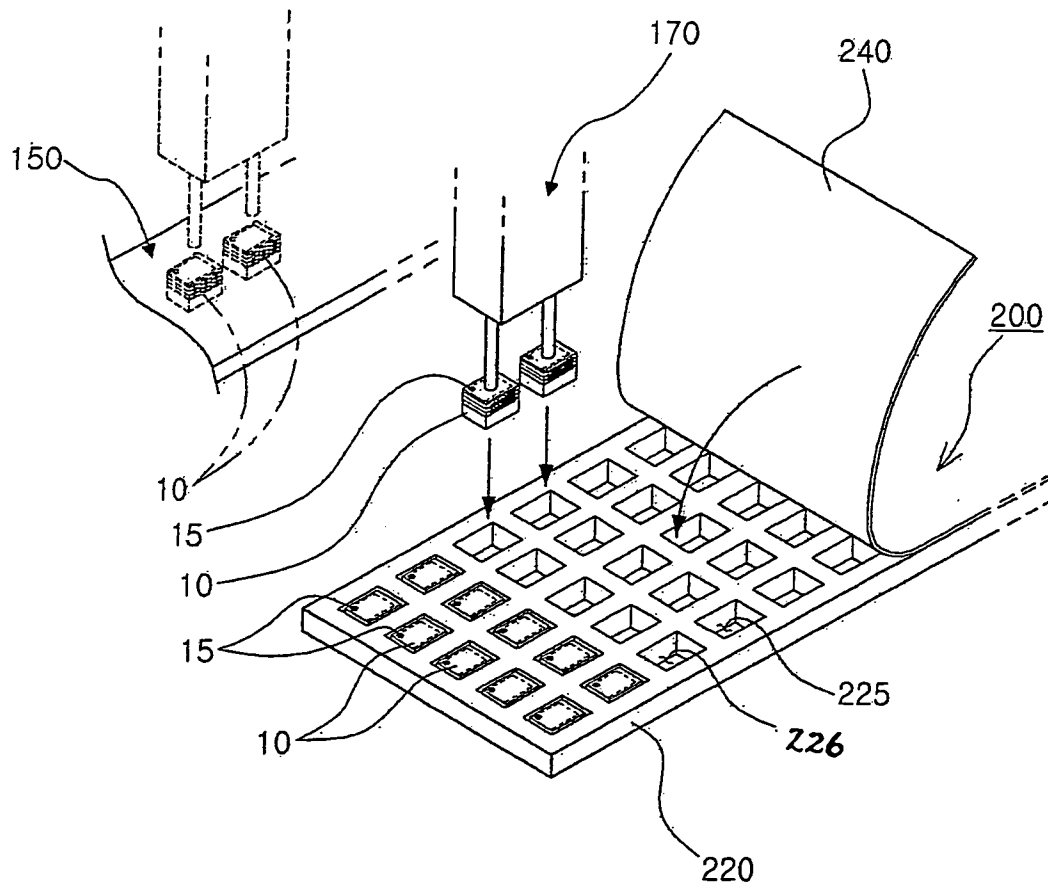
第7圖



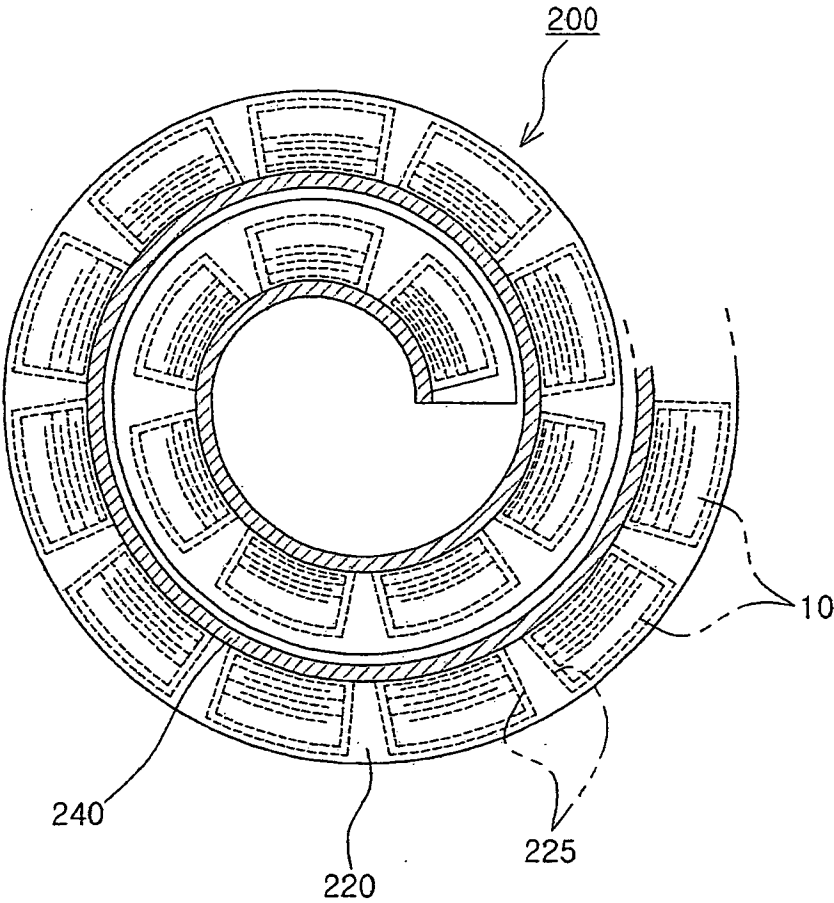
第8A圖



第8B圖



第9圖



第10圖