



(21)申請案號：105105276 (22)申請日：中華民國 105 (2016) 年 02 月 23 日

(51)Int. Cl. : **G11C17/16 (2006.01)** **G11C17/18 (2006.01)**

(30)優先權：2015/02/25 日本 2015-035858

(71)申請人：日商芙洛提亞股份有限公司 (日本) FLOADIA CORPORATION (JP)
日本

(72)發明人：葛西秀男 KASAI, HIDEO (JP)；谷口泰弘 TANIGUCHI, YASUHIRO (JP)；川嶋泰
彥 KAWASHIMA, YASUHIKO (JP)；櫻井良多郎 SAKURAI, RYOTARO (JP)；品
川裕 SHINAGAWA, YUTAKA (JP)；戶谷達郎 TOYA, TATSURO (JP)；山口貴
德 YAMAGUCHI, TAKANORI (JP)；大和田福夫 OWADA, FUKUO (JP)；吉田信
司 YOSHIDA, SHINJI (JP)；畑田輝男 HATADA, TERUO (JP)；野田敏史 NODA,
TOSHIFUMI (JP)；加藤貴文 KATO, TAKAFUMI (JP)；村谷哲也 MURATANI,
TETSUYA (JP)；奧山幸祐 OKUYAMA, KOSUKE (JP)

(74)代理人：陳長文

(56)參考文獻：

TW	201025551A	EP	2760026A1
JP	2010-087494A	US	6667902B2
US	2008/0042235A1	US	2009/0152610A1
US	2010/0061136A1	US	2010/0072474A1
US	2012/0051132A1	US	2013/0051113A1

審查人員：蕭明椿

申請專利範圍項數：13 項 圖式數：18 共 95 頁

(54)名稱

半導體記憶裝置

(57)摘要

於半導體記憶裝置(1)中，未使用如先前之控制電路，能夠利用向記憶體電容器(4)之記憶體閘極電極(G)及字元線施加之電壓值，藉由整流元件(3)而阻斷自記憶體閘極電極(G)向字元線施加電壓，如此，無需如先前之選擇性地向記憶體電容器施加電壓之開關電晶體、或進而用以使開關電晶體進行接通斷開動作之開關控制電路，從而可相應地謀求小型化。又，於半導體記憶裝置(1)中，彼此相鄰接之 4 個反熔絲記憶體(2a₆、2a₇、2a₁₀、2a₁₁)共用 1 個位元線觸點(BC15)，並且例如彼此相鄰接之 4 個反熔絲記憶體(2a₃、2a₄、2a₇、2a₈)共用 1 個字元線觸點(WC12)，藉此，與針對各反熔絲記憶體而分別個別地設置位元線觸點及字元線觸點之情形相比較，可謀求裝置整體小型化。

指定代表圖：

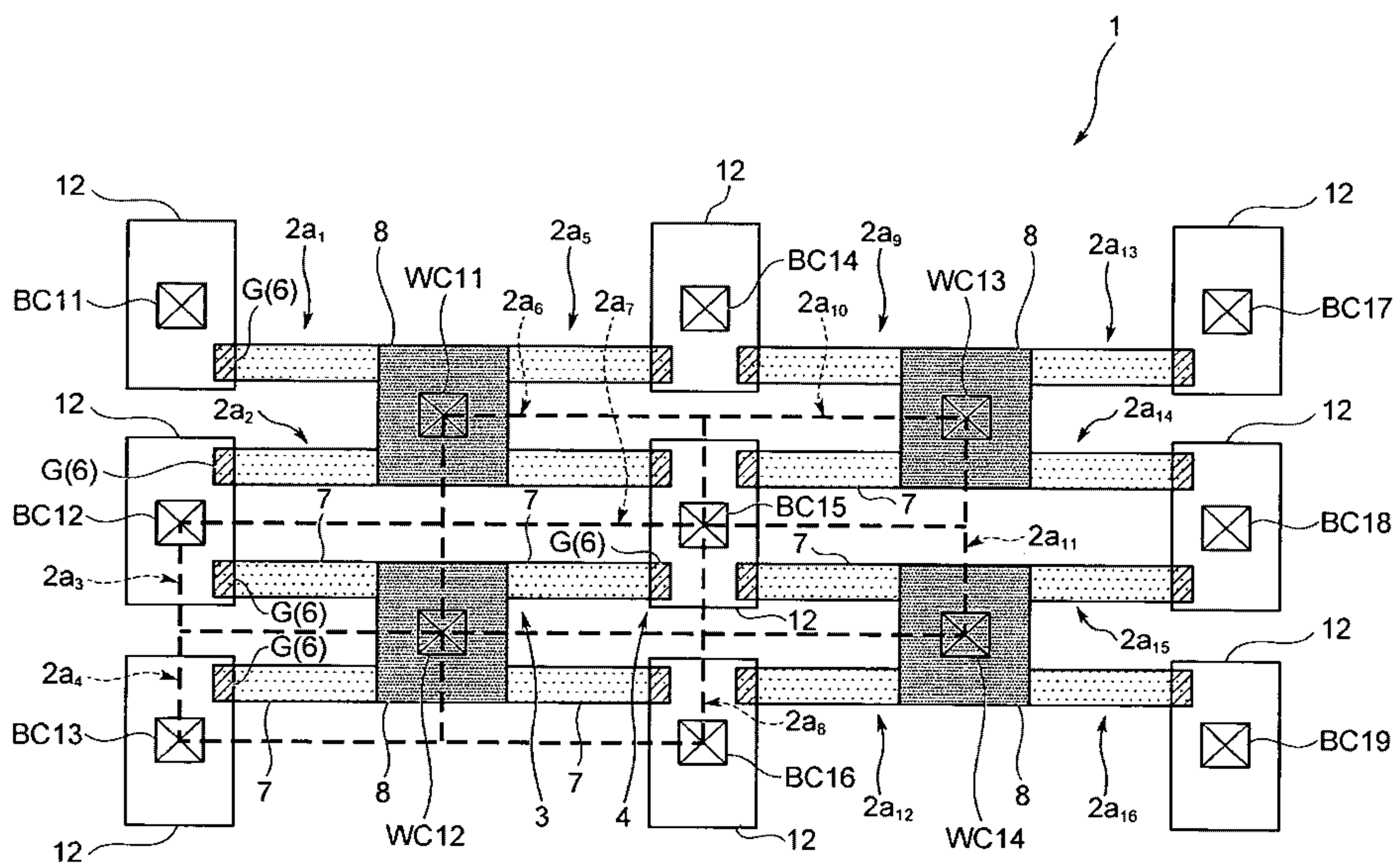


圖3

符號簡單說明：

1 . . . 半導體記憶裝置

2a₁...2a₁₆ . . . 反熔絲記憶體

3 . . . 整流元件

4 . . . 記憶體電容器

6 . . . 記憶體閘極絕緣膜

7 . . . N型半導體區域

8 . . . P型半導體區域

12 . . . 活性區域

BC11...BC19 . . . 位元線觸點

G . . . 記憶體閘極電極

WC11...WC14 . . . 字元線觸點

※ 申請案號： 105105276

※ 申請日：105年2月23日

※IPC 分類： **G11C 17/16** (2006.01)
G11C 17/18 (2006.01)

【發明名稱】

半導體記憶裝置

SEMICONDUCTOR MEMORY DEVICE

【中文】

於半導體記憶裝置(1)中，未使用如先前之控制電路，能夠利用向記憶體電容器(4)之記憶體閘極電極(G)及字元線施加之電壓值，藉由整流元件(3)而阻斷自記憶體閘極電極(G)向字元線施加電壓，如此，無需如先前之選擇性地向記憶體電容器施加電壓之開關電晶體、或進而用以使開關電晶體進行接通斷開動作之開關控制電路，從而可相應地謀求小型化。又，於半導體記憶裝置(1)中，彼此相鄰接之4個反熔絲記憶體(2a₆、2a₇、2a₁₀、2a₁₁)共用1個位元線觸點(BC15)，並且例如彼此相鄰接之4個反熔絲記憶體(2a₃、2a₄、2a₇、2a₈)共用1個字元線觸點(WC12)，藉此，與針對各反熔絲記憶體而分別個別地設置位元線觸點及字元線觸點之情形相比較，可謀求裝置整體小型化。

【英文】

無

【代表圖】

【本案指定代表圖】：第（3）圖。

【本代表圖之符號簡單說明】：

1	半導體記憶裝置
2a ₁ ...2a ₁₆	反熔絲記憶體
3	整流元件
4	記憶體電容器
6	記憶體閘極絕緣膜
7	N型半導體區域
8	P型半導體區域
12	活性區域
BC11...BC19	位元線觸點
G	記憶體閘極電極
WC11...WC14	字元線觸點

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

無

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】

半導體記憶裝置

SEMICONDUCTOR MEMORY DEVICE

【技術領域】

本發明係關於一種半導體記憶裝置，其例如較佳地適用於呈矩陣狀地配置有反熔絲記憶體之半導體記憶裝置。

【先前技術】

先前，作為可藉由擊穿絕緣膜而僅進行一次資料寫入之反熔絲記憶體，已知有具有如美國專利第6,667,902號說明書(專利文獻1)所示之構成之反熔絲記憶體。該專利文獻1所示之反熔絲記憶體包含雙電晶體構成，該雙電晶體構成係開關電晶體與記憶體電容器並排地形成於井上而成。

實際上，於作為電晶體構成之開關電晶體中，於井上介隔開關閘極絕緣膜而形成有開關閘極電極，於開關閘極電極連接有字元線，並且於形成於井表面之一擴散區域連接有位元線。又，於與開關電晶體成對之記憶體電容器中，於井上介隔記憶體閘極絕緣膜而形成有記憶體閘極電極，與連接於開關閘極電極之字元線不同之寫入字元線連接於該記憶體閘極電極。

於資料寫入動作時，記憶體電容器之記憶體閘極絕緣膜因自寫入字元線施加至記憶體閘極電極之擊穿字元電壓、與施加至開關電晶體之位元線之絕緣擊穿位元電壓之電壓差而受到絕緣擊穿，與井絕緣之記憶體閘極電極因記憶體閘極絕緣膜之絕緣擊穿，可與井之表面即形成記憶體通道之區域電性連接。

繼而，於資料讀出動作時，於將電壓施加至連接於欲進行讀出之位元線之寫入字元線後，記憶體閘極絕緣膜受到擊穿之情形下，已施加至寫入字元線之電壓會經由記憶體通道而施加至開關電晶體之另一擴散區域。又，開關電晶體藉由分別自連接於開關閘極電極之字元線、及連接於擴散區域之位元線施加之電壓而成為導通狀態，基於施加至位元線之電壓之變化，可判斷成對之記憶體電容器中之記憶體閘極電極與記憶體通道之電性連接狀態，從而可判別有無寫入資料。

[先前技術文獻]

[專利文獻]

[專利文獻1]美國專利第6,667,902號說明書

【發明內容】

[發明所欲解決之問題]

然而，作為上述構成之先前之反熔絲記憶體存在如下問題：由於設置有與記憶體電容器獨立之開關電晶體，故而需要與將擊穿字元電壓施加至該記憶體電容器之控制電路不同的用以使開關電晶體進行開閉動作之開關控制電路，相應地難以實現小型化。

又，對於呈矩陣狀地配置有如上所述之反熔絲記憶體之半導體記憶裝置而言，當使特定之反熔絲記憶體之記憶體閘極絕緣膜絕緣擊穿，而不使其他反熔絲記憶體之記憶體閘極絕緣膜絕緣擊穿時，必需對呈矩陣狀地配置之反熔絲記憶體分別施加最佳之電壓，因此，亦需要設計成效率良好地對用以對各反熔絲記憶體施加電壓之配線進行佈局，使整體實現小型化。

因此，本發明係考慮以上方面而成者，其目的在於提出可較先前更小型化之半導體記憶裝置。

[解決問題之技術手段]

為了解決上述問題，本發明之半導體記憶裝置之特徵在於：其

係於複數根字元線及複數根位元線之各交叉部位配置有反熔絲記憶體者，各上述反熔絲記憶體包括：記憶體電容器，其介隔記憶體閘極絕緣膜而設置有記憶體閘極電極，且於形成於井之一擴散區域經由位元線觸點而連接有上述位元線；及整流元件，其設置於上述記憶體閘極電極與上述字元線之間，將來自上述字元線之電壓經由字元線觸點而施加至上述記憶體閘極電極，另一方面，根據向上述記憶體閘極電極及上述字元線施加之電壓值，阻斷自上述記憶體閘極電極向上述字元線施加電壓，2個以上之上述反熔絲記憶體共用1個上述位元線觸點。

又，本發明之半導體記憶裝置之特徵在於：其係於複數根字元線及複數根位元線之各交叉部位配置有反熔絲記憶體者，各上述反熔絲記憶體包括：記憶體電容器，其介隔記憶體閘極絕緣膜而設置有記憶體閘極電極，且於形成於井之一擴散區域經由位元線觸點而連接有上述位元線；及整流元件，其設置於上述記憶體閘極電極與上述字元線之間，將來自上述字元線之電壓經由字元線觸點而施加至上述記憶體閘極電極，另一方面，根據向上述記憶體閘極電極及上述字元線施加之電壓值，阻斷自上述記憶體閘極電極向上述字元線施加電壓，2個以上之上述反熔絲記憶體共用1個上述字元線觸點。

[發明之效果]

根據本發明，未使用先前之控制電路，根據向記憶體電容器之記憶體閘極電極及字元線施加之電壓值，藉由整流元件而阻斷自記憶體閘極電極向字元線施加電壓，因此，無需先前之選擇性地向記憶體電容器施加電壓之開關電晶體、或進而用以使開關電晶體進行接通斷開動作之開關控制電路，從而可相應地實現小型化。

又，根據本發明，由於至少2個以上之反熔絲記憶體共用1個位元線觸點及或1個字元線觸點，故而與針對每個反熔絲記憶體而設置位元線觸點或字元線觸點之情形相比較，可實現小型化。

【圖式簡單說明】

圖1係表示本發明之半導體記憶裝置之基本電路構成之電路圖。

圖2A係表示並列地配置有2個反熔絲記憶體之部位之剖面構成之概略圖，圖2B係表示圖2A所示之2個反熔絲記憶體之平面佈局之概略圖。

圖3係表示4個反熔絲記憶體共用1個字元線觸點及1個位元線觸點時之平面佈局(1)之概略圖。

圖4係表示字元線及位元線之平面佈局(1)之概略圖。

圖5係表示其他實施形態之字元線及位元線之平面佈局(1)之概略圖。

圖6係表示沿列方向並排之2個反熔絲記憶體共用1個字元線觸點，且沿行方向並排之複數個反熔絲記憶體共用1個位元線觸點時之平面佈局(1)之概略圖。

圖7係表示沿列方向並排之複數個反熔絲記憶體共用1個字元線觸點，且沿行方向並排之2個反熔絲記憶體共用1個位元線觸點時之平面佈局(1)之概略圖。

圖8係表示包括N型MOS電晶體構成之整流元件之其他實施形態之反熔絲記憶體的電路構成之電路圖。

圖9A係表示圖8所示之反熔絲記憶體之剖面構成之概略圖，圖9B係表示圖9A所示之反熔絲記憶體之平面佈局之概略圖。

圖10係表示4個反熔絲記憶體共用1個字元線觸點及1個位元線觸點時之平面佈局(2)之概略圖。

圖11係表示字元線及位元線之平面佈局(2)之概略圖。

圖12係表示其他實施形態之字元線及位元線之平面佈局(2)之概略圖。

圖13係表示其他實施形態之觸點之平面佈局(1)之概略圖。

圖14係表示沿列方向並排之2個反熔絲記憶體共用1個字元線觸點，且沿行方向並排之複數個反熔絲記憶體共用1個位元線觸點時之平面佈局(2)之概略圖。

圖15係表示其他實施形態之觸點之平面佈局(2)之概略圖。

圖16係表示沿列方向並排之複數個反熔絲記憶體共用1個字元線觸點，且沿行方向並排之2個反熔絲記憶體共用1個位元線觸點時之平面佈局(2)之概略圖。

圖17係表示包括P型MOS電晶體構成之整流元件之其他實施形態之反熔絲記憶體的電路構成之概略圖。

圖18A係表示其他實施形態之反熔絲記憶體之剖面構成之概略圖，圖18B係表示圖18A所示之反熔絲記憶體之平面佈局之概略圖。

【實施方式】

以下，基於圖式對本發明之實施形態進行詳述。

以下，對用以實施本發明之形態進行說明。再者，以如下所示之順序進行說明。

< 1.呈矩陣狀地設置有反熔絲記憶體之本發明之半導體記憶裝置之基本概念 >

1-1.基本構成

1-2.資料之寫入動作

1-3.資料之讀出動作

1-4.上述構成之半導體記憶裝置之作用及效果

< 2.關於4個反熔絲記憶體共用1個字元線觸點及1個位元線觸點之情形 >

2-1.關於平面佈局之構成

2-2.關於位元線及字元線之平面佈局之構成

< 3.關於其他實施形態之位元線及字元線之平面佈局之構成 >

< 4.關於2個反熔絲記憶體共用1個字元線觸點，且沿行方向並排之複數個反熔絲記憶體共用1個位元線觸點之情形 >

< 5.關於沿列方向並排之複數個反熔絲記憶體共用1個字元線觸點，且2個反熔絲記憶體共用1個位元線觸點之情形 >

< 6.具有包含N型MOS(Metal-Oxide-Semiconductor，金屬氧化物半導體)電晶體之整流元件之反熔絲記憶體 >

6-1.基本構成

6-2.資料之寫入動作

6-3.上述構成之半導體記憶裝置之作用及效果

< 7.關於4個反熔絲記憶體共用1個字元線觸點及1個位元線觸點之情形 >

7-1.關於平面佈局之構成

7-2.關於位元線及字元線之平面佈局之構成

< 8.關於其他實施形態之位元線及字元線之平面佈局之構成 >

< 9.關於2個反熔絲記憶體共用1個字元線觸點，且沿行方向並排之複數個反熔絲記憶體共用1個位元線觸點之情形 >

< 10.關於沿列方向並排之複數個反熔絲記憶體共用1個字元線觸點，且2個反熔絲記憶體共用1個位元線觸點之情形 >

< 11.其他實施形態 >

11-1.具有包含P型MOS電晶體之整流元件之反熔絲記憶體

11-2.包括電晶體構成之整流元件之反熔絲記憶體之其他實施形態的構成

11-3.其他

(1)呈矩陣狀地設置有反熔絲記憶體之本發明之半導體記憶裝置之基本概念

(1-1)基本構成

於圖1中，1表示本發明之半導體記憶裝置，其具有例如呈矩陣狀地配置有4個反熔絲記憶體2a、2b、2c、2d之構成。於該情形時，半導體記憶裝置1之沿列方向並排之反熔絲記憶體2a、2b(2c、2d)共用字元線WLa(WLb)，並且沿行方向並排之反熔絲記憶體2a、2c(2b、2d)共用位元線BLa(BLb)。各反熔絲記憶體2a、2b、2c、2d具有完全相同之構成，因此，此處例如著眼於第1列第1行之反熔絲記憶體2a而進行說明。實際上，反熔絲記憶體2a包含：整流元件3，其具有PN接面二極體之半導體接合構造；及記憶體電容器4，其包括記憶體閘極電極G及因位元線BLa之電壓差而受到絕緣擊穿之記憶體閘極絕緣膜6。

於上述實施形態之情形時，整流元件3具有P型半導體區域與N型半導體區域接合而成之構成，P型半導體區域連接於字元線WLa，並且N型半導體區域連接於記憶體電容器4之記憶體閘極電極G。藉此，反熔絲記憶體2a係自字元線WLa經由整流元件3而向記憶體電容器4之記憶體閘極電極G施加電壓，另一方面，自該記憶體閘極電極G向字元線WLa施加之電壓因整流元件3而成為逆向偏壓電壓，可藉由整流元件3而阻斷自記憶體閘極電極G向字元線WLa施加電壓。

如上所述之反熔絲記憶體2a、2b、2c、2d於資料寫入動作時，已施加至字元線WLa、WLb之電壓經由整流元件3而施加至記憶體電容器4之記憶體閘極電極G，於記憶體電容器4中，若於記憶體閘極電極G與位元線BLa、BLa之間產生大電壓差，則記憶體電容器4之記憶體閘極絕緣膜6會受到絕緣擊穿，從而可將資料寫入至該記憶體電容器4。

此處，詳細地對設置於半導體記憶裝置1之本發明之反熔絲記憶體2a、2b、2c、2d進行說明。再者，此處於圖1中，例如著眼於第1列並排之2個反熔絲記憶體2a、2b而進行以下說明。如圖2A所示，於半

導體記憶裝置1中，例如包含Si之P型或N型之井S2形成於半導體基板S1上，於該井S2之表面形成有作為絕緣構件之整流元件形成層ILb。又，於井S2之表面，以包夾整流元件形成層ILb之方式，與該整流元件形成層ILb隔開特定間隔而形成有作為絕緣構件之元件分離層ILa、ILc。

於上述情形時，半導體記憶裝置1可於整流元件形成層ILb及一個元件分離層ILa之間形成一個反熔絲記憶體2a之記憶體電容器4，於整流元件形成層ILb及另一個元件分離層ILc之間形成另一個反熔絲記憶體2b之記憶體電容器4。

實際上，於整流元件形成層ILb及一個元件分離層ILa之間，以與該元件分離層ILa相鄰接之方式而於井S2之表面形成有一個擴散區域5，於該擴散區域5及整流元件形成層ILb之間之井S2上，形成有介隔記憶體閘極絕緣膜6而配置有記憶體閘極電極G之記憶體電容器4。

又，於整流元件形成層ILb及另一個元件分離層ILc之間，亦以與該元件分離層ILc相鄰接之方式而於井S2之表面形成有另一個擴散區域5，於該擴散區域5及整流元件形成層ILb之間之井S2上，形成有介隔記憶體閘極絕緣膜6而配置有記憶體閘極電極G之記憶體電容器4。

於各擴散區域5中，位元線觸點BC分別立設於矽化物SC上，相對應之位元線BLa、BLb分別連接於該位元線觸點BC之前端。藉此，例如於反熔絲記憶體2a之記憶體電容器4中，特定電壓可自位元線BLa經由位元線觸點BC而施加至擴散區域5。除了上述構成之外，於整流元件形成層ILb之表面亦形成有整流元件3。於該實施形態之情形時，於整流元件形成層ILb之表面設置有P型半導體區域8、與形成於該P型半導體區域8兩側之N型半導體區域7，藉由一個N型半導體區域7及P型半導體區域8所形成之半導體接合構造而形成PN接面二極體之整流元件3。

於上述情形時，於各反熔絲記憶體2a、2b中，記憶體電容器4之記憶體閘極電極G由N型半導體形成，該記憶體閘極電極G之端部、與形成於整流元件形成層ILb上之整流元件3之N型半導體區域7的端部一體地形成。又，反熔絲記憶體2a、2b之上述整流元件3之N型半導體區域7及P型半導體區域8、與記憶體電容器4之各記憶體閘極電極G形成於相同之配線層(同一層)，整流元件3之N型半導體區域7及P型半導體區域8、與記憶體電容器4之記憶體閘極電極G形成為相同之膜厚。

藉此，於反熔絲記憶體2a、2b中，整流元件3之N型半導體區域7、P型半導體區域8、及記憶體電容器4之記憶體閘極電極G之各接合表面無階差而整體實現了薄型化。又，於反熔絲記憶體2a、2b中，整流元件3之N型半導體區域7、P型半導體區域8、及記憶體電容器4之記憶體閘極電極G可利用相同之成膜步驟形成，因此，與分別分開地形成N型半導體區域7、P型半導體區域8、及記憶體電容器4之記憶體閘極電極G之情形相比較，可使製程簡化。

又，字元線觸點WC立設於整流元件3中之P型半導體區域8之矽化物SC，配置於位元線BLa、BLa上方之字元線WLa經由字元線觸點WC而連接於P型半導體區域8。如此，例如於反熔絲記憶體2a中，若相對於記憶體閘極電極G之正電壓施加至字元線WLa，則來自該字元線WLa之電壓會依序經由字元線觸點WC、整流元件3之P型半導體區域8及N型半導體區域7而施加至各記憶體電容器4之記憶體閘極電極G。另一方面，於反熔絲記憶體2a中，若相對於字元線WLa之正電壓施加至記憶體電容器4之記憶體閘極電極G，則來自該記憶體閘極電極G之電壓會於整流元件3中成為逆向偏壓電壓，且可於N型半導體區域7及P型半導體區域8之間被阻斷。再者，形成於井S2上之位元線觸點BC或字元線觸點WC、整流元件3、記憶體閘極電極G、位元線

BLa、BLb、字元線WLa由層間絕緣層9覆蓋。

再者，對與圖2A相對應之部分附上相同符號而表示之圖2B係表示設置有圖2A所示之反熔絲記憶體2a、2b之區域的平面佈局之構成。再者，圖2A成為圖2B之A-A'處之側剖面構成。如圖2B所示，半導體記憶裝置1之各位元線觸點BC配置於井S2之相對應之活性區域12。分別設置於相鄰接之反熔絲記憶體2a、2b之長方形狀之N型半導體區域7係以配置於矩形狀之P型半導體區域8之中心位置之字元線觸點WC為中心而左右對稱地配置。又，各N型半導體區域7之一端接合於P型半導體區域8之邊，具有自該P型半導體區域8向活性區域12延伸之長度方向，且接合於前端部之記憶體閘極電極G與相對應之活性區域12相對向地配置。而且，於記憶體閘極電極G與活性區域12之對向區域中，分別形成有反熔絲記憶體2a、2b之記憶體閘極絕緣膜6。

附帶說，具有如上所述之構成之半導體記憶裝置1可藉由利用有光微影技術、氧化或CVD(Chemical Vapor Deposition，化學氣相沈積)等成膜技術、蝕刻技術及離子注入法之一般之半導體製程而形成，因此，此處省略其說明。

(1-2)資料之寫入動作

其次，說明將資料僅寫入至具有上述構成之半導體記憶裝置1中之例如第2列第1行之反熔絲記憶體2c時的資料寫入動作。再者，此處亦將寫入資料之反熔絲記憶體2c稱為寫入選擇記憶體，且亦將未寫入資料之反熔絲記憶體2a、2b、2d稱為寫入非選擇記憶體。於該情形時，如圖1所示，於半導體記憶裝置1中，可將0[V]之擊穿位元電壓施加至連接有成為寫入選擇記憶體之反熔絲記憶體2c之位元線BLa(以下亦稱為寫入選擇位元線)，將3[V]之非擊穿位元電壓施加至僅連接有成為寫入非選擇記憶體之反熔絲記憶體2b、2d之位元線BLb(以下亦稱為寫入非選擇位元線)。

又，此時，於半導體記憶裝置1中，可將5[V]之擊穿字元電壓施加至連接有成為寫入選擇記憶體之反熔絲記憶體2c之字元線WLb(以下亦稱為寫入選擇字元線)，將0[V]之非擊穿字元電壓施加至僅連接有成為寫入非選擇記憶體之反熔絲記憶體2a、2b之字元線WL a(以下亦稱為寫入非選擇字元線)。於反熔絲記憶體(寫入選擇記憶體)2c中，5[V]之擊穿字元電壓可自成為寫入選擇字元線之字元線WLb施加至整流元件3之P型半導體區域8，並且0[V]之擊穿位元電壓可自成為寫入選擇位元線之位元線BLa施加至記憶體電容器4之一端之擴散區域5。

藉此，於反熔絲記憶體2c中，擊穿字元電壓自整流元件3施加至記憶體電容器4之記憶體閘極電極G，並且0[V]自位元線BLa施加至擴散區域5，其結果，記憶體電容器4之通道(未圖示)成為導通狀態，通道電位成為與位元線BLa之電位相同之電位。如此，對於反熔絲記憶體2c而言，例如於將整流元件3之PN接面二極體之固有電位設為0.7[V]之情形時，通道與記憶體閘極電極G之電位差成為4.3[V]，因此，記憶體閘極電極G下部之記憶體閘極絕緣膜6受到絕緣擊穿，記憶體閘極電極G與擴散區域5經由通道，以低電阻而成為導通狀態，從而可成為寫入有資料之狀態。

另一方面，對於雖連接於施加有5[V]之擊穿字元電壓之字元線(寫入選擇字元線)WLb，卻未寫入資料之另一行之反熔絲記憶體2d而言，3[V]之非擊穿位元電壓經由位元線(寫入非選擇位元線)BLb而施加至處於記憶體電容器4之一端之擴散區域5，因此，於記憶體電容器4中，記憶體閘極電極G與擴散區域5之電壓差減小至1.3[V](考慮固有電位0.7[V])。因此，對於該反熔絲記憶體2d而言，即使在假設記憶體電容器4中之記憶體閘極電極G下部之記憶體閘極絕緣膜6未受到絕緣擊穿時，該記憶體閘極絕緣膜6未受到絕緣擊穿而處於絕緣狀態，從而可維持未寫入資料之狀態。

又，對於連接於施加有3[V]之非擊穿位元電壓之位元線(寫入非選擇位元線)BLb且未寫入資料之另一個反熔絲記憶體2b而言，當記憶體閘極絕緣膜6未受到絕緣擊穿時，0[V]之非擊穿字元電壓自字元線(寫入非選擇字元線)WLa經由整流元件3而施加至記憶體閘極電極G，因此，於記憶體電容器4中，記憶體閘極電極G與連接有位元線BLb之擴散區域5之電壓差減小至3[V]。

因此，對於上述反熔絲記憶體2b而言，即使在假設記憶體電容器4中之記憶體閘極電極G下部之記憶體閘極絕緣膜6未受到絕緣擊穿時，該記憶體閘極絕緣膜6未受到絕緣擊穿而處於絕緣狀態，從而可維持未寫入資料之狀態。

再者，對於自位元線(寫入非選擇位元線)BLb施加有3[V]之非擊穿位元電壓之反熔絲記憶體2b而言，例如即使於記憶體電容器4之記憶體閘極絕緣膜6已受到絕緣擊穿之情形時，0[V]之非擊穿字元電壓施加至字元線(寫入非選擇字元線)WLa，因此，記憶體電容器4中未形成通道，該位元線BLb之3[V]之非擊穿位元電壓被記憶體電容器4阻斷。藉此，於該反熔絲記憶體2d中，非擊穿位元電壓不會經由受到絕緣擊穿之記憶體閘極絕緣膜6而施加至記憶體閘極電極G。

然而，當記憶體閘極絕緣膜6之受到絕緣擊穿之部位為極靠近例如連接有位元線(寫入非選擇位元線)BLb之擴散區域5的部位時，亦存在位元線BLb之電位無法被記憶體電容器4之通道阻斷，導致已施加至擴散區域5之3[V]之非擊穿位元電壓施加至記憶體閘極電極G之虞。

即使於如上所述之情形時，對於本發明之反熔絲記憶體2b而言，由於將藉由N型半導體區域7及P型半導體區域8所形成之半導體接合構造而作為PN接面二極體之整流元件3設置於記憶體電容器4之記憶體閘極電極G與字元線WLa之間，故而即使3[V]之非擊穿位元電壓自記憶體閘極電極G施加至整流元件3，該3[V]之非擊穿位元電壓亦

會於該整流元件3中成為自N型半導體區域7朝向P型半導體區域8之逆向偏壓電壓，可藉由該整流元件3而確實地阻斷自記憶體閘極電極G向字元線WLa施加電壓。

再者，假設於無如上所述之整流元件3所產生之阻斷功能之情形時，位元線BLb之3[V]之非擊穿位元電壓會經由反熔絲記憶體2b而傳遞至字元線WLa。於該情形時，已經由反熔絲記憶體2b而施加至字元線WLa之3[V]之電壓會經由字元線WLa，傳遞至共用該字元線WLa之另一個反熔絲記憶體2a之記憶體閘極電極G為止。因此，於反熔絲記憶體2a之記憶體閘極絕緣膜6已受到擊穿之情形時，位元線BLa與字元線WLa會短路而成為相同電位，其結果會產生如下問題，即，一條位元線BLa與另一條位元線BLb無法保持所期望之電位，無法進行對於反熔絲記憶體之正常之資料寫入動作。

附帶說，對於連接於施加有0[V]之非擊穿字元電壓之字元線(寫入非選擇字元線)WLa及同樣施加有0[V]之非擊穿位元電壓之位元線(寫入非選擇位元線)BLa且未寫入資料之反熔絲記憶體2a而言，由於記憶體電容器4中之記憶體閘極電極G與擴散區域5之電壓差為0[V]，故而即使在假設記憶體閘極絕緣膜6未受到絕緣擊穿時，該記憶體閘極絕緣膜6未受到絕緣擊穿而處於絕緣狀態，從而可維持未寫入資料之狀態。如此，對於半導體記憶裝置1而言，可將資料僅寫入至呈矩陣狀地配置之反熔絲記憶體2a、2b、2c、2d中之所期望之反熔絲記憶體2c。

(1-3)資料之讀出動作

其次，說明將圖1所述之半導體記憶裝置1中之例如第2列第1行之反熔絲記憶體2c之資料讀出之情形。於該情形時，連接有成為讀出選擇記憶體之反熔絲記憶體2c之位元線BLa(以下亦稱為讀出選擇位元線)、與僅連接有成為未讀出資料之讀出非選擇記憶體之反熔絲記憶

體2b、2d之位元線BLb(以下亦稱為讀出非選擇位元線)首先被充電至1.2[V]之電壓。此時，1.2[V]之讀出選擇字元電壓施加至連接有作為讀出選擇記憶體之反熔絲記憶體2c之字元線WLb(以下亦稱為讀出選擇字元線)，並且0[V]之讀出非選擇字元電壓施加至僅連接有成為讀出非選擇記憶體之反熔絲記憶體2a、2b之字元線WLb(以下亦稱為讀出非選擇字元線)。

其後，0[V]之讀出選擇位元電壓施加至讀出選擇位元線BLb。藉此，於作為讀出選擇記憶體之反熔絲記憶體2c中，1.2[V]之讀出選擇字元電壓可自字元線WLb施加至整流元件3之P型半導體區域8，並且0[V]之讀出選擇位元電壓可自位元線BLa施加至記憶體電容器4之一端之擴散區域5。

此時，成為讀出選擇記憶體之反熔絲記憶體2c於記憶體電容器4之記憶體閘極絕緣膜6受到絕緣擊穿而處於寫入有資料之狀態時，藉由字元線WLb之1.2[V]之讀出選擇字元電壓，利用整流元件3使順向偏壓電壓自P型半導體區域8施加至N型半導體區域7。藉此，於反熔絲記憶體2c中，字元線WLb之讀出選擇字元電壓可自整流元件3經由記憶體電容器4而施加至位元線BLa。

其結果，可將如下電壓施加至位元線BLa，該電壓係1.2[V]之讀出選擇字元電壓於反熔絲記憶體(讀出選擇記憶體)2c中降低了固有電位後所得之電壓。藉此，位元線BLa經由反熔絲記憶體2c而與字元線WLb電性連接，由此，0[V]之讀出選擇位元電壓成為0.5[V]，電壓值可發生變化。

附帶說，成為讀出選擇記憶體之反熔絲記憶體2c於記憶體電容器4之記憶體閘極絕緣膜6未受到絕緣擊穿而未寫入資料時，藉由記憶體電容器4將字元線WLb與位元線BLa之電性連接阻斷。藉此，於位元線BLa中，0[V]之讀出選擇位元電壓不發生變化，可直接維持0[V]之

狀態。

如此，半導體記憶裝置1藉由偵測施加至位元線(讀出選擇位元線)BLa之讀出選擇位元電壓是否發生了變化，可判斷成為讀出選擇記憶體之反熔絲記憶體2c中是否寫入有資料。

再者，於連接於位元線(讀出選擇位元線)BLa且未讀出資料之反熔絲記憶體2a中，由於0[V]之讀出非選擇字元電壓施加至字元線(讀出非選擇字元線)WLa，故而假設即使記憶體電容器4之記憶體閘極絕緣膜6受到絕緣擊穿，亦不會導致位元線(讀出選擇位元線)BLa之電壓發生變化。

附帶說，例如當位元線(讀出選擇位元線)BLa之電壓值因讀出資料之反熔絲記憶體2c而成為0.5[V]時，於共用該讀出選擇位元線BLa之未讀出資料之另一個反熔絲記憶體2a中，即使記憶體電容器4之記憶體閘極絕緣膜6受到絕緣擊穿，逆向偏壓電壓亦會施加至該反熔絲記憶體2a中之整流元件3，因此，0.5[V]之讀出選擇位元電壓被整流元件3阻斷，可防止其施加至字元線(讀出非選擇字元線)WLa。

又，對於連接於施加有0[V]之讀出非選擇字元電壓之字元線(讀出非選擇字元線)WLb、與施加有1.2[V]之讀出非選擇位元電壓之位元線(讀出非選擇位元線)BLb之反熔絲記憶體2b而言，假設即使記憶體閘極絕緣膜6受到絕緣擊穿，上述電壓亦會因整流元件3而成為逆向偏壓電壓，因此，可藉由整流元件3而阻斷自字元線(讀出非選擇字元線)WLb向位元線(讀出非選擇位元線)BLb施加電壓。

進而，對於連接於施加有1.2[V]之讀出選擇字元電壓之字元線(讀出選擇字元線)WLb、與施加有1.2[V]之讀出非選擇位元電壓之位元線(讀出非選擇位元線)BLb之反熔絲記憶體2d而言，假設即使記憶體閘極絕緣膜6受到絕緣擊穿，由於字元線(讀出選擇字元線)WLb及位元線(讀出非選擇位元線)BLb之電壓值相同，故而1.2[V]之讀出選

擇字元電壓既不會變動，亦不會對另一個反熔絲記憶體2c之讀出動作造成影響。如此，半導體記憶裝置1可僅將呈矩陣狀地配置之反熔絲記憶體2a、2b、2c、2d中之所期望之反熔絲記憶體2c的資料讀出。

(1-4)上述構成之半導體記憶裝置之作用及效果

對於以上之構成，例如於反熔絲記憶體2c中，於井S2上設置有記憶體電容器4與整流元件3，上述記憶體電容器4介隔記憶體閘極絕緣膜6而設置有記憶體閘極電極G，且經由位元線觸點BC將位元線BLa於形成於井S2表面之一擴散區域5，上述整流元件3設置於記憶體閘極電極G與字元線WLb之間，經由字元線觸點WC向記憶體閘極電極G施加來自字元線WLb之電壓，另一方面，使自記憶體閘極電極G向字元線觸點WC施加之電壓成為逆向偏壓電壓，阻斷自記憶體閘極電極G向字元線觸點WC施加電壓。

又，於反熔絲記憶體2c中，當將資料寫入至記憶體電容器4時，已施加至寫入選擇字元線WLa之寫入擊穿字元電壓會經由整流元件3而施加至記憶體電容器4之記憶體閘極電極G，由於該記憶體閘極電極G與寫入選擇位元線BLa之電壓差，記憶體電容器4之記憶體閘極絕緣膜6受到絕緣擊穿。

另一方面，於未寫入資料之資料非寫入動作之反熔絲記憶體2b中，當高電壓之非擊穿位元電壓施加連接於至記憶體電容器4之位元線BLb時，例如即使記憶體電容器4之記憶體閘極絕緣膜6受到絕緣擊穿，由於0[V]之非擊穿字元電壓施加至寫入非選擇字元線WLb，故而不會於記憶體電容器4中形成通道，可利用記憶體電容器4而阻斷自寫入非選擇位元線BLb向字元線WLa施加電壓。

此時，於本發明之反熔絲記憶體2b中，例如於極靠近連接有寫入非選擇位元線BLb之擴散區域5之部位產生記憶體閘極絕緣膜6之絕緣擊穿，假設寫入非選擇位元線BLb之電位無法被記憶體電容器4之

通道阻斷，即使導致非擊穿位元電壓自寫入非選擇位元線BLb施加至記憶體電容器4之記憶體閘極電極G，該非擊穿位元電壓亦會因整流元件3而成為逆向偏壓電壓，因此，可藉由該整流元件3而確實地阻斷自記憶體閘極電極G向字元線WLa施加電壓。

如此，可於本發明之反熔絲記憶體2b中設置(i)第一阻斷機構與(ii)第二阻斷機構該雙重之阻斷機構，藉此，可執行正常之資料寫入動作，因此，亦可確實地防止資料讀出時之誤動作，上述(i)第一阻斷機構將0[V]之非擊穿字元電壓施加至寫入非選擇字元線WLb，藉此，不於記憶體電容器4中形成通道，上述(ii)第二阻斷機構使整流元件3成為逆向偏壓電壓狀態而阻斷非擊穿位元電壓。

因此，於反熔絲記憶體2b中未使用先前之控制電路，而是設置半導體接合構造之整流元件3，該半導體接合構造之整流元件3根據向記憶體閘極電極G及字元線WLa施加之電壓值，使自記憶體閘極電極G向字元線WLa施加之電壓成為逆向偏壓電壓，藉由該整流元件3而阻斷自記憶體閘極電極G向字元線WLa施加電壓，因此，無需先前之選擇性地向記憶體電容器施加電壓之開關電晶體、或用以使開關電晶體進行接通斷開動作之開關控制電路，從而可相應地實現小型化。

再者，反熔絲記憶體2a、2b、2c、2d如圖2A所示，整流元件3之P型半導體區域8及N型半導體區域7形成於與記憶體電容器4之記憶體閘極電極G相同之層，因此，亦可利用形成單層構造之記憶體電容器4之記憶體閘極電極G的一般之半導體製程，藉由形成記憶體閘極電極G之製造步驟而形成整流元件3之P型半導體區域8及N型半導體區域7。

(2)關於4個反熔絲記憶體共用1個字元線觸點及1個位元線觸點之情形

(2-1)關於平面佈局之構成

其次，對呈矩陣狀地配置有上述反熔絲記憶體之半導體記憶裝置1之平面佈局之構成進行說明。對與圖2B相對應之部分附上相同符號而表示之圖3係表示呈4列4行地配置有例如合計16個反熔絲記憶體 $2a_1$ 、 $2a_2$ 、 $2a_3$ 、 $2a_4$ 、 $2a_5$ 、 $2a_6$ 、 $2a_7$ 、 $2a_8$ 、 $2a_9$ 、 $2a_{10}$ 、 $2a_{11}$ 、 $2a_{12}$ 、 $2a_{13}$ 、 $2a_{14}$ 、 $2a_{15}$ 、 $2a_{16}$ 時之平面佈局之構成。於該情形時，於半導體記憶裝置1中，反熔絲記憶體 $2a_1$ 、 $2a_2$ 、 $2a_3$ 、 $2a_4$ 、 $2a_5$ 、 $2a_6$ 、 $2a_7$ 、 $2a_8$ 、 $2a_9$ 、 $2a_{10}$ 、 $2a_{11}$ 、 $2a_{12}$ 、 $2a_{13}$ 、 $2a_{14}$ 、 $2a_{15}$ 、 $2a_{16}$ 具有完全相同之構成，且與上述圖2A及圖2B同樣地分別具有整流元件3與記憶體電容器4。又，字元線觸點WC11、WC12、WC13、WC14亦為完全相同之構成，因此，此處例如著眼於字元線觸點WC12而進行以下說明。

於上述情形時，字元線觸點WC12所立設之P型半導體區域8形成為矩形狀，且由彼此相鄰接之4個反熔絲記憶體 $2a_3$ 、 $2a_4$ 、 $2a_7$ 、 $2a_8$ 共用。實際上，於字元線觸點WC12所立設之P型半導體區域8中，沿行方向相鄰接之2個反熔絲記憶體 $2a_3$ 、 $2a_4$ 之各N型半導體區域7接合於一邊，同樣沿行方向相鄰接之2個反熔絲記憶體 $2a_7$ 、 $2a_8$ 之各N型半導體區域7接合於與該一邊相對向之另一邊。

此處，著眼於例如反熔絲記憶體 $2a_7$ ，藉由P型半導體區域8與N型半導體區域7接合而形成PN接面二極體之整流元件3。藉此，字元線觸點WC12可對共用P型半導體區域8之4個反熔絲記憶體 $2a_3$ 、 $2a_4$ 、 $2a_7$ 、 $2a_8$ 之各整流元件3一致地施加來自字元線(未圖示)之特定之字元電壓。

再者，上述4個反熔絲記憶體 $2a_3$ 、 $2a_4$ 、 $2a_7$ 、 $2a_8$ 之各N型半導體區域7係以遠離P型半導體區域8之方式而分別向列方向延伸，接合於前端部之各記憶體閘極電極G分別配置於不同之活性區域12。又，於一體地形成於N型半導體區域7之前端部之各記憶體閘極電極G與活性區域12相對向之各區域中，形成有各反熔絲記憶體 $2a_3$ 、 $2a_4$ 、 $2a_7$ 、

2a₈之記憶體閘極絕緣膜6。

其次，對位元線觸點BC11、BC12、BC13、BC14、BC15、BC16、BC17、BC18、BC19進行以下說明。於該實施形態之情形時，於半導體記憶裝置1中，呈3列3行地配置有合計9個位元線觸點BC11、BC12、BC13、BC14、BC15、BC16、BC17、BC18、BC19。各位元線觸點BC11、BC12、BC13、BC14、BC15、BC16、BC17、BC18、BC19分別配置於不同之活性區域12，可將來自位元線(未圖示)之特定之位元電壓分別施加至相對應之活性區域12。

此處，於上述9個位元線觸點BC11、BC12、BC13、BC14、BC15、BC16、BC17、BC18、BC19中、配置有配置在中央區域之位元線觸點BC15之活性區域12中，設置有連接於不同之P型半導體區域8且彼此相鄰接之4個反熔絲記憶體2a₆、2a₇、2a₁₀、2a₁₁，。藉此，配置於中央區域之位元線觸點BC15係由彼此相鄰接之4個反熔絲記憶體2a₆、2a₇、2a₁₀、2a₁₁共用，可對上述4個反熔絲記憶體2a₆、2a₇、2a₁₀、2a₁₁一致地施加來自位元線之特定之位元電壓。

於上述情形時，於中央之位元線觸點BC15所立設之活性區域12中，以該位元線觸點BC15為中心而左右對稱地配置有反熔絲記憶體2a₆、2a₇與反熔絲記憶體2a₁₀、2a₁₁。具體而言，於位元線觸點BC15所立設之活性區域12之一邊側，相對向地配置有沿行方向相鄰接之2個反熔絲記憶體2a₆、2a₇之各記憶體閘極電極G，且形成有上述反熔絲記憶體2a₆、2a₇之各記憶體閘極絕緣膜6。又，於上述活性區域12之另一邊側，相對向地配置有同樣沿行方向相鄰接之其他反熔絲記憶體2a₁₀、2a₁₁之各記憶體閘極電極G，且形成有上述反熔絲記憶體2a₁₀、2a₁₁之各記憶體閘極絕緣膜6。

附帶說，於半導體記憶裝置1之平面佈局中之配置於角部之4個位元線觸點BC11、BC13、BC17、BC19，分別僅連接有相對應之1個

反熔絲記憶體 $2a_1$ 、 $2a_4$ 、 $2a_{13}$ 、 $2a_{16}$ 。如此，上述配置於角部之各位元線觸點BC11、BC13、BC17、BC19可分別僅對相對應之1個反熔絲記憶體 $2a_1$ 、 $2a_4$ 、 $2a_{13}$ 、 $2a_{16}$ 施加位元電壓。

又，於半導體記憶裝置1之平面佈局中之並排於末端之位元線觸點BC11、BC12、BC13、BC14、BC16、BC17、BC18、BC19中，配置於角部以外之例如位元線觸點BC12，僅連接有2個反熔絲記憶體 $2a_2$ 、 $2a_3$ 。而且，於配置於角部以外之其他位元線觸點BC14、BC16、BC18，亦分別僅連接有相對應之2個反熔絲記憶體 $2a_5, 2a_9$ 、 $2a_8, 2a_{12}$ 、 $2a_{14}, 2a_{15}$ 。如此，於半導體記憶裝置1中，共用配置於角部以外之其他位元線觸點BC12、BC14、BC16、BC18之反熔絲記憶體數為2個，另外，共用配置於中央區域之位元線觸點BC15之反熔絲記憶體數為4個，因此，與針對各位元線觸點而設置1個反熔絲記憶體之情形相比較，可實現小型化。

對於以上之構成，於圖3所示之半導體記憶裝置1之反熔絲記憶體 $2a_1$ 、 $2a_2$ 、 $2a_3$ 、 $2a_4$ 、 $2a_5$ 、 $2a_6$ 、 $2a_7$ 、 $2a_8$ 、 $2a_9$ 、 $2a_{10}$ 、 $2a_{11}$ 、 $2a_{12}$ 、 $2a_{13}$ 、 $2a_{14}$ 、 $2a_{15}$ 、 $2a_{16}$ 中，與上述「(1-4)上述構成之半導體記憶裝置之作用及效果」同樣地，未使用先前之控制電路，而是可根據向記憶體電容器4之記憶體閘極電極G及字元線施加之電壓值，藉由整流元件3而阻斷自記憶體閘極電極G向字元線施加電壓，如此，無需先前之選擇性地向記憶體電容器施加電壓之開關電晶體、或進而用以使開關電晶體進行接通斷開動作之開關控制電路，從而可相應地實現小型化。

而且，例如於本發明之半導體記憶裝置1中之反熔絲記憶體 $2a_7$ 中，與上述「(1-4)上述構成之半導體記憶裝置之作用及效果」同樣地，可設置(i)第一阻斷機構與(ii)第二阻斷機構該雙重之阻斷機構，藉此，可執行正常之資料寫入動作，因此，亦可確實地防止資料讀出

時之誤動作，上述(i)第一阻斷機構將0[V]之非擊穿字元電壓施加至字元線(寫入非選擇字元線)，藉此，不於記憶體電容器4中形成通道，上述(ii)第二阻斷機構使整流元件3成為逆向偏壓電壓狀態而阻斷非擊穿位元電壓。

又，於圖3所示之半導體記憶裝置1中，彼此相鄰接之4個反熔絲記憶體 $2a_6$ 、 $2a_7$ 、 $2a_{10}$ 、 $2a_{11}$ 共用1個位元線觸點BC15，並且例如彼此相鄰接之4個反熔絲記憶體 $2a_3$ 、 $2a_4$ 、 $2a_7$ 、 $2a_8$ 共用1個字元線觸點WC12，藉此，與針對各反熔絲記憶體而分別個別地設置位元線觸點及字元線觸點之情形相比較，可使裝置整體小型化。

(2-2)關於位元線及字元線之平面佈局之構成

其次，對圖3所示之半導體記憶裝置1中之位元線及字元線之平面佈局進行以下說明。如對與圖3相對應之部分附上相同符號而表示之圖4所示，於半導體記憶裝置1中，第1行之位元線BL1a連接於第1行之位元線觸點BC11、BC12、BC13中之第1列之位元線觸點BC11與第3列之位元線觸點BC13，其他第2行之位元線BL2a連接於上述位元線觸點BC11、BC13之間之第2列之位元線觸點BC12。藉此，半導體記憶裝置1可藉由例如第1行之位元線BL1a，由P型半導體區域8分別對不同之2個反熔絲記憶體 $2a_1$ 、 $2a_4$ 一致地施加特定之位元電壓，進而可藉由第2行之位元線BL2a，由P型半導體區域8分別對不同之2個反熔絲記憶體 $2a_2$ 、 $2a_3$ 施加與第1行之位元線BL1a不同之特定之位元電壓。

又，於第2行之位元線觸點BC14、BC15、BC16中，第3行之位元線BL3a連接於第1列之位元線觸點BC14與第3列之位元線觸點BC16，第4行之位元線BL4a連接於上述位元線觸點BC14、BC16之間之第2列之位元線觸點BC15。藉此，半導體記憶裝置1可藉由例如第3行之位元線BL3a，由P型半導體區域8分別對不同之4個反熔絲記憶體 $2a_5$ 、

$2a_9$ 、 $2a_8$ 、 $2a_{12}$ 一致地施加特定之位元電壓，進而可藉由第4行之位元線BL4a，由P型半導體區域8分別對不同之4個反熔絲記憶體 $2a_6$ 、 $2a_7$ 、 $2a_{10}$ 、 $2a_{11}$ 施加與第3行之位元線BL3a不同之特定之位元電壓。

進而，於第3行之位元線觸點BC17、BC18、BC19中，第5行之位元線BL5a連接於第1列之位元線觸點BC17與第3列之位元線觸點BC19，第6行之位元線BL6a連接於上述位元線觸點BC17、BC19之間之第2列之位元線觸點BC18。藉此，半導體記憶裝置1可藉由例如第5行之位元線BL5a，由P型半導體區域8分別對不同之2個反熔絲記憶體 $2a_{13}$ 、 $2a_{16}$ 一致地施加特定之位元電壓，進而可藉由第6行之位元線BL6a，由P型半導體區域8分別對不同之2個反熔絲記憶體 $2a_{14}$ 、 $2a_{15}$ 施加與第5行之位元線BL5a不同之特定之位元電壓。

除了上述構成之外，於字元線觸點WC11、WC12、WC13、WC14分別連接有不同之字元線WL1a、WL2a、WL3a、WL4a，可藉由各字元線WL1a、WL2a、WL3a、WL4a將不同之字元電壓施加至各字元線觸點WC11、WC12、WC13、WC14。於該實施形態之情形時，例如第1列之字元線WL1a連接於第1列第1行之字元線觸點WC11，可將特定之字元電壓一致地施加至共用該字元線觸點WC11之4個反熔絲記憶體 $2a_1$ 、 $2a_2$ 、 $2a_5$ 、 $2a_6$ 。又，其他字元線WL2a、WL3a、WL4a亦同樣地，可經由相對應之字元線觸點WC13、WC12、WC14而分別對4個反熔絲記憶體 $2a_9$ 、 $2a_{10}$ 、 $2a_{13}$ 、 $2a_{14}$ ， $2a_3$ 、 $2a_4$ 、 $2a_7$ 、 $2a_8$ 、 $2a_{11}$ ， $2a_{12}$ 、 $2a_{15}$ 、 $2a_{16}$ 一致地施加特定之字元電壓。

此處，例如若著眼於連接於1個位元線觸點BC15之4個反熔絲記憶體 $2a_6$ 、 $2a_7$ 、 $2a_{10}$ 、 $2a_{11}$ ，則於連接於該位元線觸點BC15之4個反熔絲記憶體 $2a_6$ 、 $2a_7$ 、 $2a_{10}$ 、 $2a_{11}$ ，連接有可各自獨立地進行電性控制之字元線WL1a、WL2a、WL3a、WL4a，可藉由各字元線WL1a、WL2a、WL3a、WL4a而分別施加不同之字元電壓。又，例如若著眼

於連接於1個字元線觸點WC12之4個反熔絲記憶體 $2a_3$ 、 $2a_4$ 、 $2a_7$ 、 $2a_8$ ，則於連接於該字元線觸點WC12之4個反熔絲記憶體 $2a_3$ 、 $2a_4$ 、 $2a_7$ 、 $2a_8$ ，連接有可各自獨立地進行電性控制之位元線BL1a、BL2a、BL3a、BL4a，可藉由各位元線BL1a、BL2a、BL3a、BL4a而分別施加不同之位元電壓。

而且，於如上所述之半導體記憶裝置1中，藉由適當地對施加至位元線BL1a、BL2a、BL3a、BL4a、BL5a、BL6a及字元線WL1a、WL2a、WL3a、WL4a之電壓進行調整，可藉由上述「(1-2)資料之寫入動作」而將資料僅寫入至例如特定位置之反熔絲記憶體 $2a_1$ ，並且可藉由上述「(1-3)資料之讀出動作」而將例如特定位置之反熔絲記憶體 $2a_1$ 中之資料讀出。

附帶說，於圖4之半導體記憶裝置1中，反熔絲記憶體數為16個，因此，例如成為字元線WL1a僅連接於1個字元線觸點WC11之構成。然而，於進一步增加了反熔絲記憶體數之情形時，例如成為第1行之字元線WL1a與第2行之字元線WL2a依序交替地連接於沿列方向並排之複數個字元線觸點之構成。例如成為如下構成，即，連接於第1列第1行之字元線觸點WC11之一條字元線WL1a亦連接於第1列第3行之字元線觸點、或第1列第5行之字元線觸點等，另一方面，連接於第1列第2行之字元線觸點WC13之其他字元線WL2a亦連接於第1列第4行之字元線觸點、或第1列第6行之字元線觸點等。

(3)關於其他實施形態之位元線及字元線之平面佈局之構成

於圖4中，表示了如下半導體記憶裝置1作為一例，該半導體記憶裝置1呈4列4行地配置有合計16個反熔絲記憶體 $2a_1$ 、 $2a_2$ 、 $2a_3$ 、 $2a_4$ 、 $2a_5$ 、 $2a_6$ 、 $2a_7$ 、 $2a_8$ 、 $2a_9$ 、 $2a_{10}$ 、 $2a_{11}$ 、 $2a_{12}$ 、 $2a_{13}$ 、 $2a_{14}$ 、 $2a_{15}$ 、 $2a_{16}$ ，且配合上述反熔絲記憶體 $2a_1$ 、 $2a_2$ 、 $2a_3$ 、 $2a_4$ 、 $2a_5$ 、 $2a_6$ 、 $2a_7$ 、 $2a_8$ 、 $2a_9$ 、 $2a_{10}$ 、 $2a_{11}$ 、 $2a_{12}$ 、 $2a_{13}$ 、 $2a_{14}$ 、 $2a_{15}$ 、 $2a_{16}$ 之配置位置而配置

有位元線BL1a、BL2a、BL3a、BL4a、BL5a、BL6a及字元線WL1a、WL2a、WL3a、WL4a。

此處，於圖4所示之半導體記憶裝置1中，將位元線觸點BC11、BC12、BC13之行設置於一端側，將位元線觸點BC17、BC18、BC19之行設置於另一端側。於該情形時，成為於處於一端側之第1列第1行之位元線觸點BC11、與同樣處於一端側之第3列第1行之位元線觸點BC13分別僅連接有1個反熔絲記憶體 $2a_1(2a_4)$ 之構成，另外，成為於同樣處於一端側之第2列第1行之位元線觸點BC12連接有2個反熔絲記憶體 $2a_2、2a_3$ 之構成。

因此，連接於一端側之位元線觸點BC11、BC13之第1行之位元線BL1a經由各位元線觸點BC11、BC13而僅連接有合計2個反熔絲記憶體 $2a_1、2a_4$ 。又，同樣連接於一端側之位元線觸點BC12之第2行之位元線BL2a亦經由位元線觸點BC12而僅連接有2個反熔絲記憶體 $2a_2、2a_3$ 。

而且，同樣處於另一端側之位元線觸點BC17、BC18、BC19之行亦成為如下構成，即，於位元線觸點BC17(BC19)連接有1個反熔絲記憶體 $2a_{13}(2a_{16})$ ，且於其餘之位元線觸點BC18連接有2個反熔絲記憶體 $2a_{14}、2a_{15}$ 。因此，於連接於另一端側之位元線觸點BC17、BC19之第5行之位元線BL5a，亦經由各位元線觸點BC17、BC19而僅連接有合計2個反熔絲記憶體 $2a_{13}、2a_{16}$ ，於同樣連接於另一端側之位元線觸點BC18之第6行之位元線BL6a，亦經由位元線觸點BC18而僅連接有2個反熔絲記憶體 $2a_{14}、2a_{15}$ 。如此，相對於配置於末端之位元線觸點BC11、BC12、BC13(BC17、BC18、BC19)之行而設置之位元線BL1a、BL2a(BL5a、BL6a)所連接的反熔絲記憶體數為2個。

另一方面，於配置於中央區域之位元線BL3a，經由位元線觸點BC14、BC16而連接有合計4個反熔絲記憶體 $2a_5、2a_9、2a_8、2a_{12}$ ，於

同樣配置於中央區域之位元線BL4a，經由位元線觸點BC15而連接有4個反熔絲記憶體 $2a_6$ 、 $2a_7$ 、 $2a_{10}$ 、 $2a_{11}$ 。因此，於圖4所示之半導體記憶裝置1中，為了效率良好地藉由列位址與行位址而進行控制，較理想為例如將使第1行之位元線BL1a與第5行之位元線BL5a短路而以相同位元電壓進行動作之反熔絲記憶體數設為4個，進而將亦使第2行之位元線BL2a與第6行之位元線BL6a短路而以相同位元電壓進行動作之反熔絲記憶體數設為4個，從而與連接於中央區域之位元線BL3a、BL4a之反熔絲記憶體數(於該情形時為4個)一致。

即，於半導體記憶裝置1中，較理想為利用第1行之位元線BL1a與第5行之位元線BL5a該2根本位元線，使合計4個反熔絲記憶體 $2a_1$ 、 $2a_4$ 、 $2a_{13}$ 、 $2a_{16}$ 進行動作，上述合計4個反熔絲記憶體 $2a_1$ 、 $2a_4$ 、 $2a_{13}$ 、 $2a_{16}$ 包含經由各位元線觸點BC11、BC13而分別連接於第1行之位元線BL1a之合計2個反熔絲記憶體 $2a_1$ 、 $2a_4$ 、與經由位元線觸點BC17、BC19而分別連接於第5行之位元線BL5a之合計2個反熔絲記憶體 $2a_{13}$ 、 $2a_{16}$ 。

同樣地，較理想為利用第2行之位元線BL2a與第6行之位元線BL6a該2根位元線，亦使合計4個反熔絲記憶體 $2a_2$ 、 $2a_3$ 、 $2a_{14}$ 、 $2a_{15}$ 進行動作，上述合計4個反熔絲記憶體 $2a_2$ 、 $2a_3$ 、 $2a_{14}$ 、 $2a_{15}$ 包含經由位元線觸點BC12而連接於第2行之位元線BL2a之2個反熔絲記憶體 $2a_2$ 、 $2a_3$ 、與經由位元線觸點BC18而連接於第6行之位元線BL6a之2個反熔絲記憶體 $2a_{14}$ 、 $2a_{15}$ 。

此處，於半導體記憶裝置1中，例如於利用第1行之位元線BL1a與第5行之位元線BL5a該2根位元線，對反熔絲記憶體 $2a_1$ 、 $2a_4$ 、 $2a_{13}$ 、 $2a_{16}$ 一致地施加特定之位元電壓之情形時，利用1根之構成而使4個反熔絲記憶體 $2a_5$ 、 $2a_9$ 、 $2a_8$ 、 $2a_{12}$ ($2a_6$ 、 $2a_7$ 、 $2a_{10}$ 、 $2a_{11}$)進行動作之第3行之位元線BL3a或第4行之位元線BL4a之電容不同。因此，半

導體記憶裝置1於進行資料讀出動作時，存在產生例如讀出速度降低等問題之虞。

因此，為了解決如上所述之問題點，如對與圖4相對應之部分附上相同符號而表示之圖5所示，於半導體記憶裝置1a中，將字元線觸點WC1a、WC2a之行配置於一端側，並且將字元線觸點WC5a、WC6a之行配置於另一端側，進而於一端側之字元線觸點WC1a、WC2a之行、與中央之字元線觸點WC3a、WC4a之行之間設置一個位元線觸點BC1a、BC2a、BC3a之行，於另一端側之字元線觸點WC5a、WC6a之行、與中央之字元線觸點WC3a、WC4a之行之間設置其他位元線觸點BC4a、BC5a、BC6a之行。

又，於半導體記憶裝置1a中，可使第1行之位元線BL1b連接於一個位元線觸點BC1a、BC2a、BC3a之行中的第1列之位元線觸點BC1a與第3列之位元線觸點BC3a，且使第2行之位元線BL2b連接於第2列之位元線觸點BC2a，上述1個位元線觸點BC1a、BC2a、BC3a之行處於一端側之字元線觸點WC1a、WC2a之行、與中央之字元線觸點WC3a、WC4a之行之間。

藉此，於半導體記憶裝置1a中，可使連接於第1列之位元線觸點BC1a之2個反熔絲記憶體2b₁、2b₅、與連接於第3列之位元線觸點BC3a之2個反熔絲記憶體2b₄、2b₈之合計4個反熔絲記憶體2b₁、2b₅、2b₄、2b₈，連接於處於第1行之1根位元線BL1b，如此，可藉由作為1根之構成之位元線BL1b而使4個反熔絲記憶體2b₁、2b₅、2b₄、2b₈進行動作。

又，於上述半導體記憶裝置1a中，可使連接於第2列之位元線觸點BC2a之4個反熔絲記憶體2b₂、2b₃、2b₆、2b₇連接於處於第2行之1根位元線BL2b，如此，可藉由作為1根之構成之位元線BLb而使4個反熔絲記憶體2b₂、2b₃、2b₆、2b₇進行動作。

同樣地，於半導體記憶裝置1a中，亦可利用處於另一端側之字元線觸點WC5a、WC6a之行、與中央之字元線觸點WC3a、WC4a之行之間的其他位元線觸點BC4a、BC5a、BC6a之行，使第3行之位元線BL3b連接於第1列之位元線觸點BC4a與第3列之位元線觸點BC6a，且使第4行之位元線BL4b連接於第2列之位元線觸點BC5a。

藉此，於半導體記憶裝置1a中，可使連接於第1列之位元線觸點BC4a之2個反熔絲記憶體 $2b_9$ 、 $2b_{13}$ 、與連接於第3列之位元線觸點BC6a之2個反熔絲記憶體 $2b_{12}$ 、 $2b_{16}$ 之合計4個反熔絲記憶體 $2b_9$ 、 $2b_{13}$ 、 $2b_{12}$ 、 $2b_{16}$ ，連接於處於第3行之1根位元線BL3b，如此，可藉由作為1根之構成之位元線BLb而使4個反熔絲記憶體 $2b_9$ 、 $2b_{13}$ 、 $2b_{12}$ 、 $2b_{16}$ 進行動作。

又，於上述半導體記憶裝置1a中，可使連接於第2列之位元線觸點BC5a之4個反熔絲記憶體 $2b_{10}$ 、 $2b_{11}$ 、 $2b_{14}$ 、 $2b_{15}$ ，連接於處於第4行之1根位元線BL4b，如此，可藉由作為1根之構成之位元線BL4b而使4個反熔絲記憶體 $2b_{10}$ 、 $2b_{11}$ 、 $2b_{14}$ 、 $2b_{15}$ 進行動作。

如此，半導體記憶裝置1a與圖4所示之半導體記憶裝置1不同，無需使位元線彼此連接，可將位元線BL1b、BL2b、BL3b、BL4b均設為1根之構成，且可設定為完全相同之電容，因此，可防止於進行資料讀出動作時產生例如讀出速度降低等問題。

再者，於上述半導體記憶裝置1a中，對於第1列之字元線觸點WC1a、WC3a、WC5a之列而言，相同之字元線WL1b可連接於第1行之字元線觸點WC1a與第3行之字元線觸點WC5a，與該字元線WL1b不同之其他字元線WL2b可連接於第2行之字元線觸點WC3a。又，對於第2列之字元線觸點WC2a、WC4a、WC6a之列而言，相同之字元線WL3b可連接於第1行之字元線觸點WC2a與第3行之字元線觸點WC6a，與該字元線WL3b不同之其他字元線WL4b可連接於第2行之字

元線觸點 WC4a。

而且，於如上所述之半導體記憶裝置1a中，亦可實現例如於第2列第1行之位元線觸點BC2a、或第2列第2行之位元線觸點BC5a分別連接有4個反熔絲記憶體2b₂、2b₃、2b₆、2b₇(2b₁₀、2b₁₁、2b₁₄、2b₁₅)之構成，從而與上述實施形態同樣地可實現小型化。又，於該半導體記憶裝置1a中，亦可實現例如使4個反熔絲記憶體2b₅、2b₆、2b₉、2b₁₀(2b₇、2b₈、2b₁₁、2b₁₂)分別連接於第1列第2行之字元線觸點WC3a、或第2列第2行之字元線觸點WC4a而成之構成，從而與上述實施形態同樣地可實現小型化。

附帶說，即使於上述情形時，例如若著眼於與處於中央區域之1個位元線觸點BC2a連接之4個反熔絲記憶體2b₂、2b₃、2b₆、2b₇，則於連接於該位元線觸點BC2a之4個反熔絲記憶體2b₂、2b₃、2b₆、2b₇，連接有可各自獨立地進行電性控制之字元線WL1b、WL2b、WL3b、WL4b，可藉由各字元線WL1b、WL2b、WL3b、WL4b而分別施加不同之字元電壓。又，例如若著眼於連接於1個字元線觸點WC3a之4個反熔絲記憶體2b₅、2b₆、2b₉、2b₁₀，則於連接於該字元線觸點WC3a之4個反熔絲記憶體2b₅、2b₆、2b₉、2b₁₀，連接有可各自獨立地進行電性控制之位元線BL1b、BL2b、BL3b、BL4b，可藉由各位元線BL1b、BL2b、BL3b、BL4b而分別施加不同之位元電壓。

而且，即使於上述半導體記憶裝置1a中，藉由適當地對施加至位元線BL1b、BL2b、BL3b、BL4b及字元線WL1b、WL2b、WL3b、WL4b之電壓進行調整，亦可藉由上述「(1-2)資料之寫入動作」而將資料僅寫入至例如特定位置之反熔絲記憶體2b₁，並且亦可藉由上述「(1-3)資料之讀出動作」而將特定位置之反熔絲記憶體2b₁中之資料讀出。

根據以上之構成，於半導體記憶裝置1a中，將2個反熔絲記憶體

$2b_1, 2b_5$ 、 $2b_9, 2b_{13}$ ($2b_4, 2b_8$ 、 $2b_{12}, 2b_{16}$)分別連接於配置於末端且沿一方向(於該情形時為列方向)並排之各位元線觸點BC1a、BC4a(BC3a、BC6a)，另外，亦將2個反熔絲記憶體 $2b_1, 2b_2$ 、 $2b_3, 2b_4$ ($2b_{13}, 2b_{14}$ 、 $2b_{15}, 2b_{16}$)分別連接於配置於末端且沿另一方向(於該情形時為行方向)並排之各字元線觸點WC1a、WC2a(WC5a、WC6a)。進而，於該半導體記憶裝置1a中，將4個反熔絲記憶體 $2b_2$ 、 $2b_3$ 、 $2b_6$ 、 $2b_7$ ($2b_{10}$ 、 $2b_{11}$ 、 $2b_{14}$ 、 $2b_{15}$)連接於配置於中央區域之其餘之位元線觸點BC2a(BC5a)，另外，將4個反熔絲記憶體 $2b_5$ 、 $2b_6$ 、 $2b_9$ 、 $2b_{10}$ ($2b_7$ 、 $2b_8$ 、 $2b_{11}$ 、 $2b_{12}$)連接於配置於中央區域之字元線觸點WC3a(WC4a)。

藉此，於半導體記憶裝置1a中，由於2個以上之反熔絲記憶體可共用位元線觸點BC1a～BC6a及字元線觸點WC1a～WC6a，相應地可使裝置整體實現小型化，進而，可使例如連接於1根位元線BL1b之反熔絲記憶體數為相同數量(於該情形時為4個)而設定為完全相同之電容，如此，可防止於進行資料讀出動作時產生讀出速度降低等問題。

附帶說，已敘述了圖5所示之半導體記憶裝置1a之反熔絲記憶體數設為16個之情形，但於進一步增加了反熔絲記憶體數之情形時，例如成為第1行之字元線WL1b與第2行之字元線WL2b依序交替地連接於沿列方向並排之複數個字元線觸點之構成。例如成為如下構成，即，連接於第1列第1行之字元線觸點WC1a之字元線WL1b除了連接於第1列第3行之字元線觸點WC5a之外，亦連接於第1列第5行之字元線觸點等，另一方面，連接於第1列第2行之字元線觸點WC3a之字元線WL2b亦連接於第1列第4行之字元線觸點、或第1列第6行之字元線觸點等。

又，於圖5所示之半導體記憶裝置1a中，於已將反熔絲記憶體數增加至16個以上之情形時，位元線觸點BC1a、BC4a、...(BC3a、BC6a、...)於兩個末端沿列方向並排，自一個末端向行方向依序交替地配置位元線觸點列與字元線觸點列，進而當將1列中並排之位元線

觸點數設為 n 個時，1列中並排之字元線觸點數為 $(n+1)$ 個。再者，於表示了反熔絲記憶體數為16個之半導體記憶裝置1a之圖5中，1列中並排之位元線觸點數為2個，1列中並排之字元線觸點數為3個。

(4)關於2個反熔絲記憶體共用1個字元線觸點，且沿行方向並排之複數個反熔絲記憶體共用1個位元線觸點之情形

對與圖3相對應之部分附上相同符號而表示之圖6係表示呈4列4行地配置有例如合計16個反熔絲記憶體 $2c_1$ 、 $2c_2$ 、 $2c_3$ 、 $2c_4$ 、 $2c_5$ 、 $2c_6$ 、 $2c_7$ 、 $2c_8$ 、 $2c_9$ 、 $2c_{10}$ 、 $2c_{11}$ 、 $2c_{12}$ 、 $2c_{13}$ 、 $2c_{14}$ 、 $2c_{15}$ 、 $2c_{16}$ 之半導體記憶裝置21之平面佈局的構成。於該情形時，於半導體記憶裝置21中，反熔絲記憶體 $2c_1$ 、 $2c_2$ 、 $2c_3$ 、 $2c_4$ 、 $2c_5$ 、 $2c_6$ 、 $2c_7$ 、 $2c_8$ 、 $2c_9$ 、 $2c_{10}$ 、 $2c_{11}$ 、 $2c_{12}$ 、 $2c_{13}$ 、 $2c_{14}$ 、 $2c_{15}$ 、 $2c_{16}$ 具有完全相同之構成，且與上述圖2A及圖2B同樣地分別具有整流元件3與記憶體電容器4。又，字元線觸點WC21、WC22、WC23、WC24、WC25、WC26、WC27、WC28亦為完全相同之構成，因此，此處例如著眼於字元線觸點WC22而進行以下說明。

於上述情形時，字元線觸點WC22所立設之P型半導體區域8形成為矩形狀，且由沿列方向相鄰接之2個反熔絲記憶體 $2c_2$ 、 $2c_6$ 共用。實際上，於字元線觸點WC22所立設之P型半導體區域8中，反熔絲記憶體 $2c_2$ 之N型半導體區域7接合於一邊，沿列方向與該反熔絲記憶體 $2c_2$ 相鄰接之其他反熔絲記憶體 $2c_6$ 之N型半導體區域7接合於與該一邊相對向之另一邊。

此處，若著眼於例如反熔絲記憶體 $2c_2$ ，則因P型半導體區域8與N型半導體區域7接合而形成PN接面二極體之整流元件3。藉此，字元線觸點WC22可對共用P型半導體區域8之2個反熔絲記憶體 $2c_2$ 、 $2c_6$ 之各整流元件3一致地施加來自字元線之特定之字元電壓。

再者，上述2個反熔絲記憶體 $2c_2$ 、 $2c_6$ 之各N型半導體區域7係以

遠離P型半導體區域8之方式而分別向列方向延伸，接合於前端部之各記憶體閘極電極G分別配置於不同之活性區域22。又，於一體地形成於N型半導體區域7之前端部之各記憶體閘極電極G與活性區域22相對向之各區域中，形成有各反熔絲記憶體 $2c_2$ 、 $2c_6$ 之記憶體閘極絕緣膜6。

其次，對位元線觸點BC21、BC22、BC23、BC24進行以下說明。於該實施形態之情形時，於半導體記憶裝置21中，沿列方向並排地配置有合計4個位元線觸點BC21、BC22、BC23、BC24。各位元線觸點BC21、BC22、BC23、BC24分別配置於不同之活性區域22，可將來自位元線(未圖示)之特定之位元電壓分別施加至相對應之活性區域22。

於上述情形時，於半導體記憶裝置21中，於配置有第1行之位元線觸點BC21之活性區域22、與配置有第2行之位元線觸點BC22之活性區域22之間，形成有呈矩陣狀地配置之8個反熔絲記憶體 $2c_1$ 、 $2c_2$ 、 $2c_3$ 、 $2c_4$ 、 $2c_5$ 、 $2c_6$ 、 $2c_7$ 、 $2c_8$ 。於配置有第1行之位元線觸點BC21之活性區域22中，形成有沿行方向並排之4個反熔絲記憶體 $2c_1$ 、 $2c_2$ 、 $2c_3$ 、 $2c_4$ ，另一方面，於配置有第2行之位元線觸點BC22之活性區域22中，形成有沿行方向並排之反熔絲記憶體 $2c_5$ 、 $2c_6$ 、 $2c_7$ 、 $2c_8$ 。

又，於半導體記憶裝置21中，配置有第2行之位元線觸點BC22之活性區域22、與配置有第3行之位元線觸點BC23之活性區域22並行，與上述同樣地，於第3行之位元線觸點BC23及第4行之位元線觸點BC24之各活性區域22之間，亦可呈矩陣狀地配置8個反熔絲記憶體 $2c_9$ 、 $2c_{10}$ 、 $2c_{11}$ 、 $2c_{12}$ 、 $2c_{13}$ 、 $2c_{14}$ 、 $2c_{15}$ 、 $2c_{16}$ 。

再者，於上述實施形態之情形時，上述4個位元線觸點BC21、BC22、BC23、BC24具有完全相同之構成，因此，此處著眼於位元線觸點BC22而進行以下說明。於該情形時，配置有位元線觸點BC22之

活性區域22係呈沿於行方向上並排之4個反熔絲記憶體 $2c_5$ 、 $2c_6$ 、 $2c_7$ 、 $2c_8$ 而沿行方向延伸之長方形狀，且具有設置有上述於行方向上並排之4個反熔絲記憶體 $2c_5$ 、 $2c_6$ 、 $2c_7$ 、 $2c_8$ 之各記憶體閘極電極G之構成。藉此，該位元線觸點BC22分別連接於不同之字元線觸點WC21、WC22、WC23、WC24，且可經由活性區域22而對沿行方向並排之4個反熔絲記憶體 $2c_5$ 、 $2c_6$ 、 $2c_7$ 、 $2c_8$ 一致地施加來自位元線之特定之位元電壓。

對於以上之構成，於圖6所示之半導體記憶裝置21之反熔絲記憶體 $2c_1$ 、 $2c_2$ 、 $2c_3$ 、 $2c_4$ 、 $2c_5$ 、 $2c_6$ 、 $2c_7$ 、 $2c_8$ 、 $2c_9$ 、 $2c_{10}$ 、 $2c_{11}$ 、 $2c_{12}$ 、 $2c_{13}$ 、 $2c_{14}$ 、 $2c_{15}$ 、 $2c_{16}$ 中，與上述「(1-4)上述構成之半導體記憶裝置之作用及效果」同樣地，未使用先前之控制電路，而是可根據向記憶體電容器4之記憶體閘極電極G及字元線施加之電壓值，藉由整流元件3而阻斷自記憶體閘極電極G向字元線施加電壓，如此，無需先前之選擇性地向記憶體電容器施加電壓之開關電晶體、或進而用以使開關電晶體進行接通斷開動作之開關控制電路，從而可相應地實現小型化。

而且，例如於本發明之半導體記憶裝置21中之反熔絲記憶體 $2a_6$ 中，與上述「(1-4)上述構成之半導體記憶裝置之作用及效果」同樣地，可設置(i)第一阻斷機構與(ii)第二阻斷機構該雙重之阻斷機構，藉此，可執行正常之資料寫入動作，因此，亦可確實地防止資料讀出時之誤動作，上述(i)第一阻斷機構將0[V]之非擊穿字元電壓施加至字元線(寫入非選擇字元線)，藉此，不於記憶體電容器4中形成通道，上述(ii)第二阻斷機構使整流元件3成為逆向偏壓電壓狀態而阻斷非擊穿位元電壓。

又，於圖6所示之半導體記憶裝置21中，沿行方向並排之4個反熔絲記憶體 $2c_5$ 、 $2c_6$ 、 $2c_7$ 、 $2c_8$ 共用1個位元線觸點BC22，並且例如沿

列方向相鄰接之2個反熔絲記憶體 $2c_2$ 、 $2c_6$ 共用1個字元線觸點WC22，藉此，與針對各反熔絲記憶體而分別個別地設置位元線觸點及字元線觸點之情形相比較，可使裝置整體小型化。

(5)關於沿列方向並排之複數個反熔絲記憶體共用1個字元線觸點，且2個反熔絲記憶體共用1個位元線觸點之情形

對與圖3相對應之部分附上相同符號而表示之圖7係表示呈4列4行地配置有例如合計16個反熔絲記憶體 $2d_1$ 、 $2d_2$ 、 $2d_3$ 、 $2d_4$ 、 $2d_5$ 、 $2d_6$ 、 $2d_7$ 、 $2d_8$ 、 $2d_9$ 、 $2d_{10}$ 、 $2d_{11}$ 、 $2d_{12}$ 、 $2d_{13}$ 、 $2d_{14}$ 、 $2d_{15}$ 、 $2d_{16}$ 之半導體記憶裝置31之平面佈局的構成。於該情形時，於半導體記憶裝置31中，反熔絲記憶體 $2d_1$ 、 $2d_2$ 、 $2d_3$ 、 $2d_4$ 、 $2d_5$ 、 $2d_6$ 、 $2d_7$ 、 $2d_8$ 、 $2d_9$ 、 $2d_{10}$ 、 $2d_{11}$ 、 $2d_{12}$ 、 $2d_{13}$ 、 $2d_{14}$ 、 $2d_{15}$ 、 $2d_{16}$ 具有完全相同之構成，且與上述圖2A及圖2B同樣地分別具有整流元件3與記憶體電容器4。又，字元線觸點WC31、WC32、WC33、WC34亦為完全相同之構成，因此，此處例如著眼於字元線觸點WC32而進行以下說明。

於上述情形時，字元線觸點WC32配置於具有沿列方向延伸之長度方向之P型半導體區域8b，且可由沿該P型半導體區域8b而沿列方向配置之4個反熔絲記憶體 $2d_2$ 、 $2d_6$ 、 $2d_{10}$ 、 $2d_{14}$ 共用。實際上，於字元線觸點WC32所立設之P型半導體區域8b中，沿列方向並排之4個反熔絲記憶體 $2d_2$ 、 $2d_6$ 、 $2d_{10}$ 、 $2d_{14}$ 之各N型半導體區域7接合於一邊。

此處，若著眼於例如反熔絲記憶體 $2d_2$ ，則因P型半導體區域8b與N型半導體區域7接合而形成PN接面二極體之整流元件3。藉此，字元線觸點WC32可對共用P型半導體區域8b之4個反熔絲記憶體 $2d_2$ 、 $2d_6$ 、 $2d_{10}$ 、 $2d_{14}$ 之各整流元件3一致地施加來自字元線之特定之字元電壓。

再者，上述4個反熔絲記憶體 $2d_2$ 、 $2d_6$ 、 $2d_{10}$ 、 $2d_{14}$ 之各N型半導體區域7係以遠離P型半導體區域8b之方式而分別向行方向延伸，接合

於前端部之各記憶體閘極電極G分別配置於不同之活性區域12。又，於一體地形成於N型半導體區域7之前端部之各記憶體閘極電極G與活性區域12相對向之各區域中，形成有各反熔絲記憶體 $2d_2$ 、 $2d_6$ 、 $2d_{10}$ 、 $2d_{14}$ 之記憶體閘極絕緣膜6。

於上述情形時，於半導體記憶裝置31中，上述第2列之字元線觸點WC32所立設之P型半導體區域8b、與第3列之字元線觸點WC33所立設之P型半導體區域8b係以並行之方式配置，可於上述2個P型半導體區域8b之間，呈矩陣狀地配置8個反熔絲記憶體 $2d_2$ 、 $2d_3$ 、 $2d_6$ 、 $2d_7$ 、 $2d_{10}$ 、 $2d_{11}$ 、 $2d_{14}$ 、 $2d_{15}$ 。

附帶說，於上述實施形態之情形時，於半導體記憶裝置31中，第1列之字元線觸點WC31所立設之P型半導體區域8b之一邊係以並行之方式，鄰接於第2列之字元線觸點WC32所立設之P型半導體區域8b之另一邊。於該第1列之字元線觸點WC31所立設之P型半導體區域8b之另一邊，接合有沿列方向並排之4個反熔絲記憶體 $2d_1$ 、 $2d_5$ 、 $2d_9$ 、 $2d_{13}$ 之各N型半導體區域7。

又，於半導體記憶裝置31中，第4列之字元線觸點WC34所立設之P型半導體區域8b之一邊係以並行之方式，鄰接於第3列之字元線觸點WC33所立設之P型半導體區域8b之另一邊。於該第4列之字元線觸點WC34所立設之P型半導體區域8b之另一邊，接合有沿列方向並排之4個反熔絲記憶體 $2d_4$ 、 $2d_8$ 、 $2d_{12}$ 、 $2d_{16}$ 之各N型半導體區域7。

其次，對位元線觸點BC31、BC32、BC33、BC34、BC35、BC36、BC37、BC38、BC39、BC40、BC41、BC42進行以下說明。於該實施形態之情形時，於半導體記憶裝置31中，呈3列4行地配置有合計12個位元線觸點BC31、BC32、BC33、BC34、BC35、BC36、BC37、BC38、BC39、BC40、BC41、BC42。上述位元線觸點BC31、BC32、BC33、BC34、BC35、BC36、BC37、BC38、BC39、BC40、

BC41、BC42分別配置於不同之活性區域12，可將來自位元線(未圖示)之特定之位元電壓分別施加至相對應之活性區域12。

此處，配置於中央區域之沿列方向並排之位元線觸點BC35、BC36、BC37、BC38具有完全相同之構成，因此，著眼於其中之例如位元線觸點BC35而進行以下說明。於該情形時，於配置有位元線觸點BC35之活性區域12中，設置有連接於不同之P型半導體區域8b且沿行方向並排之2個反熔絲記憶體 $2d_2$ 、 $2d_3$ 。藉此，位元線觸點BC35由上述2個反熔絲記憶體 $2d_2$ 、 $2d_3$ 共用，可上述2個反熔絲記憶體 $2d_2$ 、 $2d_3$ 一致地施加來自位元線之特定之位元電壓。

實際上，於上述位元線觸點BC35所立設之活性區域12中，以該位元線觸點BC35為中心而上下對稱地配置有反熔絲記憶體 $2d_2$ 與反熔絲記憶體 $2d_3$ 。具體而言，於位元線觸點BC35所立設之活性區域12之一邊側，相對向地配置有一個反熔絲記憶體 $2d_2$ 之記憶體閘極電極G，且形成有該反熔絲記憶體 $2d_2$ 之記憶體閘極絕緣膜6。又，於上述活性區域12之另一邊側，亦同樣相對向地配置有其他反熔絲記憶體 $2d_3$ 之記憶體閘極電極G，且形成有該反熔絲記憶體 $2d_3$ 之記憶體閘極絕緣膜6。

附帶說，於半導體記憶裝置31之平面佈局中之於末端沿列方向配置之4個位元線觸點BC31、BC32、BC33、BC34(BC39、BC40、BC41、BC42)，分別僅連接有相對應之1個反熔絲記憶體 $2d_1$ 、 $2d_5$ 、 $2d_9$ 、 $2d_{13}$ ($2d_4$ 、 $2d_8$ 、 $2d_{12}$ 、 $2d_{16}$)。如此，上述於末端沿列方向配置之各位元線觸點BC31、BC32、BC33、BC34(BC39、BC40、BC41、BC42)可分別僅對相對應之1個反熔絲記憶體 $2d_1$ 、 $2d_5$ 、 $2d_9$ 、 $2d_{13}$ ($2d_4$ 、 $2d_8$ 、 $2d_{12}$ 、 $2d_{16}$)施加位元電壓。

如此，末端之各位元線觸點BC31、BC32、BC33、BC34、BC39、BC40、BC41、BC42可分別僅對1個反熔絲記憶體 $2d_1$ 、 $2d_5$ 、

$2d_9$ 、 $2d_{13}$ 、 $2d_4$ 、 $2d_8$ 、 $2d_{12}$ 、 $2d_{16}$ 施加特定之位元電壓，但配置於中央區域之各位元線觸點BC35、BC36、BC37、BC38可分別對相對應之2個反熔絲記憶體 $2d_2, 2d_3$ 、 $2d_6, 2d_7$ 、 $2d_{10}, 2d_{11}$ 、 $2d_{14}, 2d_{15}$ 一致地施加特定之位元電壓，因此，由於2個反熔絲記憶體 $2d_2, 2d_3$ 、 $2d_6, 2d_7$ 、 $2d_{10}, 2d_{11}$ 、 $2d_{14}, 2d_{15}$ 共用1個位元線觸點BC35、BC36、BC37、BC38，相應地可使裝置整體小型化。

對於以上之構成，於圖7所示之半導體記憶裝置31之反熔絲記憶體 $2d_1$ 、 $2d_2$ 、 $2d_3$ 、 $2d_4$ 、 $2d_5$ 、 $2d_6$ 、 $2d_7$ 、 $2d_8$ 、 $2d_9$ 、 $2d_{10}$ 、 $2d_{11}$ 、 $2d_{12}$ 、 $2d_{13}$ 、 $2d_{14}$ 、 $2d_{15}$ 、 $2d_{16}$ 中，與上述「(1-4)上述構成之半導體記憶裝置之作用及效果」同樣地，未使用先前之控制電路，而是可根據向記憶體電容器4之記憶體閘極電極G及字元線施加之電壓值，藉由整流元件3而阻斷自記憶體閘極電極G向字元線施加電壓，如此，無需先前之選擇性地向記憶體電容器施加電壓之開關電晶體、或進而用以使開關電晶體進行接通斷開動作之開關控制電路，從而可相應地實現小型化。

而且，例如於本發明之半導體記憶裝置31中之反熔絲記憶體 $2d_2$ 中，與上述「(1-4)上述構成之半導體記憶裝置之作用及效果」同樣地，可設置(i)第一阻斷機構與(ii)第二阻斷機構該雙重之阻斷機構，藉此，可執行正常之資料寫入動作，因此，亦可確實地防止資料讀出時之誤動作，上述(i)第一阻斷機構將0[V]之非擊穿字元電壓施加至字元線(寫入非選擇字元線)，藉此，不於記憶體電容器4中形成通道，上述(ii)第二阻斷機構使整流元件3成為逆向偏壓電壓狀態而阻斷非擊穿位元電壓。

又，於圖7所示之半導體記憶裝置31中，例如沿一方向(於該情形時為列方向)並排之4個反熔絲記憶體 $2d_2$ 、 $2d_6$ 、 $2d_{10}$ 、 $2d_{14}$ 共用1個字元線觸點WC32，並且例如彼此相鄰接之2個反熔絲記憶體 $2d_2$ 、 $2d_3$ 共

用1個位元線觸點BC35，藉此，與針對各反熔絲記憶體而分別個別地設置位元線觸點及字元線觸點之情形相比較，可使裝置整體小型化。

(6)具有包含N型MOS(Metal-Oxide-Semiconductor)電晶體之整流元件之反熔絲記憶體

(6-1)基本構成

於上述實施形態中，已敘述了應用二極體型之整流元件3作為整流元件之情形，該電晶體型之整流元件3具備由P型半導體區域與N型半導體區域形成之半導體接合構造，且藉由逆向偏壓電壓而將來自記憶體閘極電極之電壓阻斷，但本發明不限於此，例如亦可應用MOS電晶體型之整流元件，該MOS電晶體型之整流元件具備由整流元件閘極電極、汲極區域及源極區域形成之半導體接合構造，且藉由逆向偏壓電壓而將來自記憶體電容器之記憶體閘極電極之電壓阻斷。

此處，圖8表示具備整流元件43與記憶體電容器44之反熔絲記憶體42，上述整流元件43具有N型MOS電晶體之半導體接合構造，上述記憶體電容器44包括會因字元線WL及位元線BL之電壓差而受到絕緣擊穿之記憶體閘極絕緣膜6。於該情形時，於記憶體電容器44之一端之擴散區域連接有位元線BL，於記憶體閘極電極G連接有整流元件43。整流元件43具有如下構成，其整流元件閘極電極G1與汲極區域連接於字元線WL，並且源極區域連接於記憶體電容器44之記憶體閘極電極G。藉此，整流元件43只要自字元線WL被施加斷開電壓，則該整流元件43之電晶體會進行斷開動作，從而可阻斷自記憶體閘極電極G向字元線WL施加電壓。

實際上，如圖9A所示，反熔絲記憶體42具有如下構成，即，於例如包含Si之P型或N型之井S2之表面形成有作為絕緣構件之元件分離層IL。又，於井S2中之元件分離層IL之一區域形成有整流元件43，於該元件分離層IL之另一區域形成有記憶體電容器44。實際上，於元

件分離層IL之一側之井S2之表面，以鄰接於該元件分離層IL之方式而形成有一擴散區域5b，且與該擴散區域5b隔開特定間隔而於表面形成有另一擴散區域5c。

於上述擴散區域5b、5c之間之井S2之表面，介隔閘極絕緣膜48而形成有整流元件閘極電極G1，且遍及成為汲極區域之另一擴散區域5c與整流元件閘極電極G1而立設有字元線觸點WC。再者，於上述實施形態之情形時，字元線觸點WC具有如下構成，即，自成為汲極區域之另一擴散區域5c表面之矽化物SC，經由整流元件閘極電極G1之側壁而形成至該整流元件閘極電極G1表面之矽化物SC，進而於前端部連接有字元線WL。藉此，字元線觸點WC可對成為整流元件43之汲極區域之擴散區域5c與整流元件閘極電極G1該兩者施加自字元線WL施加之字元電壓。

又，於元件分離層IL之另一側之井S2之表面，與該元件分離層IL隔開特定間隔而形成有擴散區域5a，前端連接有位元線BL之位元線觸點BC立設於該擴散區域5a表面之矽化物SC上。進而，於元件分離層IL與擴散區域5a之間之表面，介隔記憶體閘極絕緣膜6而形成有記憶體閘極電極G。此處，記憶體閘極電極G自元件分離層IL上之一部分區域形成至記憶體閘極絕緣膜6上，且於兩側壁具有側壁SW。

又，於上述反熔絲記憶體42中，觸點C1自成為整流元件43之源極區域之一擴散區域5b形成至元件分離層IL上之記憶體閘極電極G，整流元件43之擴散區域5b與記憶體電容器44之記憶體閘極電極G藉由觸點C1而電性連接。如此，對於整流元件43而言，只要自字元線WL施加有斷開電壓，則該整流元件43之通道會成為非導通狀態，從而可阻斷自記憶體閘極電極G向字元線WL施加電壓。

又，於包括如上所述之MOS電晶體構成之整流元件43之反熔絲記憶體42中，整流元件43之整流元件閘極電極G1、與記憶體電容器

44之記憶體閘極電極G形成於相同之配線層(同一層)，進而，整流元件閘極電極G1、與記憶體電容器44之記憶體閘極電極G形成為相同之膜厚。藉此，反熔絲記憶體42亦可整體實現薄型化。再者，形成於井S2上之位元線觸點BC或字元線觸點WC、觸點C1、整流元件閘極電極G1、記憶體閘極電極G、位元線BL、字元線WL由層間絕緣層9覆蓋。

再者，對與圖9A相對應之部分附上相同符號而表示之圖9B係表示設置有圖9A所示之反熔絲記憶體42之區域的平面佈局之構成。再者，圖9A成為圖9B之B-B'處之側剖面構成。如圖9B所示，反熔絲記憶體42之位元線觸點BC配置於井S2之相對應之一個活性區域46a，字元線觸點WC配置於井之相對應之另一個活性區域46b。記憶體電容器44之記憶體閘極電極G之一部分可與一個活性區域46a相對向地配置，且可於記憶體閘極電極G與活性區域46a之對向區域形成記憶體閘極絕緣膜6。又，於另一個活性區域46b中形成有整流元件43之整流元件閘極電極G1，進而亦形成有與反熔絲記憶體42相鄰接之其他反熔絲記憶體(未圖示)之整流元件43之整流元件閘極電極G1。

而且，具有如上所述之構成之反熔絲記憶體42可藉由利用有光微影技術、氧化或CVD(Chemical Vapor Deposition)等成膜技術、蝕刻技術及離子注入法之一般之半導體製程而形成，因此，此處省略其說明。

(6-2)資料之寫入動作

此處，於將資料僅寫入至呈矩陣狀地並排之反熔絲記憶體42中的特定之反熔絲記憶體42之情形時，與圖1所示之半導體記憶裝置1同樣地，可將0[V]之擊穿位元電壓施加至連接有寫入資料之反熔絲記憶體42之位元線BL，將3[V]之非擊穿位元電壓施加至僅連接有未寫入資料之反熔絲記憶體42之位元線BL。

又，此時，可將5[V]之擊穿字元電壓施加至連接有寫入資料之反

熔絲記憶體42之字元線WL，將0[V]之非擊穿字元電壓施加至僅連接有未寫入資料之反熔絲記憶體42之字元線WL。再者，可將與擊穿位元電壓相同之0[V]施加至形成有反熔絲記憶體42之井。

因此，例如於寫入資料之反熔絲記憶體42中，例如可將0[V]之擊穿位元電壓施加至位元線BL，將5[V]之擊穿字元電壓施加至字元線WL。此時，由於5[V]之擊穿字元電壓自字元線WL施加至整流元件閘極電極G1，故而整流元件43會因整流元件閘極電極G1及源極區域之電壓差而進行導通動作，其結果，順向偏壓電壓可自汲極區域施加至源極區域，且可將降低了臨限值電壓量(V_{th} 量)後之擊穿字元電壓自汲極區域經由源極區域而施加至記憶體電容器44之記憶體閘極電極G。此時，記憶體電容器44根據記憶體閘極電極G之擊穿字元電壓、與位元線BL之擊穿位元電壓之關係而進行導通動作，形成通道，從而可將位元線BL之電位導引至通道。

藉此，可於記憶體電容器44中之記憶體閘極電極G與通道之間，產生由擊穿位元電壓及擊穿字元電壓產生之電壓差。如此，寫入資料之反熔絲記憶體42可成為如下狀態，即，於記憶體電容器44中，記憶體閘極電極G下部之記憶體閘極絕緣膜6受到絕緣擊穿，記憶體閘極電極G與擴散區域以低電阻而成為導通狀態，於記憶體電容器44中寫入有資料。

另一方面，對於位元線BL施加有3[V]之非擊穿位元電壓且字元線WL施加有0[V]之非擊穿字元電壓之未寫入資料之反熔絲記憶體42而言，例如當記憶體電容器44之記憶體閘極絕緣膜6已受到絕緣擊穿時，位元線BL之3[V]之非擊穿位元電壓可經由記憶體電容器44之記憶體閘極電極G而施加至整流元件43之源極區域。此時，於反熔絲記憶體42中，由於字元線WL施加有0[V]之非擊穿字元電壓，故而整流元件43之整流元件閘極電極G1與汲極區域成為0[V]，該整流元件43成

為斷開狀態(非導通狀態)(第二阻斷機構)。

又，記憶體電容器44之記憶體閘極電極G與整流元件43之源極區域之間的配線之電位由外部供給，因此於穩定狀態下，該電位會成為與井電位相同之電位，可考慮為0[V]。因此，當高電壓之非擊穿位元電壓(於該情形時為3[V])施加至連接於記憶體電容器44之位元線BL時，例如即使記憶體電容器44之記憶體閘極絕緣膜6受到絕緣擊穿，由於0[V]之非擊穿字元電壓施加至字元線(寫入非選擇字元線)WL，故而不會於記憶體電容器44中形成通道，亦可利用記憶體電容器44而阻斷自位元線(寫入非選擇位元線)BL向字元線WL施加電壓(第一阻斷機構)。

因此，於上述反熔絲記憶體42中，例如於極靠近連接有被施加了非擊穿位元電壓(3[V])之位元線(寫入非選擇位元線)BL之擴散區域5a的部位產生記憶體閘極絕緣膜6之絕緣擊穿，假設寫入非選擇位元線BL之電位無法被記憶體電容器44之通道阻斷，即使非擊穿位元電壓自寫入非選擇位元線BL施加至記憶體電容器44之記憶體閘極電極G，與該記憶體閘極電極G連接之整流元件43亦處於斷開狀態(非導通狀態)，因此，可藉由該整流元件43而確實地阻斷自記憶體閘極電極G向字元線WL施加電壓。如此，於反熔絲記憶體42中，亦可利用記憶體電容器44之通道斷開動作(第一阻斷機構)、與整流元件43之斷開動作(第二阻斷機構)而阻斷自位元線BL施加之3[V]之非擊穿位元電壓，可確實地防止該非擊穿位元電壓傳遞至字元線WL。

而且，對於自字元線WL施加有5[V]之擊穿字元電壓且自位元線BL施加有3[V]之非擊穿位元電壓之未寫入資料之反熔絲記憶體42而言，雖降低了臨限值電壓量後之擊穿字元電壓自整流元件43施加至記憶體電容器44之記憶體閘極電極G，但由於記憶體閘極電極G與通道及擴散區域之電壓差減小，因此，即使在假設記憶體電容器44中之記

憶體閘極絕緣膜6未受到絕緣擊穿時，該記憶體閘極絕緣膜6未受到絕緣擊穿而處於絕緣狀態，從而可維持未寫入資料之狀態。

再者，呈矩陣狀地配置有具有如上所述之構成之反熔絲記憶體42之半導體記憶裝置亦可藉由上述「(1-3)資料之讀出動作」而將所期望之反熔絲記憶體42之資料讀出，因此，此處省略其說明。

(6-3)上述構成之半導體記憶裝置之作用及效果

對於以上之構成，未寫入資料之反熔絲記憶體42亦與圖2中所述之反熔絲記憶體2a、2b同樣地，於高電壓之非擊穿位元電壓施加至連接於記憶體電容器44之位元線BL時，例如即使記憶體電容器44之記憶體閘極絕緣膜6受到絕緣擊穿，藉由將整流元件43之通道設為斷開狀態(非導通狀態)，阻斷自記憶體電容器44之記憶體閘極電極G向字元線WL施加非擊穿位元電壓。

因此，反熔絲記憶體42亦與圖2中所述之反熔絲記憶體2a、2b同樣地，未使用先前之控制電路，而是設置電晶體構成之整流元件43，該電晶體構成之整流元件43根據記憶體閘極電極G及字元線WL之電壓值，利用斷開動作而阻斷自記憶體閘極電極G向字元線WL施加電壓，因此，無需選擇性地向記憶體電容器44施加各電壓之開關電晶體、或用以使開關電晶體進行接通斷開動作之開關控制電路，從而可相應地實現小型化。

又，於如上所述之反熔絲記憶體42中，亦可設置(i)第一阻斷機構與(ii)第二阻斷機構該雙重之阻斷機構，藉此，可執行正常之資料寫入動作，因此，亦可確實地防止資料讀出時之誤動作，上述(i)第一阻斷機構將0[V]之非擊穿字元電壓施加至字元線(寫入非選擇字元線)，藉此，不於記憶體電容器44中形成通道，上述(ii)第二阻斷機構使整流元件43成為斷開狀態而阻斷非擊穿位元電壓。

(7)關於4個反熔絲記憶體共用1個字元線觸點及1個位元線觸點之

情形

(7-1)關於平面佈局之構成

其次，對呈矩陣狀地配置有上述反熔絲記憶體42之半導體記憶裝置之平面佈局之構成進行說明。對與圖9B相對應之部分附上相同符號而表示之圖10係表示呈4列4行地配置有例如合計16個反熔絲記憶體 $2e_1$ 、 $2e_2$ 、 $2e_3$ 、 $2e_4$ 、 $2e_5$ 、 $2e_6$ 、 $2e_7$ 、 $2e_8$ 、 $2e_9$ 、 $2e_{10}$ 、 $2e_{11}$ 、 $2e_{12}$ 、 $2e_{13}$ 、 $2e_{14}$ 、 $2e_{15}$ 、 $2e_{16}$ 時之平面佈局之構成。於該情形時，於半導體記憶裝置41中，反熔絲記憶體 $2e_1$ 、 $2e_2$ 、 $2e_3$ 、 $2e_4$ 、 $2e_5$ 、 $2e_6$ 、 $2e_7$ 、 $2e_8$ 、 $2e_9$ 、 $2e_{10}$ 、 $2e_{11}$ 、 $2e_{12}$ 、 $2e_{13}$ 、 $2e_{14}$ 、 $2e_{15}$ 、 $2e_{16}$ 具有完全相同之構成，且與上述圖9A及圖9B同樣地分別具有整流元件43與記憶體電容器44。又，字元線觸點WC51、WC52、WC53、WC54亦為完全相同之構成，因此，此處例如著眼於字元線觸點WC52而進行以下說明。

於上述情形時，字元線觸點WC52所立設之活性區域46b由彼此相鄰接之4個反熔絲記憶體 $2e_3$ 、 $2e_4$ 、 $2e_7$ 、 $2e_8$ 共用。實際上，於字元線觸點WC52所立設之活性區域46b中，形成有沿行方向相鄰接之2個反熔絲記憶體 $2e_3$ 、 $2e_4$ 所共用之整流元件閘極電極G1、與同樣沿行方向相鄰接之2個反熔絲記憶體 $2e_7$ 、 $2e_8$ 所共用之整流元件閘極電極G1。字元線觸點WC52係遍及上述2個整流元件閘極電極G1與活性區域46b而形成。藉此，字元線觸點WC52可將來自位元線之位元電壓一致地施加至上述反熔絲記憶體之 $2e_3$ 、 $2e_4$ 、 $2e_7$ 、 $2e_8$ 之各整流元件閘極電極G1、與上述反熔絲記憶體之 $2e_3$ 、 $2e_4$ 、 $2e_7$ 、 $2e_8$ 之整流元件43中之各汲極區域。

再者，於字元線觸點WC52所立設之活性區域46b中，各反熔絲記憶體 $2e_3$ 、 $2e_4$ 、 $2e_7$ 、 $2e_8$ 之記憶體閘極電極G分別經由觸點C1而連接於各反熔絲記憶體 $2e_3$ 、 $2e_4$ 、 $2e_7$ 、 $2e_8$ 之整流元件43之源極區域。

其次，對位元線觸點BC51、BC52、BC53、BC54、BC55、

BC56、BC57、BC58、BC59進行以下說明。於該實施形態之情形時，於半導體記憶裝置41中，呈3列3行地配置有合計9個位元線觸點BC51、BC52、BC53、BC54、BC55、BC56、BC57、BC58、BC59。各位元線觸點BC51、BC52、BC53、BC54、BC55、BC56、BC57、BC58、BC59分別配置於不同之活性區域46a，且可將來自位元線(未圖示)之特定之位元電壓分別施加至相對應之活性區域46a。

此處，於如下活性區域46a中設置有連接於不同之活性區域46b且彼此相鄰接之4個反熔絲記憶體 $2e_6$ 、 $2e_7$ 、 $2e_{10}$ 、 $2e_{11}$ ，上述活性區域46a配置有上述9個位元線觸點BC51、BC52、BC53、BC54、BC55、BC56、BC57、BC58、BC59中之配置於中央區域之位元線觸點BC55。藉此，配置於中央區域之位元線觸點BC55由彼此相鄰接之4個反熔絲記憶體 $2e_6$ 、 $2e_7$ 、 $2e_{10}$ 、 $2e_{11}$ 共用，可對上述4個反熔絲記憶體 $2e_6$ 、 $2e_7$ 、 $2e_{10}$ 、 $2e_{11}$ 一致地施加來自位元線之特定之位元電壓。

於上述情形時，於中央之位元線觸點BC55所立設之活性區域46a中，以該位元線觸點BC55為中心而左右對稱地配置有反熔絲記憶體 $2e_6$ 、 $2e_7$ 與反熔絲記憶體 $2e_{10}$ 、 $2e_{11}$ 。具體而言，於位元線觸點BC55所立設之活性區域46a之一邊側，相對向地配置有沿行方向相鄰接之2個反熔絲記憶體 $2e_6$ 、 $2e_7$ 之各記憶體閘極電極G，且形成有上述反熔絲記憶體 $2e_6$ 、 $2e_7$ 之各記憶體閘極絕緣膜6。又，於上述活性區域46a之另一邊側，相對向地配置有同樣沿行方向相鄰接之其他反熔絲記憶體 $2e_{10}$ 、 $2e_{11}$ 之各記憶體閘極電極G，且形成有上述反熔絲記憶體 $2e_{10}$ 、 $2e_{11}$ 之各記憶體閘極絕緣膜6。

附帶說，於半導體記憶裝置41之平面佈局中之配置於角部之4個位元線觸點BC51、BC53、BC57、BC59，分別僅連接有相對應之1個反熔絲記憶體 $2e_1$ 、 $2e_4$ 、 $2e_{13}$ 、 $2e_{16}$ 。如此，上述配置於角部之各位元線觸點BC51、BC53、BC57、BC59可分別僅對相對應之1個反熔絲記

憶體 $2e_1$ 、 $2e_4$ 、 $2e_{13}$ 、 $2e_{16}$ 施加位元電壓。

又，於半導體記憶裝置41之平面佈局中之沿末端並排之位元線觸點BC51、BC52、BC53、BC54、BC56、BC57、BC58、BC59中，配置於角部以外之位元線觸點BC52，僅連接有2個反熔絲記憶體 $2e_2$ 、 $2e_3$ 。而且，於配置於角部以外之其他位元線觸點BC54、BC56、BC58，亦分別僅連接有相對應之2個反熔絲記憶體 $2e_5, 2e_9$ 、 $2e_8, 2e_{12}$ 、 $2e_{14}, 2e_{15}$ 。如此，於半導體記憶裝置41中，共用配置於角部以外之其他位元線觸點BC52、BC54、BC56、BC58之反熔絲記憶體數為2個，另外，共用配置於中央區域之位元線觸點BC55之反熔絲記憶體數為4個，因此，與針對各位元線觸點而設置1個反熔絲記憶體之情形相比較，可實現小型化。

對於以上之構成，於圖10所示之半導體記憶裝置41之反熔絲記憶體 $2e_1$ 、 $2e_2$ 、 $2e_3$ 、 $2e_4$ 、 $2e_5$ 、 $2e_6$ 、 $2e_7$ 、 $2e_8$ 、 $2e_9$ 、 $2e_{10}$ 、 $2e_{11}$ 、 $2e_{12}$ 、 $2e_{13}$ 、 $2e_{14}$ 、 $2e_{15}$ 、 $2e_{16}$ 中，與上述「(6-3)上述構成之半導體記憶裝置之作用及效果」同樣地，未使用先前之控制電路，而是設置電晶體構成之整流元件43，該電晶體構成之整流元件43根據記憶體閘極電極G及字元線WL之電壓值，利用斷開動作而阻斷自記憶體閘極電極G向字元線WL施加電壓，因此，無需選擇性地向記憶體電容器44施加各電壓之開關電晶體、或用以使開關電晶體進行接通斷開動作之開關控制電路，從而可相應地實現小型化。

而且，例如於半導體記憶裝置41中之反熔絲記憶體 $2e_4$ 中，與上述「(6-3)上述構成之半導體記憶裝置之作用及效果」同樣地，可設置(i)第一阻斷機構與(ii)第二阻斷機構該雙重之阻斷機構，藉此，可執行正常之資料寫入動作，因此，亦可確實地防止資料讀出時之誤動作，上述(i)第一阻斷機構將0[V]之非擊穿字元電壓施加至字元線(寫入非選擇字元線)，藉此，不於記憶體電容器44中形成通道，上述(ii)

第二阻斷機構使整流元件43成為斷開狀態而阻斷非擊穿位元電壓。

又，於圖10所示之半導體記憶裝置41中，彼此相鄰接之4個反熔絲記憶體 $2e_6$ 、 $2e_7$ 、 $2e_{10}$ 、 $2e_{11}$ 共用1個位元線觸點BC55，並且例如彼此相鄰接之4個反熔絲記憶體 $2e_3$ 、 $2e_4$ 、 $2e_7$ 、 $2e_8$ 共用1個字元線觸點WC52，藉此，與針對各反熔絲記憶體而分別個別地設置位元線觸點及字元線觸點之情形相比較，可使裝置整體小型化。

(7-2)關於位元線及字元線之平面佈局之構成

其次，對圖10所示之半導體記憶裝置41中之位元線及字元線之平面佈局進行以下說明。如對與圖10相對應之部分附上相同符號而表示之圖11所示，於半導體記憶裝置41中，第1行之位元線BL1c連接於第1行之位元線觸點BC51、BC52、BC53中之第1列之位元線觸點BC51與第3列之位元線觸點BC53，其他第2行之位元線BL2c連接於上述位元線觸點BC51、BC53之間之第2列之位元線觸點BC52。藉此，半導體記憶裝置41可藉由例如第1行之位元線BL1c，由整流元件43之活性區域46b分別對不同之2個反熔絲記憶體 $2e_1$ 、 $2e_4$ 一致地施加特定之位元電壓，進而可藉由第2行之位元線BL2c，由整流元件43之活性區域46b分別對不同之2個反熔絲記憶體 $2e_2$ 、 $2e_3$ 施加與第1行之位元線BL1c不同之特定之位元電壓。

又，於第2行之位元線觸點BC54、BC55、BC56中，第3行之位元線BL3c連接於第1列之位元線觸點BC54與第3列之位元線觸點BC56，第4行之位元線BL4c連接於上述位元線觸點BC54、BC56之間之第2列之位元線觸點BC55。藉此，半導體記憶裝置41可藉由例如第3行之位元線BL3c，由整流元件43之活性區域46b分別對不同之4個反熔絲記憶體 $2e_5$ 、 $2e_9$ 、 $2e_8$ 、 $2e_{12}$ 一致地施加特定之位元電壓，進而可藉由第4行之位元線BL4c，由整流元件43之活性區域46b分別對不同之4個反熔絲記憶體 $2e_6$ 、 $2e_7$ 、 $2e_{10}$ 、 $2e_{11}$ 施加與第3行之位元線BL3c不同之特

定之位元電壓。

進而，於第3行之位元線觸點BC57、BC58、BC59中，第5行之位元線BL5c連接於第1列之位元線觸點BC57與第3列之位元線觸點BC59，第6行之位元線BL6c連接於上述位元線觸點BC57、BC59之間之第2列之位元線觸點BC58。藉此，半導體記憶裝置41可藉由例如第5行之位元線BL5c，由整流元件43之活性區域46b分別對不同之2個反熔絲記憶體 $2e_{13}$ 、 $2e_{16}$ 一致地施加特定之位元電壓，進而可藉由第6行之位元線BL6c，由整流元件43之活性區域46b分別對不同之2個反熔絲記憶體 $2e_{14}$ 、 $2e_{15}$ 施加與第5行之位元線BL5c不同之特定之位元電壓。

除了上述構成之外，於字元線觸點WC51、WC52、WC53、WC54分別連接有不同之字元線WL1c、WL2c、WL3c、WL4c，可藉由各字元線WL1c、WL2c、WL3c、WL4c將不同之字元電壓施加至各字元線觸點WC51、WC52、WC53、WC54。於該實施形態之情形時，例如第1列之字元線WL1c連接於第1列第1行之字元線觸點WC51，可將特定之字元電壓一致地施加至共用該字元線觸點WC51之4個反熔絲記憶體 $2e_1$ 、 $2e_2$ 、 $2e_5$ 、 $2e_6$ 。又，其他字元線WL2c、WL3c、WL4c亦同樣地，可經由相對應之字元線觸點WC53、WC52、WC54而分別對4個反熔絲記憶體 $2e_9$ 、 $2e_{10}$ 、 $2e_{13}$ 、 $2e_{14}$ ， $2e_3$ 、 $2e_4$ 、 $2e_7$ 、 $2e_8$ ， $2e_{11}$ 、 $2e_{12}$ 、 $2e_{15}$ 、 $2e_{16}$ 一致地施加特定之字元電壓。

此處，例如若著眼於與處於中央區域之1個位元線觸點BC55連接之4個反熔絲記憶體 $2e_6$ 、 $2e_7$ 、 $2e_{10}$ 、 $2e_{11}$ ，則於連接於該位元線觸點BC55之4個反熔絲記憶體 $2e_6$ 、 $2e_7$ 、 $2e_{10}$ 、 $2e_{11}$ ，連接有可各自獨立地進行電性控制之字元線WL1c、WL2c、WL3c、WL4c，可藉由各字元線WL1c、WL2c、WL3c、WL4c而分別施加不同之字元電壓。又，例如若著眼於連接於1個字元線觸點WC52之4個反熔絲記憶體 $2e_3$ 、

$2e_4$ 、 $2e_7$ 、 $2e_8$ ，則於連接於該字元線觸點WC52之4個反熔絲記憶體 $2e_3$ 、 $2e_4$ 、 $2e_7$ 、 $2e_8$ ，連接有可各自獨立地進行電性控制之位元線BL1c、BL2c、BL3c、BL4c，可藉由各位元線BL1c、BL2c、BL3c、BL4c而分別施加不同之位元電壓。

而且，於如上所述之半導體記憶裝置41中，藉由適當地對施加至位元線BL1c、BL2c、BL3c、BL4c、BL5c、BL6c及字元線WL1c、WL2c、WL3c、WL4c之電壓進行調整，可藉由上述「(6-2)資料之寫入動作」而將資料僅寫入至例如特定位置之反熔絲記憶體 $2e_1$ ，並且可藉由上述「(1-3)資料之讀出動作」而將例如特定位置之反熔絲記憶體 $2e_1$ 中之資料讀出。

附帶說，於圖11之半導體記憶裝置41中，反熔絲記憶體數為16個，因此，例如成為字元線WL1c僅連接於一個字元線觸點WC51之構成。然而，於進一步增加了反熔絲記憶體數之情形時，例如成為第1行之字元線WL1c與第2行之字元線WL2c依序交替地連接於沿列方向並排之複數個字元線觸點之構成。例如成為如下構成，即，連接於第1列第1行之字元線觸點WC51之字元線WL1c亦連接於第1列第3行之字元線觸點、或第1列第5行之字元線觸點等，另一方面，連接於第1列第2行之字元線觸點WC53之字元線WL2c亦連接於第1列第4行之字元線觸點、或第1列第6行之字元線觸點等。

(8)關於其他實施形態之位元線及字元線之平面佈局之構成

於圖11中，表示了如下半導體記憶裝置41作為一例，該半導體記憶裝置41呈4列4行地配置有合計16個反熔絲記憶體 $2e_1$ 、 $2e_2$ 、 $2e_3$ 、 $2e_4$ 、 $2e_5$ 、 $2e_6$ 、 $2e_7$ 、 $2e_8$ 、 $2e_9$ 、 $2e_{10}$ 、 $2e_{11}$ 、 $2e_{12}$ 、 $2e_{13}$ 、 $2e_{14}$ 、 $2e_{15}$ 、 $2e_{16}$ ，且配合上述反熔絲記憶體 $2e_1$ 、 $2e_2$ 、 $2e_3$ 、 $2e_4$ 、 $2e_5$ 、 $2e_6$ 、 $2e_7$ 、 $2e_8$ 、 $2e_9$ 、 $2e_{10}$ 、 $2e_{11}$ 、 $2e_{12}$ 、 $2e_{13}$ 、 $2e_{14}$ 、 $2e_{15}$ 、 $2e_{16}$ 之配置位置而配置有位元線BL1c、BL2c、BL3c、BL4c、BL5c、BL6c及字元線WL1c、

WL2c、WL3c、WL4c。

此處，於圖 11 所示之半導體記憶裝置 41 中，將位元線觸點 BC51、BC52、BC53 之行設置於一端側，將位元線觸點 BC57、BC58、BC59 之行設置於另一端側。於該情形時，成為於處於一端側之第 1 列第 1 行之位元線觸點 BC51、與同樣處於一端側之第 3 列第 1 行之位元線觸點 BC53 分別僅連接有 1 個反熔絲記憶體 $2e_1(2e_4)$ 之構成，另外，成為於同樣處於一端側之第 2 列第 1 行之位元線觸點 BC52 連接有 2 個反熔絲記憶體 $2e_2$ 、 $2e_3$ 之構成。

因此，連接於一端側之位元線觸點 BC51、BC53 之第 1 行之位元線 BL1c 經由各位元線觸點 BC51、BC53 而僅連接有合計 2 個反熔絲記憶體 $2e_1$ 、 $2e_4$ 。又，同樣連接於一端側之位元線觸點 BC52 之第 2 行之位元線 BL2c 亦經由位元線觸點 BC52 而僅連接有 2 個反熔絲記憶體 $2e_2$ 、 $2e_3$ 。

而且，同樣處於另一端側之位元線觸點 BC57、BC58、BC59 之行亦成為如下構成，即，於位元線觸點 BC57(BC59) 連接有 1 個反熔絲記憶體 $2e_{13}(2e_{16})$ ，且於其餘之位元線觸點 BC58 連接有 2 個反熔絲記憶體 $2e_{14}$ 、 $2e_{15}$ 。因此，於連接於另一端側之位元線觸點 BC57、BC59 之第 5 行之位元線 BL5c，亦經由各位元線觸點 BC57、BC59 而僅連接有合計 2 個反熔絲記憶體 $2e_{13}$ 、 $2e_{16}$ ，於同樣連接於另一端側之位元線觸點 BC58 之第 6 行之位元線 BL6c，亦經由位元線觸點 BC58 而僅連接有 2 個反熔絲記憶體 $2e_{14}$ 、 $2e_{15}$ 。如此，相對於配置於末端之位元線觸點 BC51、BC52、BC53(BC57、BC58、BC59) 之行而設置之位元線 BL1c、BL2c(BL5c、BL6c) 所連接的反熔絲記憶體數為 2 個。

另一方面，於配置於中央區域之位元線 BL3c，經由位元線觸點 BC54、BC56 而連接有合計 4 個反熔絲記憶體 $2e_5$ 、 $2e_9$ 、 $2e_8$ 、 $2e_{12}$ ，於同樣配置於中央區域之位元線 BL4c，經由位元線觸點 BC55 而連接有 4

個反熔絲記憶體 $2e_6$ 、 $2e_7$ 、 $2e_{10}$ 、 $2e_{11}$ 。因此，於圖11所示之半導體記憶裝置41中，為了效率良好地藉由列位址與行位址而進行控制，較理想為例如將使第1行之位元線BL1a與第5行之位元線BL5a短路而以相同之位元電壓進行動作之反熔絲記憶體數設為4個，進而將亦使第2行之位元線BL2a與第6行之位元線BL6a短路而以相同之位元電壓進行動作之反熔絲記憶體數設為4個，從而與連接於中央區域之位元線BL3c、BL4c之反熔絲記憶體數(於該情形時為4個)一致。

即，於半導體記憶裝置41中，較理想為利用第1行之位元線BL1c與第5行之位元線BL5c該2根位元線，使合計4個反熔絲記憶體 $2e_1$ 、 $2e_4$ 、 $2e_{13}$ 、 $2e_{16}$ 進行動作，上述合計4個反熔絲記憶體 $2e_1$ 、 $2e_4$ 、 $2e_{13}$ 、 $2e_{16}$ 包含經由各位元線觸點BC51、BC53而分別連接於第1行之位元線BL1c之合計2個反熔絲記憶體 $2e_1$ 、 $2e_4$ 、與經由位元線觸點BC57、BC59而分別連接於第5行之位元線BL5c之合計2個反熔絲記憶體 $2e_{13}$ 、 $2e_{16}$ 。

同樣地，較理想為利用第2行之位元線BL2a與第6行之位元線BL6a該2根位元線，亦使合計4個反熔絲記憶體 $2a_2$ 、 $2a_3$ 、 $2a_{14}$ 、 $2a_{15}$ 進行動作，上述合計4個反熔絲記憶體 $2a_2$ 、 $2a_3$ 、 $2a_{14}$ 、 $2a_{15}$ 包含經由位元線觸點BC12而連接於第2行之位元線BL2a之2個反熔絲記憶體 $2a_2$ 、 $2a_3$ 、與經由位元線觸點BC18而連接於第6行之位元線BL6a之2個反熔絲記憶體 $2a_{14}$ 、 $2a_{15}$ 。

此處，於半導體記憶裝置41中，例如於利用第1行之位元線BL1c與第5行之位元線BL5c該2根位元線，對反熔絲記憶體 $2e_1$ 、 $2e_4$ 、 $2e_{13}$ 、 $2e_{16}$ 一致地施加特定之位元電壓之情形時，利用1根之構成而使4個反熔絲記憶體 $2e_5$ 、 $2e_9$ 、 $2e_8$ 、 $2e_{12}$ ($2e_6$ 、 $2e_7$ 、 $2e_{10}$ 、 $2e_{11}$)進行動作之第3行之位元線BL3c或第4行之位元線BL4c之電容不同。因此，半導體記憶裝置41於進行資料讀出動作時，有產生例如讀出速度降低等

問題之虞。

因此，為了解決如上所述之問題點，如對與圖11相對應之部分附上相同符號而表示之圖12所示，於半導體記憶裝置41a中，將字元線觸點WC51a、WC52a之行配置於一端側，並且將字元線觸點WC55a、WC56a之行配置於另一端側，進而於一端側之字元線觸點WC51a、WC52a之行、與中央之字元線觸點WC53a、WC54a之行之間設置一個位元線觸點BC51a、BC52a、BC53a之行，於另一端側之字元線觸點WC55a、WC56a之行與中央之字元線觸點WC53a、WC54a之行之間設置其他位元線觸點BC54a、BC55a、BC56a之行。

又，於半導體記憶裝置41a中，可使第1行之位元線BL1d連接於一個位元線觸點BC51a、BC52a、BC53a之行中的第1列之位元線觸點BC51a與第3列之位元線觸點BC53a，且使第2行之位元線BL2d連接於第2列之位元線觸點BC52a，上述一個位元線觸點BC51a、BC52a、BC53a之行處於一端側之字元線觸點WC51a、WC52a之行、與中央之字元線觸點WC53a、WC54a之行之間。

藉此，於半導體記憶裝置41a中，可使連接於第1列之位元線觸點BC51a之2個反熔絲記憶體 $2f_1$ 、 $2f_5$ 、與連接於第3列之位元線觸點BC53a之2個反熔絲記憶體 $2f_4$ 、 $2f_8$ 之合計4個反熔絲記憶體 $2f_1$ 、 $2f_5$ 、 $2f_4$ 、 $2f_8$ ，連接於處於第1行之1根位元線BL1d，如此，可藉由作為1根之構成之位元線BL1d而使4個反熔絲記憶體 $2f_1$ 、 $2f_5$ 、 $2f_4$ 、 $2f_8$ 進行動作。

又，於上述半導體記憶裝置41a中，可使連接於第2列之位元線觸點BC52a之4個反熔絲記憶體 $2f_2$ 、 $2f_3$ 、 $2f_6$ 、 $2f_7$ 連接於處於第2行之1根位元線BL2d，如此，可藉由作為1根之構成之位元線BL2d而使4個反熔絲記憶體 $2f_2$ 、 $2f_3$ 、 $2f_6$ 、 $2f_7$ 進行動作。

同樣地，於半導體記憶裝置41a中，亦可利用處於另一端側之字

元線觸點WC55a、WC56a之行、與中央之字元線觸點WC53a、WC54a之行之間的其他位元線觸點BC54a、BC55a、BC56a之行，使第3行之位元線BL3d連接於第1列之位元線觸點BC54a與第3列之位元線觸點BC56a，使第4行之位元線BL4d連接於第2列之位元線觸點BC55a。

藉此，於半導體記憶裝置41a中，可使連接於第1列之位元線觸點BC54a之2個反熔絲記憶體 $2f_9$ 、 $2f_{13}$ 、與連接於第3列之位元線觸點BC56a之2個反熔絲記憶體 $2f_{12}$ 、 $2f_{16}$ 之合計4個反熔絲記憶體 $2f_9$ 、 $2f_{13}$ 、 $2f_{12}$ 、 $2f_{16}$ ，連接於處於第3行之1根位元線BL3d，如此，可藉由作為1根之構成之位元線BL3d而使4個反熔絲記憶體 $2f_9$ 、 $2f_{13}$ 、 $2f_{12}$ 、 $2f_{16}$ 進行動作。

又，於上述半導體記憶裝置41a中，可使連接於第2列之位元線觸點BC55a之4個反熔絲記憶體 $2f_{10}$ 、 $2f_{11}$ 、 $2f_{14}$ 、 $2f_{15}$ ，連接於處於第4行之1根位元線BL4d，如此，可藉由作為1根之構成之位元線BL4d而使4個反熔絲記憶體 $2f_{10}$ 、 $2f_{11}$ 、 $2f_{14}$ 、 $2f_{15}$ 進行動作。

如此，半導體記憶裝置41a與圖11所示之半導體記憶裝置41不同，無需使位元線彼此連接，可將位元線BL1d、BL2d、BL3d、BL4d均設為1根之構成，且可設定為完全相同之電容，因此，可防止於進行資料讀出動作時產生例如讀出速度降低等問題。

再者，於上述半導體記憶裝置41a中，對於第1列之字元線觸點WC51a、WC53a、WC55a之行而言，相同之字元線WL1d可連接於第1行之字元線觸點WC51a與第3行之字元線觸點WC55a，與該字元線WL1d不同之其他字元線WL2d可連接於第2行之字元線觸點WC53a。又，對於第2列之字元線觸點WC52a、WC54a、WC56a之行，相同之字元線WL3d可連接於第1行之字元線觸點WC52a與第3行之字元線觸點WC56a，與該字元線WL3d不同之其他字元線WL4d可連接於第2行之字元線觸點WC54a。

而且，於如上所述之半導體記憶裝置41a中，亦可實現例如於第2列第1行之位元線觸點BC52a、或第2列第2行之位元線觸點BC55a分別連接有4個反熔絲記憶體 $2f_2$ 、 $2f_3$ 、 $2f_6$ 、 $2f_7$ ($2f_{10}$ 、 $2f_{11}$ 、 $2f_{14}$ 、 $2f_{15}$)之構成，從而與上述實施形態同樣地可實現小型化。又，於該半導體記憶裝置41a中，亦可實現例如使4個反熔絲記憶體 $2f_5$ 、 $2f_6$ 、 $2f_9$ 、 $2f_{10}$ ($2f_7$ 、 $2f_8$ 、 $2f_{11}$ 、 $2f_{12}$)分別連接於第1列第2行之字元線觸點WC53a、或第2列第2行之字元線觸點WC54a而成之構成，從而與上述實施形態同樣地可實現小型化。

附帶說，即使於上述情形時，例如若著眼於與處於中央區域之1個位元線觸點BC52a連接之4個反熔絲記憶體 $2f_2$ 、 $2f_3$ 、 $2f_6$ 、 $2f_7$ ，則於連接於該位元線觸點BC52a之4個反熔絲記憶體 $2f_2$ 、 $2f_3$ 、 $2f_6$ 、 $2f_7$ ，連接有可各自獨立地進行電性控制之字元線WL1d、WL2d、WL3d、WL4d，可藉由各字元線WL1d、WL2d、WL3d、WL4d而分別施加不同之字元電壓。又，例如若著眼於連接於1個字元線觸點WC53a之4個反熔絲記憶體 $2f_5$ 、 $2f_6$ 、 $2f_9$ 、 $2f_{10}$ ，則於連接於該反熔絲記憶體字元線觸點WC53a之4個反熔絲記憶體 $2f_5$ 、 $2f_6$ 、 $2f_9$ 、 $2f_{10}$ ，連接有可各自獨立地進行電性控制之位元線BL1d、BL2d、BL3d、BL4d，可藉由各位元線BL1d、BL2d、BL3d、BL4d而分別施加不同之位元電壓。

而且，於上述半導體記憶裝置41a中，藉由適當地對施加至位元線BL1d、BL2d、BL3d、BL4d及字元線WL1d、WL2d、WL3d、WL4d之電壓進行調整，亦可藉由上述「(6-2)資料之寫入動作」而將資料僅寫入至例如特定位置之反熔絲記憶體 $2f_1$ ，並且亦可藉由上述「(1-3)資料之讀出動作」而將特定位置之反熔絲記憶體 $2f_1$ 中之資料讀出。

根據以上之構成，於半導體記憶裝置41a中，將2個反熔絲記憶體 $2f_1, 2f_5$ 、 $2f_9, 2f_{13}$ ($2f_4, 2f_8$ 、 $2f_{12}, 2f_{16}$)分別連接於配置於末端且沿一方向(於該情形時為列方向)並排之各位元線觸點BC51a、BC54a(BC53a、

BC56a)，另外，亦將2個反熔絲記憶體 $2f_1, 2f_2$ 、 $2f_3, 2f_4(2f_{13}, 2f_{14}$ 、 $2f_{15}, 2f_{16})$ 分別連接於配置於末端且沿另一方向(於該情形時為行方向)並排之各字元線觸點WC51a、WC52a(WC55a、WC56a)。進而，於該半導體記憶裝置41a中，將4個反熔絲記憶體 $2f_2$ 、 $2f_3$ 、 $2f_6$ 、 $2f_7(2f_{10}$ 、 $2f_{11}$ 、 $2f_{14}$ 、 $2f_{15})$ 連接於配置於中央區域之其餘之位元線觸點BC52a(BC55a)，另外，將4個反熔絲記憶體 $2f_5$ 、 $2f_6$ 、 $2f_9$ 、 $2f_{10}(2f_7$ 、 $2f_8$ 、 $2f_{11}$ 、 $2f_{12})$ 連接於配置於中央區域之字元線觸點WC53a(WC54a)。

藉此，於半導體記憶裝置41a中，由於2個以上之反熔絲記憶體可共用位元線觸點BC51a～BC56a及字元線觸點WC51a～WC56a，相應地可使裝置整體實現小型化，進而，可使例如連接於1根位元線BL1d之反熔絲記憶體數為相同數量(於該情形時為4個)而設定為完全相同之電容，如此，可防止於進行資料讀出動作時產生讀出速度降低等問題。

附帶說，已敘述了圖12所示之半導體記憶裝置41a之反熔絲記憶體數設為16個之情形，但於進一步增加了反熔絲記憶體數之情形時，例如成為第1行之字元線WL1d與第2行之字元線WL2d依序交替地連接於沿列方向並排之複數個字元線觸點之構成。例如成為如下構成，即，連接於第1列第1行之字元線觸點WC51a之字元線WL1d除了連接於第1列第3行之字元線觸點WC55a之外，亦連接於第1列第5行之字元線觸點等，另一方面，連接於第1列第2行之字元線觸點WC53a之字元線WL2d亦連接於第1列第4行之字元線觸點、或第1列第6行之字元線觸點等。

又，於圖12所示之半導體記憶裝置41a中，於已將反熔絲記憶體數增加至16個以上之情形時，位元線觸點BC51a、BC54a、...(BC53a、BC56a、...)於兩個末端沿列方向並排，自一個末

端向行方向依序交替地配置位元線觸點列與字元線觸點列，進而當將1列中並排之位元線觸點數設為 n 個時，1列中並排之字元線觸點數為 $(n+1)$ 個。再者，於表示了反熔絲記憶體數為16個之半導體記憶裝置41a之圖12中，1列中並排之位元線觸點數為2個，1列中並排之字元線觸點數為3個。

附帶說，於上述實施形態中敘述了如下情形，即，如圖10所示，例如於反熔絲記憶體 $2e_4$ 中，整流元件43之活性區域46b與記憶體電容器44之記憶體閘極電極G分離，但自活性區域46b至記憶體閘極電極G形成觸點C1，該活性區域46b及記憶體閘極電極G藉由觸點C1而電性連接，但本發明不限於此，亦可如圖13所示，於整流元件之活性區域46b上形成記憶體閘極電極Ga，自該活性區域46b至記憶體閘極電極Ga形成觸點C1。

又，亦可如圖15所示，使整流元件43之活性區域46b與記憶體電容器44之記憶體閘極電極G分離，且於活性區域46b中之整流元件43之源極區域設置觸點C2，亦於記憶體閘極電極G設置其他觸點C3，藉由配線54而連接上述觸點C2、C3。

(9)關於2個反熔絲記憶體共用1個字元線觸點，且沿行方向並排之複數個反熔絲記憶體共用1個位元線觸點之情形

對與圖10相對應之部分附上相同符號而表示之圖14係表示呈4列4行地配置有例如合計16個反熔絲記憶體 $2g_1$ 、 $2g_2$ 、 $2g_3$ 、 $2g_4$ 、 $2g_5$ 、 $2g_6$ 、 $2g_7$ 、 $2g_8$ 、 $2g_9$ 、 $2g_{10}$ 、 $2g_{11}$ 、 $2g_{12}$ 、 $2g_{13}$ 、 $2g_{14}$ 、 $2g_{15}$ 、 $2g_{16}$ 之半導體記憶裝置51之平面佈局的構成。於該情形時，於半導體記憶裝置51中，反熔絲記憶體 $2g_1$ 、 $2g_2$ 、 $2g_3$ 、 $2g_4$ 、 $2g_5$ 、 $2g_6$ 、 $2g_7$ 、 $2g_8$ 、 $2g_9$ 、 $2g_{10}$ 、 $2g_{11}$ 、 $2g_{12}$ 、 $2g_{13}$ 、 $2g_{14}$ 、 $2g_{15}$ 、 $2g_{16}$ 具有完全相同之構成，且與上述圖9A及圖9B同樣地分別具有整流元件43與記憶體電容器44。又，字元線觸點WC61、WC62、WC63、WC64、WC65、WC66、

WC67、WC68亦為完全相同之構成，因此，此處例如著眼於字元線觸點WC62而進行以下說明。

於上述情形時，字元線觸點WC62所立設之整流元件43之活性區域55a形成為矩形狀，且由沿列方向相鄰接之2個反熔絲記憶體 $2g_2$ 、 $2g_6$ 共用。實際上，於字元線觸點WC62所立設之整流元件43之活性區域55a中，形成有反熔絲記憶體 $2g_2$ 之整流元件閘極電極G2、及沿著列方向與該反熔絲記憶體 $2g_2$ 相鄰接之其他反熔絲記憶體 $2g_6$ 之整流元件閘極電極G2。

此處，若著眼於例如反熔絲記憶體 $2g_2$ ，則遍及處於活性區域55a之整流元件43之汲極區域、與整流元件閘極電極G2而立設字元線觸點WC62，可經由字元線觸點WC62而對上述汲極區域及整流元件閘極電極G2一致地施加特定之字元電壓。又，於反熔絲記憶體 $2g_2$ 中，遍及處於活性區域55a之整流元件43之源極區域、與記憶體電容器44之記憶體閘極電極Ga而立設觸點C1，整流元件43之源極區與記憶體電容器44之記憶體閘極電極Ga藉由該觸點C1而電性連接。

再者，上述字元線觸點WC62亦遍及立設於沿列方向與反熔絲記憶體 $2g_2$ 相鄰接之其他反熔絲記憶體 $2g_6$ 中之整流元件43之汲極區域、與整流元件閘極電極G2。藉此，字元線觸點WC62可對上述2個反熔絲記憶體 $2g_2$ 、 $2g_6$ 一致地施加來自字元線之特定之字元電壓。

而且，上述2個反熔絲記憶體 $2g_2$ 、 $2g_6$ 之各記憶體閘極電極Ga係以遠離活性區域55a之方式而分別向列方向延伸，前端部分分別配置於不同之活性區域55b。又，於各記憶體閘極電極Ga與活性區域55b相對向之各區域中，形成有各反熔絲記憶體 $2g_2$ 、 $2g_6$ 之記憶體閘極絕緣膜6。

其次，對位元線觸點BC61、BC62、BC63、BC64進行以下說明。於該實施形態之情形時，於半導體記憶裝置51中，沿列方向並排

地配置有合計4個位元線觸點BC61、BC62、BC63、BC64。各位元線觸點BC61、BC62、BC63、BC64分別配置於不同之活性區域55b，可將來自位元線(未圖示)之特定之位元電壓分別施加至相對應之活性區域55b。

於上述情形時，於半導體記憶裝置51中，於配置有第1行之位元線觸點BC61之活性區域55b、與配置有第2行之位元線觸點BC62之活性區域55b之間，形成有呈矩陣狀地配置之8個反熔絲記憶體 $2g_1$ 、 $2g_2$ 、 $2g_3$ 、 $2g_4$ 、 $2g_5$ 、 $2g_6$ 、 $2g_7$ 、 $2g_8$ 。於配置有第1行之位元線觸點BC61之活性區域55b中，形成有沿行方向並排之4個反熔絲記憶體 $2g_1$ 、 $2g_2$ 、 $2g_3$ 、 $2g_4$ ，另一方面，於配置有第2行之位元線觸點BC62之活性區域55b中，形成有沿行方向並排之反熔絲記憶體 $2g_5$ 、 $2g_6$ 、 $2g_7$ 、 $2g_8$ 。

又，於半導體記憶裝置51中，配置有第2行之位元線觸點BC62之活性區域55b、與配置有第3行之位元線觸點BC63之活性區域55b並行，上述同樣地，於第3行之位元線觸點BC63及第4行之位元線觸點BC64之各活性區域55b之間，亦可呈矩陣狀地配置8個反熔絲記憶體 $2g_9$ 、 $2g_{10}$ 、 $2g_{11}$ 、 $2g_{12}$ 、 $2g_{13}$ 、 $2g_{14}$ 、 $2g_{15}$ 、 $2g_{16}$ 。

再者，於上述實施形態之情形時，上述4個位元線觸點BC61、BC62、BC63、BC64具有完全相同之構成，因此，此處著眼於位元線觸點BC62而進行以下說明。於該情形時，配置有位元線觸點BC62之活性區域55b係呈沿於行方向上並排之4個反熔絲記憶體 $2g_5$ 、 $2g_6$ 、 $2g_7$ 、 $2g_8$ 而沿行方向延伸之長方形狀，且具有設置有上述於行方向上並排之4個反熔絲記憶體 $2g_5$ 、 $2g_6$ 、 $2g_7$ 、 $2g_8$ 之各記憶體閘極電極Ga之構成。藉此，該位元線觸點BC62分別連接於不同之字元線觸點WC61、WC62、WC63、WC64，且可經由活性區域55b而對沿行方向並排之4個反熔絲記憶體 $2g_5$ 、 $2g_6$ 、 $2g_7$ 、 $2g_8$ 一致地施加來自位元線之

特定之位元電壓。

對於以上之構成，於圖14所示之半導體記憶裝置51之反熔絲記憶體 $2g_1$ 、 $2g_2$ 、 $2g_3$ 、 $2g_4$ 、 $2g_5$ 、 $2g_6$ 、 $2g_7$ 、 $2g_8$ 、 $2g_9$ 、 $2g_{10}$ 、 $2g_{11}$ 、 $2g_{12}$ 、 $2g_{13}$ 、 $2g_{14}$ 、 $2g_{15}$ 、 $2g_{16}$ 中，與上述「(6-3)上述構成之半導體記憶裝置之作用及效果」同樣地，未使用先前之控制電路，而是可根據向記憶體電容器44之記憶體閘極電極Ga及字元線施加之電壓值，藉由整流元件43而阻斷自記憶體閘極電極Ga向字元線施加電壓，如此，無需先前之選擇性地向記憶體電容器施加電壓之開關電晶體、或進而用以使開關電晶體進行接通斷開動作之開關控制電路，從而可相應地實現小型化。

而且，例如於半導體記憶裝置51中之反熔絲記憶體 $2g_6$ 中，與上述「(6-3)上述構成之半導體記憶裝置之作用及效果」同樣地，可設置(i)第一阻斷機構與(ii)第二阻斷機構該雙重之阻斷機構，藉此，可執行正常之資料寫入動作，因此，亦可確實地防止資料讀出時之誤動作，上述(i)第一阻斷機構將0[V]之非擊穿字元電壓施加至字元線(寫入非選擇字元線)，藉此，不於記憶體電容器44中形成通道，上述(ii)第二阻斷機構使整流元件43成為斷開狀態而阻斷非擊穿位元電壓。

又，於圖14所示之半導體記憶裝置51中，沿行方向並排之4個反熔絲記憶體 $2g_5$ 、 $2g_6$ 、 $2g_7$ 、 $2g_8$ 共用1個位元線觸點BC62，並且例如沿列方向相鄰接2個反熔絲記憶體 $2g_2$ 、 $2g_6$ 共用1個字元線觸點WC62，藉此，與針對各反熔絲記憶體而分別個別地設置位元線觸點及字元線觸點之情形相比較，可使裝置整體小型化。

再者，於上述實施形態之情形時，敘述了如下情形，即，如圖14所示，使整流元件43之活性區域55a與記憶體電容器44之記憶體閘極電極Ga重疊，遍及上述活性區域55a中之整流元件43之源極區域、與記憶體閘極電極Ga而形成觸點C1，但本發明不限於此，亦可如圖

15所示，使整流元件43之活性區域55a與記憶體電容器44之記憶體閘極電極G分離，且於活性區域55a中之整流元件43之源極區域設置觸點C2，亦於記憶體閘極電極G設置其他觸點C3，藉由配線54而連接上述觸點C2、C3。

而且，於上述圖9B中設為如下構成，即，分離地配置活性區域46a與記憶體電容器44之記憶體閘極電極G，利用1個觸點C1而連接上述活性區域46b及記憶體閘極電極G，但此種連接構成亦可用於圖14所示之半導體記憶裝置51。於該情形時，例如可成為如下構成，即，分離地配置反熔絲記憶體2g₆中之活性區域55a與記憶體閘極電極Ga，利用1個觸點C1而連接上述活性區域55a及記憶體閘極電極Ga。

(10)關於沿列方向並排之複數個反熔絲記憶體共用1個字元線觸點，且2個反熔絲記憶體共用1個位元線觸點之情形

對與圖10相對應之部分附上相同符號而表示之圖16係表示呈4列4行地配置有例如合計16個反熔絲記憶體2h₁、2h₂、2h₃、2h₄、2h₅、2h₆、2h₇、2h₈、2h₉、2h₁₀、2h₁₁、2h₁₂、2h₁₃、2h₁₄、2h₁₅、2h₁₆之半導體記憶裝置61之平面佈局的構成。於該情形時，於半導體記憶裝置61中，反熔絲記憶體2h₁、2h₂、2h₃、2h₄、2h₅、2h₆、2h₇、2h₈、2h₉、2h₁₀、2h₁₁、2h₁₂、2h₁₃、2h₁₄、2h₁₅、2h₁₆具有完全相同之構成，且與上述圖9A及圖9B同樣地分別具有整流元件43與記憶體電容器44。又，字元線觸點WC71、WC72、WC73、WC74亦為完全相同之構成，因此，此處例如著眼於字元線觸點WC72而進行以下說明。

於上述情形時，字元線觸點WC72配置於具有沿列方向延伸之長度方向之活性區域63，且可由沿該活性區域63而沿列方向配置之4個反熔絲記憶體2h₂、2h₆、2h₁₀、2h₁₄共用。實際上，於字元線觸點WC72所立設之活性區域63中，形成有沿列方向並排之4個反熔絲記憶體2h₂、2h₆、2h₁₀、2h₁₄之各整流元件43中之汲極區域及源極區域，進

而形成有由上述4個反熔絲記憶體 $2h_2$ 、 $2h_6$ 、 $2h_{10}$ 、 $2h_{14}$ 共用之整流元件閘極電極G3。

於上述情形時，整流元件閘極電極G3係以與沿列方向延伸之活性區域63之長度方向並行之方式，具有沿列方向延伸之長度方向，且以可使活性區域63上下斷離之方式配置。藉此，於活性區域63中，可以整流元件閘極電極G3為邊界而於靠近記憶體電容器44之一個區域中形成源極區域，於另一個區域中形成汲極區域。於活性區域55a中，遍及整流元件43之汲極區域與整流元件閘極電極G3而立設有字元線觸點WC72，可經由字元線觸點WC72而對上述汲極區域及整流元件閘極電極G3施加特定之字元電壓。

再者，於上述情形時，字元線觸點WC72所立設之整流元件閘極電極G3及活性區域63之汲極區域由沿活性區域63配置之4個反熔絲記憶體 $2h_2$ 、 $2h_6$ 、 $2h_{10}$ 、 $2h_{14}$ 共用，因此，可藉由字元線觸點WC72而對上述4個反熔絲記憶體 $2h_2$ 、 $2h_6$ 、 $2h_{10}$ 、 $2h_{14}$ 一致地施加來自字元線之特定之字元電壓。

此處，若著眼於例如反熔絲記憶體 $2h_2$ ，則遍及處於活性區域63之整流元件43之源極區域、記憶體電容器44之記憶體閘極電極Ga而立設觸點C1，整流元件43之源極區域與記憶體閘極電極Ga藉由該觸點C1而電性連接。再者，上述反熔絲記憶體 $2h_2$ 、 $2h_3$ 之各記憶體閘極電極Ga配置於相同之活性區域62，於與該活性區域62相對向之各區域中，形成有各反熔絲記憶體 $2h_2$ 、 $2h_3$ 之記憶體閘極絕緣膜6。

附帶說，於上述半導體記憶裝置61中，上述第2列之字元線觸點WC72所立設之活性區域63、與第3列之字元線觸點WC73所立設之活性區域63係以並行之方式而配置，可於上述並行之2個活性區域63之間，呈矩陣狀地配置8個反熔絲記憶體 $2h_2$ 、 $2h_3$ 、 $2h_6$ 、 $2h_7$ 、 $2h_{10}$ 、 $2h_{11}$ 、 $2h_{14}$ 、 $2h_{15}$ 。

又，於上述實施形態之情形時，於半導體記憶裝置61中，第1列之字元線觸點WC71所立設之活性區域63中之整流元件43之汲極區域係以並行之方式，鄰接於第2列之字元線觸點WC72所立設之活性區域63中之整流元件43之汲極區域。該第1列之字元線觸點WC71所立設之活性區域63中之整流元件43之源極區域經由觸點C1，與沿列方向並排之4個反熔絲記憶體 $2h_1$ 、 $2h_5$ 、 $2h_9$ 、 $2h_{13}$ 之記憶體閘極電極Ga連接。又，第4列之字元線觸點WC74所立設之活性區域63中之整流元件之汲極區域亦係以並行之方式，鄰接於第3列之字元線觸點WC73所立設之活性區域63中之整流元件43之汲極區域。該第4列之字元線觸點WC74所立設之活性區域63中之整流元件43之源極區域經由觸點C1，與沿列方向並排之4個反熔絲記憶體 $2h_4$ 、 $2h_8$ 、 $2h_{12}$ 、 $2h_{16}$ 之記憶體閘極電極Ga連接。

其次，對位元線觸點BC71、BC72、BC73、BC74、BC75、BC76、BC77、BC78、BC79、BC80、BC81、BC82進行以下說明。於該實施形態之情形時，於半導體記憶裝置61中，呈3列4行地配置有合計12之位元線觸點BC71、BC72、BC73、BC74、BC75、BC76、BC77、BC78、BC79、BC80、BC81、BC82。上述位元線觸點BC71、BC72、BC73、BC74、BC75、BC76、BC77、BC78、BC79、BC80、BC81、BC82分別配置於不同之活性區域62，可將來自位元線(未圖示)之特定之位元電壓分別施加至相對應之活性區域62。

此處，配置於中央區域之沿列方向並排之位元線觸點BC75、BC76、BC77、BC78具有完全相同之構成，因此，著眼於其中之例如位元線觸點BC75而進行以下說明。於該情形時，於配置有位元線觸點BC75之活性區域62中，設置有連接於不同之字元線觸點WC72、WC73且沿行方向並排之2個反熔絲記憶體 $2h_2$ 、 $2h_3$ 。藉此，位元線觸點BC75由上述2個反熔絲記憶體 $2h_2$ 、 $2h_3$ 共用，可對上述2個反熔絲記

憶體 $2h_2$ 、 $2h_3$ 一致地施加來自位元線之特定之位元電壓。

實際上，於上述位元線觸點BC75所立設之活性區域62中，以該位元線觸點BC75為中心而上下對稱地配置有反熔絲記憶體 $2h_2$ 與反熔絲記憶體 $2h_3$ 。具體而言，於位元線觸點BC75所立設之活性區域62之一邊側，相對向地配置有一個反熔絲記憶體 $2h_2$ 之記憶體閘極電極Ga，且形成有該反熔絲記憶體 $2h_2$ 之記憶體閘極絕緣膜6。又，於上述活性區域62之另一邊側，亦同樣相對向地配置有其他反熔絲記憶體 $2h_3$ 之記憶體閘極電極Ga，且形成有該反熔絲記憶體 $2h_3$ 之記憶體閘極絕緣膜6。

附帶說，於半導體記憶裝置61之平面佈局中之於末端沿列方向配置之4個位元線觸點BC71、BC72、BC73、BC74(BC79、BC80、BC81、BC82)，分別僅連接有相對應之1個反熔絲記憶體 $2h_1$ 、 $2h_5$ 、 $2h_9$ 、 $2h_{13}$ ($2h_4$ 、 $2h_8$ 、 $2h_{12}$ 、 $2h_{16}$)。如此，上述於末端沿列方向配置之各位元線觸點BC71、BC72、BC73、BC74(BC79、BC80、BC81、BC82)可分別僅對相對應之1個反熔絲記憶體 $2h_1$ 、 $2h_5$ 、 $2h_9$ 、 $2h_{13}$ ($2h_4$ 、 $2h_8$ 、 $2h_{12}$ 、 $2h_{16}$)施加位元電壓。

如此，末端之各位元線觸點BC71、BC72、BC73、BC74、BC79、BC80、BC81、BC82可分別僅對1個反熔絲記憶體 $2h_1$ 、 $2h_5$ 、 $2h_9$ 、 $2h_{13}$ 、 $2h_4$ 、 $2h_8$ 、 $2h_{12}$ 、 $2h_{16}$ 施加特定之位元電壓，但配置於中央區域之各位元線觸點BC75、BC76、BC77、BC78可分別對相對應之2個反熔絲記憶體 $2h_2, 2h_3$ 、 $2h_6, 2h_7$ 、 $2h_{10}, 2h_{11}$ 、 $2h_{14}, 2h_{15}$ 一致地施加特定之位元電壓，因此，由於2個反熔絲記憶體 $2h_2, 2h_3$ 、 $2h_6, 2h_7$ 、 $2h_{10}, 2h_{11}$ 、 $2h_{14}, 2h_{15}$ 共用1個位元線觸點BC75、BC76、BC77、BC78，相應地可使裝置整體小型化。

對於以上之構成，於圖16所示之半導體記憶裝置61之反熔絲記憶體 $2h_1$ 、 $2h_2$ 、 $2h_3$ 、 $2h_4$ 、 $2h_5$ 、 $2h_6$ 、 $2h_7$ 、 $2h_8$ 、 $2h_9$ 、 $2h_{10}$ 、 $2h_{11}$ 、

$2h_{12}$ 、 $2h_{13}$ 、 $2h_{14}$ 、 $2h_{15}$ 、 $2h_{16}$ 中，與上述「(6-3)上述構成之半導體記憶裝置之作用及效果」同樣地，未使用先前之控制電路，而是可根據向記憶體電容器44之記憶體閘極電極Ga及字元線施加之電壓值，藉由整流元件43而阻斷自記憶體閘極電極Ga向字元線施加電壓，如此，無需先前之選擇性地向記憶體電容器施加電壓之開關電晶體、或進而用以使開關電晶體進行接通斷開動作之開關控制電路，從而可相應地實現小型化。

而且，例如於半導體記憶裝置61中之反熔絲記憶體 $2h_2$ 中，與上述「(6-3)上述構成之半導體記憶裝置之作用及效果」同樣地，可設置(i)第一阻斷機構與(ii)第二阻斷機構該雙重之阻斷機構，藉此，可執行正常之資料寫入動作，因此，亦可確實地防止資料讀出時之誤動作，上述(i)第一阻斷機構將0[V]之非擊穿字元電壓施加至字元線(寫入非選擇字元線)，藉此，不於記憶體電容器44中形成通道，上述(ii)第二阻斷機構使整流元件43成為斷開狀態而阻斷非擊穿位元電壓。

又，於圖16所示之半導體記憶裝置61中，例如沿一方向(於該情形時為列方向)並排之4個反熔絲記憶體 $2h_2$ 、 $2h_6$ 、 $2h_{10}$ 、 $2h_{14}$ 共用1個字元線觸點WC72，並且例如彼此相鄰接之2個反熔絲記憶體 $2h_2$ 、 $2h_3$ 共用1個位元線觸點BC75，藉此，與針對各反熔絲記憶體而分別個別地設置位元線觸點及字元線觸點之情形相比較，可使裝置整體小型化。

附帶說，圖16所示之半導體記憶裝置61亦可設為如下構成，即，例如於反熔絲記憶體 $2h_2$ 中，使整流元件43之活性區域63與記憶體電容器44之記憶體閘極電極Ga分離，藉由配線而連接設置於活性區域63之一個觸點、與設置於記憶體閘極電極Ga之其他觸點。又，亦可如圖9B所示之構成般，設為如下構成，即，使整流元件43之活性區域63與記憶體電容器44之記憶體閘極電極Ga分離，利用1個觸點

C1而連接上述活性區域63及記憶體閘極電極Ga。

(11)其他實施形態

(11-1)具有包含P型MOS電晶體之整流元件之反熔絲記憶體

於上述「(6)具有包含N型MOS(Metal-Oxide-Semiconductor)電晶體之整流元件之反熔絲記憶體」中，已敘述了設置有作為N型MOS電晶體之整流元件43之反熔絲記憶體42，但本發明不限於此，如對與圖8相對應之部分附上相同符號而表示之圖17所示，亦可應用設置有作為P型MOS電晶體之整流元件73之反熔絲記憶體72。於該情形時，反熔絲記憶體72包括記憶體電容器44，該記憶體電容器44包括具有P型MOS電晶體之半導體接合構造之整流元件73、與會因位元線BL及記憶體閘極電極G之間之電壓差而受到絕緣擊穿之記憶體閘極絕緣膜6。

於上述情形時，於記憶體電容器44之一端之擴散區域連接有位元線BL，於記憶體閘極電極G連接有整流元件73。整流元件73具有如下構成，其整流元件閘極電極G1與汲極區域連接於記憶體電容器44之記憶體閘極電極G，並且井連接於井控制端子，進而源極區域連接於字元線WL。藉此，只要未自字元線WL施加導通電壓，則整流元件73會進行斷開動作，因此，可阻斷自記憶體閘極電極G向字元線WL施加電壓。

此處，包括如上所述之MOS電晶體構成之整流元件73之反熔絲記憶體72亦可由如圖9A所示之剖面構成形成，因此，整流元件73之整流元件閘極電極G1、與記憶體電容器44之記憶體閘極電極G可形成於相同之配線層(同一層)，另外，整流元件閘極電極G1、與記憶體電容器44之記憶體閘極電極G可形成為相同之膜厚。藉此，反熔絲記憶體72亦可整體實現薄型化。

如上所述之反熔絲記憶體72於資料寫入動作時，可將5[V]之擊穿

字元電壓施加至字元線WL，且可將0[V]之擊穿位元電壓施加至位元線BL。又，可將與擊穿字元電壓相同之5[V]自井控制端子施加至形成有整流元件73之井。假設若整流元件73之源極區域之電位為0[V]左右，則整流元件73會進行導通動作，若將其臨限值電壓設為-0.7[V]，則源極區域會被充電至4.3[V]為止。

藉此，於記憶體電容器44中，5[V]之擊穿字元電壓自整流元件73施加至記憶體閘極電極G，此時，位元線為0[V]，因此進行導通動作，通道電位亦為0 V。其結果，於記憶體電容器44中，記憶體閘極電極G與通道及擴散區域之間可產生由擊穿位元電壓及擊穿字元電壓引起之大電壓差。如此，寫入資料之反熔絲記憶體72可成為如下狀態，即，於記憶體電容器44中，記憶體閘極電極G下部之記憶體閘極絕緣膜6受到絕緣擊穿，記憶體閘極電極G與擴散區域以低電阻而成為導通狀態，於記憶體電容器44中寫入有資料。

再者，對於與上述「(6 - 2)資料之寫入動作」同樣地，位元線BL施加有3[V]之非擊穿位元電壓且字元線WL施加有0[V]之非擊穿字元電壓之未寫入資料之反熔絲記憶體72而言，例如於記憶體電容器44之記憶體閘極絕緣膜6已受到絕緣擊穿之情形時，位元線BL之3[V]之非擊穿位元電壓可經由記憶體電容器44之記憶體閘極電極G而施加至整流元件73之源極區域。然而，於該情形時，由於整流元件73進行斷開動作，故而反熔絲記憶體72可防止位元線BL之3[V]之非擊穿位元電壓施加至字元線WL，字元線WL之電位不會變化。

附帶說，對於字元線WL施加有5[V]之擊穿字元電壓且位元線BL施加有3[V]之非擊穿位元電壓之未寫入資料之反熔絲記憶體72而言，於記憶體電容器44中，記憶體閘極電極G與擴散區域之電壓差減小，因此，即使在假設記憶體電容器44中之記憶體閘極絕緣膜6未受到絕緣擊穿時，該記憶體閘極絕緣膜6未受到絕緣擊穿而處於絕緣狀態，

從而可維持未寫入資料之狀態。

再者，呈矩陣狀地配置有具有如上所述之構成之反熔絲記憶體72之半導體記憶裝置亦可藉由上述「(1-3)資料之讀出動作」而將所期望之反熔絲記憶體72之資料讀出，因此，此處省略其說明。

對於以上之構成，未寫入資料之反熔絲記憶體72亦與上述同樣地，於高電壓之非擊穿位元電壓施加至連接於記憶體電容器44之位元線BL時，例如即使記憶體電容器44之記憶體閘極絕緣膜6受到絕緣擊穿，藉由將整流元件73之通道設為斷開狀態(非導通狀態)，阻斷自記憶體電容器44之記憶體閘極電極G向字元線WL施加非擊穿位元電壓。

因此，反熔絲記憶體72亦與上述同樣地，未使用先前之控制電路，而是設置電晶體構成之整流元件73，該電晶體構成之整流元件73根據記憶體閘極電極G及字元線WL之電壓值，利用斷開動作而阻斷自記憶體閘極電極G向字元線WL施加電壓，因此，無需選擇性地向記憶體電容器44施加各電壓之開關電晶體、或用以使開關電晶體進行接通斷開動作之開關控制電路，從而可相應地實現小型化。

而且，於如上所述之反熔絲記憶體72中，亦可設置(i)第一阻斷機構與(ii)第二阻斷機構該雙重之阻斷機構，藉此，可執行正常之資料寫入動作，因此，亦可確實地防止資料讀出時之誤動作，上述(i)第一阻斷機構將0[V]之非擊穿字元電壓施加至字元線(寫入非選擇字元線)WL，藉此，不於記憶體電容器44中形成通道，上述(ii)第二阻斷機構使整流元件73成為斷開狀態而阻斷非擊穿位元電壓。

又，如上所述之反熔絲記憶體72亦可實現與上述「(7)關於4個反熔絲記憶體共用1個字元線觸點及1個位元線觸點之情形」、或「(8)關於其他實施形態之位元線及字元線之平面佈局之構成」、「(9)關於2個反熔絲記憶體共用1個字元線觸點，且沿行方向並排之複數個反熔絲

記憶體共用1個位元線觸點之情形」、「(10)關於沿列方向並排之複數個反熔絲記憶體共用1個字元線觸點，且2個反熔絲記憶體共用1個位元線觸點之情形」相同之構成，因此，與各實施形態同樣地，複數個反熔絲記憶體72可共用1個位元線觸點及1個字元線觸點，故而與針對各反熔絲記憶體而分別個別地設置位元線觸點及字元線觸點之情形相比較，可使裝置整體小型化。

(11-2)包括電晶體構成之整流元件之反熔絲記憶體之其他實施形態的構成

再者，於上述實施形態中敘述了如下情形，即，如圖9A及圖9B所示，自成為整流元件43之汲極區域之擴散區域5c至整流元件閘極電極G1立設有1個字元線觸點WC，但本發明不限於此，亦可如對與圖9A相對應之部分附上相同符號而表示之圖18A、或對與圖9B相同之部分附上相同符號而表示之圖18B(再者，圖18A表示圖18B之C-C'部分之側剖面構成)所示，設置將字元線WL與成為整流元件43之汲極區域之擴散區域5c予以連接之字元線觸點WCa1，進而利用其他字元線觸點WCa2與配線83而連接該字元線觸點WCa1及整流元件閘極電極G1。

又，於上述實施形態中敘述了如下情形，即，如圖9A及圖9B所示，自成為整流元件43之源極區域之擴散區域5b至記憶體電容器44之記憶體閘極電極G立設有1個觸點C1，但本發明不限於此，亦可如圖18A及圖18B所示，於成為整流元件43之源極區域之擴散區域5b設置支柱狀之觸點C1a，另一方面，亦於記憶體電容器44之記憶體閘極電極G設置其他觸點C1b，藉由配線84而連接上述2個觸點C1a、C1b。而且，具有如圖18A及圖18B所示之構成之反熔絲記憶體82亦可獲得與上述實施形態相同之效果。

(11-3)其他

再者，本發明並不限定於本實施形態，能於本發明之宗旨之範圍內實施各種變形，例如亦可適當地組合上述各實施形態所示之反熔絲記憶體。又，亦可將圖9所示之具有N型電晶體之整流元件43之反熔絲記憶體42、或圖17所示之包括P型電晶體之整流元件73之反熔絲記憶體72、圖9A及圖18A之側剖面構成等適當地組合至上述各實施形態作為其他實施形態。進而，於各實施形態中，亦可應用列方向或行方向作為一方向，此時，另一方向成為與一方向正交之行方向或列方向。

進而，只要整流元件43之活性區域(源極區域)與記憶體電容器44之記憶體閘極電極電性連接，則亦可應用各種構成，例如，亦可將如圖9B或圖13、圖15所示之整流元件43之活性區域(源極區域)46b、55a與記憶體閘極電極Ga、G之連接構成適當地組合至上述各種實施形態而加以使用。

進而，於各實施形態中，反熔絲記憶體數亦可設為各種數量，於該情形時，位元線觸點及字元線觸點之個數、或位元線及字元線之根數亦會根據反熔絲記憶體數而增減。又，藉此，於半導體記憶裝置中，配置於中央區域之位元線觸點及字元線觸點之個數亦會增減。

【符號說明】

1	半導體記憶裝置
1a	半導體記憶裝置
2a	反熔絲記憶體
2a ₁ ...2a ₁₆	反熔絲記憶體
2b	反熔絲記憶體
2b ₁ ...2b ₁₆	反熔絲記憶體
2c	反熔絲記憶體
2c ₁ ...2c ₁₆	反熔絲記憶體

2d	反熔絲記憶體
2d ₁ ...2d ₁₆	反熔絲記憶體
2e ₁ ...2e ₁₆	反熔絲記憶體
2f ₁ ...2f ₁₆	反熔絲記憶體
2g ₁ ...2g ₁₆	反熔絲記憶體
2h ₁ ...2h ₁₆	反熔絲記憶體
3	整流元件
4	記憶體電容器
5	擴散區域
5a	擴散區域
5b	擴散區域
5c	擴散區域
6	記憶體閘極絕緣膜
7	N型半導體區域
8	P型半導體區域
9	層間絕緣層
12	活性區域
21	半導體記憶裝置
31	半導體記憶裝置
41	半導體記憶裝置
41a	半導體記憶裝置
42	反熔絲記憶體
43	整流元件
44	記憶體電容器
46a	活性區域
46b	活性區域

48	閘極絕緣膜
51	半導體記憶裝置
54	配線
55a	活性區域
61	半導體記憶裝置
62	活性區域
63	活性區域
72	反熔絲記憶體
73	整流元件
82	反熔絲記憶體
84	配線
BC	位元線觸點
BC11...BC19	位元線觸點
BC1a...BC6a	位元線觸點
BC21...BC24	位元線觸點
BC31...BC42	位元線觸點
BC51...BC59	位元線觸點
BC51a...BC56a	位元線觸點
BC61...BC64	位元線觸點
BC71...BC82	位元線觸點
BL	位元線
BLa	位元線
BLb	位元線
BL1a...BL6a	位元線
BL1b...BL4b	位元線
BL1c...BL6c	位元線

BL1d...BL4d	位元線
C1	觸點
C1a	觸點
C1b	觸點
C2	觸點
C3	觸點
G	記憶體閘極電極
Ga	記憶體閘極電極
G1	整流元件閘極電極
G2	整流元件閘極電極
G3	整流元件閘極電極
IL	元件分離層
ILa	元件分離層
ILc	元件分離層
ILb	整流元件形成層
S2	井
SC	矽化物
SW	側壁
WC	字元線觸點
WC11...WC14	字元線觸點
WC1a...WC6a	字元線觸點
WC21...WC28	字元線觸點
WC31...WC34	字元線觸點
WC51...WC54	字元線觸點
WC51a...WC56a	字元線觸點
WC61...WC68	字元線觸點

WC71...WC74	字元線觸點
WL	字元線
WL a	字元線
WL b	字元線
WL 1 a...WL 4 a	字元線
WL 1 b...WL 4 b	字元線
WL 1 c...WL 4 c	字元線
WL 1 d...WL 4 d	字元線

申請專利範圍

1. 一種半導體記憶裝置，其特徵在於：其係於複數根字元線及複數根位元線之各交叉部位配置有反熔絲記憶體者，
各上述反熔絲記憶體包括：
記憶體電容器，其介隔記憶體閘極絕緣膜而設置有記憶體閘極電極，且於形成於井之一擴散區域經由位元線觸點而連接有上述複數根位元線之中之一根位元線；及
整流元件，其設置於上述記憶體閘極電極與上述複數根字元線之中之一根字元線之間，將來自上述字元線之電壓經由字元線觸點而施加至上述記憶體閘極電極，另一方面，根據向上述記憶體閘極電極及上述字元線施加之電壓值，阻斷自上述記憶體閘極電極向上述字元線施加電壓，
2個以上之上述反熔絲記憶體共用1個上述位元線觸點。
2. 如請求項1之半導體記憶裝置，其中對1個上述字元線觸點連接有2個以上之上述反熔絲記憶體。
3. 一種半導體記憶裝置，其特徵在於：其係於複數根字元線及複數根位元線之各交叉部位配置有反熔絲記憶體者，
各上述反熔絲記憶體包括：
記憶體電容器，其介隔記憶體閘極絕緣膜而設置有記憶體閘極電極，且於形成於井之一擴散區域經由位元線觸點而連接有上述複數根位元線之中之一根位元線；及
整流元件，其設置於上述記憶體閘極電極與上述複數根字元線之中之一根字元線之間，將來自上述字元線之電壓經由字元線觸點而施加至上述記憶體閘極電極，另一方面，根據向上述記憶體閘極電極及上述字元線施加之電壓值，阻斷自上述記憶

體閘極電極向上述字元線施加電壓，

2個以上之上述反熔絲記憶體共用1個上述字元線觸點。

4. 如請求項1至3中任一項之半導體記憶裝置，其中彼此相鄰接之4個上述反熔絲記憶體共用1個上述位元線觸點，並且彼此相鄰接之4個上述反熔絲記憶體共用1個上述字元線觸點。

5. 如請求項4之半導體記憶裝置，其中連接於1個上述位元線觸點之4個上述反熔絲記憶體係連接於可各自電性獨立地控制之上述字元線，

連接於1個上述字元線觸點之4個上述反熔絲記憶體係連接於可各自電性獨立地控制之上述位元線。

6. 如請求項1至3中任一項之半導體記憶裝置，其中各上述位元線係經由上述位元線觸點而將電壓施加至2個以上之上述反熔絲記憶體，各上述字元線係經由上述字元線觸點而將電壓施加至2個以上之上述反熔絲記憶體。

7. 如請求項1至3中任一項之半導體記憶裝置，其中於配置於末端且沿特定方向並排之各上述字元線觸點，分別連接有2個上述反熔絲記憶體，

於配置於中央區域之其餘之上述字元線觸點，分別連接有4個上述反熔絲記憶體。

8. 如請求項1至3中任一項之半導體記憶裝置，其中沿一方向並排之複數個上述反熔絲記憶體共用1個上述位元線觸點，並且連接於不同之上述位元線觸點且相鄰接之2個上述反熔絲記憶體共用1個上述字元線觸點。

9. 如請求項1至3中任一項之半導體記憶裝置，其中沿一方向並排之複數個上述反熔絲記憶體共用1個上述字元線觸點，並且連接於不同之上述字元線觸點且相鄰接之2個上述反熔絲記憶體共用

1個上述位元線觸點。

10. 如請求項1至3中任一項之半導體記憶裝置，其中上述反熔絲記憶體

於將資料寫入至上述記憶體電容器時，施加至上述字元線之電壓經由上述整流元件而施加至上述記憶體閘極電極，利用該記憶體閘極電極與上述位元線之電壓差，將上述記憶體閘極絕緣膜受到絕緣擊穿，

於未將資料寫入至上述記憶體電容器時，若上述記憶體閘極電極之電壓高於上述字元線之電壓，則阻斷上述記憶體電容器自上述記憶體閘極電極向上述字元線施加電壓。

11. 如請求項1至3中任一項之半導體記憶裝置，其中上述反熔絲記憶體之上述整流元件包含P型半導體區域與N型半導體區域接合而成之PN接面二極體之半導體接合構造，上述P型半導體區域經由上述字元線觸點而連接於上述字元線，上述N型半導體區域連接於上述記憶體閘極電極。

12. 如請求項11之半導體記憶裝置，其中上述反熔絲記憶體之構成上述整流元件之上述P型半導體區域與上述N型半導體區域係與上述記憶體閘極電極一體地形成。

13. 如請求項1至3中任一項之半導體記憶裝置，其中上述反熔絲記憶體之上述整流元件包含N型MOS(Metal-Oxide-Semiconductor)電晶體或P型MOS電晶體，一端之源極區域連接於上述記憶體閘極電極，並且另一端之汲極區域連接於上述字元線，整流元件閘極電極連接於上述字元線或上述記憶體閘極電極中之任一者，藉由將通道設為非導通狀態而阻斷自上述記憶體閘極電極向上述字元線施加電壓。

圖式

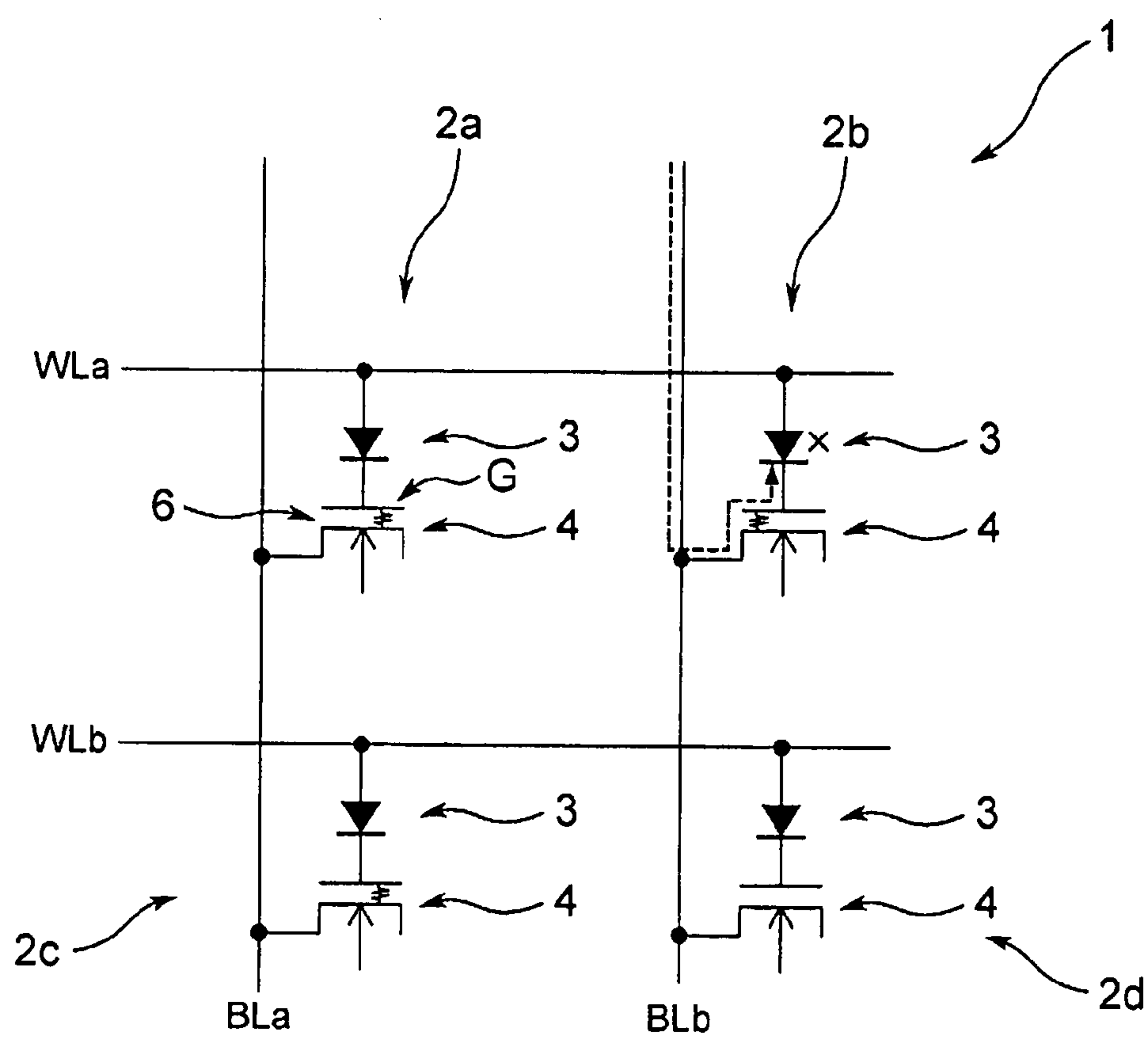


圖1

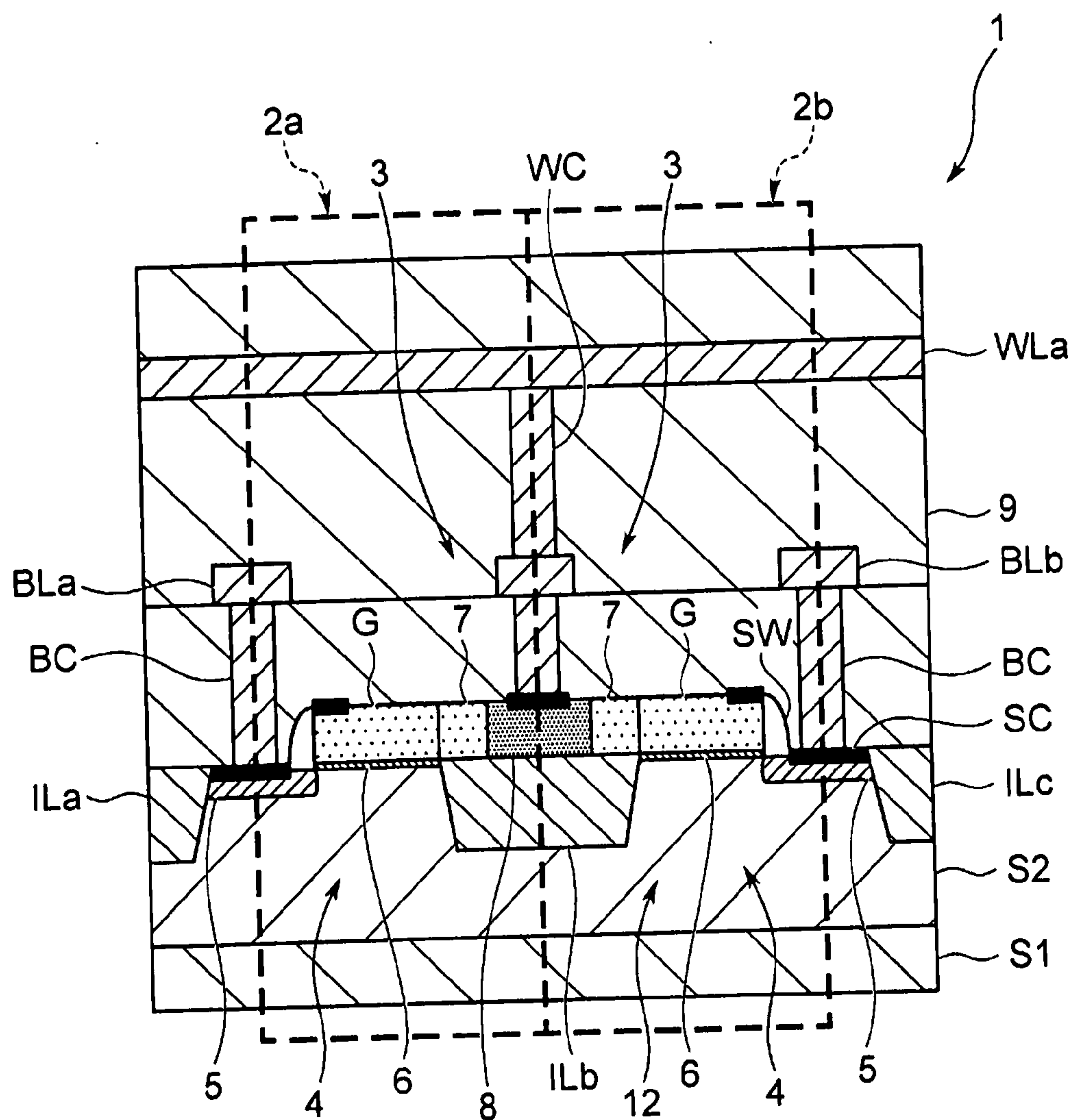


圖2A

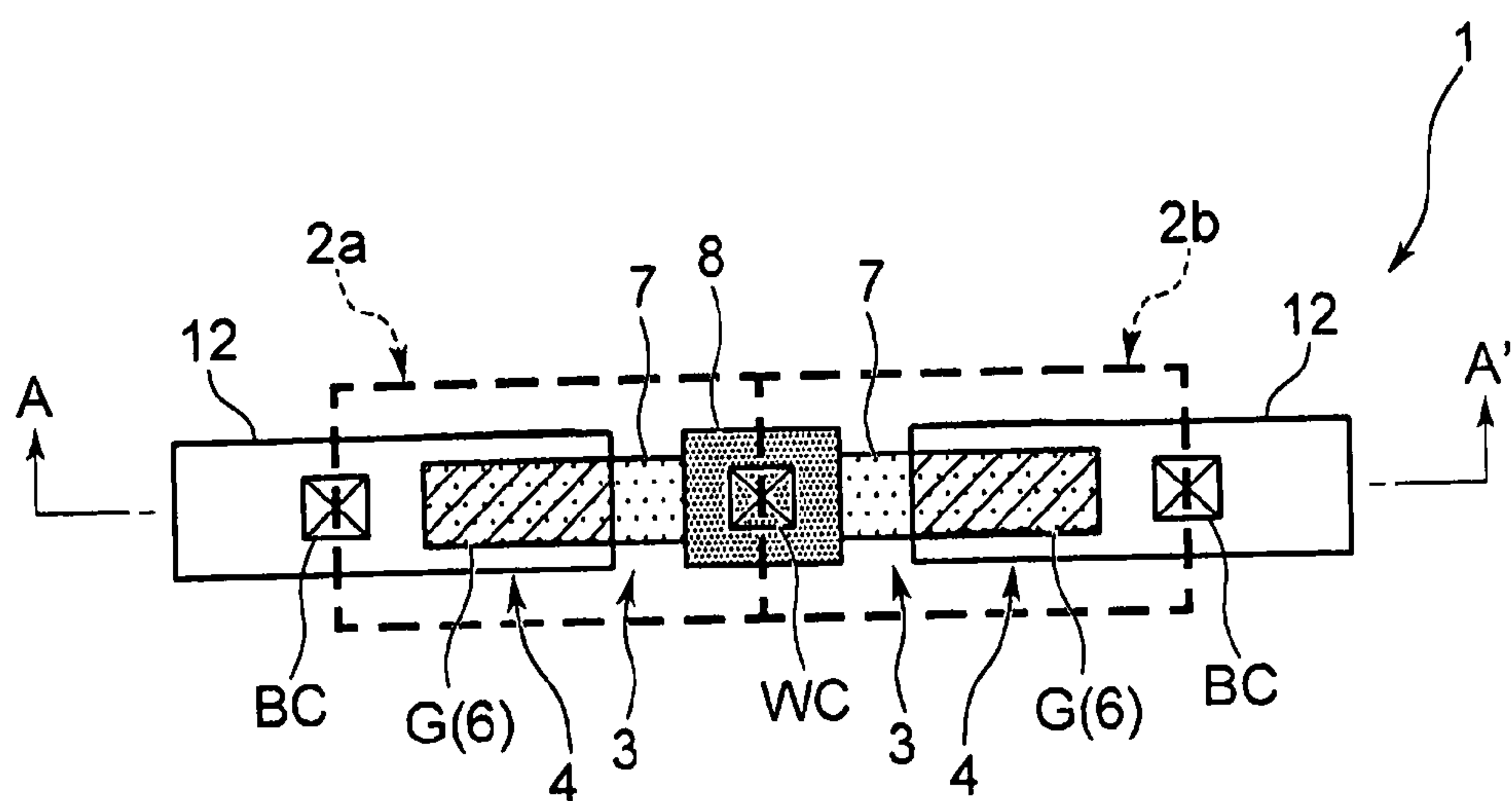


圖2B

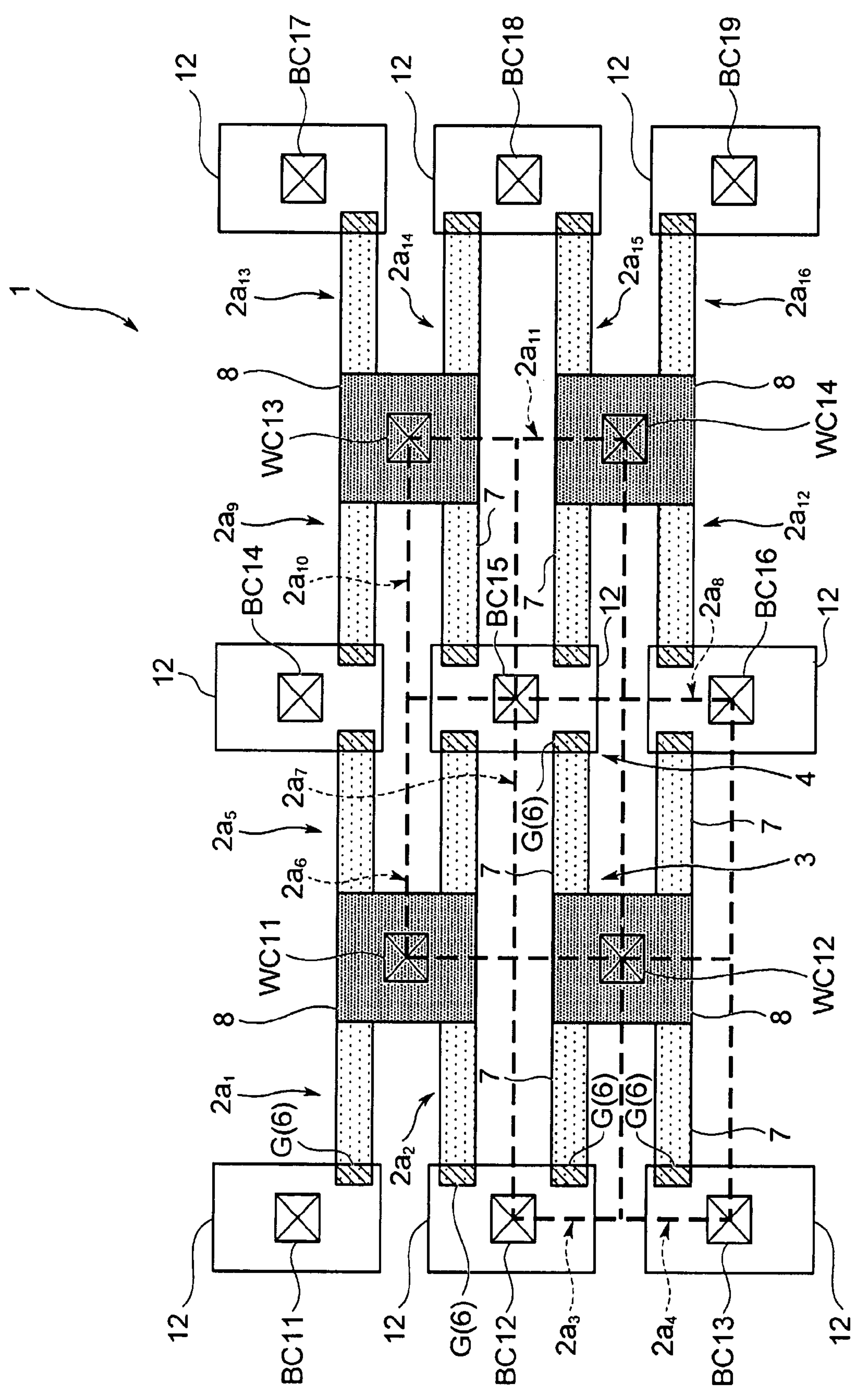


圖3

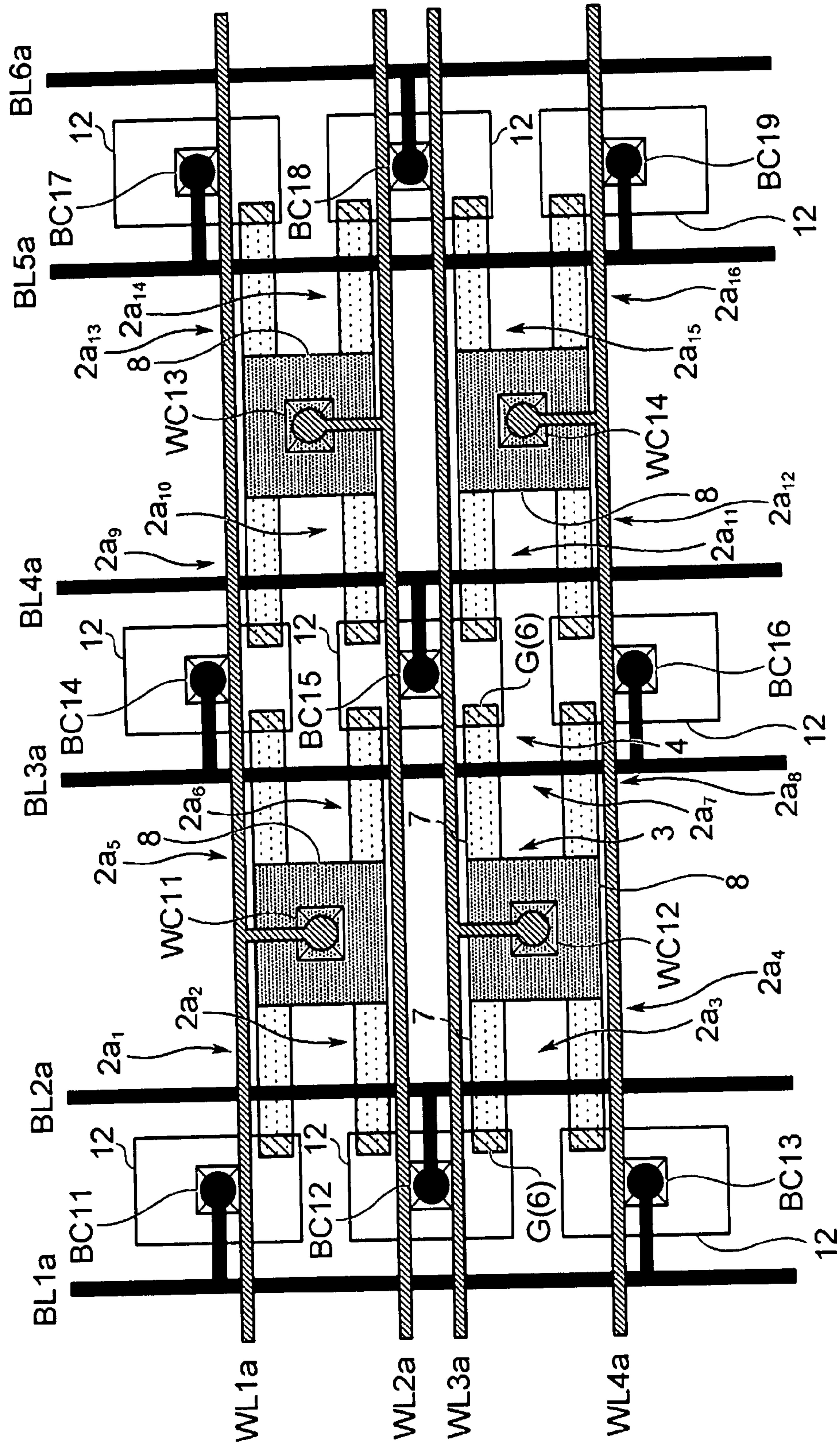


圖4

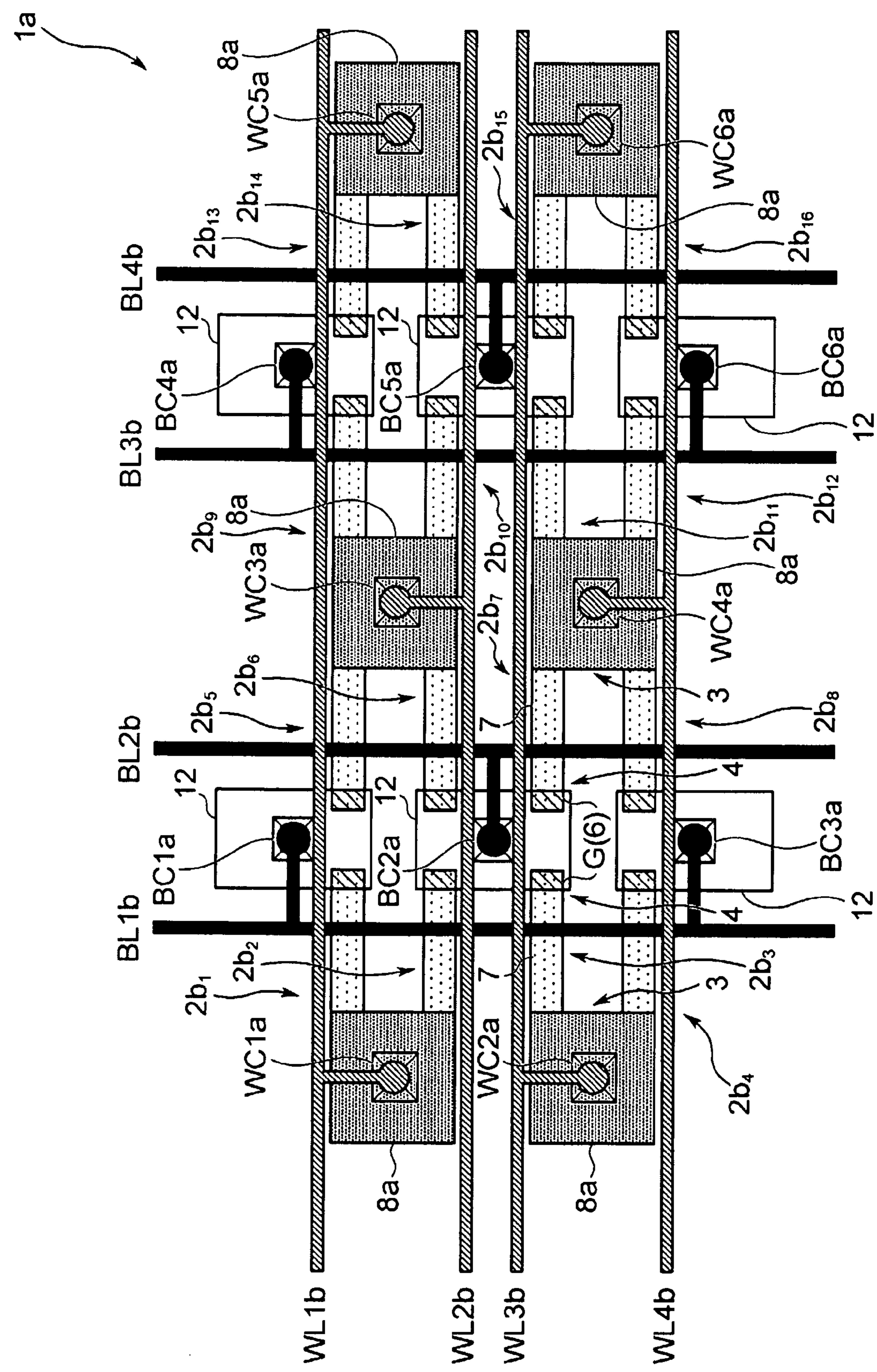
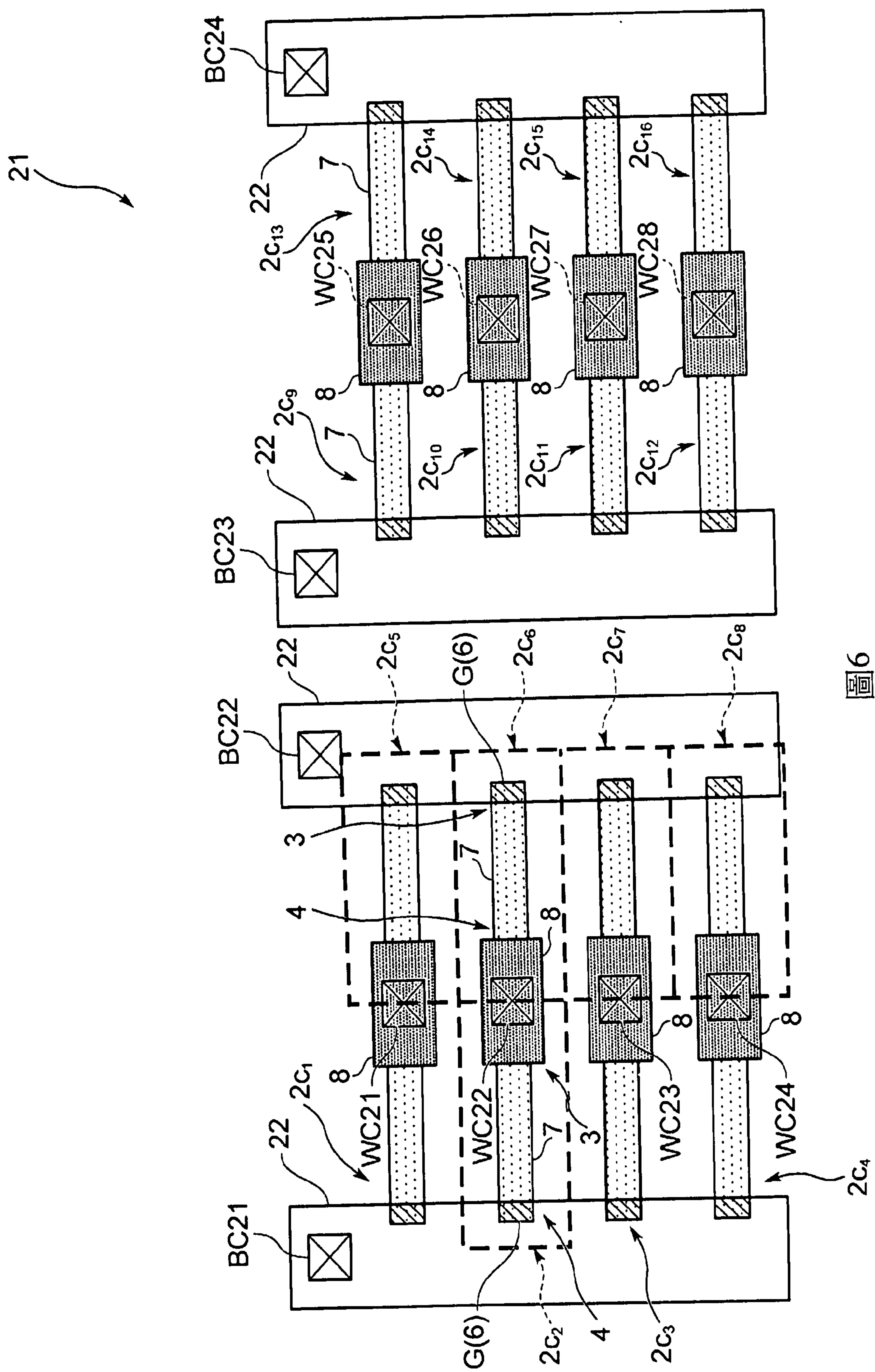


圖5



回



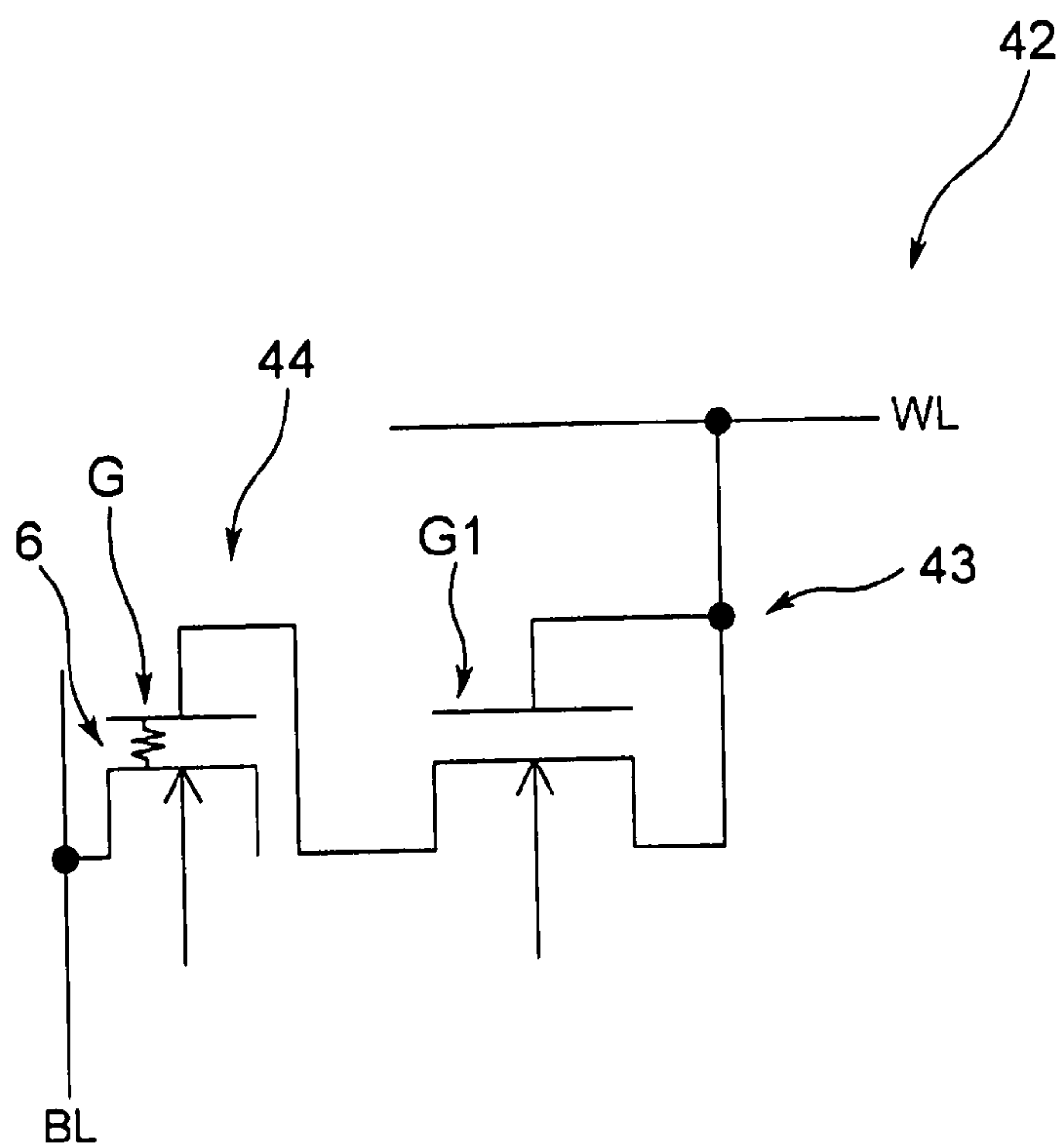


圖8

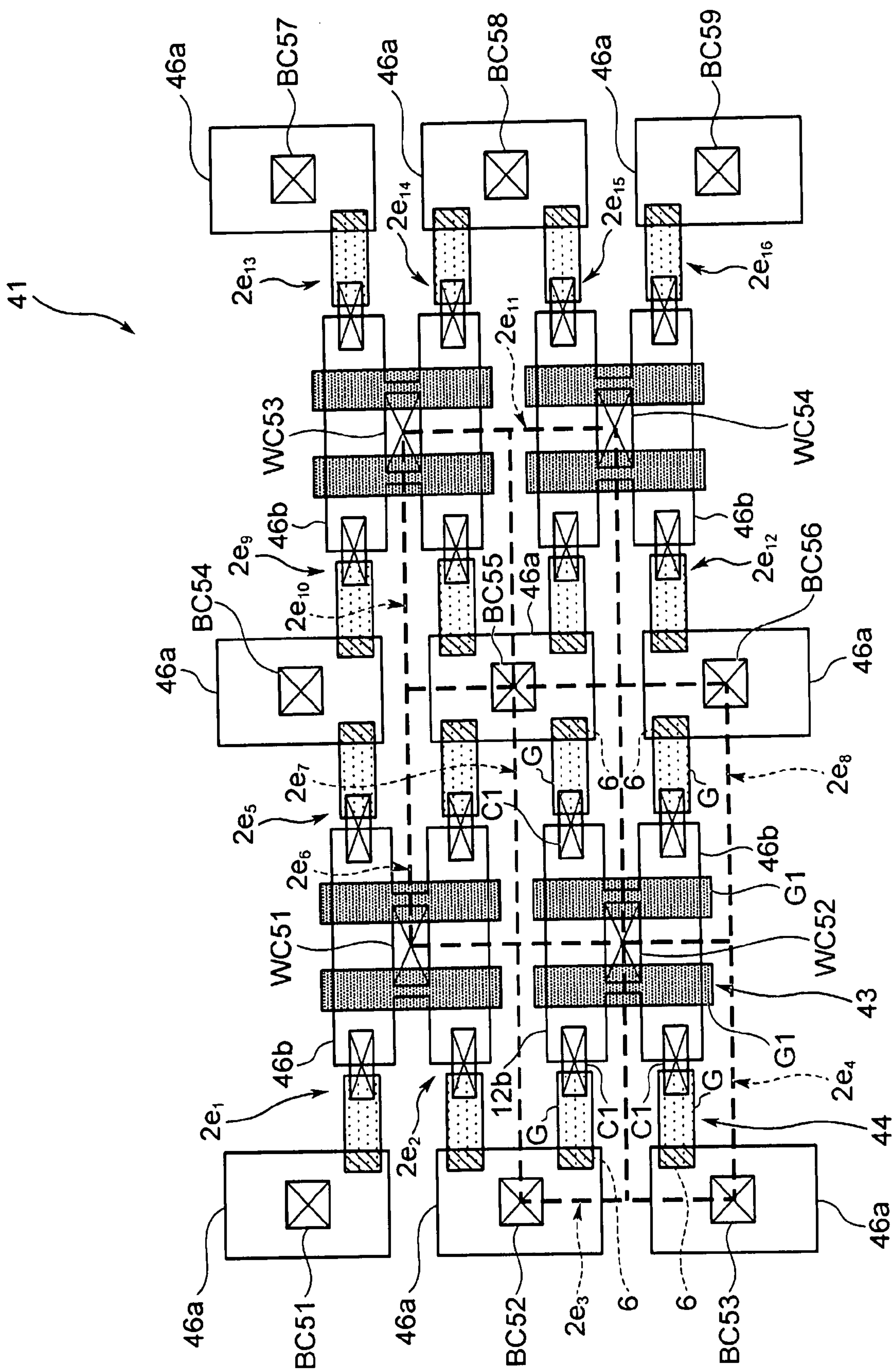


圖10

41

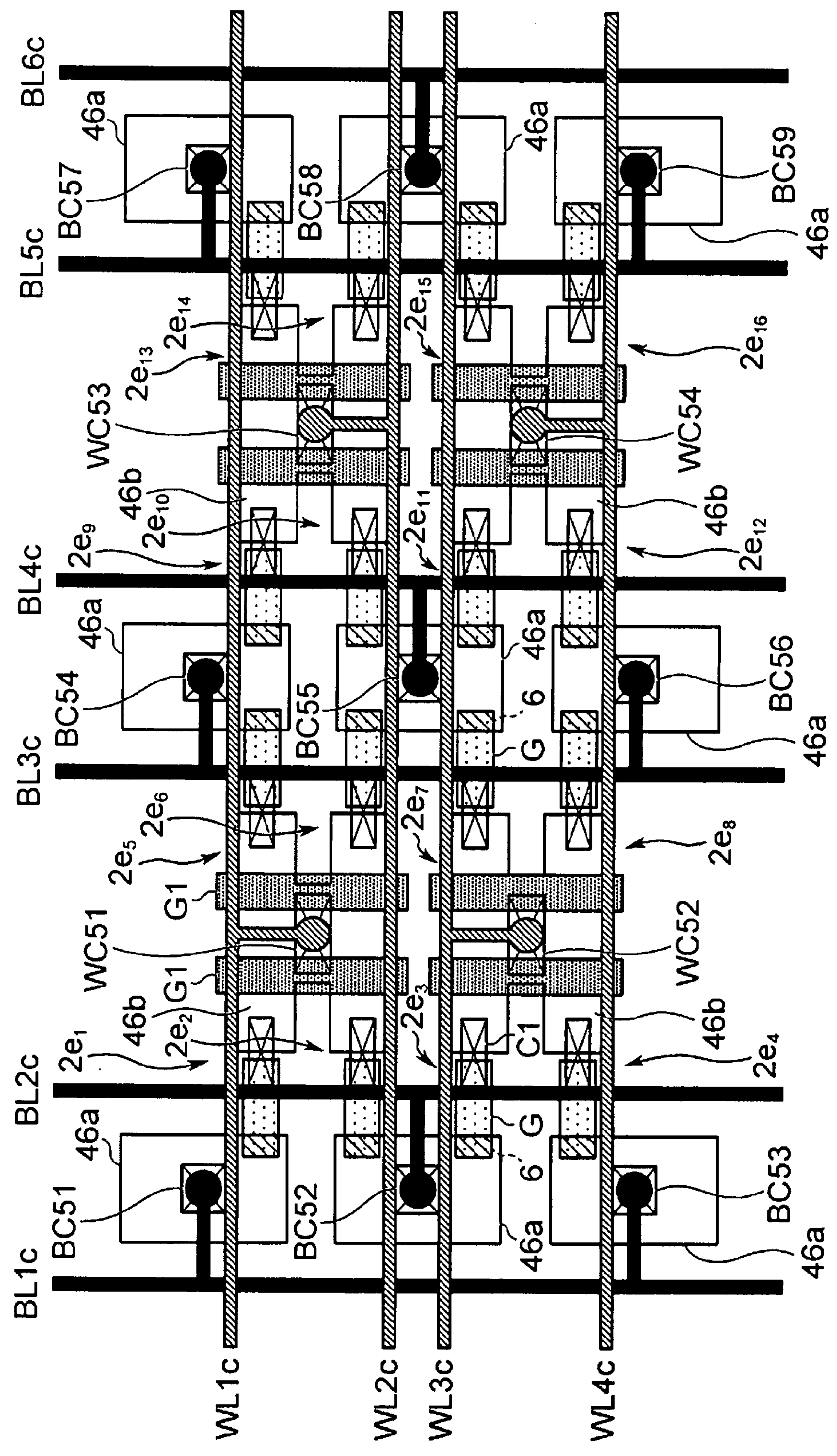
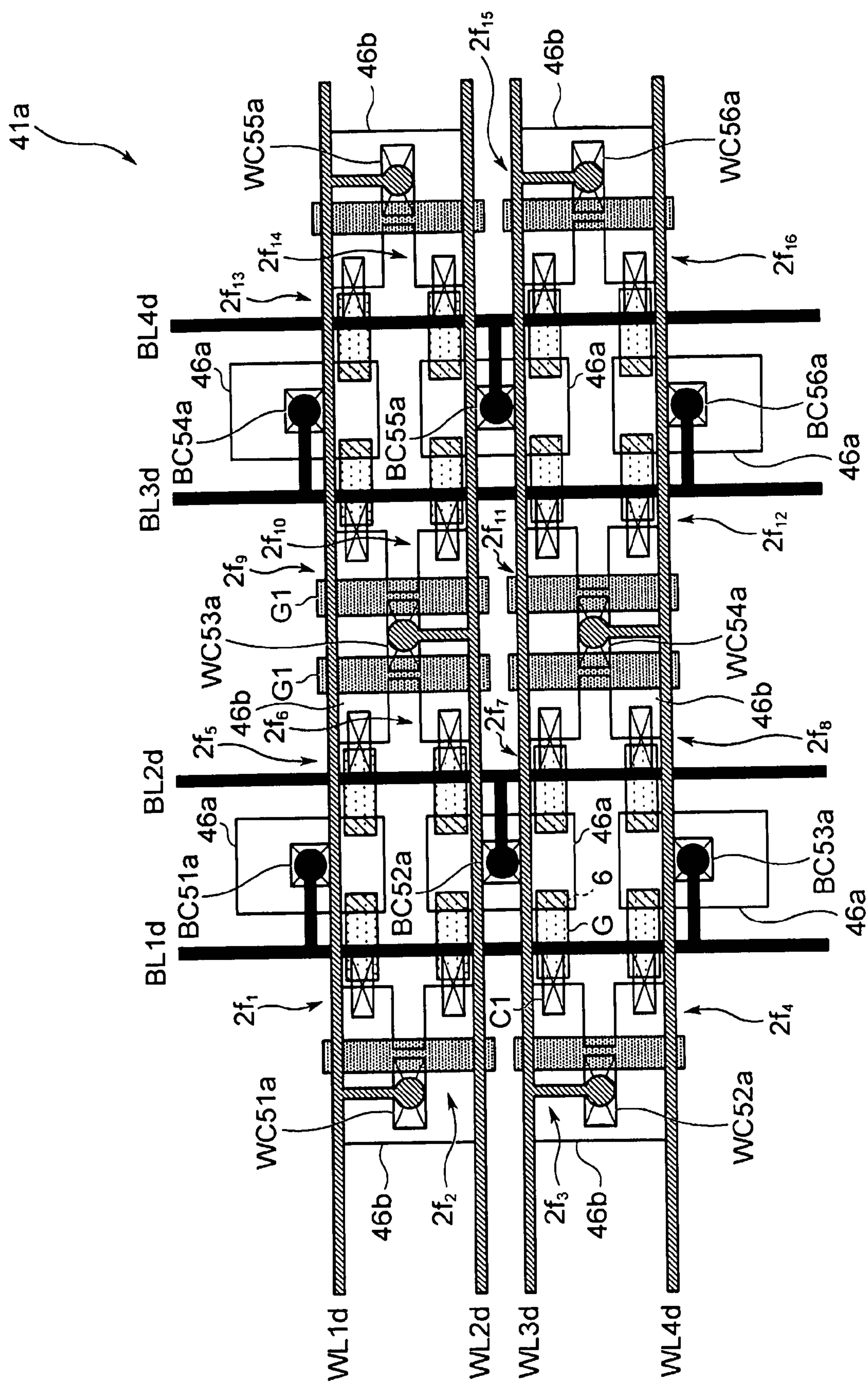


圖11



12

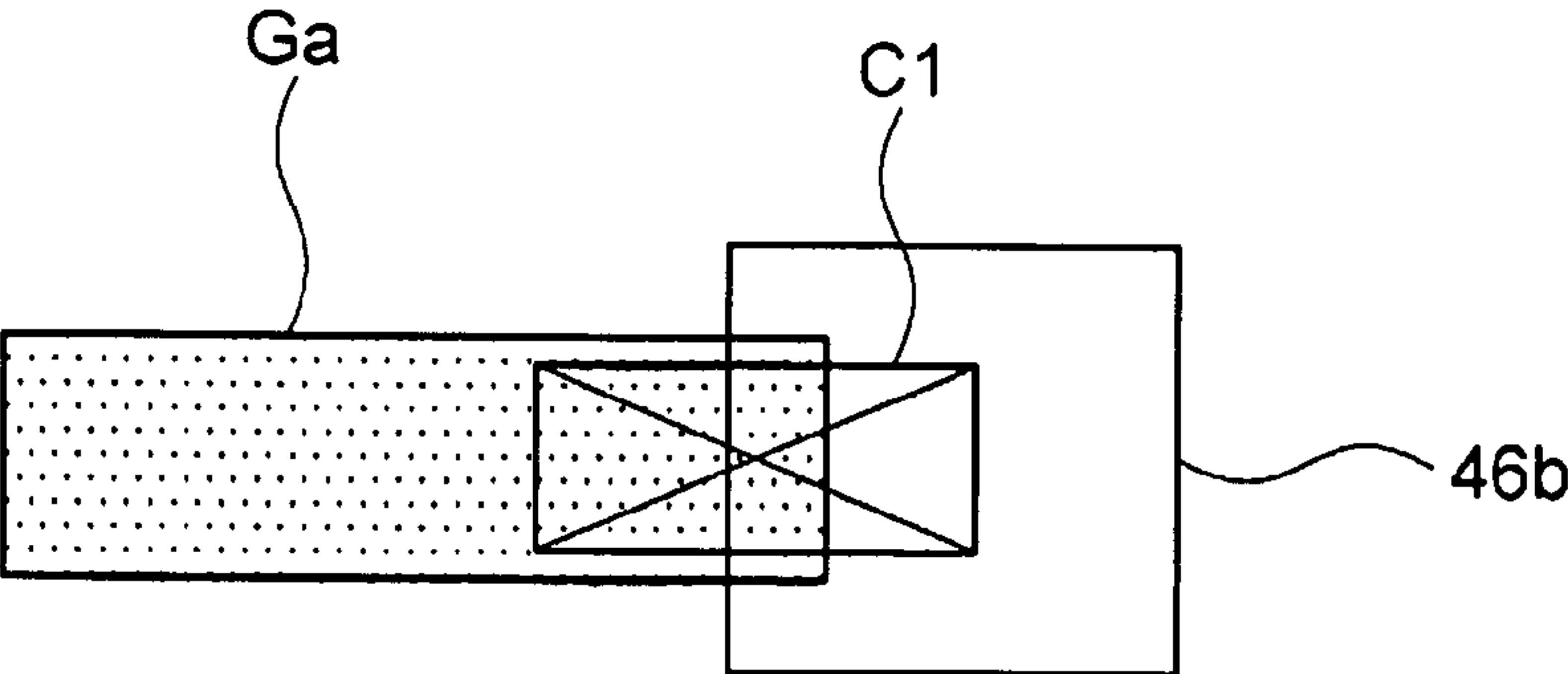


圖13

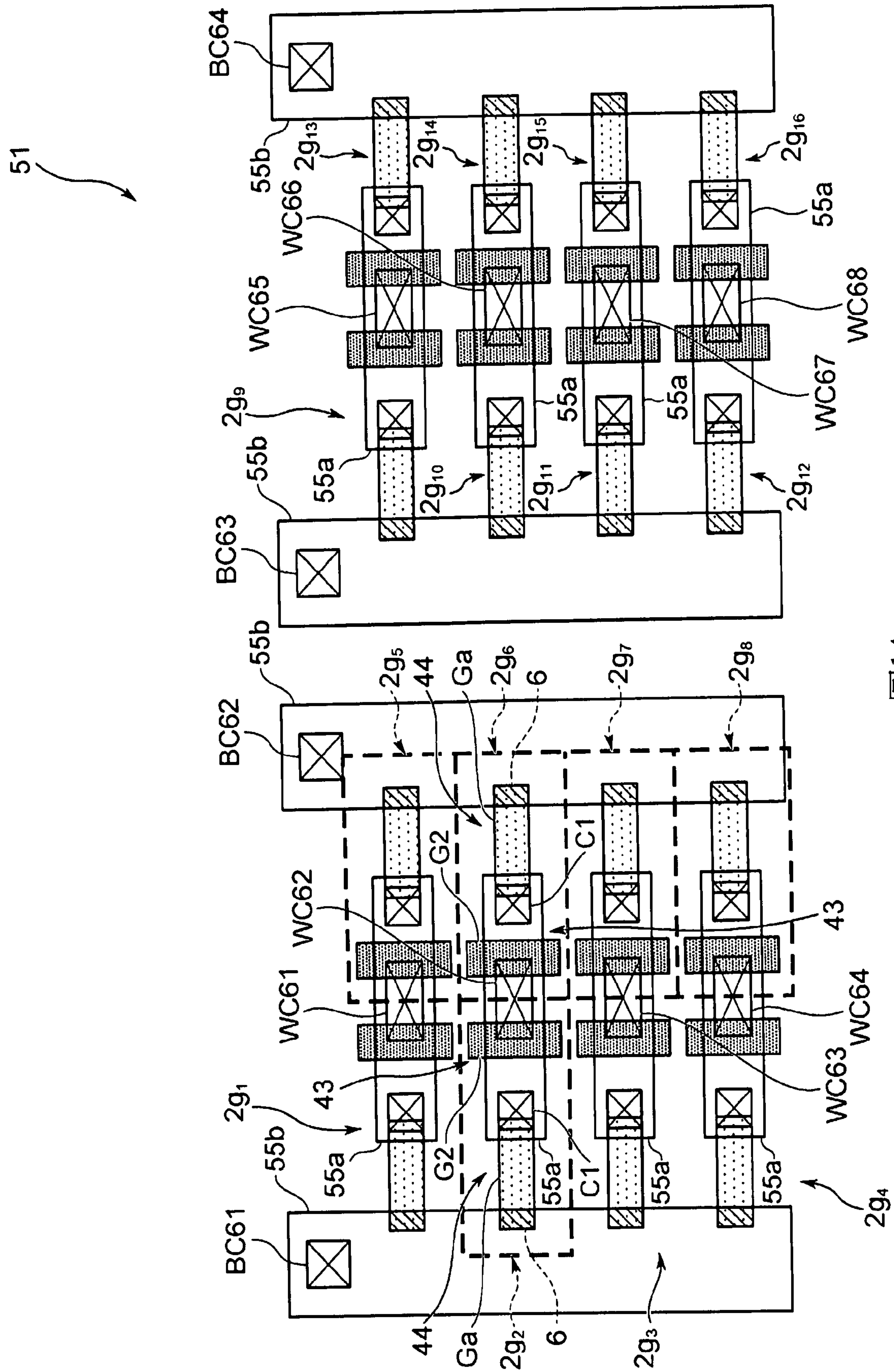


圖14

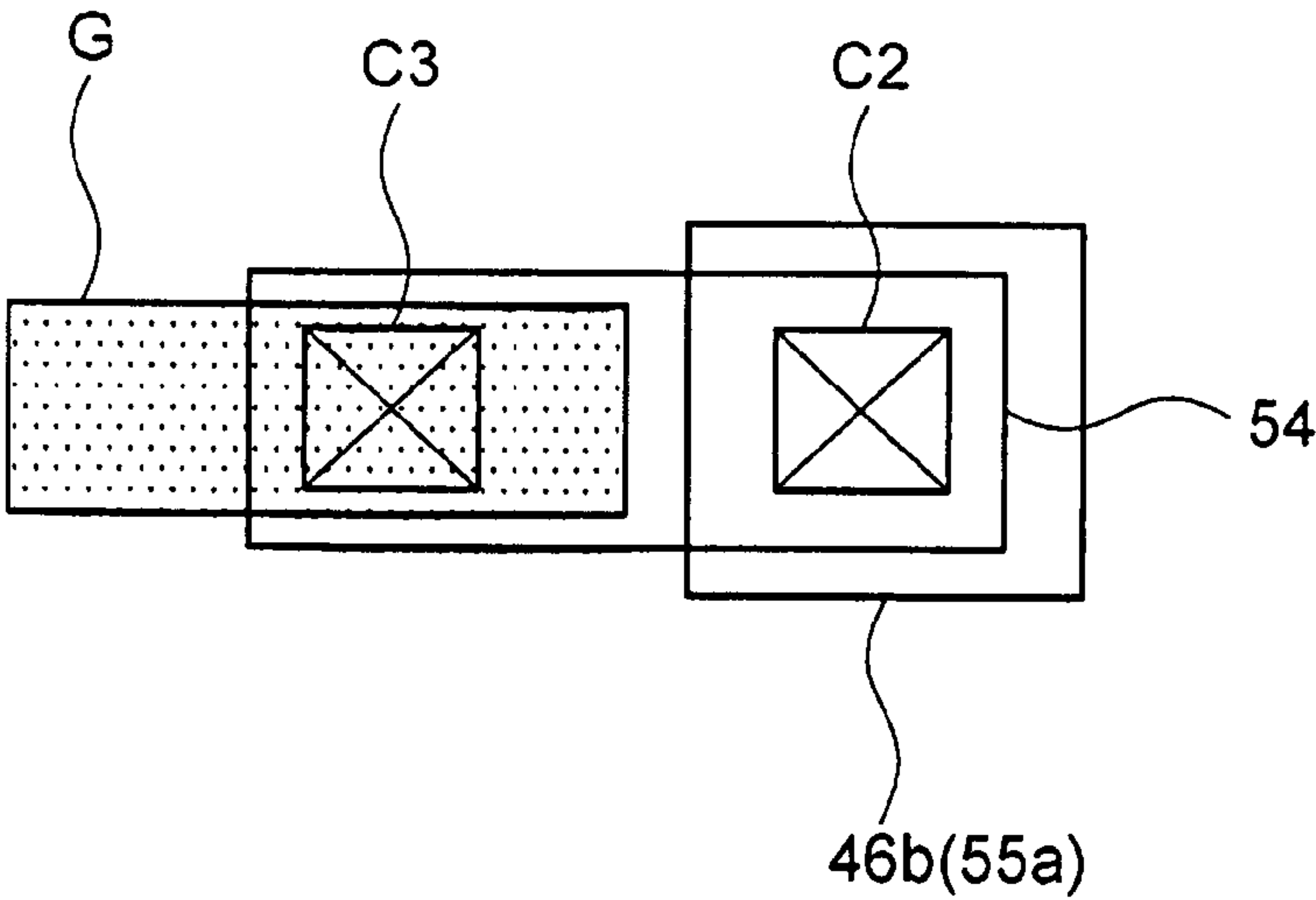


圖 15

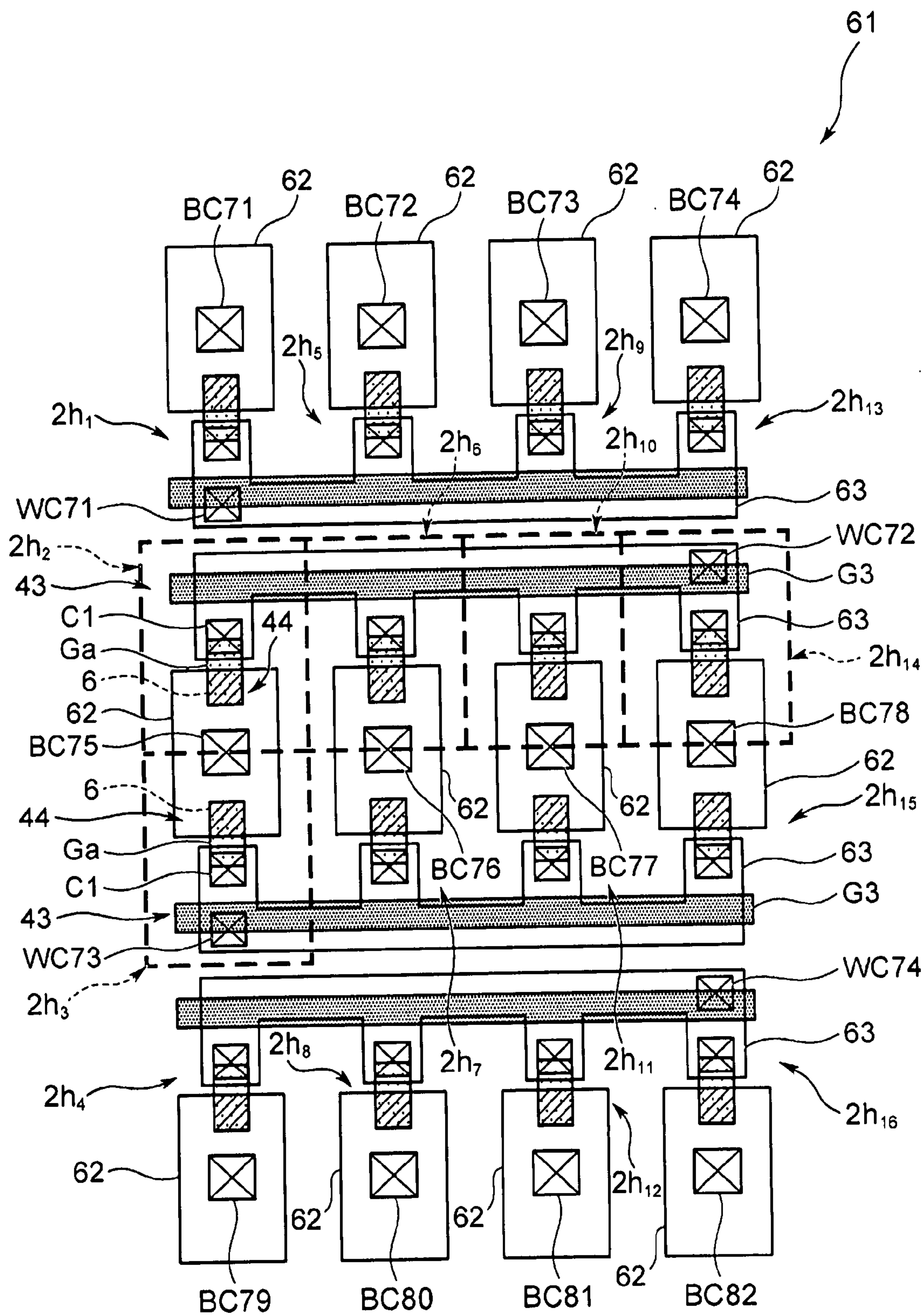


圖16

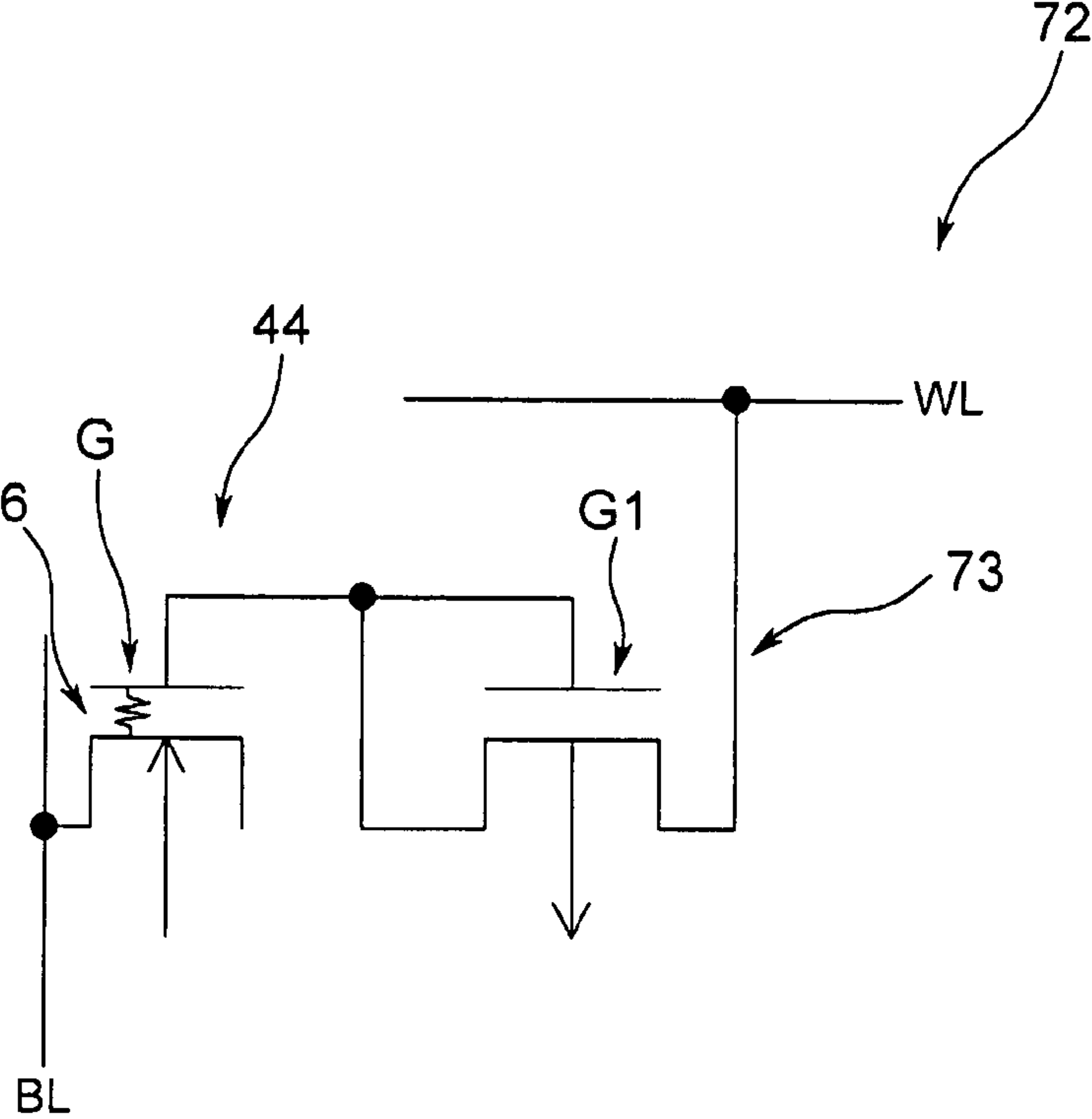


圖17

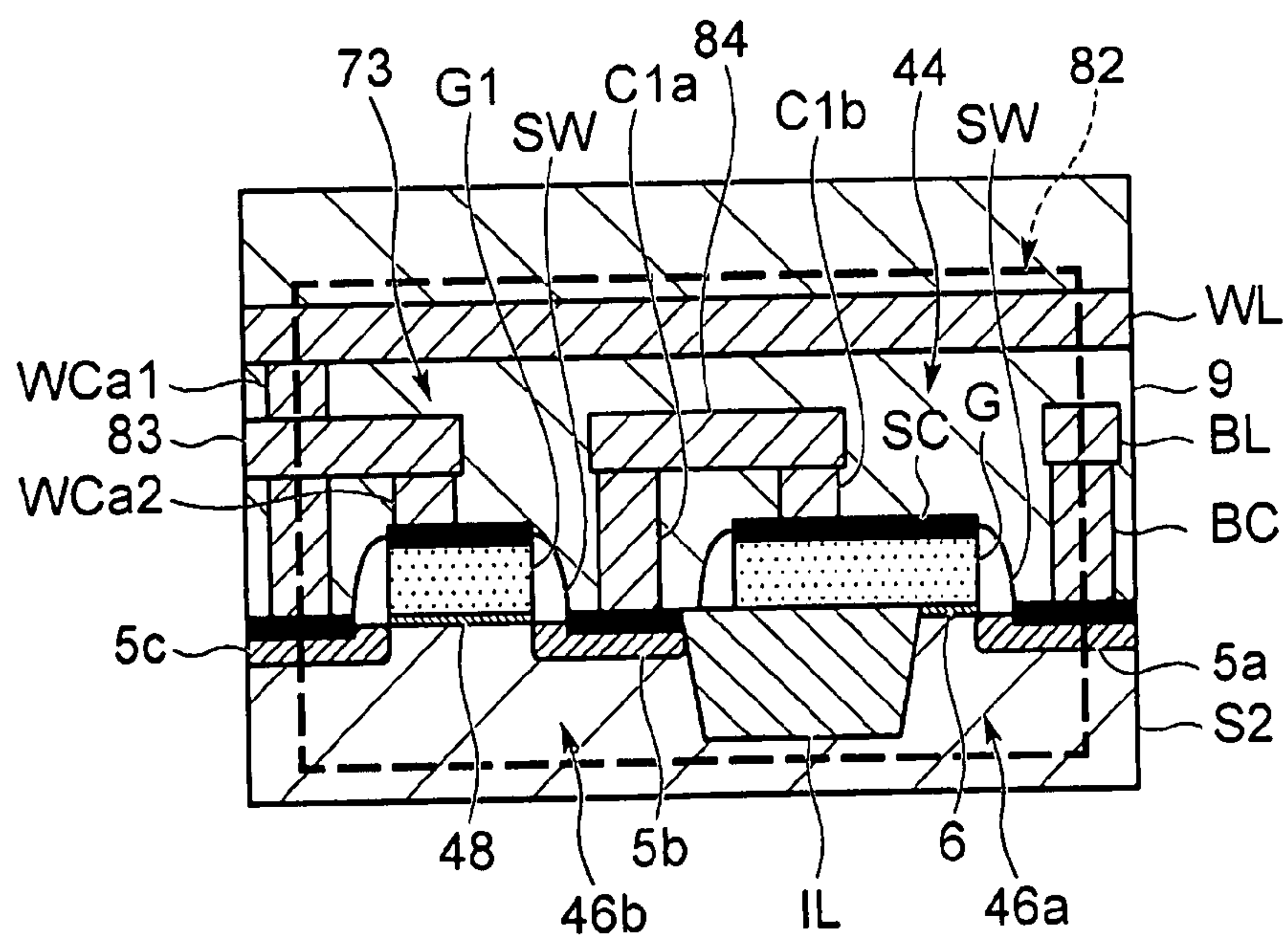


圖18A

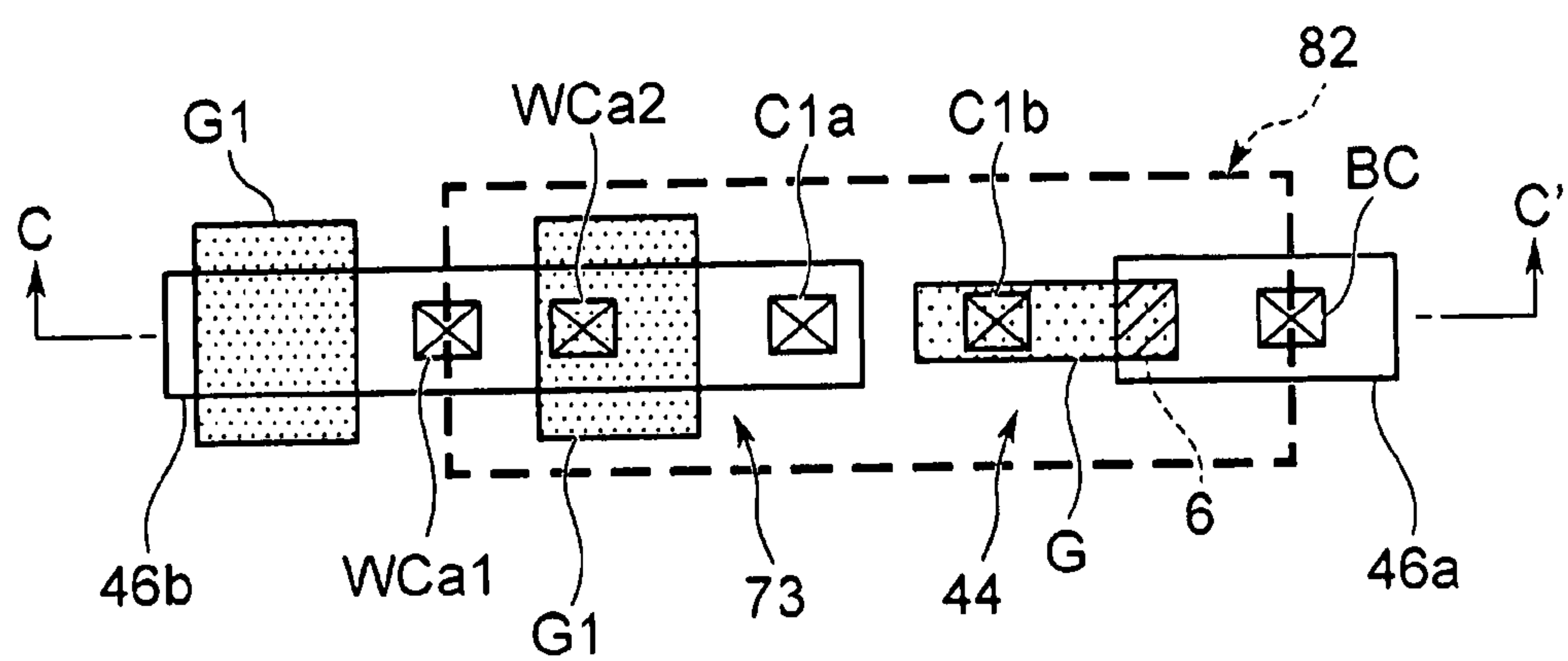


圖18B