



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I854535 B

(45)公告日：中華民國 113 (2024) 年 09 月 01 日

(21)申請案號：112110135

(22)申請日：中華民國 112 (2023) 年 03 月 17 日

(51)Int. Cl. : H02M3/04 (2006.01)

H03K5/22 (2006.01)

H03K4/06 (2006.01)

(71)申請人：瑞昱半導體股份有限公司 (中華民國) REALTEK SEMICONDUCTOR CORPORATION (TW)

新竹科學園區創新二路 2 號

(72)發明人：楊文豪 YANG, WEN-HAU (TW)；林晏霆 LIN, YEN-TING (TW)；駱椿昱 LUO, CHUN-YU (TW)；區威文 OU, WEI-WEN (TW)；鄭閔軒 CHENG, HUNG-HSUAN (TW)

(74)代理人：林昱初

(56)參考文獻：

TW 202220350A

CN 1822479A

CN 114825932A

US 10554124B1

審查人員：黃釗田

申請專利範圍項數：9 項 圖式數：10 共 29 頁

(54)名稱

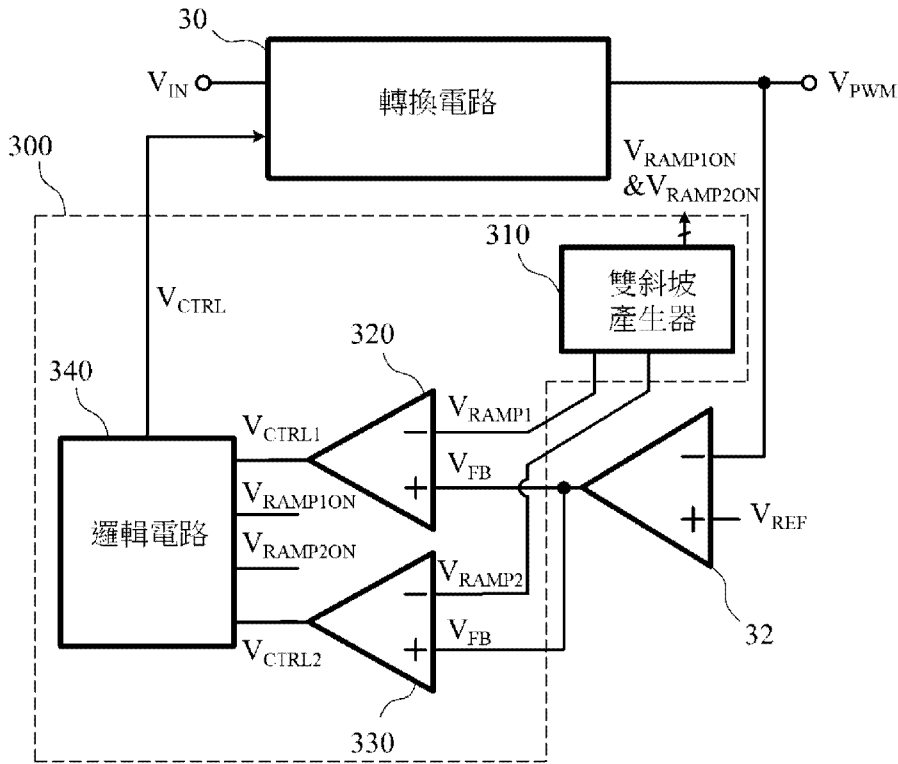
適用於直流對直流降壓轉換的工作週期控制電路

(57)摘要

一種工作週期控制電路能夠產生一工作週期控制訊號，以控制一直流對直流降壓轉換訊號的工作週期。該工作週期控制電路包含：一雙斜坡產生器，用來產生一第一斜坡訊號與一第二斜坡訊號，該二斜坡訊號具有相同頻率與不同相位；一第一比較器，用來比較該第一斜坡訊號與一回授訊號，以產生一第一控制訊號；一第二比較器，用來比較該第二斜坡訊號與該回授訊號，以產生一第二控制訊號；以及一邏輯電路，用來依據該第一控制訊號與一第一導通控制訊號執行一第一預設邏輯操作，以產生該工作週期控制訊號的第一部分，該邏輯電路另用來依據該第二控制訊號與一第二導通控制訊號執行一第二預設邏輯操作，以產生該工作週期控制訊號的第二部分。

A duty cycle control circuit generates a duty cycle control signal for controlling the duty cycle of a DC-DC buck conversion signal. The duty cycle control circuit includes: a dual ramp generator for generating a first ramp signal and a second ramp signal having the same frequency and different phases; a first comparator for comparing the first ramp signal with a feedback signal to generate a first control signal; a second comparator for comparing the second ramp signal with the feedback signal to generate a second control signal; and a logical circuit for performing a first predetermined logical operation according to the first control signal and a first conduction-control signal to generate a first part of the duty cycle control signal, and performing a second predetermined logical operation according to the second control signal and a second conduction-control signal to generate a second part of the duty cycle control signal.

指定代表圖：



【圖3】

符號簡單說明：

30:轉換電路

32:誤差放大器

300:工作週期控制電路

310:雙斜坡產生器

320:第一比較器

330:第二比較器

340:邏輯電路

V_{RAMP1} :第一斜坡訊號

V_{RAMP2} :第二斜坡訊號

V_{FB} :回授訊號

V_{CTRL1} :第一控制訊號

V_{CTRL2} :第二控制訊號

$V_{RAMP1ON}$:第一導通控制訊號

$V_{RAMP2ON}$:第二導通控制訊號

V_{CTRL} :工作週期控制訊號

V_{PWM} :輸出訊號

V_{IN} :輸入電壓

V_{REF} :參考訊號



I854535

【發明摘要】

公告本

【中文發明名稱】適用於直流對直流降壓轉換的工作週期控制電路

【英文發明名稱】Duty cycle control circuit applicable to DC-DC buck conversion

【中文】

一種工作週期控制電路能夠產生一工作週期控制訊號，以控制一直流對直流降壓轉換訊號的工作週期。該工作週期控制電路包含：一雙斜坡產生器，用來產生一第一斜坡訊號與一第二斜坡訊號，該二斜坡訊號具有相同頻率與不同相位；一第一比較器，用來比較該第一斜坡訊號與一回授訊號，以產生一第一控制訊號；一第二比較器，用來比較該第二斜坡訊號與該回授訊號，以產生一第二控制訊號；以及一邏輯電路，用來依據該第一控制訊號與一第一導通控制訊號執行一第一預設邏輯操作，以產生該工作週期控制訊號的第一部分，該邏輯電路另用來依據該第二控制訊號與一第二導通控制訊號執行一第二預設邏輯操作，以產生該工作週期控制訊號的第二部分。

【英文】

A duty cycle control circuit generates a duty cycle control signal for controlling the duty cycle of a DC-DC buck conversion signal. The duty cycle control circuit includes: a dual ramp generator for generating a first ramp signal and a second ramp signal having the same frequency and different phases; a first comparator for comparing the first ramp signal with a feedback signal to generate a first control signal; a second comparator for comparing the second ramp signal with the feedback signal to generate a second control signal; and a logical circuit for performing a first

predetermined logical operation according to the first control signal and a first conduction-control signal to generate a first part of the duty cycle control signal, and performing a second predetermined logical operation according to the second control signal and a second conduction-control signal to generate a second part of the duty cycle control signal.

【指定代表圖】圖3

【代表圖之符號簡單說明】

30:轉換電路

32:誤差放大器

300:工作週期控制電路

310:雙斜坡產生器

320:第一比較器

330:第二比較器

340:邏輯電路

V_{RAMP1} :第一斜坡訊號

V_{RAMP2} :第二斜坡訊號

V_{FB} :回授訊號

V_{CTRL1} :第一控制訊號

V_{CTRL2} :第二控制訊號

$V_{RAMP1ON}$:第一導通控制訊號

$V_{RAMP2ON}$:第二導通控制訊號

V_{CTRL} :工作週期控制訊號

V_{PWM} :輸出訊號

V_{IN} :輸入電壓

V_{REF} :參考訊號

【發明說明書】

【中文發明名稱】適用於直流對直流降壓轉換的工作週期控制電路

【英文發明名稱】Duty cycle control circuit applicable to DC-DC buck conversion

【技術領域】

【0001】本揭露是關於工作週期控制電路，尤其是關於適用於直流對直流降壓轉換的工作週期控制電路。

【先前技術】

【0002】圖1顯示在一脈衝寬度調變（Pulse Width Modulation (PWM)）電壓模式控制下的一直流對直流降壓轉換器（DC-DC Buck Converter）100，包含一斜坡產生器110、一比較器120、一直流對直流降壓轉換電路130以及一誤差放大器140。斜坡產生器110產生一斜坡訊號 V_{RAMP} 。比較器120比較該斜坡訊號 V_{RAMP} 與一誤差訊號 V_C 以產生一控制訊號CTRL。直流對直流降壓轉換電路130依據控制訊號CTRL的工作週期以及一輸入電壓 V_{IN} 產生一輸出訊號 V_{OUT} 。誤差放大器140比較該輸出訊號 V_{OUT} 與一參考訊號 V_{REF} 以產生誤差訊號 V_C 。

【0003】圖2顯示如何決定控制訊號CTRL的工作週期，其中圖2的橫軸為時間軸。如圖2所示，當斜坡訊號 V_{RAMP} 的電壓位準低於誤差訊號 V_C 的電壓位準時，比較器120輸出控制訊號CTRL具有一高電壓位準。當斜坡訊號 V_{RAMP} 的電壓位準超過誤差訊號 V_C 的電壓位準的時間短於比較器120的一輸出延遲時間 T_D 時，比較器120輸出該控制訊號CTRL具有該高電壓位準。當斜坡訊號 V_{RAMP} 的

電壓位準超過誤差訊號 V_C 的電壓位準的時間長於比較器120的輸出延遲時間 T_D 時，比較器120輸出控制訊號CTRL具有一低電壓位準。

【0004】由上可知，即便參考訊號 V_{REF} 的電壓位準降至零且回授訊號 V_C 的電壓位準接近斜坡訊號 V_{RAMP} 的最低電壓位準，控制訊號CTRL處於該高電位準的時間近似於比較器120的輸出延遲時間 T_D ，而不會低於輸出延遲時間 T_D 。因此，在低輸出電壓的應用中（亦即：在輸出訊號 V_{OUT} 的電壓位準相當低的情形下），目前技術無法實現低工作週期的控制訊號CTRL，這會導致輸出訊號 V_{OUT} 的漣波變大，並影響輸出訊號 V_{OUT} 的頻譜。

【發明內容】

【0005】本揭露的目的之一在於提供一種適用於直流對直流降壓轉換的工作週期控制電路，能夠實現一極低工作週期。

【0006】本揭露之工作週期控制電路的一實施例能夠產生一工作週期控制訊號，以控制一輸出訊號的工作週期。該實施例包含一雙斜坡產生器、一第一比較器、一第二比較器與一邏輯電路。該雙斜坡產生器用來產生一第一斜坡訊號與一第二斜坡訊號，其中該第一斜坡訊號與該第二斜坡訊號具有相同頻率與不同相位。該第一比較器用來比較該第一斜坡訊號與一回授訊號，以產生一第一控制訊號。該第二比較器用來比較該第二斜坡訊號與該回授訊號，以產生一第二控制訊號。該邏輯電路用來依據一第一訊號與一第一導通控制訊號執行一第一預設邏輯操作，以產生一第一工作週期控制訊號作為該工作週期控制訊號的第一部分；該邏輯電路另用來依據一第二訊號與一第二導通控制訊號執行一第二預設邏輯操作，以產生一第二工作週期控制訊號作為該工作週期控制訊

號的第二部分。該第一訊號為該第一控制訊號或該第一控制訊號的反相訊號，該第二訊號為該第二控制訊號或該第二控制訊號的反相訊號。當該第二斜坡訊號的電壓位準達到該第二斜坡訊號的一最小電壓位準時，該第一導通控制訊號的電壓位準由低轉高，並維持在一第一高電壓位準直到該第一斜坡訊號的電壓位準達到該第一斜坡訊號的一最大電壓位準；當該第一斜坡訊號的電壓位準達到該第一斜坡訊號的一最小電壓位準時，該第二導通控制訊號的電壓位準由低轉高，並維持在一第二高電壓位準直到該第二斜坡訊號的電壓位準達到該第二斜坡訊號的一最大電壓位準。

【0007】有關本發明的特徵、實作與功效，茲配合圖式作較佳實施例詳細說明如下。

【圖式簡單說明】

【0008】

- 〔圖1〕顯示一傳統的直流對直流降壓轉換器；
- 〔圖2〕顯示如何決定圖1之控制訊號的工作週期；
- 〔圖3〕顯示本揭露之工作週期控制電路的一實施例；
- 〔圖4〕顯示圖3之雙斜坡產生器的一實施例；
- 〔圖5〕顯示一時脈產生電路用來產生圖4的時脈訊號；
- 〔圖6〕顯示一半週斜坡訊號產生電路用來產生圖5的半週斜坡訊號；
- 〔圖7〕顯示圖3~5之訊號的波形的時序圖；
- 〔圖8〕顯示圖3之訊號的波形的時序圖；
- 〔圖9〕顯示圖3之邏輯電路的一實施例；以及

[圖10] 顯示圖3之邏輯電路的另一實施例。

【實施方式】

【0009】 本說明書揭露一種適用於直流 (direct current (DC)) 對直流降壓轉換 (buck conversion) 的工作週期 (duty cycle) 控制電路，能夠實現一極低工作週期。

【0010】 圖3顯示本揭露之工作週期控制電路的一實施例。圖3的工作週期控制電路300能夠產生一工作週期控制訊號 V_{CTRL} ，以控制一轉換電路30之輸出訊號 V_{PWM} 的工作週期，其中轉換電路30為已知或自行開發的電路 (例如：圖1的直流對直流降壓轉換電路130) 而不在本揭露的討論範圍內，且可依實施需求而變。工作週期控制電路300包含一雙斜坡產生器 (dual ramp generator) 310、一第一比較器320、一第二比較器330與一邏輯電路340。該些電路說明於接下來的段落。

【0011】 請參閱圖3。雙斜坡產生器310用來產生一第一斜坡訊號 V_{RAMP1} 與一第二斜坡訊號 V_{RAMP2} ，其中二斜坡訊號具有相同頻率與不同相位 (如圖7~8所示)。在一實作範例中，第一斜坡訊號 V_{RAMP1} 與第二斜坡訊號 V_{RAMP2} 之間的相位差為180度。當第一斜坡訊號 V_{RAMP1} 與第二斜坡訊號 V_{RAMP2} 具有一相同的電壓位準時，該電壓位準大於零 (例如：該電壓位準等於第一斜坡訊號 V_{RAMP1} 與第二斜坡訊號 V_{RAMP2} 之每一個的一最大電壓位準的一半)。在實施為可行的前提下，上述實作範例的技術特徵可依實施需求而變。

【0012】 圖4顯示雙斜坡產生器310的一實施例。該實施例包含一第一斜坡訊號產生電路410 (亦即：圖4裡位於虛線 (dash-line) 框中的電路) 與一第

二斜坡訊號產生電路420（亦即：圖4裡位於點線（dot-line）框中的電路）。第一斜坡訊號產生電路410用來依據一第二時脈訊號CLK2執行一第一充放電操作，以產生第一斜坡訊號 V_{RAMP1} 。第二斜坡訊號產生電路420用來依據一第一時脈訊號CLK1執行一第二充放電操作，以產生第二斜坡訊號 V_{RAMP2} 。在一實作範例中，第一時脈訊號CLK1與第二時脈訊號CLK2之間的相位差為180度。第一時脈訊號CLK1於一週期內處於高電壓位準的時長等於第二斜坡訊號 V_{RAMP2} 從第二斜坡訊號 V_{RAMP2} 的一最大電壓位準至第二斜坡訊號 V_{RAMP2} 的一最小電壓位準的時間（如圖7所示）。第二時脈訊號CLK2於一週期內處於高電壓位準的時長等於第一斜坡訊號 V_{RAMP1} 從第一斜坡訊號 V_{RAMP1} 的一最大電壓位準至第一斜坡訊號 V_{RAMP1} 的一最小電壓位準的時間（如圖7所示）。

【0013】請參閱圖4。第一斜坡訊號產生電路410包含：一第一電流源 I_{B1} ；一第一電容 C_1 ；一第一N型金氧半導體（NMOS）電晶體 M_{N1} ，用來依據第二時脈訊號CLK2以導通或不導通，從而讓第一電流源 I_{B1} 充電第一電容 C_1 或放電第一電容 C_1 ；一第三電流源 I_{B3} ；以及一第一P型金氧半導體（PMOS）電晶體 M_{P1} ，用來依據第一電容 C_1 的電壓以導通或不導通，從而與第三電流源 I_{B3} 共同決定第一PMOS電晶體 M_{P1} 之源極的第一斜坡訊號 V_{RAMP1} 。第二斜坡訊號產生電路420包含：一第二電流源 I_{B2} ；一第二電容 C_2 ；一第二NMOS電晶體 M_{N2} ，用來依據第一時脈訊號CLK1以導通或不導通，從而讓第二電流源 I_{B2} 充電第二電容 C_2 或放電第二電容 C_2 ；一第四電流源 I_{B4} ；以及一第二PMOS電晶體 M_{P2} ，用來依據第二電容 C_2 的電壓以導通或不導通，從而與第四電流源 I_{B4} 共同決定第二PMOS電晶體 M_{P2} 之源極的第二斜坡訊號 V_{RAMP2} 。

【0014】圖5顯示一時脈產生電路500，其用來產生第一時脈訊號CLK1與第二時脈訊號CLK2，並可包含於雙斜坡產生器310中或獨立於雙斜坡產生器310外。如圖5所示，時脈產生電路500包含：一第一比較電路510，用來比較一第一半週斜坡訊號 V_{RAMPL} 與一參考訊號 V_{RF} 以產生一第一比較結果；一第二比較電路520，用來比較一第二半週斜坡訊號 V_{RAMPR} 與參考訊號 V_{RF} ，以產生一第二比較結果；一SR門鎖器（SR latch）530，用來依據該第一比較結果與該第二比較結果分別產生一第一初步脈衝訊號 L_{PRE} 與一第二初步脈衝訊號 R_{PRE} ，其中第一初步脈衝訊號 L_{PRE} 為第二初步脈衝訊號 R_{PRE} 的反相訊號；一延遲調整電路540，包含或閘與反相器，用來依據預設延遲設定延遲第一初步脈衝訊號 L_{PRE} 的一高至低電壓位準轉換時點以產生一第一脈衝訊號 V_L ，以及依據該預設延遲設定延遲第二初步脈衝訊號 R_{PRE} 的一高至低電壓位準轉換時點以產生一第二脈衝訊號 V_R ，其中或閘與反相器為本技術領域常見的元件，其細節在此不予贅述；以及一及閘電路550，用來依據第一初步脈衝訊號 L_{PRE} 與第二脈衝訊號 V_R 產生第一時脈訊號CLK1，並依據第二初步脈衝訊號 R_{PRE} 與第一脈衝訊號 V_L 產生第二時脈訊號CLK2。

【0015】圖6顯示一半週斜坡訊號產生電路600，其用來產生第一半週斜坡訊號 V_{RAMPL} 與第二半週斜坡訊號 V_{RAMPR} ，並可包含於時脈產生電路500中或獨立於時脈產生電路500外。如圖6所示，半週斜坡訊號產生電路600包含：一第一充放電電路610，用來依據第一脈衝訊號 V_L 進行一充放電操作以產生第一半週斜坡訊號 V_{RAMPL} ；以及一第二充放電電路620，用來依據第二脈衝訊號 V_R 進行一充放電操作以產生第二半週斜坡訊號 V_{RAMPR} 。圖6中的電流源、電容與NMOS電晶體均為本技術領域的常見元件，其細節在此不加贅述。

【0016】 圖7顯示前述訊號 V_{RAMPL} 、 V_{RAMPR} 、 L_{PRE} 、 R_{PRE} 、 V_L 、 V_R 、 $CLK1$ 、 $CLK2$ 、 V_{RAMP1} 與 V_{RAMP2} 之波形的時序圖，並顯示後述的第一導通控制訊號 $V_{RAMP1ON}$ 與第二導通控制訊號 $V_{RAMP2ON}$ 之波形的時序圖，其中圖7的橫軸為時間軸。本技術領域具有通常知識者可依圖7瞭解該些訊號之間的關係。

【0017】 請參閱圖3。第一比較器320用來比較第一斜坡訊號 V_{RAMP1} 與一誤差放大器32的回授訊號 V_{FB} ，以產生一第一控制訊號 V_{CTRL1} ，其中誤差放大器32為已知或自行開發的電路，用來依據輸出訊號 V_{PWM} 與一參考訊號 V_{REF} 產生回授訊號 V_{FB} ，回授訊號 V_{FB} 的電壓位準（或說誤差放大器32的增益）可依實施需求而定。第二比較器330用來比較第二斜坡訊號 V_{RAMP2} 與回授訊號 V_{FB} ，以產生一第二控制訊號 V_{CTRL2} 。

【0018】 請參閱圖3。邏輯電路340用來依據一第一訊號與一第一導通控制訊號 $V_{RAMP1ON}$ 執行一第一預設邏輯操作，以產生一第一工作週期控制訊號作為工作週期控制訊號 V_{CTRL} 的第一部分（亦即：圖8之時點0、 $2T_S$ 、 $4T_S$ 的該工作週期控制訊號 V_{CTRL} ）。邏輯電路340另用來依據一第二訊號與一第二導通控制訊號 $V_{RAMP2ON}$ 執行一第二預設邏輯操作，以產生一第二工作週期控制訊號作為工作週期控制訊號 V_{CTRL} 的第二部分（亦即：圖8之時點 T_S 、 $3T_S$ 的該工作週期控制訊號 V_{CTRL} ）。該第一訊號為第一控制訊號 V_{CTRL1} 或第一控制訊號 V_{CTRL1} 的反相訊號，該第二訊號為第二控制訊號 V_{CTRL2} 或第二控制訊號 V_{CTRL2} 的反相訊號。第一導通控制訊號 $V_{RAMP1ON}$ 為前述第二脈衝訊號 V_R 的反相訊號，第二導通控制訊號 $V_{RAMP2ON}$ 為前述第一脈衝訊號 V_L 的反相訊號。

【0019】 圖8顯示前述訊號 V_{RAMP1} 、 V_{RAMP2} 、 $V_{RAMP1ON}$ 、 $V_{RAMP2ON}$ 、 V_{CTRL1} 、 V_{CTRL2} 與 V_{CTRL} 之波形的時序圖，其中圖8的橫軸為時間軸。如圖8所

示，當第二斜坡訊號 V_{RAMP2} 的電壓位準達到第二斜坡訊號 V_{RAMP2} 的一最小電壓位準時，第一導通控制訊號 $V_{RAMP1ON}$ 的電壓位準由低轉高，並維持在一第一高電壓位準直到第一斜坡訊號 V_{RAMP1} 的電壓位準達到第一斜坡訊號 V_{RAMP1} 的一最大電壓位準。當第一斜坡訊號 V_{RAMP1} 的電壓位準達到第一斜坡訊號 V_{RAMP1} 的最小電壓位準時，第二導通控制訊號 $V_{RAMP2ON}$ 的電壓位準由低轉高，並維持在一第二高電壓位準直到第二斜坡訊號 V_{RAMP2} 的電壓位準達到第二斜坡訊號 V_{RAMP2} 的一最大電壓位準。

【0020】圖9顯示邏輯電路340的一實施例，該實施例適用於圖3之轉換電路30採用一高態作動（active high）模式的情形，其意味著工作週期控制訊號 V_{CTRL} 的工作週期正比於輸出訊號 V_{PWM} 的工作週期。本實施例中：該第一訊號為第一控制訊號 V_{CTRL1} ，該第二訊號為第二控制訊號 V_{CTRL2} ；該第一預設邏輯操作與該第二預設邏輯操作的每一個為一邏輯與（logical conjunction）操作。當第一斜坡訊號 V_{RAMP1} 的電壓位準低於/高於回授訊號 V_{FB} 的電壓位準時，第一控制訊號 V_{CTRL1} 的電壓位準為高/低。當第二斜坡訊號 V_{RAMP2} 的電壓位準低於/高於回授訊號 V_{FB} 的電壓位準時，第二控制訊號 V_{CTRL2} 的電壓位準為高/低。

【0021】請參閱圖9。邏輯電路340包含：一第一及閘（AND gate）910，用來依據第一控制訊號 V_{CTRL1} 以及第一導通控制訊號 $V_{RAMP1ON}$ 產生一第一邏輯訊號；一第二及閘920，用來依據第二控制訊號 V_{CTRL2} 以及第二導通控制訊號 $V_{RAMP2ON}$ 產生一第二邏輯訊號；以及一或閘（OR gate）930，用來依據該第一邏輯訊號與該第二邏輯訊號產生工作週期控制訊號 V_{CTRL} 。

【0022】圖10顯示邏輯電路340的一實施例，該實施例適用於圖3之轉換電路30採用一低態作動（active low）模式的情形，其意味著工作週期控制訊號

V_{CTRL} 的工作週期反比於輸出訊號 V_{PWM} 的工作週期。本實施例中：該第一訊號為第一控制訊號 V_{CTRL1} 的反相訊號，該第二訊號為第二控制訊號 V_{CTRL2} 的反相訊號；以及該第一預設邏輯操作與該第二預設邏輯操作的每一個包含一邏輯與操作以及一反相操作。值得注意的是，因應圖10的實施例，圖3之實施例的第一比較器320與第二比較器330之每一個的正輸入端（亦即：圖3之比較器320/330中的符號「+」）與負輸入端（亦即：圖3之比較器320/330中的符號「-」）應對調。因此，當第一斜坡訊號 V_{RAMP1} 的電壓位準低於/高於回授訊號 V_{FB} 的電壓位準時，第一控制訊號 V_{CTRL1} 的電壓位準為低/高。當第二斜坡訊號 V_{RAMP2} 的電壓位準低於/高於回授訊號 V_{FB} 的電壓位準時，第二控制訊號 V_{CTRL2} 的電壓位準為低/高。

【0023】請參閱圖10。邏輯電路340包含：一第一及閘1010，用來依據第一控制訊號 V_{CTRL1} 的反相訊號以及第一導通控制訊號 $V_{RAMP1ON}$ 產生一第一邏輯訊號；一第二及閘1020，用來依據第二控制訊號 V_{CTRL2} 的反相訊號以及第二導通控制訊號 $V_{RAMP2ON}$ 產生一第二邏輯訊號；以及一反或閘（NOR gate）1030，用來依據該第一邏輯訊號與該第二邏輯訊號產生工作週期控制訊號 V_{CTRL} 。圖10中，圓圈符號表示一反相操作，常見於本技術領域。

【0024】值得注意的是，基於本揭露之工作週期控制電路300的設計，當第一比較器320與第二比較器330的至少其中之一由於比較操作而具有一輸出延遲時間時，在前述高態作動模式下，本揭露之工作週期控制訊號 V_{CTRL} 之電壓位準為高的一高位準時長可小於該輸出延遲時間。在前述低態作動模式下，本揭露之工作週期控制訊號 V_{CTRL} 之電壓位準為低的一低位準時長可小於該輸出延遲

時間。換言之，本揭露之工作週期控制電路300可實現該輸出訊號 V_{PWM} 的一極低工作週期。

【0025】另值得注意的是，在實施為可能的前提下，本技術領域具有通常知識者可選擇性地實施前述任一實施例中部分或全部技術特徵，或選擇性地實施前述複數個實施例中部分或全部技術特徵的組合。換言之，本發明之實施方式是彈性的。

【0026】綜上所述，本揭露之工作週期控制電路能夠在一低輸出電壓的應用中（亦即：在輸出訊號 V_{PWM} 的電壓位準相當低的情形下），實現一極低工作週期。

【0027】雖然本發明之實施例如上所述，然而該些實施例並非用來限定本發明，本技術領域具有通常知識者可依據本發明之明示或隱含之內容對本發明之技術特徵施以變化，凡此種種變化均可能屬於本發明所尋求之專利保護範疇，換言之，本發明之專利保護範圍須視本說明書之申請專利範圍所界定者為準。

【符號說明】

【0028】

100: 直流對直流降壓轉換器

110: 斜坡產生器

120: 比較器

130: 直流對直流降壓轉換電路

140: 誤差放大器

V_{RAMP} : 斜坡訊號

V_C : 誤差訊號

CTRL: 控制訊號

V_{IN} : 輸入電壓

V_{OUT} : 輸出訊號

V_{REF} : 參考訊號

T_D : 比較器的輸出延遲時間

30: 轉換電路

32: 誤差放大器

300: 工作週期控制電路

310: 雙斜坡產生器

320: 第一比較器

330: 第二比較器

340: 邏輯電路

V_{RAMP1} : 第一斜坡訊號

V_{RAMP2} : 第二斜坡訊號

V_{FB} : 回授訊號

V_{CTRL1} : 第一控制訊號

V_{CTRL2} : 第二控制訊號

$V_{RAMP1ON}$: 第一導通控制訊號

$V_{RAMP2ON}$: 第二導通控制訊號

V_{CTRL} : 工作週期控制訊號

V_{PWM} :輸出訊號

V_{IN} :輸入電壓

V_{REF} :參考訊號

410:第一斜坡訊號產生電路

420:第二斜坡訊號產生電路

CLK1:第一時脈訊號

CLK2:第二時脈訊號

I_{B1} :第一電流源

C_1 :第一電容

M_{N1} :第一NMOS電晶體

I_{B3} :第三電流源

M_{P1} :第一PMOS電晶體

I_{B2} :第二電流源

C_2 :第二電容

M_{N2} :第二NMOS電晶體

I_{B4} :第四電流源

M_{P2} :第二PMOS電晶體

500:時脈產生電路

510:第一比較電路

520:第二比較電路

530:SR門鎖器

540:延遲調整電路

550:及開電路

V_{RAMPL} :第一半週斜坡訊號

V_{RAMPR} :第二半週斜坡訊號

V_{RF} :參考訊號

L_{PRE} :第一初步脈衝訊號

R_{PRE} :第二初步脈衝訊號

V_L :第一脈衝訊號

V_R :第二脈衝訊號

600:半週斜坡訊號產生電路

610:第一充放電電路

620:第二充放電電路

0、 T_S 、 $2T_S$ 、 $3T_S$ 、 $4T_S$:時點

910:第一及開

920:第二及開

930:或開

1010:第一及開

1020:第二及開

1030:反或開

【發明申請專利範圍】

【請求項1】 一種適用於直流對直流降壓轉換的工作週期控制電路，能夠產生一工作週期控制訊號以控制一輸出訊號的一工作週期，該工作週期控制電路包含：

一雙斜坡產生器（dual ramp generator），用來產生一第一斜坡訊號與一第二斜坡訊號，其中該第一斜坡訊號與該第二斜坡訊號具有一相同頻率與不同相位；

一第一比較器，用來比較該第一斜坡訊號與一回授訊號，以產生一第一控制訊號；

一第二比較器，用來比較該第二斜坡訊號與該回授訊號，以產生一第二控制訊號；以及

一邏輯電路，用來依據一第一訊號與一第一導通控制訊號執行一第一預設邏輯操作，以產生一第一工作週期控制訊號作為該工作週期控制訊號的一第一部分，該邏輯電路另用來依據一第二訊號與一第二導通控制訊號執行一第二預設邏輯操作，以產生一第二工作週期控制訊號作為該工作週期控制訊號的一第二部分，

其中該第一訊號為該第一控制訊號或該第一控制訊號的一反相訊號，該第二訊號為該第二控制訊號或該第二控制訊號的一反相訊號；當該第二斜坡訊號的一電壓位準達到該第二斜坡訊號的一最小電壓位準時，該第一導通控制訊號的一電壓位準由低轉高，並維持在一第一高電壓位準直到該第一斜坡訊號的一電壓位準達到該第一斜坡訊號的一最大電壓位準；當該第一斜坡訊號的該電壓位準達到該第一斜坡訊號的一最小電壓位準時，該第二導通

控制訊號的一電壓位準由低轉高，並維持在一第二高電壓位準直到該第二斜坡訊號的該電壓位準達到該第二斜坡訊號的一最大電壓位準。

【請求項2】如請求項1之工作週期控制電路，其中當該第一訊號為該第一控制訊號以及該第二訊號為該第二控制訊號時，該第一預設邏輯操作與該第二預設邏輯操作的每一個為一邏輯與（logical conjunction）操作。

【請求項3】如請求項1之工作週期控制電路，其中當該第一訊號為該第一控制訊號的該反相訊號以及該第二訊號為該第二控制訊號的該反相訊號時，該第一預設邏輯操作與該第二預設邏輯操作的每一個包含一邏輯與操作以及一反相操作。

【請求項4】如請求項1之工作週期控制電路，其中該第一訊號為該第一控制訊號，以及該第二訊號為該第二控制訊號；當該第一斜坡訊號的該電壓位準低於該回授訊號的一電壓位準時，該第一控制訊號的一電壓位準為高；當該第一斜坡訊號的該電壓位準高於該回授訊號的該電壓位準時，該第一控制訊號的該電壓位準為低；當該第二斜坡訊號的該電壓位準低於該回授訊號的該電壓位準時，該第二控制訊號的一電壓位準為高；以及當該二斜坡訊號的該電壓位準高於該回授訊號的該電壓位準時，該第二控制訊號的該電壓位準為低。

【請求項5】如請求項1之工作週期控制電路，其中該第一訊號為該第一控制訊號的該反相訊號，以及該第二訊號為該第二控制訊號的該反相訊號；當該第一斜坡訊號的該電壓位準低於該回授訊號的一電壓位準時，該第一控制訊號的一電壓位準為低；當該第一斜坡訊號的該電壓位準高於該回授訊號的該電壓位準時，該第一控制訊號的該電壓位準為高；當該第二斜坡訊號的該電壓位準低於該回授訊號的該電壓位準時，該第二控制訊號的一電壓位準為低；以及當

該二斜坡訊號的該電壓位準高於該回授訊號的該電壓位準時，該第二控制訊號的該電壓位準為高。

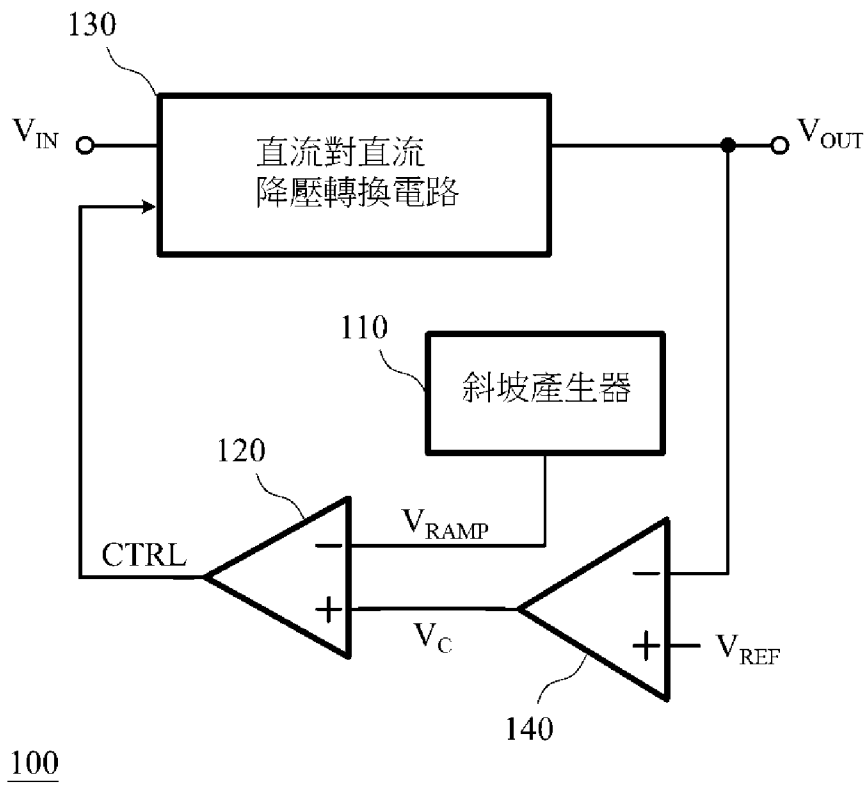
【請求項6】如請求項1之工作週期控制電路，其中該第一比較器與該第二比較器的至少其中之一由於比較操作而具有一輸出延遲時間；當該工作週期控制訊號之一電壓位準為高的一高位準時長正比於該輸出訊號的該工作週期時，該高位準時長小於該輸出延遲時間；當該工作週期控制訊號之該電壓位準為低的一低位準時長正比於該輸出訊號的該工作週期時，該低位準時長小於該輸出延遲時間。

【請求項7】如請求項1之工作週期控制電路，其中該第一斜坡訊號與該第二斜坡訊號之間的一相位差為180度。

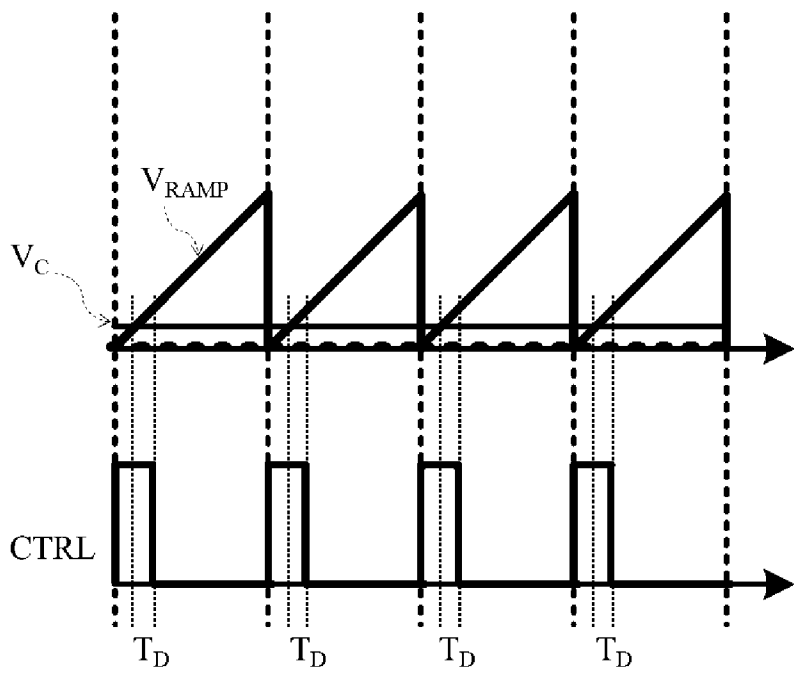
【請求項8】如請求項1之工作週期控制電路，其中該雙斜坡產生器包含：
一第一斜坡訊號產生電路，用來依據一第二時脈訊號執行一第一充放電操作，以產生該第一斜坡訊號；以及
一第二斜坡訊號產生電路，用來依據一第一時脈訊號執行一第二充放電操作，以產生該第二斜坡訊號，其中該第一時脈訊號與該第二時脈訊號之間的一相位差為180度。

【請求項9】如請求項8之工作週期控制電路，其中該第一時脈訊號於一第一時脈週期內處於一第一高電壓位準的時長等於該第二斜坡訊號從該第二斜坡訊號的該最大電壓位準至該第二斜坡訊號的該最小電壓位準的時間，以及該第二時脈訊號於一第二時脈週期內處於一第二高電壓位準的時長等於該第一斜坡訊號從該第一斜坡訊號的該最大電壓位準至該第一斜坡訊號的該最小電壓位準的時間。

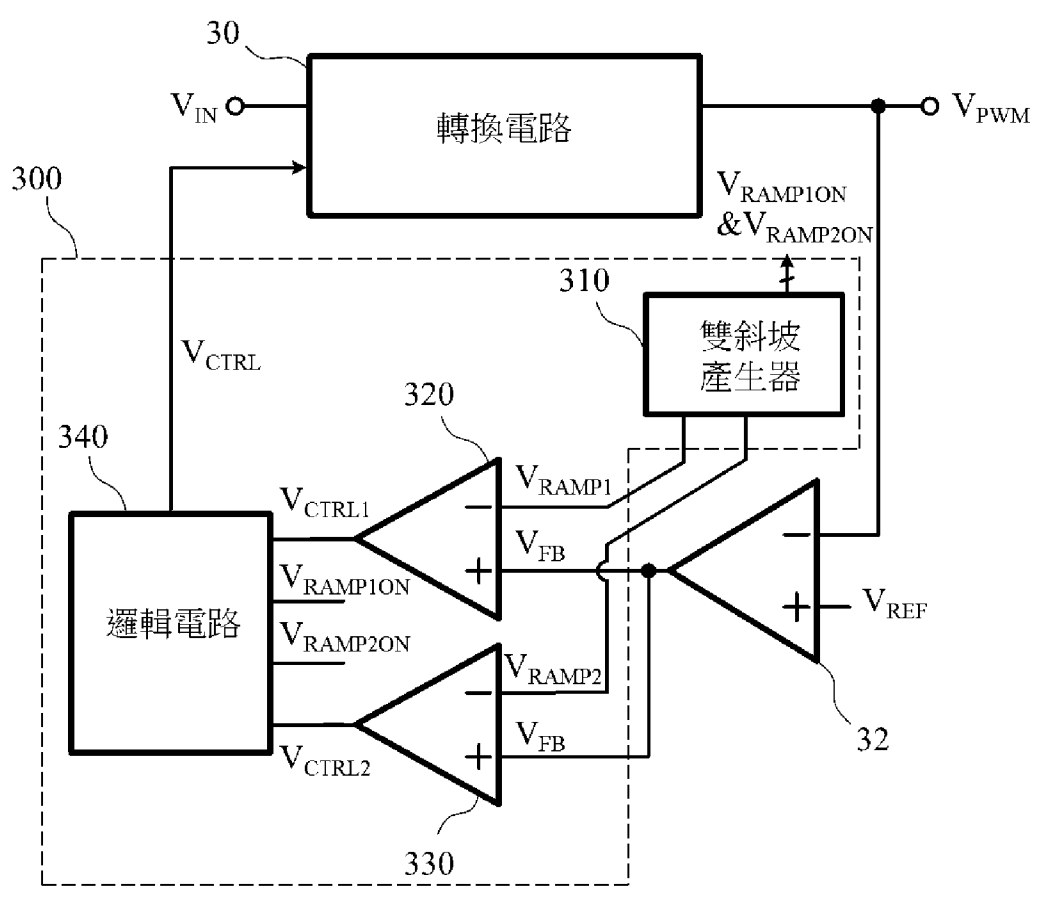
【發明圖式】



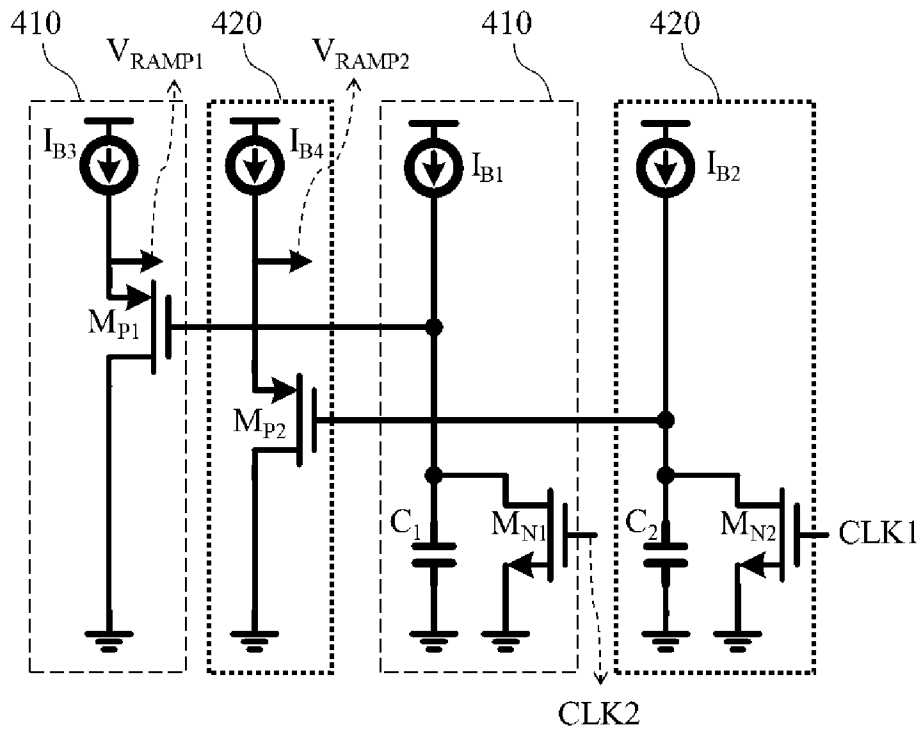
【圖1】



【圖2】

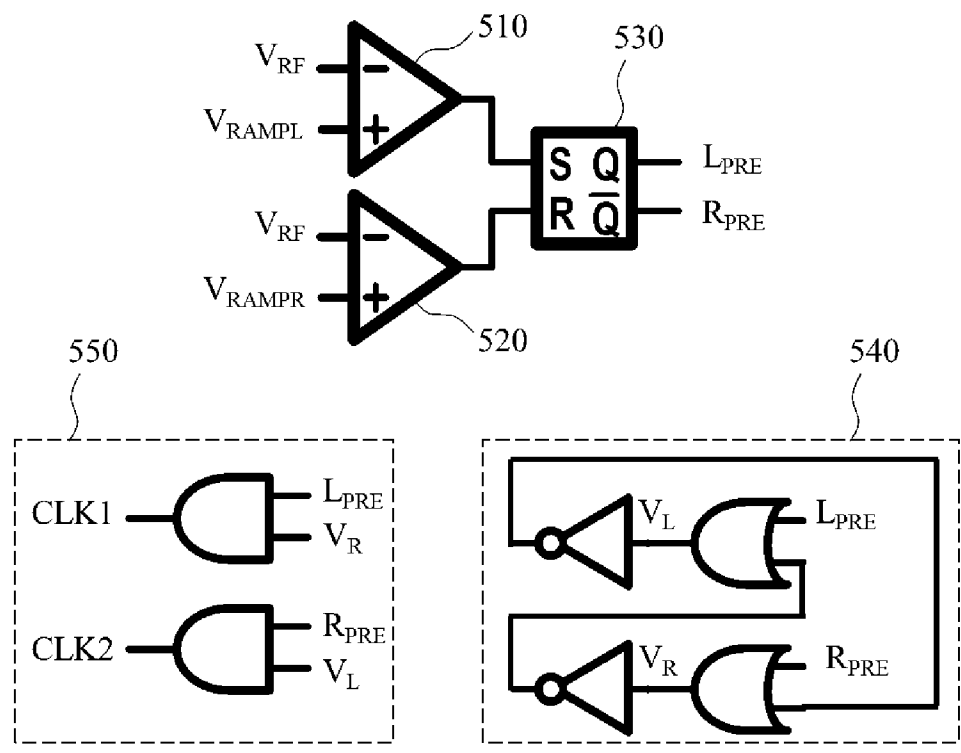


【圖3】



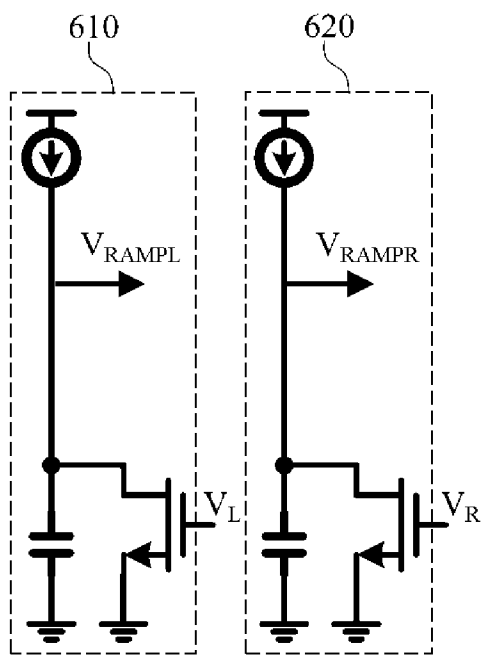
310

【圖4】



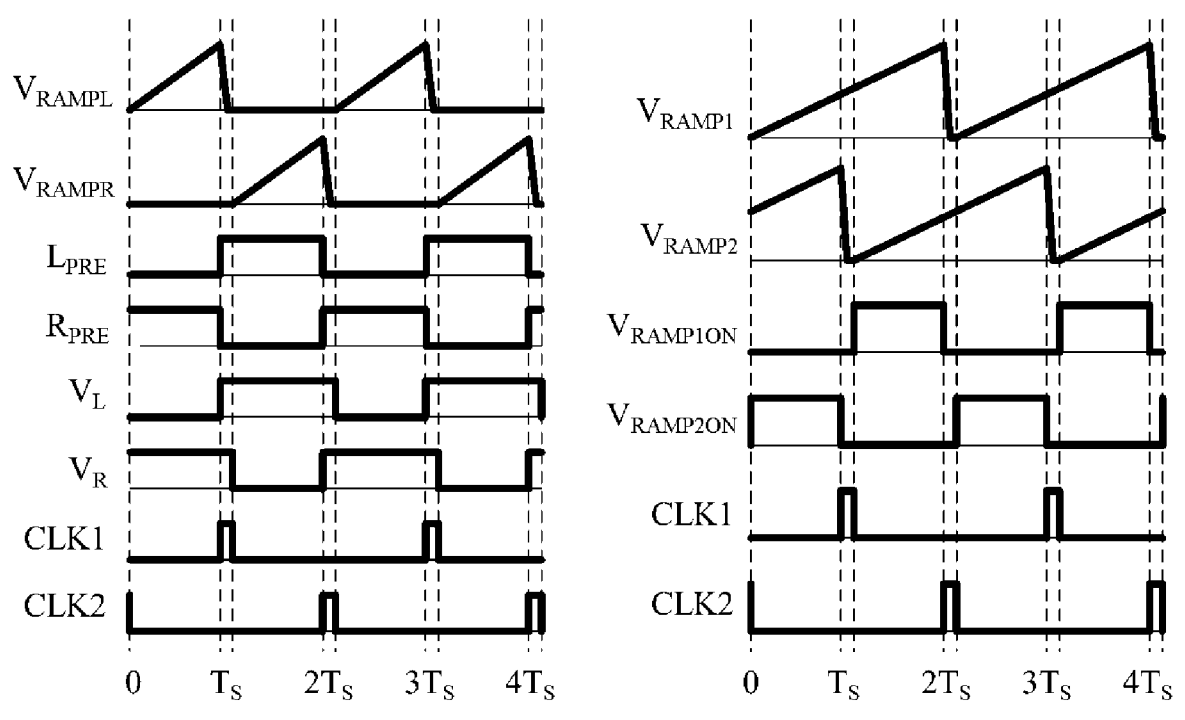
500

【圖5】

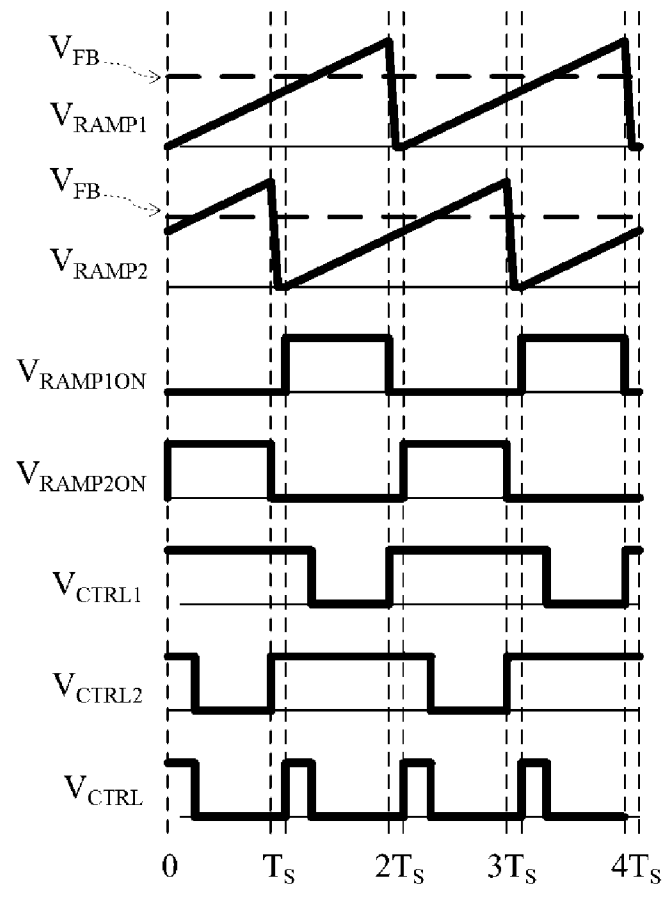


600

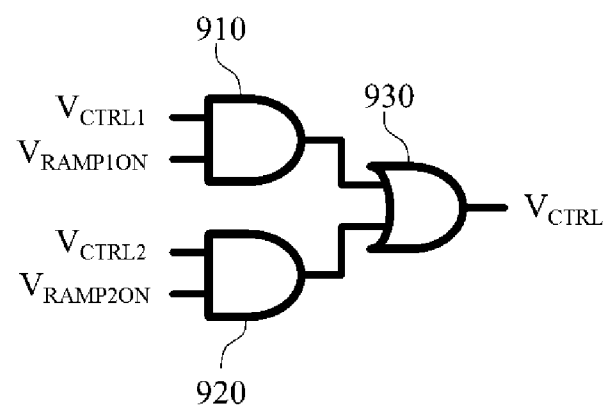
【圖6】



【圖7】

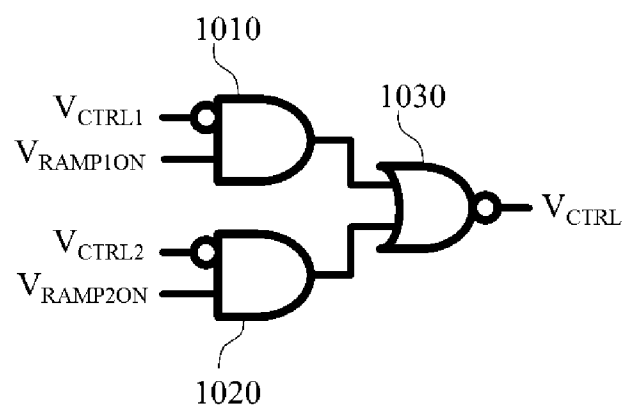


【圖8】



340

【圖9】



340

【圖10】