

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号
特許第4647238号
(P4647238)

(45) 発行日 平成23年3月9日 (2011.3.9)

(24) 登録日 平成22年12月17日 (2010.12.17)

(51) Int.Cl.	F I
G 0 9 G 3/30 (2006.01)	G 0 9 G 3/30 Z
G 0 9 G 3/20 (2006.01)	G 0 9 G 3/20 6 1 2 L
G 0 9 G 5/00 (2006.01)	G 0 9 G 3/20 6 2 1 F
G 0 9 G 5/397 (2006.01)	G 0 9 G 3/20 6 2 1 M
G 0 9 G 5/399 (2006.01)	G 0 9 G 3/20 6 2 2 S
請求項の数 6 (全 17 頁) 最終頁に続く	

(21) 出願番号	特願2004-144390 (P2004-144390)	(73) 特許権者	000153878
(22) 出願日	平成16年5月14日 (2004.5.14)		株式会社半導体エネルギー研究所
(65) 公開番号	特開2005-4186 (P2005-4186A)		神奈川県厚木市長谷398番地
(43) 公開日	平成17年1月6日 (2005.1.6)	(72) 発明者	遠藤 正己
審査請求日	平成19年5月11日 (2007.5.11)		神奈川県厚木市長谷398番地 株式会社
(31) 優先権主張番号	特願2003-139667 (P2003-139667)		半導体エネルギー研究所内
(32) 優先日	平成15年5月16日 (2003.5.16)		
(33) 優先権主張国	日本国 (JP)	審査官	堀部 修平

最終頁に続く

(54) 【発明の名称】 表示装置および表示装置の駆動方法

(57) 【特許請求の範囲】

【請求項1】

第1のメモリと、
第2のメモリと、
前記第1のメモリおよび前記第2のメモリの制御回路と、
表示部と、
を有し、
前記制御回路は、
前記第1のメモリおよび前記第2のメモリにビデオデータの書き込みを行う第1の論理回路と、
前記第1のメモリおよび前記第2のメモリから前記ビデオデータの読み取りを行い、前記表示部に出力する第2の論理回路と、
前記第1のメモリを書き込み用とし前記第2のメモリを読み取り用とする第1の状態、または、前記第2のメモリを書き込み用とし前記第1のメモリを読み取り用とする第2の状態、のいずれかを選択するセクタと、
を有し、
前記制御回路は、
前記制御回路に入力される垂直方向同期信号である第1の信号と、
前記第1の信号を用いて生成され、前記セクタに入力される第2の信号と、
前記表示部の各行に前記ビデオデータを出力するタイミングを制御する水平方向同期信号

10

20

である第 3 の信号と、
前記第 2 の論理回路の状態を示す第 4 の信号と、
を用いて制御され、
前記第 1 の信号が入力されるタイミングで、前記第 2 の信号が反転し、
前記第 2 の信号が反転するタイミングで、前記セクタが選択する前記第 1 の状態および
前記第 2 の状態が切り替わり、
前記セクタにより書き込み用として選択された前記第 1 のメモリまたは前記第 2 のメモ
リには、前記第 2 の信号が反転するタイミングで、前記第 1 の論理回路から前記ビデオデ
ータの書き込みが開始され、
前記第 2 の信号が反転した後、前記第 3 の信号が立ち上がるタイミングで、前記第 4 の信
号が立ち上がり、
前記セクタにより読み取り用として選択された前記第 1 のメモリまたは前記第 2 のメモ
リからは、前記第 4 の信号が立ち上がるタイミングで、前記第 2 の論理回路により前記ビ
デオデータの読み取りが開始される
ことを特徴とする表示装置。

10

【請求項 2】

請求項 1 において、
前記セクタは、第 1 のセクタおよび第 2 のセクタから構成されることを特徴とする
表示装置。

【請求項 3】

20

請求項 1 または請求項 2 において、
前記セクタは、第 1 のセクタおよび第 2 のセクタから構成され、
前記第 1 のセクタは、前記第 1 のメモリを書き込み用とする前記第 1 の状態、または、
前記第 1 のメモリを読み取り用とする前記第 2 の状態、のいずれかを選択する機能を有し
、
前記第 2 のセクタは、前記第 2 のメモリを読み取り用とする前記第 1 の状態、または、
前記第 2 のメモリを書き込み用とする前記第 2 の状態、のいずれかを選択する機能を有す
ることを特徴とする表示装置。

【請求項 4】

第 1 のメモリと、
第 2 のメモリと、
前記第 1 のメモリおよび前記第 2 のメモリの制御回路と、
表示部と、
を有し、
前記制御回路は、
前記第 1 のメモリおよび前記第 2 のメモリにビデオデータの書き込みを行う第 1 の論理回
路と、
前記第 1 のメモリおよび前記第 2 のメモリから前記ビデオデータの読み取りを行い、前記
表示部に出力する第 2 の論理回路と、
前記第 1 のメモリを書き込み用とし前記第 2 のメモリを読み取り用とする第 1 の状態、ま
たは、前記第 2 のメモリを書き込み用とし前記第 1 のメモリを読み取り用とする第 2 の状
態、のいずれかを選択するセクタと、
を有し、
前記制御回路は、
前記制御回路に入力される垂直方向同期信号である第 1 の信号と、
前記第 1 の信号を用いて生成され、前記セクタに入力される第 2 の信号と、
前記表示部の各行に前記ビデオデータを出力するタイミングを制御する水平方向同期信号
である第 3 の信号と、
前記第 2 の論理回路の状態を示す第 4 の信号と、
を用いて制御される表示装置の駆動方法であって、

30

40

50

前記第 1 の信号が入力されるタイミングで、前記第 2 の信号が反転し、
前記第 2 の信号が反転するタイミングで、前記セクタが選択する前記第 1 の状態および
前記第 2 の状態が切り替わり、
前記セクタにより書き込み用として選択された前記第 1 のメモリまたは前記第 2 のメモ
リには、前記第 2 の信号が反転するタイミングで、前記第 1 の論理回路から前記ビデオデ
ータの書き込みが開始され、
前記第 2 の信号が反転した後、前記第 3 の信号が立ち上がるタイミングで、前記第 4 の信
号が立ち上がり、
前記セクタにより読み取り用として選択された前記第 1 のメモリまたは前記第 2 のメモ
リからは、前記第 4 の信号が立ち上がるタイミングで、前記第 2 の論理回路により前記ビ
デオデータの読み取りが開始される
ことを特徴とする表示装置の駆動方法。

10

【請求項 5】

請求項 4 のいずれか一項において、
前記セクタは、第 1 のセクタおよび第 2 のセクタから構成されることを特徴とする
表示装置の駆動方法。

【請求項 6】

請求項 4 または請求項 5 において、
前記セクタは、第 1 のセクタおよび第 2 のセクタから構成され、
前記第 1 のセクタは、前記第 1 のメモリを書き込み用とする前記第 1 の状態、または、
前記第 1 のメモリを読み取り用とする前記第 2 の状態、のいずれかを選択する機能を有し
、
前記第 2 のセクタは、前記第 2 のメモリを読み取り用とする前記第 1 の状態、または、
前記第 2 のメモリを書き込み用とする前記第 2 の状態、のいずれかを選択する機能を有す
ることを特徴とする表示装置の駆動方法。

20

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、表示装置および表示装置の駆動方法に関するものであり、特に発光素子を用
い、メモリの制御回路を有する表示装置に関するものである。メモリの制御回路とは、S
R A M (Static Random Access Memory) をはじめとするメモリへの書き込み及び読み取
りの制御を行うものである。

30

【背景技術】

【0002】

発光素子を画素毎に配置し、それらの発光素子の発光を制御することによって、画像の
表示を行う表示装置について以下に説明する。

【0003】

ここで本明細書中では、発光素子は、電界が生じると発光する有機化合物層を、陽極及
び陰極で挟んだ構造を有する素子 (EL素子) を示すものとして説明を行うが、これに限定
されない。

40

【0004】

また、本明細書中において、発光素子とは、一重項励起子から基底状態に遷移する際の
発光 (蛍光) を利用するものと、三重項励起子から基底状態に遷移する際の発光 (燐光)
を利用するものの両方を示すものとして説明を行う。

【0005】

有機化合物層としては、正孔注入層、正孔輸送層、発光層、電子輸送層、電子注入層等
が挙げられる。発光素子は、基本的に、陽極 / 発光層 / 陰極の順に積み重ねた構造で示さ
れるが、この他に、陽極 / 正孔注入層 / 発光層 / 電子注入層 / 陰極の順に積み重ねた構造
や、陽極 / 正孔注入層 / 正孔輸送層 / 発光層 / 電子輸送層 / 電子注入層 / 陰極の順に積み
重ねた構造などがある。

50

【 0 0 0 6 】

表示装置は、ディスプレイと、ディスプレイに信号を入力する周辺回路によって構成されている。

【 0 0 0 7 】

ディスプレイの構成について、図 8 にブロック図を示す。

【 0 0 0 8 】

図 8 において、ディスプレイ 2 0 0 0 は、シフトレジスタ 2 1 1 0、LAT (A) 2 1 1 1、LAT (B) 2 1 1 2 からなるソース信号線駆動回路 2 1 0 7 と、ゲート信号線駆動回路 2 1 0 8 と、画素部 2 1 0 9 とによって構成されている。ソース信号線駆動回路 2 1 0 7、ゲート信号線駆動回路 2 1 0 8 にデータを入力するディスプレイコントローラ 2 0 0 2 がある。画素部は、マトリクス状に画素が配置された構成となっている。また、信号制御回路 2 0 0 1 は、メモリコントローラ 2 0 0 3、CPU 2 0 0 4、メモリ A 2 0 0 5、メモリ B 2 0 0 6 から構成されている。

10

【 0 0 0 9 】

各画素に、薄膜トランジスタ（以下、TFTと表記する）が配置されている。ここでは、画素毎に 2 つの TFT を配置し、各画素の発光素子の発光を制御する手法について説明する。

【 0 0 1 0 】

図 9 に、表示装置の画素部の構成を示す。

【 0 0 1 1 】

画素部 2 7 0 0 には、ソース信号線 S 1 ~ S x、ゲート信号線 G 1 ~ G y、電源供給線 V 1 ~ V x が配置され、x（x は自然数）列 y（y は自然数）行の画素が配置されている。各画素 2 7 0 5 は、スイッチング用 TFT 2 7 0 1 と、駆動用 TFT 2 7 0 2 と、保持容量 2 7 0 3 と、発光素子 2 7 0 4 をそれぞれ有している。

20

【 0 0 1 2 】

画素は、ソース信号線 S 1 ~ S x のうちの 1 本 S と、ゲート信号線 G 1 ~ G y のうちの 1 本 G と、電源供給線 V 1 ~ V x のうちの 1 本 V と、スイッチング用 TFT 2 7 0 1 と、駆動用 TFT 2 7 0 2 と、保持容量 2 7 0 3 と、発光素子 2 7 0 4 とによって構成されている。

【 0 0 1 3 】

スイッチング用 TFT 2 7 0 1 のゲート電極は、ゲート信号線 G に接続され、スイッチング用 TFT 2 7 0 1 のソース領域とドレイン領域は、一方はソース信号線 S に接続され、もう一方は、駆動用 TFT 2 7 0 2 のゲート電極もしくは、保持容量 2 7 0 3 の一方の電極に接続されている。駆動用 TFT 2 7 0 2 のソース領域とドレイン領域は、一方は、電源供給線 V に接続され、もう一方は、発光素子 2 7 0 4 の陽極もしくは陰極に接続されている。保持容量 2 7 0 3 の 2 つの電極のうち、駆動用 TFT 2 7 0 2 及びスイッチング用 TFT 2 7 0 1 に接続されていない側は、電源供給線 V に接続されている。

30

【 0 0 1 4 】

ここで本明細書中では、駆動用 TFT 2 7 0 2 のソース領域もしくはドレイン領域が、発光素子 2 7 0 4 の陽極と接続されている場合、発光素子 2 7 0 4 の陽極を画素電極と呼び、陰極を対向電極と呼ぶ。一方、駆動用 TFT 2 7 0 2 のソース領域もしくはドレイン領域が、発光素子 2 7 0 4 の陰極と接続されている場合、発光素子 2 7 0 4 の陰極を画素電極と呼び、陽極を対向電極と呼ぶ。

40

【 0 0 1 5 】

また、電源供給線 V に与えられる電位を電源電位といい、対向電極に与えられる電位を対向電位と呼ぶことにする。

【 0 0 1 6 】

スイッチング用 TFT 2 7 0 1 及び駆動用 TFT 2 7 0 2 は、p チャネル型 TFT でも n チャネル型 TFT でも構わないが、発光素子 2 7 0 4 の画素電極が陽極の場合、駆動用 TFT 2 7 0 2 は、p チャネル型 TFT が望ましく、スイッチング用 TFT 2 7 0 1 は、

50

nチャンネル型TFTが望ましい。一方、画素電極が、陰極の場合、駆動用TFT2702は、nチャンネル型TFTが望ましく、スイッチング用TFT2701は、pチャンネル型TFTが望ましい。

【0017】

上記構成の画素において、画像を表示する際の動作を以下に説明する。

【0018】

ゲート信号線Gに信号が入力されて、スイッチング用TFT2701のゲート電極の電位が変化し、ゲート電圧が変化する。こうして導通状態となったスイッチング用TFT2701のソース・ドレイン間を介して、ソース信号線Sより駆動用TFT2702のゲート電極に信号が入力される。また、保持容量2703に信号が保持される。駆動用TFT2702のゲート電極に入力された信号によって、駆動用TFT2702のゲート電圧が変化し、ソース・ドレイン間が導通状態となる。電源供給線Vの電位が、駆動用TFT2702を介して、発光素子2704の画素電極に与えられる。こうして、発光素子2704は発光する。

10

【0019】

このような構成の画素において、階調を表現する手法について説明する。階調の表現の方法には、大きくわけて、アナログ方式とデジタル方式とがある。アナログ方式と比べて、デジタル方式は、TFTのばらつきに強いと言う点で有利である。ここでは、デジタル方式の階調表現方法に注目する。デジタル方式の階調表現方法として、時間階調方式が挙げられる。時間階調方式の駆動方式について、以下に詳しく説明する。

20

【0020】

この方式の駆動方法では、表示装置の各画素が発光する期間を制御することによって、階調を表現する手法である。1画像を表示する期間を1フレーム期間とすると、1フレーム期間は、複数のサブフレーム期間に分割される。

【0021】

サブフレーム期間毎に、点灯もしくは非点灯とし、つまり、各画素の発光素子が発光させる、またはさせないかによって、1フレーム期間あたりに発光素子が発光する期間を制御し、各画素の階調が表現される。

【0022】

この時間階調方式の駆動方法について、図10のタイミングチャートを用いて詳しく説明する。なお、図10においては、4ビットのデジタル映像信号を用いて階調を表現する場合の例を示す。なお、画素及び画素部の構成としては、図9に示したものを参照する。ここで、対向電位は、外部電源（図示せず）によって、電源供給線V1～Vxの電位（電源電位）と同じ程度の電位が、電源供給線V1～Vxの電位との間に、発光素子2704が発光する程度の電位差かを有するように切り換えることができる。

30

【0023】

1フレーム期間Fは、複数のサブフレーム期間SF1～SF4に分割される。第1のサブフレーム期間SF1において、はじめにゲート信号線G1が選択され、ゲート信号線G1にゲート電極が接続されたスイッチング用TFT2701を有する画素においてそれぞれ、ソース信号線S1～Sxからデジタル映像信号が入力される。この入力されたデジタル映像信号によって、各画素の駆動用TFT2702は、オンの状態もしくはオフの状態となる。

40

【0024】

ここで本明細書中では、TFTがオンの状態とは、そのゲート電圧によって、ソース・ドレイン間が導通状態であることを示すとする。また、TFTがオフの状態とは、そのゲート電圧によって、ソース・ドレイン間が、非導通状態であることを示すとする。

【0025】

このとき、発光素子2704の対向電位は、電源供給線V1～Vxの電位（電源電位）とほぼ等しく設定されているので、駆動用TFT2702がオンの状態となった画素においても発光素子2704は発光しない。全てのゲート信号線G1～Gyについて以上の動

50

作を繰り返し、書き込み期間 T_{a1} が終了する。なお、第 1 のサブフレーム期間 $SF1$ の書き込み期間を T_{a1} と呼ぶ。一般に第 j (j は自然数) のサブフレーム期間の書き込み期間を T_{aj} と呼ぶことにする。

【0026】

書き込み期間 T_{a1} が終了すると対向電位が、電源電位との間に発光素子 2704 が発光する程度の電位差を有するように変化する。こうして表示期間 T_{s1} が始まる。なお、第 1 のサブフレーム期間 $SF1$ の表示期間を T_{s1} と呼ぶ。一般に第 j (j は自然数) のサブフレーム期間の表示期間を T_{sj} と呼ぶことにする。表示期間 T_{s1} において、各画素の発光素子 2704 は、入力された信号に応じて、発光もしくは非発光の状態となる。

【0027】

上記動作を全てのサブフレーム期間 $SF1 \sim SF4$ について繰り返し、1 フレーム期間 $F1$ が終了する。ここで、サブフレーム期間 $SF1 \sim SF4$ の表示期間 $T_{s1} \sim T_{s4}$ の長さを適宜設定し、1 フレーム期間 F あたりで、発光素子 2704 が発光したサブフレーム期間の表示期間の累計によって階調を表現する。つまり、1 フレーム期間中の点灯時間の総和をもって階調を表現する。

【0028】

一般に、 n ビットのデジタルビデオ信号を入力して、 2^n 階調を表現する手法について説明する。このとき、例えば、1 フレーム期間を n 個のサブフレーム期間 $SF1 \sim SFn$ に分割し、各サブフレーム期間 $SF1 \sim SFn$ の表示期間 $T_{s1} \sim T_{sn}$ の長さの比が、 $T_{s1} : T_{s2} : \dots : T_{sn-1} : T_{sn} = 2^0 : 2^1 : \dots : 2^{n-2} : 2^{n-1}$ となるように設定する。なお、書き込み期間 $T_{a1} \sim T_{an}$ の長さは同じである。

【0029】

1 フレーム期間中に発光素子 2704 において、発光状態が選択された表示期間 T_{s1} の総和を求めることによって、そのフレーム期間におけるその画素の階調が決まる。例えば、 $n = 8$ のとき、全部の表示期間で画素が発光した場合の輝度を 100% とすると、 T_{s8} と T_{s7} において画素が発光した場合には 1% の輝度が表現でき、 T_{s6} と T_{s4} と T_{s1} を選択した場合には 60% の輝度が表現できる。

【0030】

このような時間階調で表示するためには時間階調用に信号を変換する回路が必要である。従来用いられている制御回路の概略図を図 2 に示す。制御回路 200 はデータを記憶するメモリ A 201 およびメモリ B 202、データを読み取り、メモリへの書き込みを行う論理回路 (W-LOGIC 203)、メモリからの読み取りを行い、ディスプレイ 205 に出力を行う論理回路 (R-LOGIC 204) から構成される。

【0031】

図 3 に従来の制御回路のタイムチャートを示す。W-LOGIC 203 に入力されたデジタルデータを時間階調方式に合わせたデータにするために、メモリ A 201 およびメモリ B 202 を使って、交互にデータの書き込み及び読み取りを行う。

【0032】

R-LOGIC 204 がメモリ A 201 に記憶された信号の読み出しを行うと、同時にメモリ B 202 に W-LOGIC 203 を介して次のフレーム期間に対応するデジタルビデオ信号が入力され、記憶され始める。

【0033】

このように、制御回路 200 は、それぞれ 1 フレーム期間分ずつのデジタルビデオ信号を記憶することができるメモリ A 201 及びメモリ B 202 を有し、このメモリ A 201 とメモリ B 202 とを交互に用いて、デジタルビデオ信号をサンプリングする。

【0034】

このとき、従来の方法ではメモリ A 201 またはメモリ B 202 に書き込んだ後、再び読み取り信号が来るまで Wait (待機) 状態に置かれる。また、メモリ A 201 およびメモリ B 202 の書き込みと読み取りの機能変換はより時間のかかる読み取り側にタイミングを合わせて行う (図 3)。

10

20

30

40

50

【発明の開示】

【発明が解決しようとする課題】

【0035】

従来の方法においては、読み取り時間を書き込み時間よりも十分長く設定していた。そのため、書き込みを随時行い、読み取りが終わってから動作の機能を入れ替える方式でも問題はなかった。

【0036】

しかし、メモリへの読み取りと書き込みにかかる時間に差がほとんどないような駆動方法では従来のように書き込み後読み取りが行なわれるまでWait状態を続ける方法ではメモリへ書き込むタイミングが遅くなってしまい、結果としてフレーム周波数が落ちてしまうという課題があった。

10

【課題を解決するための手段】

【0037】

上述した従来技術の課題を解決するために、本発明においては以下の手段を講じた。すなわち、書き込み信号の周期毎に、2つのメモリの割り当てを決め、書き込み開始信号と水平方向同期信号を通じて、読み込み開始を決定することにした。

【0038】

発光素子を有し、点灯時間の長さで階調を表現する表示装置において第1乃至第4の信号と、第1および第2のメモリ、読み取り装置および書き込み装置からなる制御回路を有し、第1の信号は書き込み信号の状態を表し、第2の信号は水平方向同期信号を表し、第3の信号は第1の書き込み信号の開始によって、第1のメモリ及び第2のメモリへの書き込みと読み込みの役割を決定し、第1の書き込み信号の開始毎に第1のメモリ及び第2のメモリの役割を入れ替え、第4の信号は第1の書き込み信号と第2の水平方向同期信号の状態によって決定し、第1の書き込み信号が書き込み開始かつ第2の水平方向同期信号が読み込み開始の場合、第4の信号は読み込み開始の状態になり、第1の書き込み信号が書き込み開始かつ前期第2の水平方向同期信号が読み込み待機の場合、第4の信号は読み込み待機の状態になり、これらの状態によって、読み取り装置及び書き込み装置の同期を取ることのできる表示装置によって課題を解決する事ができる。

20

【0039】

また読み取り装置および書き込み装置はFPGA (field programmable gate array) であってもよいし、LSI (Large Scale Integrated circuit) でもよい。また、表示装置と同一基板上に構成されていてもよい。

30

【0040】

この事により、メモリへの読み取りと書き込みにかかる時間に差がほとんどないような場合でも最適な期間に動作の機能を入れ替えることができるため、フレーム周波数が低下するという課題が解決される。

【発明の効果】

【0041】

OLED素子を用いた表示装置において、本発明の制御回路を用いる事により効率良くメモリへの書き込みと読み取りの切り替えをすることでフレーム周波数の低下を防ぐことができる。

40

【発明を実施するための最良の形態】

【0042】

本発明の実施の形態について、図面を用いて以下に説明する。但し、本発明は以下の説明に限定されず、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。なお、以下に説明する本発明の構成において、同じものを指す符号は異なる図面間で共通して用いる。

【0043】

図1に、本発明の代表的な構成を示すブロック図を示す。

50

【 0 0 4 4 】

制御回路100はメモリA101及びメモリB102、メモリ書き込みまたは読み込み用を選択するSelector103、Selector104、メモリへの書き込みを行う論理回路 (W - L O G I C 1 0 5)、メモリからの読み取りを行い出力を行う論理回路 (R - L O G I C 1 0 6)、垂直方向同期信号 (Sync) の開始点を判定する回路 (T O P 1 0 7) から構成される。

【 0 0 4 5 】

同期をとる方法として、S y n c、G#CK、R A M _ _ S E L E C T O R、READ#ENABLEの信号を新たに導入する。

【 0 0 4 6 】

RAM#SELECTORはSYNC信号が入力されるたびに反転し、メモリA101及びメモリB102の書き込み用読み取り用の役目をSelector103、Selector104によって決定される。

10

【 0 0 4 7 】

図 4 にTOP-107、W-LOGIC、R-LOGIC、の動作を示すタイミングチャートを示す。SYNC信号が入力されるとRAM#SELECTORは反転し、2つのメモリA101とメモリB102の書き込みと読み取りの役目が入れ替わる。また、同時にW-LOGICは書き込みを行いR-LOGICは読み込みを開始し、READ#ENABLE信号がHigh (または、Low) になる。

【 0 0 4 8 】

図 5 に書き込み、読み取りのタイミングと同期の取り方のタイムチャートを示す。

【 0 0 4 9 】

垂直方向同期信号 (SYNC) によってRAM#SELECTORは反転し、書き込み用メモリと読み取り用メモリの役目が入れ替わる。よってW-LOGICはデータの書き込みに図 1 に示したメモリA101とB102を交互に使用する。

20

【 0 0 5 0 】

READ#ENABLEは、HighのときR-LOGICが読み込み開始可能状態を表し、Lowのときは待機状態 (Wait) を表す信号とする。

【 0 0 5 1 】

また、READ#ENABLEはRAM#SELECTORが反転してから水平方向同期信号 (G#CK) の開始点 (High) から書き込み可能状態 (High) になりR-LOGICの状態は読み込み待機状態 (Wait) から読み込み開始可能状態になる。なおR-LOGICの読み込み待機状態 (Wait) は読み込み周期が終わった時点で自動的に読み込み待機状態 (Wait) になる。つまり垂直方向同期信号によってRAM#SELECTORを反転させ、G#CK、READ#ENABLE信号の各状態から書き込み待機状態 (Wait) 期間を変更させる。なお水平方向同期信号 (G#CK) の開始と読み込み開始可能状態または待機状態を示すREAD#ENABLEは、HighまたはLowでもよい。

30

【 0 0 5 2 】

よってR-LOGICの待機状態 (Wait) の期間を調整することによって異なる書き込みと読み込み周期の同期が取れる事になる。

【 0 0 5 3 】

また、本実施の形態では図 1 のブロック図に限られず、図 1 4 に示したブロック図を用いることができる。

【 実施例 1 】

40

【 0 0 5 4 】

本発明の実施例について説明する。

【 0 0 5 5 】

本実施例では、O L E D 素子を用いた表示用パネルに出力する制御回路の構成の一例を図 6 を用いて説明する。

【 0 0 5 6 】

制御回路 6 0 1 には18ビット (6 ビット × R G B) の V i d e o _ _ D a t a と制御信号が入力される。V i d e o _ _ D a t a が入力されてからディスプレイ 6 0 8 に出力するまでの動作を説明する。

【 0 0 5 7 】

50

各行の読み込みの制御はVCLK(周期68.6μs)で行なわれる。まずSYNC信号が入力される事でVideo_Dataの入力が始まる。SYNC信号が入力された後一定期間のオフ期間を経てW-LOGIC602にVideo_Dataの入力が始まる。VCLK半周期につき1行分のVideo_Dataが読み取られる。220行分の入力が終わると一定期間のオフ期間を経て再びSYNC信号が入力されVideo_Dataが入力される。全面の入力周期は16.6698ms(VCLK243周期分、1秒間に60周期)である。

【0058】

一行内の各ブロックへの読み込みの制御はHCLK(周期400ns)で行なわれる。Video_EnableがHighの期間中Video_Dataを読み出す。1行分、すなわち176ブロック分のデータを読み終わると一定期間のオフ期間(Video_EnableがLow)を経て次の行のVideo_Dataを読み出す。これを220行分繰り返すことで一画面分のデータとなる。

【0059】

一方、FPGA601にはメモリA606およびメモリB607が接続され、SYNC信号が入力毎にRAM#SELECTの値を反転させる。

【0060】

FPGAからの信号RAM_SELECTによってどちらのメモリに書き込む、また読み取るかを決定する。

【0061】

FPGAには6X8X3=144個のフリップフロップによって構成され、各フリップフロップはある点での一色分のデータ(6ビット)を格納する事ができる。データはHCLKによって順次隣のフリップフロップに移動され、8ブロック分のデータが揃うと144個のレジスタに格納され、RAM_SELECTによって決められたメモリに書き込まれる。

【0062】

ディスプレイ608の表示は時間階調で行うために、メモリA606またはメモリB607に書き込まれたデータはディスプレイ出力用に並び替えを行い、順次ディスプレイ608に出力される。R-LOGIC603はディスプレイ出力用に並び替えられた全面分のデータをメモリA606またはメモリB607内から読み込み、ディスプレイ608に出力する。

【0063】

ディスプレイ608に表示する際には、ビデオ信号データは4(アドレス)×RGB(3色)=12ビット単位で取り扱う。G1_CK、G2_CK、G1_CKB、G2_CKBはそれぞれ周期12μsのクロックである。G1_CK、G1_CKBが立ちあがる、または立ち下がるタイミングでビデオ信号データが入力される行が移動する。

【0064】

G1_SPが立ち下がってからから2周期(24μs)後に上の行から順に書き込みが行なわれる。220行分書き込みが終わると一画面分の表示となるが、次の画面の表示の前に書き込みを遅らせるために4周期(48μs)分のダミーサイクルが入る。また、必要によって書き込みの消去を行うときにはG2_SPを立ちあげる。

【0065】

S_CK、S_CKBは周期200nsのクロックである。S_CK、S_CKBが立ちあがる、または立ち下がるタイミングでVideo_Dataが入力されるブロックが移動する。G1_CKが立ち上がるもしくは立ち下がってから4周期(800ns)後にS_LATがHighになって電荷の保持を行い、続いてS_SPがHigh Lowになるときにビデオ信号データの入力が始まる。入力は4アドレス毎に行うので、44回繰り返す事で1行分の書き込みが終了する。

【0066】

W-LOGIC602とR-LOGIC603の動作は発振子609からのPLL610を通したクロックを入力することによって行なっている。また、メモリA606及びメ

10

20

30

40

50

メモリ B 6 0 7 への書き込み・読み取りのタイミングは、TOP 6 1 1 を通したクロックの立ち上がり及び立ち下がりを使用している。

【 0 0 6 7 】

W - L O G I C 6 0 2 及び R - L O G I C 6 0 3 は公知の L S I を用いても良いし、F P G A を用いることもできる。

【 0 0 6 8 】

本実施例は、W - L O G I C 6 0 2 と R - L O G I C 6 0 3 と TOP 6 1 1 およびメモリ A 6 0 6 とメモリ B 6 0 7、そしてメモリを選択する S e l e c t o r 6 0 4 と 6 0 5 とに用いられている。

【実施例 2】

10

【 0 0 6 9 】

本実施例においては、実施例 1 を用いた制御回路による O L E D 素子を用いた表示装置の一例を図 7 に示す。

【 0 0 7 0 】

表示装置は、制御回路 7 0 1、ソース信号線駆動回路 7 0 2、ゲート信号線駆動回路 7 0 3 及び 7 0 4、表示部 7 0 5、メモリ 7 0 6、F P C 7 0 7 とコネクタ 7 0 8 よりなる。表示装置の各回路はパネル 7 0 0 上に形成もしくは外付けされる。

【 0 0 7 1 】

動作の説明を行う。F P C 7 0 7 からコネクタ 7 0 8 を通して送られたデータ及び制御信号は制御回路 7 0 1 に入力され、メモリ 7 0 6 でデータを出力用に並び替えられて再び制御回路 7 0 1 に送られる。制御回路 7 0 1 はデータ及び表示に用いる信号をソース信号線駆動回路 7 0 2、ゲート信号線駆動回路 7 0 3、7 0 4 に送り、O L E D 素子を用いた表示部 7 0 5 で表示を行う。

20

【 0 0 7 2 】

ソース信号線駆動回路 7 0 2 およびゲート信号線駆動回路 7 0 3、7 0 4 は公知のものを用いる事ができる。また、回路の構成によってはゲート信号線駆動回路は一つでもよい。

【 0 0 7 3 】

本実施例は、制御回路 7 0 1 に用いられる。

【実施例 3】

30

【 0 0 7 4 】

本実施例においては、実施例 1 を用いた制御回路による O L E D 素子を用いた表示装置のうち、実施例 2 とは異なる一例を図 1 3 に示す。

【 0 0 7 5 】

表示装置は、制御回路 9 0 1、ソース信号線駆動回路 9 0 2、ゲート信号線駆動回路 9 0 3 及び 9 0 4、表示部 9 0 5、メモリ 9 0 6、F P C 9 0 7 よりなるコネクタ 9 0 8 よりなる。表示装置の各回路はパネル 9 0 0 上に形成もしくは外付けされる。

【 0 0 7 6 】

動作の説明を行う。F P C 9 0 7 からコネクタ 9 0 8 を通して送られたデータ及び制御信号は制御回路 9 0 1 に入力されたのちに、データを F P C 9 0 7 内のメモリ 9 0 6 に戻してデータを出力用に並べ替えられ、再び制御回路 9 0 1 に送られる。制御回路 9 0 1 はデータ及び表示に用いる信号をソース信号線駆動回路 9 0 2、ゲート信号線駆動回路 9 0 3、9 0 4 に送り、O L E D 素子を用いた表示部 9 0 5 で表示を行う。

40

【 0 0 7 7 】

実施例 2 との違いは、メモリ 9 0 6 が F P C 9 0 7 内に組み込まれている点である。この事により、表示装置の小型化を図ることができる。

【 0 0 7 8 】

実施例 2 と同様、ソース信号線駆動回路 9 0 2 およびゲート信号線駆動回路 9 0 3、9 0 4 は公知のものを用いる事ができる。また、回路の構成によってはゲート信号線駆動回路は一つでもよい。

50

【 0 0 7 9 】

本実施例は、制御回路 9 0 1 に用いられる。

【 実施例 4 】

【 0 0 8 0 】

本実施例においては、実施例 1 乃至 3 とは異なる構成による O L E D 素子を用いたディスプレイに出力する制御回路の構成の一例を図 1 1 を用いて説明する。

【 0 0 8 1 】

時間階調表示はアナログ表示に比較して、必然的に動作周波数が高くなる。一般に高画質を得るためには、擬似輪郭の発生を抑える必要があり、そのためにはサブフレームを 1 0 以上にする必要がある。そのため、動作周波数も 1 0 倍以上にしなければならない。

10

【 0 0 8 2 】

このような動作周波数で駆動を行うためには使用する S R A M も高速動作が必要であり、高速用の S R A M - I C を使用する必要がある。

【 0 0 8 3 】

ところが、高速用の S R A M は保持時の消費電力が大きく、モバイル機器には適していない。また、低消費電力の S R A M を使用するためには周波数をもっと下げる必要がある。

【 0 0 8 4 】

図 1 1 に示すように、デジタル映像信号を S R A M 1 7 0 3、S R A M 1 7 0 4 に書き込みをする前にシリアル-パラレル変換回路 1 7 0 2 を用いてデジタル映像信号をシリアルからパラレルに変換し、その後でスイッチ 1 7 0 6、1 7 0 7 を介してディスプレイ 1 7 0 5 に書き込みを行う。

20

このような対策をとることによって、呼び出し時も低周波数でパラレルな呼び出しが可能となるため、低消費電力 S R A M が低周波数で使用でき、モバイル機器の電力を下げる事ができる。

【 実施例 5 】

【 0 0 8 5 】

本発明を用いた電子機器として、ビデオカメラ、デジタルカメラ、ゴーグル型ディスプレイ（ヘッドマウントディスプレイ）、ナビゲーションシステム、音響再生装置（カーオーディオ、オーディオコンポ等）、ノート型パーソナルコンピュータ、ゲーム機器、携帯情報端末（モバイルコンピュータ、携帯電話、携帯型ゲーム機または電子書籍等）、記録媒体を備えた画像再生装置（具体的には Digital Versatile Disc (D V D) 等の記録媒体を再生し、その画像を表示しうるディスプレイを備えた装置）などが挙げられる。それらの電子機器の具体例を図 1 2 に示す。

30

【 0 0 8 6 】

図 1 2 (A) は液晶ディスプレイもしくは O L E D ディスプレイであり、筐体 1 0 0 1、支持台 1 0 0 2、表示部 1 0 0 3 などによって構成されている。本発明は表示部 1 0 0 3 を有する表示装置の駆動回路に適用が可能である。

【 0 0 8 7 】

図 1 2 (B) はビデオカメラであり、本体 1 0 1 1、表示部 1 0 1 2、音声入力 1 0 1 3、操作スイッチ 1 0 1 4、バッテリー 1 0 1 5、受像部 1 0 1 6 などによって構成されている。本発明は表示部 1 0 1 7 を有する表示装置の駆動回路に適用が可能である。

40

【 0 0 8 8 】

図 1 2 (C) はノート型のパーソナルコンピュータであり、本体 1 0 2 1、筐体 1 0 2 2、表示部 1 0 2 3、キーボード 1 0 2 4 などによって構成されている。本発明は表示部 1 0 2 3 を有する表示装置の駆動回路に適用が可能である。

【 0 0 8 9 】

図 1 2 (D) は携帯情報端末であり、本体 1 0 3 1、スタイラス 1 0 3 2、表示部 1 0 3 3、操作ボタン 1 0 3 4、外部インターフェイス 1 0 3 5 などによって構成されている。本発明は表示部 1 0 3 3 を有する表示装置の駆動回路に適用が可能である。

50

【 0 0 9 0 】

図 1 2 (E) は音響再生装置、具体的には車載用のオーディオ装置であり、本体 1 0 4 1、表示部 1 0 4 2、操作スイッチ 1 0 4 3、1 0 4 4 などによって構成されている。本発明は表示部 1 0 4 2 を有する表示装置の駆動回路に適用が可能である。また、今回は車載用オーディオ装置を例に上げたが、携帯型もしくは家庭用オーディオ装置に用いても良い。

【 0 0 9 1 】

図 1 2 (F) はデジタルカメラであり、本体 1 0 5 1、表示部 (A) 1 0 5 2、接眼部 1 0 5 3、操作スイッチ 1 0 5 4、表示部 (B) 1 0 5 5、バッテリー 1 0 5 6 などによって構成されている。本発明は表示部 (A) 1 0 5 2 および表示部 (B) 1 0 5 5 を有する表示装置の駆動回路に適用が可能である。

10

【 0 0 9 2 】

図 1 2 (G) は携帯電話であり、本体 1 0 6 1、音声出力部 1 0 6 2、音声入力部 1 0 6 3、表示部 1 0 6 4、操作スイッチ 1 0 6 5、アンテナ 1 0 6 6 などによって構成されている。本発明は表示部 1 0 6 4 を有する表示装置の駆動回路に適用が可能である。

【 0 0 9 3 】

これらの電子機器に使われる表示装置はガラス基板だけでなく耐熱性のプラスチック基板を用いることもできる。それによってより一層の軽量化を図ることができる。

【 0 0 9 4 】

なお、本実施例に示した例はごく一例であり、これらの用途に限定するものではないことを付記する。

20

【 0 0 9 5 】

本実施例は、実施形態及び実施例 1 ~ 4 と自由に組み合わせて実施することが可能である。

【 図面の簡単な説明 】

【 0 0 9 6 】

【 図 1 】 本発明のブロック図を示す図。

【 図 2 】 従来例のブロック図を示す図。

【 図 3 】 従来例の動作のタイムチャートを示す図。

【 図 4 】 本発明の動作のタイムチャートを示す図。

30

【 図 5 】 本発明の動作のタイムチャートを示す図。

【 図 6 】 本発明を用いた実施例を示す図。

【 図 7 】 本発明を用いた表示装置の一例を示す図。

【 図 8 】 従来例のブロック図を示す図。

【 図 9 】 マトリクス状に配置された画素の回路図。

【 図 1 0 】 従来例の動作のタイムチャートを示す図。

【 図 1 1 】 本発明を用いた表示装置の一例を示す図。

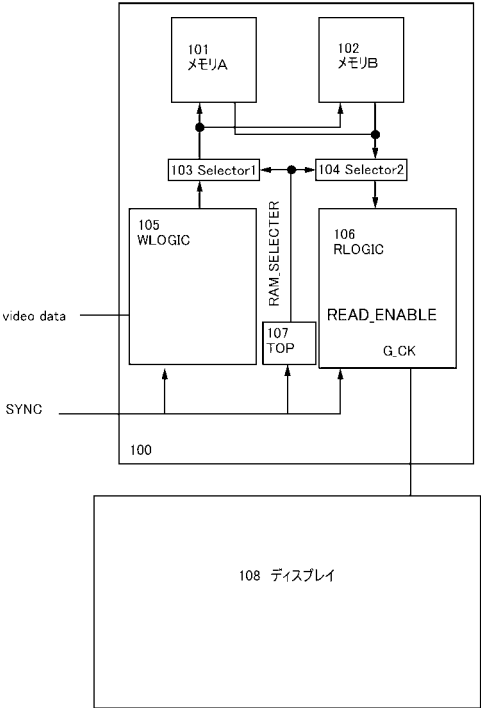
【 図 1 2 】 本発明を用いた電子機器の例を示す図。

【 図 1 3 】 本発明を用いた表示装置の一例を示す図。

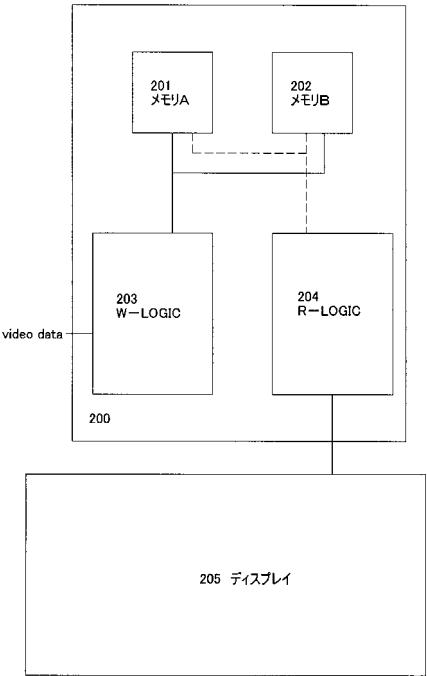
【 図 1 4 】 本発明のブロック図を示す図。

40

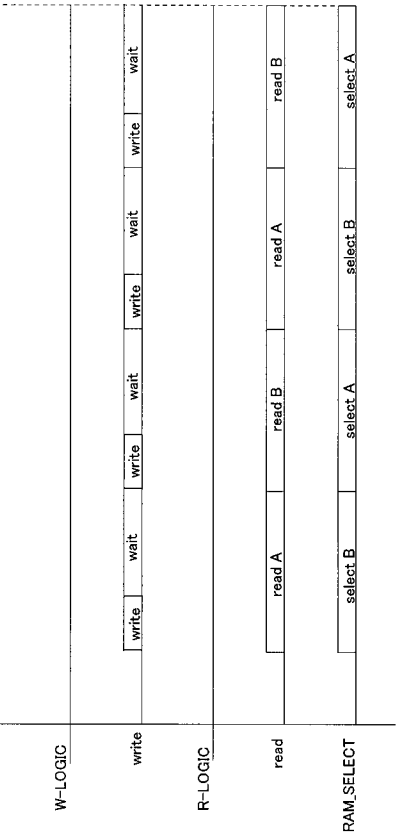
【図 1】



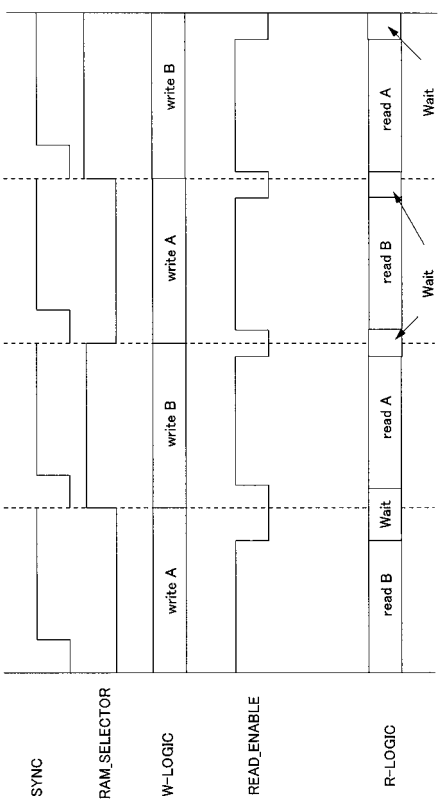
【図 2】



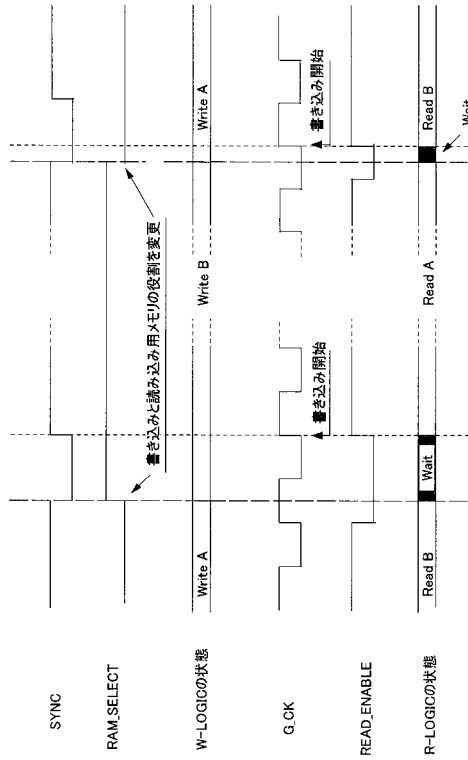
【図 3】



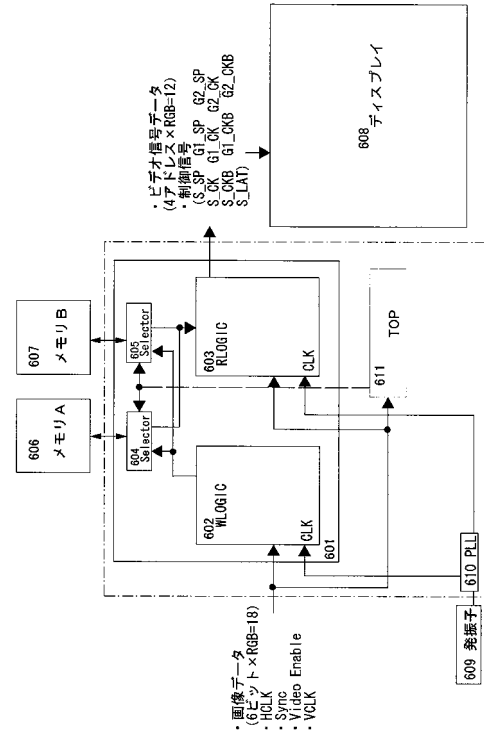
【図 4】



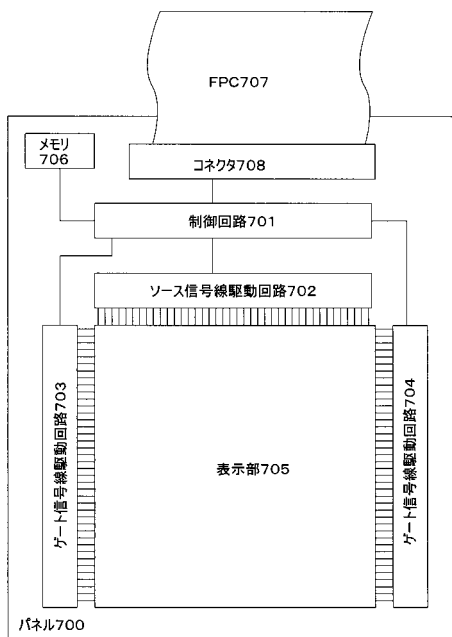
【図 5】



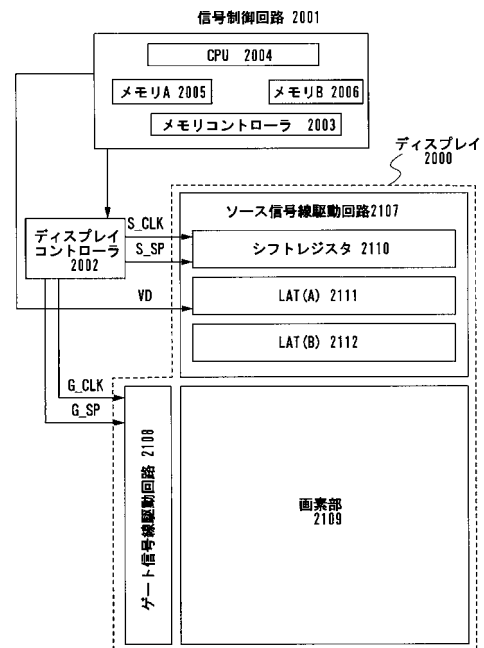
【図 6】



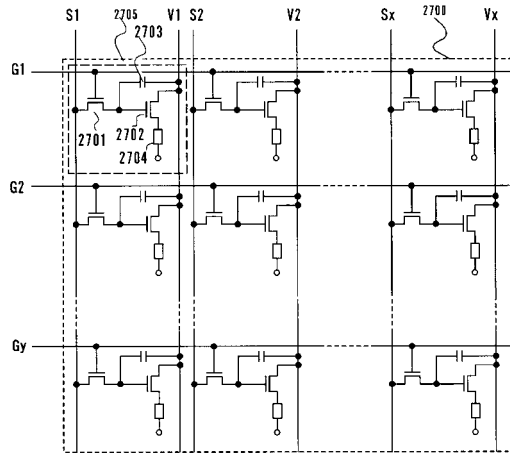
【図 7】



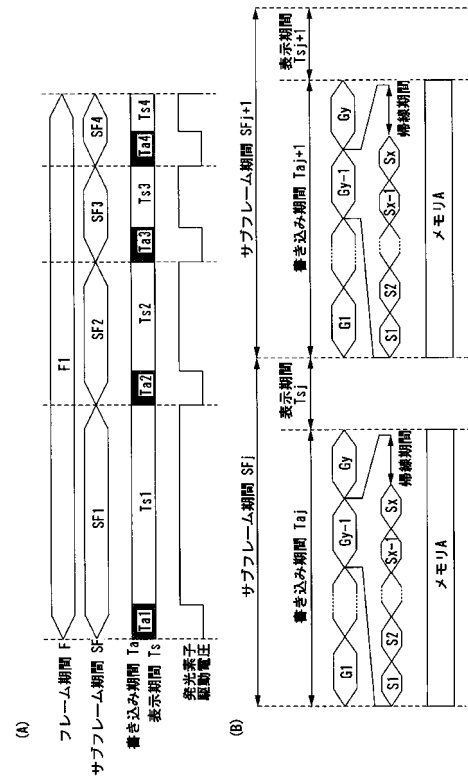
【図 8】



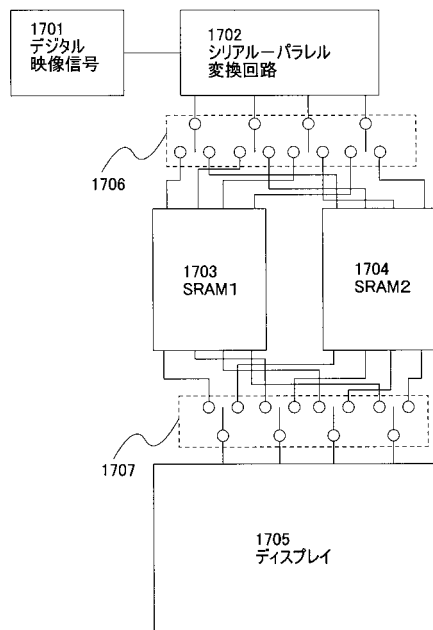
【図 9】



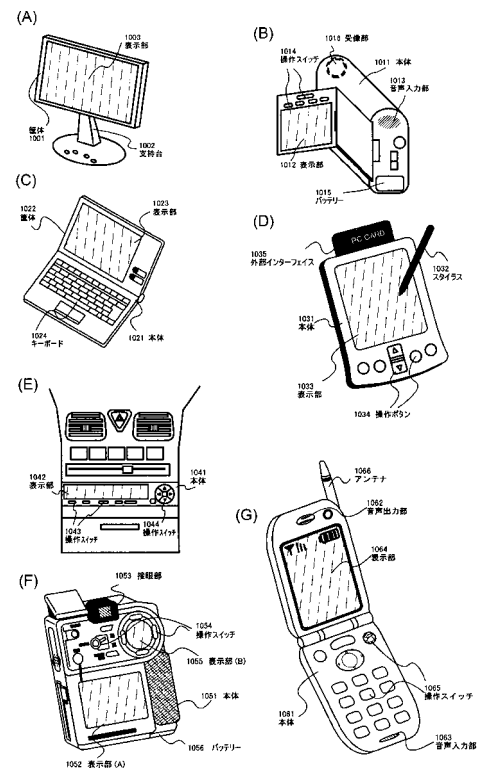
【図 10】



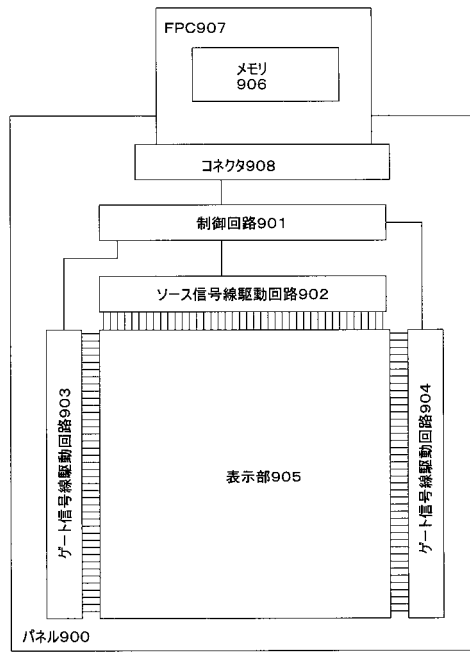
【図 11】



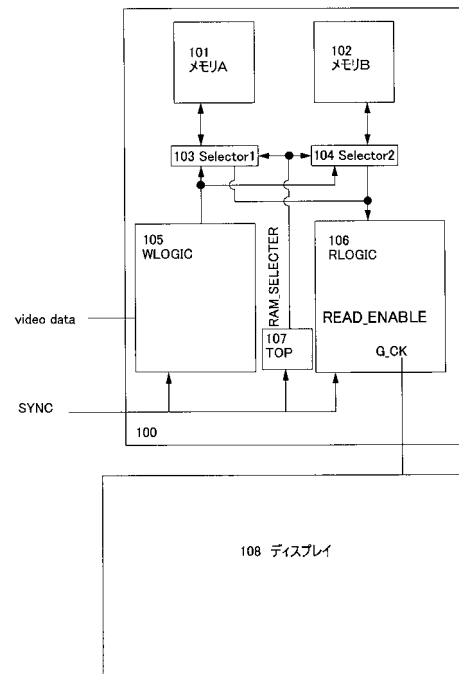
【図 12】



【図 13】



【図 14】



フロントページの続き

(51)Int.Cl.		F I		
<i>H 0 1 L 51/50 (2006.01)</i>		G 0 9 G	3/20	6 2 3 J
		G 0 9 G	3/20	6 2 3 P
		G 0 9 G	3/20	6 3 1 B
		G 0 9 G	3/20	6 3 1 D
		G 0 9 G	3/20	6 4 1 E
		G 0 9 G	3/20	6 8 0 G
		G 0 9 G	5/00	5 5 5 S
		G 0 9 G	5/00	5 5 5 W
		G 0 9 G	5/00	5 2 0 H
		H 0 5 B	33/14	A

(56)参考文献 特開 2 0 0 2 - 0 1 4 6 4 5 (J P , A)
 特開平 1 0 - 3 0 7 5 6 2 (J P , A)
 特開平 0 8 - 1 6 6 7 7 5 (J P , A)
 特開 2 0 0 2 - 2 2 1 9 4 5 (J P , A)
 特開 2 0 0 1 - 3 3 9 4 9 2 (J P , A)
 特開平 0 2 - 2 5 2 3 7 8 (J P , A)
 特開平 0 8 - 0 5 0 2 7 7 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

G 0 9 G	3 / 0 0	-	3 / 3 8
G 0 9 G	5 / 0 0	-	5 / 4 2