



(19)  
Bundesrepublik Deutschland  
Deutsches Patent- und Markenamt

(10) **DE 10 2008 030 864 A1** 2010.01.14

(12)

## Offenlegungsschrift

(21) Aktenzeichen: **10 2008 030 864.1**

(22) Anmeldetag: **30.06.2008**

(43) Offenlegungstag: **14.01.2010**

(51) Int Cl.<sup>8</sup>: **H01L 21/336** (2006.01)  
**H01L 29/78** (2006.01)

(71) Anmelder:

**Advanced Micro Devices, Inc., Sunnyvale, Calif.,  
US; AMD Fab 36 Limited Liability Company & Co.  
KG, 01109 Dresden, DE**

(74) Vertreter:

**Grünecker, Kinkeldey, Stockmair &  
Schwanhäusser, 80802 München**

(72) Erfinder:

**Wei, Andy, 01097 Dresden, DE; Mulfinger, Robert,  
01097 Dresden, DE; Scheiper, Thilo, 01277  
Dresden, DE; Kammler, Thorsten, 01458  
Ottendorf-Okrilla, DE**

(56) Für die Beurteilung der Patentfähigkeit in Betracht  
gezogene Druckschriften:

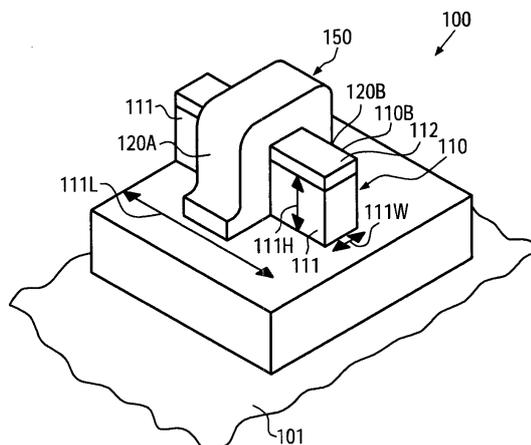
**US 72 41 653 B2**

**Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen**

Prüfungsantrag gemäß § 44 PatG ist gestellt.

(54) Bezeichnung: **Doppelgate- und Tri-Gatetransistor, die auf einem Vollsubstrat aufgebaut sind und Verfahren zur Herstellung des Transistors**

(57) Zusammenfassung: Dreidimensionale Transistorstrukturen, etwa FinFETs und Tri-Gatetransistoren, werden auf der Grundlage eines verbesserten Maskierungsschemas hergestellt, wodurch die Ausbildung von Drain- und Sourcebereichen, der Stege und der Isolationsstrukturen in einer selbstjustierten Weise innerhalb eines Halbleitervollsubstratmaterials möglich ist. Nach dem Bilden der grundlegenden Stegstrukturen werden äußerst effiziente Fertigungstechniken für planare Transistorkonfigurationen angewendet, wodurch das Gesamtverhalten der dreidimensionalen Transistorstrukturen noch weiter verbessert wird.



**Beschreibung**

Gebiet der vorliegenden Erfindung

**[0001]** Im Allgemeinen betrifft die vorliegende Offenbarung die Herstellung modernster integrierter Schaltungen mit kleinsten Transistorelementen mit einem Doppelgate (FinFET) oder einer Tri-Gatearchitektur.

Beschreibung des Stands der Technik

**[0002]** Die Herstellung moderner integrierter Schaltungen, etwa CPU's, Speicherbauelemente (ASIC's), anwendungsspezifische integrierte Schaltungen und dergleichen erfordert das Herstellen einer großen Anzahl an Schaltungselementen auf einer vorgegebenen Chipfläche gemäß einer spezifizierten Schaltungsanordnung, wobei Feldeffekttransistoren eine wichtige Art an Schaltungselementen repräsentieren, die im Wesentlichen das Leistungsverhalten der integrierten Schaltungen bestimmen. Im Allgemeinen werden eine Vielzahl von Prozesstechnologien aktuell eingesetzt, wobei für viele Arten komplexer Schaltungen mit Feldeffekttransistoren die MOS-Technologie eine der vielversprechendsten Vorgehensweisen auf Grund der guten Eigenschaften im Hinblick auf die Arbeitsgeschwindigkeit und/oder Leistungsaufnahme und/oder Kosteneffizienz ist. Während der Herstellung komplexer integrierter Schaltungen unter Anwendung beispielsweise der MOS-Technologie werden Millionen von Transistoren, etwa n-Kanaltransistoren und/oder p-Kanaltransistoren, auf einem Substrat hergestellt, das eine kristalline Halbleiterschicht aufweist. Ein Feldeffekttransistor enthält, unabhängig davon, ob ein Kanaltransistor oder ein p-Kanaltransistor betrachtet wird, sogenannte pn-Übergänge, die durch eine Grenzfläche stark dotierter Gebiete, die auch als Drain- und Sourcegebiete bezeichnet werden, mit einem leicht dotierten oder nicht dotierten Gebiet, etwa einem Kanalgebiet, gebildet sind, das zwischen den stark dotierten Gebieten angeordnet ist. In einem Feldeffekttransistor wird die Leitfähigkeit des Kanalgebiets, d. h. der Durchlassstrom des leitenden Kanals, durch eine Gateelektrode gesteuert, die benachbart zu dem Kanalgebiet angeordnet und davon durch eine dünne isolierende Schicht getrennt ist. Die Leitfähigkeit des Kanalgebiets beim Aufbau eines leitenden Kanals auf Grund des Anlegens einer geeigneten Steuerspannung an die Gateelektrode hängt von der Dotierstoffkonzentration, der Beweglichkeit der Ladungsträger und – bei einer ebenen Transistorarchitektur – von dem Abstand zwischen dem Sourcegebiet und dem Draingebiet ab, der auch als Kanallänge bezeichnet wird.

**[0003]** Gegenwärtig wird die große Mehrheit der integrierten Schaltungen auf der Grundlage von Silizium hergestellt auf Grund der nahezu unbegrenzten

Verfügbarkeit, den gut verstandenen Eigenschaften von Silizium und zugehörigen Materialien und Prozessen und der Erfahrung, die über die letzten 50 Jahre gewonnen wurde. Daher bleibt Silizium mit hoher Wahrscheinlichkeit das Material der Wahl für künftige Schaltungsgenerationen, die für Massenprodukte vorgesehen sind. Ein Grund für die große Bedeutung von Silizium bei der Herstellung von Halbleiterbauelementen sind die guten Eigenschaften einer Siliziumdioxid-Grenzfläche, die eine zuverlässige elektrische Isolierung unterschiedlicher Bauteilgebiete voneinander ermöglicht. Die Silizium/Siliziumdioxid-Grenzfläche ist bei hohen Temperaturen stabil und ermöglicht das Ausführen nachfolgender Hochtemperaturprozesse, wie sie beispielsweise für Ausheizzyklen erforderlich sind, um Dotierstoffe zu aktivieren und Kristallschäden auszuheilen, ohne die elektrischen Eigenschaften der Grenzfläche zu beeinträchtigen.

**[0004]** Aus den zuvor dargelegten Gründen wird Siliziumdioxid vorzugsweise als eine Gateisolationschicht in Feldeffekttransistoren eingesetzt, die die Gateelektrode, die häufig aus Polysilizium oder metallenthaltenden Materialien aufgebaut ist, von dem Siliziumkanalgebiet trennt. Beim ständigen Verbessern des Bauteilleistungsverhaltens von Feldeffekttransistoren wird die Länge des Kanalgebiets ständig verringert, um die Schaltgeschwindigkeit und den Durchlassstrom zu erhöhen. Da das Transistorverhalten durch die der Gateelektrode zugeführte Spannung gesteuert wird, um die Oberfläche des Kanalgebiets mit einer ausreichend hohen Ladungsträgerdichte zu invertieren, um damit den gewünschten Durchlassstrom bei einer gegebenen Versorgungsspannung bereitzustellen, ist ein gewisses Maß an kapazitiver Kopplung, das durch den von der Gateelektrode, dem Kanalgebiet und dem dazwischen angeordneten Siliziumdioxid gebildeten Kondensator bereitgestellt wird, beizubehalten. Es zeigt sich, dass das Verringern der Kanallänge für eine ebene Transistorkonfiguration eine größere kapazitive Kopplung fordert, um das sogenannte Kurzkanalverhalten während des Transistorbetriebs zu vermeiden. Das Kurzkanalverhalten kann zu einem erhöhten Leckstrom und zu einer Abhängigkeit der Schwellwertspannung von der Kanallänge führen. Aggressiv größenreduzierte Transistorbauelemente mit einer relativ geringen Versorgungsspannung und damit mit einer geringen Schwellwertspannung zeigen einen exponentiellen Anstieg der Leckströme, während gleichzeitig eine größere kapazitive Kopplung der Gateelektrode an das Kanalgebiet erforderlich ist. Daher muss die Dicke der Siliziumdioxidschicht entsprechend verringert werden, um die erforderliche Kapazität zwischen dem Gate und dem Kanalgebiet zu schaffen. Beispielsweise erfordert eine Kanallänge von ungefähr 0,08 µm ein Gatedielektrikum aus Siliziumdioxid, das ungefähr 1,2 nm dick ist. Obwohl im Allgemeinen Hochgeschwindigkeitstransistorelemente mit einem

sehr kurzen Kanal vorzugsweise für Hochgeschwindigkeitsanwendungen verwendet werden, wohingegen Transistorelemente mit einem längeren Kanal für weniger kritische Anwendungen eingesetzt werden, etwa Speichertransistorelemente, kann der relativ hohe Leckstrom, der durch ein direktes Tunneln von Ladungsträgern durch eine sehr dünne Siliziumdioxid-Gateisolationsschicht hervorgerufen wird, Werte mit einer Oxiddicke im Bereich von 1 bis 2 nm erreichen, die den Erfordernissen für Schaltungen mit hohem Leistungsvermögen nicht mehr kompatibel sind.

**[0005]** Daher würde das Ersetzen von Siliziumdioxid als Material für die Gateisolationsschichten erwogen, insbesondere für extrem dünne Siliziumdioxidgateschichten. Zu möglichen alternativen Materialien gehören solche, die eine deutlich größere Permittivität aufweisen, so dass eine physikalisch größere Dicke einer entsprechend ausgebildeten Gateisolationsschicht eine kapazitive Kopplung liefert, die durch eine extrem dünne Siliziumdioxidschicht erreicht würde. Üblicherweise wird eine Dicke, die für das Erreichen einer spezifizierten kapazitiven Kopplung mit Siliziumdioxid erforderlich ist, als eine Kapazitätsäquivalentdicke (CET) bezeichnet.

**[0006]** Es wurde vorgeschlagen, Siliziumdioxid durch Materialien mit hoher Permittivität zu ersetzen, etwa Tantaloxid ( $\text{Ta}_2\text{O}_5$ ) mit einem  $\epsilon$  von ungefähr 25, Strontiumtitanoxid ( $\text{SrTiO}_3$ ) mit einem  $\epsilon$  von ungefähr 150, Hafniumoxid ( $\text{HfO}_2$ ),  $\text{HfSiO}$ , Zirkonoxid ( $\text{ZrO}_2$ ) und dergleichen.

**[0007]** Obwohl deutliche Vorteile im Hinblick auf das Leistungsverhalten und die Steuerbarkeit modernster planarer Transistorarchitekturen auf der Grundlage der oben spezifizierten Strategien erreicht werden können, werden im Hinblick auf eine weitere Verringerung der Transistorabmessungen neue Transistor-konfigurationen vorgeschlagene, in denen eine „dreidimensionale“ Architektur vorgesehen wird in dem Versuch, eine gewünschte Kanalbreite zu erreichen, während gleichzeitig eine gute Steuerbarkeit des Stromflusses durch das Kanalgebiet beibehalten wird. Zu diesem Zweck wurden FinFET's vorgeschlagen, in denen eine dünne Kante oder ein dünner Steg aus Silizium in einer dünnen aktiven Schicht eines SOI-(Silizium-auf-Isolator) Substrats gebildet wird, wobei an beiden Seitenwänden ein Gatedielektrikummaterial und ein Gateelektrodenmaterial vorgesehen wird, wodurch ein Doppelgatetransistor verwirklicht wird, dessen Kanalgebiet vollständig verarmt ist. Typischerweise beträgt in anspruchsvollen Anwendungen die Breite der Siliziumstege ungefähr 10 nm und deren Höhe liegt in der Größenordnung von 30 nm. In einer modifizierten Version dieser grundlegenden Doppelgatetransistorarchitektur wird auch ein Gatedielektrikummaterial und eine Gateelektrode auf der oberen Fläche des Stegs gebildet, wodurch eine Tri-Gatetransistorarchitektur geschaf-

fen wird. Mit Bezug zu den [Fig. 1a](#) und [Fig. 1b](#) werden nun die grundlegenden Aufbauten von konventionellen FinFET's und deren Eigenschaften im Zusammenhang mit konventionellen Fertigungsverfahren detaillierter beschrieben.

**[0008]** [Fig. 1a](#) zeigt schematisch eine perspektivische Ansicht eines Halbleiterbauelements **100**, das einen konventionellen Doppelgate- oder Fin-Feldefekttransistor (FinFET) **150** aufweist. Wie gezeigt, umfasst das Bauelement **100** ein Substrat **101**, etwa ein Siliziumsubstrat, auf welchem eine vergrabene isolierende Schicht **102** ausgebildet ist, beispielsweise in Form eines Siliziumdioxidmaterials. Ferner ist in [Fig. 1a](#) ein Steg **110** dargestellt, der den bleibenden Teil einer Siliziumschicht (nicht gezeigt) repräsentiert, die auf der vergrabenen Oxidschicht **102** gebildet war, wodurch eine SOI-Konfiguration definiert wird. Der Steg **110** umfasst einen Bereich von Drain- und Sourcegebieten **111** und auch ein Kanalgebiet (nicht gezeigt), das von Gateelektrodenstrukturen **120a**, **120b** bedeckt ist, die an entsprechenden Seitenwänden **110a**, **110b** des Stegs **110** ausgebildet sind, und ein geeignetes Dielektrikummaterial aufweisen, etwa Siliziumdioxid in Verbindung mit einem Elektrodenmaterial, etwa polykristallinem Silizium. Eine obere Fläche des Stegs **110** kann von einer Deckschicht **112** bedeckt sein, die aus Siliziumnitrid und dergleichen aufgebaut sein kann. Wie gezeigt, sind beide Gateelektrodenstrukturen **120a**, **120b** durch Elektrodenmaterial verbunden, das auf der Deckschicht **112** gebildet ist. Der Steg **110** besitzt eine Höhe **110h**, eine Breite **110w** und eine Länge **110l** entsprechend den gesamten Bauteilerfordernissen, wobei eine wirksame Kanallänge innerhalb des Stegs **110** im Wesentlichen durch eine Abmessung der Gateelektrodenstrukturen **120a**, **120b** entlang der Längsrichtung bestimmt ist, die durch den Steg **110** definiert ist.

**[0009]** Typischerweise wird das Halbleiterbauelement **100** mit dem FinFET **150** durch Strukturieren der aktiven Siliziumschicht, die auf der vergrabenen isolierenden Schicht **102** gebildet ist und durch anschließendes Ausführen geeignet gestalteter Fertigungsprozesse zur Herstellung der Gateelektrodenstrukturen **120a**, **120b** durch Definieren geeigneter Dotierstoffprofile für die Drain- und Sourcegebiete **111** und das Kanalgebiet hergestellt, woran sich das Ausbilden einer geeigneten Kontaktschicht anschließt.

**[0010]** Während des Betriebs wird ein Stromfluss vom Drain zum Source erzeugt, indem eine geeignete Versorgungsspannung angelegt wird und auch eine geeignete Steuerspannung an die Gateelektroden **120a**, **120b** angelegt wird. Folglich wird das Kanalgebiet, d. h. der Bereich des Stegs **110**, der von den Gateelektrodenstrukturen **120a**, **120b** eingeschlossen ist, von beiden Seiten des Stegs **110** gesteuert, wodurch eine vollständig verarmte Konfigu-

ration erreicht wird, von der man annimmt, dass sie die Kanalsteuerung verbessert.

**[0011]** [Fig. 1b](#) zeigt schematisch eine Draufsicht des Bauelements **100**, in der drei Feldeffekttransistoren **150** vorgesehen sind. Wie gezeigt, sind die Draingebiete der Transistoren **150** und die Sourcegebiete durch eine epitaktisch aufgewachsenes Siliziummaterial miteinander verbunden, wodurch eine Siliziumschicht **103** auf der Drainseite und der Sourceseite gebildet wird. Typischerweise wird das Siliziummaterial auf der Drainseite und der Sourceseite durch selektive epitaktische Aufwachsverfahren gebildet, wodurch somit Abstandshalterelemente **104** erforderlich sind, um den erforderlichen Abstand zu dem Gateelektrodenmaterial der diversen Doppelgatestrukturen **120a**, **120b** einzuhalten. Obwohl die Halbleiterschichten **103** auf der Drainseite und der Sourceseite vorgesehen werden, die als Drain- und Sourcegebiete der einzelnen Transistorzellen **150** wirken, muss dennoch ein Teil der Drain- und Sourcegebiete, etwa die Gebiete **111** (siehe [Fig. 1a](#)) auf Grund des Vorhandenseins der Abstandshalterelemente **104** vorgesehen werden, wodurch ein moderat hoher Reihenwiderstand auf Grund der begrenzten Größe des Siliziumvolumens auf Grund der Diffusion von Dotierstoffen in das vergrabene Oxid hervorgerufen wird. Obwohl diese Transistoren ein besseres Kurzkanalverhalten auf Grund der vollständigen Verarmung des Kanals und auf Grund der Steuerung durch zwei oder drei Gates bieten, werden etwa die Deckschicht **112** weggelassen und durch ein Gatedielektrikummaterial ersetzt wird, ist folglich der Durchlassstrom durch den hohen Reihenwiderstand der Drain- und Sourcegebiete **111** in den Stegen **110** innerhalb jedes einzelnen Transistors **150** begrenzt, so dass aktuell diese Technologie nicht konkurrenzfähig ist zu einer standardmäßigen ebenen Transistorarchitektur, die in einer Vollsubstratkonfiguration oder einer teilweise SOI-Konfiguration bereitgestellt wird.

**[0012]** Angesichts der zuvor beschriebenen Situation betrifft die vorliegende Offenbarung Halbleiterbauelemente und Verfahren zur Verbesserung des Transistorverhaltens dreidimensionaler Konfigurationen, wobei eines oder mehrere der oben erkannten Probleme vermieden oder zumindest in ihren Auswirkungen reduziert werden.

#### Überblick über die vorliegende Offenbarung

**[0013]** Im Allgemeinen betrifft die vorliegende Offenbarung Halbleiterbauelemente und Techniken zur Herstellung derselben, wobei ein Doppelgate- oder Tri-Gatetransistor auf einem Siliziumvollsubstrat unter Anwendung gut etablierter konventioneller „zweidimensionaler“ Prozesstechniken hergestellt wird, nachdem die entsprechenden Stege der Transistorzellen in dem Siliziummaterial gebildet sind. Folglich kann ein größeres Siliziumvolumen in den Ste-

gen bereitgestellt werden, wobei auch gut etablierte zweidimensionale Prozesstechniken nach dem Bilden der Stege eingesetzt werden, wodurch ein effizientes Mittel zum Verringern des gesamten Reihenwiderstands geschaffen wird, während gleichzeitig ein insgesamt sehr effizienter Fertigungsablauf beginnend mit einem deutlich kostengünstigeren Substratmaterial erreicht wird.

**[0014]** Ein anschauliches hierin offenbartes Verfahren umfasst das Bilden eines Schichtstapels über einer Halbleiterschicht eines Halbleiterbauelements, wobei der Schichtstapel eine Ätzstoppschicht, die über der Halbleiterschicht gebildet ist, und eine erste Maskenschicht, die über der Ätzstoppschicht gebildet ist, aufweist. Das Verfahren umfasst ferner das Strukturieren der ersten Maskenschicht, um ein Maskenstrukturelement zu erhalten und Bilden eines Abstandselements an Seitenwänden des Maskenstrukturelements. Des Weiteren wird das Maskenstrukturelement selektiv zu dem Seitenwandabstandshalterelement entfernt, und eine zweite Maskenschicht vorgesehen mit einer ersten Öffnung, die einen Teil des Seitenwandabstandshalterelements freilässt, um einen Kanalbereich und Drain- und Sourcebereiche zu definieren. Das Verfahren umfasst ferner das Bilden von Gräben in der Halbleiterschicht unter Anwendung des Seitenwandabstandshalterelements und der zweiten Maskenschicht als Ätzmaske, um einen Steg in der Halbleiterschicht zu bilden, wobei der Steg dem Kanalbereich entspricht. Des Weiteren wird eine Gateelektrodenstruktur zumindest an Seitenwänden des Stegs gebildet, und es werden Drain- und Sourcegebiete in den Drain- und Sourcebereichen hergestellt, wobei die Drain- und Sourcegebiete mit dem Steg verbunden sind.

**[0015]** Ein weiteres anschauliches hierin offenbartes Verfahren betrifft das Herstellen eines Transistors. Das Verfahren umfasst das Bilden eines Maskenstrukturelements mit einer Halbleiterschicht, wobei das Maskenstrukturelement eine laterale Abmessung eines in der Halbleiterschicht zu bildenden Stegs definiert. Das Verfahren umfasst ferner das Bilden einer Maskenschicht mit einer ersten Öffnung und einer zweiten Öffnung, wobei die erste Öffnung eine Länge des Stegs und die zweite Öffnung eine laterale Größe und Position einer Isolationsstruktur definiert. Der Steg und ein Isolationsgraben werden in der Halbleiterschicht in einem gemeinsamen Ätzprozess unter Anwendung einer Maskenschicht als eine Ätzmaske hergestellt. Das Verfahren umfasst ferner das Bilden einer ersten Gateelektrodenstruktur auf einem Bereich einer ersten Seitenwand des Stegs und das Bilden einer zweiten Gateelektrodenstruktur auf einem Bereich einer zweiten Seitenwand des Stegs. Schließlich umfasst das Verfahren das Bilden von Drain- und Sourcegebieten in der Halbleiterschicht benachbart zu Endbereichen des Stegs.

**[0016]** Ein anschauliches hierin offenbartes Halbleiterbauelement umfasst eine Halbleiterschicht und eine erste Aussparung und eine zweite Aussparung, die in der Halbleiterschicht gebildet sind, wobei die erste und die zweite Aussparung eine gemeinsame Grenze besitzen, um einen Steg zu definieren, dessen Höhe kleiner ist als eine Dicke der Halbleiterschicht. Das Halbleiterbauelement umfasst ferner eine erste Gateelektrodenstruktur, die auf einer ersten Seitenwand des Stegs gebildet ist, und eine zweite Gateelektrodenstruktur, die an einer zweiten Seitenwand des Stegs gebildet ist. Schließlich umfasst das Halbleiterbauelement Drain- und Sourcegebiete, die mit dem Steg verbunden sind.

#### Kurze Beschreibung der Zeichnungen

**[0017]** Weitere Ausführungsformen der vorliegenden Offenbarung sind in den angefügten Patentansprüchen definiert und gehen deutlicher aus der folgenden detaillierten Beschreibung hervor, wenn diese mit Bezug zu den begleitenden Zeichnungen studiert wird, in denen:

**[0018]** [Fig. 1a](#) und [Fig. 1b](#) schematisch eine perspektivische Ansicht bzw. eine Draufsicht eines Halbleiterbauelements zeigen, das eine konventionelle FinFET-Transistorzelle auf der Grundlage eines SOI-Substrats aufweist;

**[0019]** [Fig. 2a](#) schematisch eine perspektivische Ansicht einer „dreidimensionalen“ Transistorkonfiguration zeigt, in der ein in einem Vollsubstrat ausgebildeter Steg enthalten ist, wobei die Drain- und Sourcegebiete und der Steg in einem gemeinsamen Fertigungsprozess hergestellt werden, indem eine selbstjustierte Prozesstechnik im Hinblick auf die Gateelektrodenstrukturen gemäß anschaulicher Ausführungsformen bereitgestellt wird;

**[0020]** [Fig. 2b](#) bis [Fig. 2i](#) schematisch perspektivische Ansichten des Halbleiterbauelements mit mehreren FinFET-Transistorzellen während diverser Fertigungsphasen zur Bildung von Stegen in einer Vollsubstrathalbleiterschicht gemäß anschaulicher Ausführungsformen zeigen;

**[0021]** [Fig. 2j](#) schematisch eine Querschnittsansicht der Stege vor dem Ausführen eines Wannens- bzw. Potentialtopfimplantationsprozesses gemäß anschaulicher Ausführungsformen zeigt;

**[0022]** [Fig. 2k](#) und [Fig. 2l](#) schematisch eine perspektivische Ansicht bzw. eine Querschnittsansicht nach einem Wannensimplantationsprozess zeigen;

**[0023]** [Fig. 2m](#) bis [Fig. 2o](#) schematisch perspektivische Ansichten des Halbleiterbauelements während diverser Fertigungsphasen bei der Herstellung einer selbstjustierten Gateelektrodenstruktur gemäß an-

schaulicher Ausführungsformen zeigen;

**[0024]** [Fig. 2p](#) schematisch eine Querschnittsansicht entlang der Wegrichtung zeigt;

**[0025]** [Fig. 2g](#) schematisch eine Draufsicht eines Halbleiterbauelements zeigt;

**[0026]** [Fig. 2r](#) bis [Fig. 2v](#) schematisch entsprechende Querschnittsansichten entlang der Steglängsrichtung während diverser Fertigungsphasen gemäß anschaulicher Ausführungsformen zeigen;

**[0027]** [Fig. 2w](#) schematisch eine Querschnittsansicht entlang der Stegbreitenrichtung mit einem Metallaustauschgate und einem dielektrischen Material mit großem  $\epsilon$  gemäß anschaulicher Ausführungsformen zeigen; und

**[0028]** [Fig. 3a](#) bis [Fig. 3c](#) schematisch Querschnittsansichten bzw. eine perspektivische Ansicht eines Halbleiterbauelements mit mehreren Doppelkanaltransistorzellen gemäß noch weiterer anschaulicher Ausführungsformen zeigen.

#### Detaillierte Beschreibung

**[0029]** Obwohl die vorliegende Offenbarung mit Bezug zu den Ausführungsformen beschrieben ist, wie sie in der folgenden detaillierten Beschreibung sowie in den Zeichnungen dargestellt sind, sollte beachtet werden, dass die folgende detaillierte Beschreibung sowie die Zeichnungen nicht beabsichtigen, den hierin offenbarten Gegenstand auf die speziellen anschaulichen offenbarten Ausführungsformen einzuschränken, sondern die beschriebenen anschaulichen Ausführungsformen stellen lediglich beispielhaft die diversen Aspekte der vorliegenden Offenbarung dar, deren Schutzbereich durch die angefügten Patentansprüche definiert ist.

**[0030]** Im Allgemeinen betrifft die vorliegende Offenbarung und Halbleiterbauelemente, in denen Doppelgatetransistoren, die auch als FinFET's bezeichnet werden, oder Tri-Gatetransistoren auf einem Vollsubstrat hergestellt werden. D. h., die Stegelemente für die Aufnahme der Kanalgebiete der Transistoren werden in einer Halbleiterschicht gebildet, wobei eine Höhe der Stege kleiner ist als eine Dicke der entsprechenden Halbleiterschicht. Somit kann in diesem Sinne eine beliebige Transistorkonfiguration, in der zusätzliches Halbleitervolumen, etwa Siliziumvolumen, unter den eigentlichen Stegelementen geschaffen wird, als eine Vollsubstratkonfiguration betrachtet werden, unabhängig davon, ob eine weitere vergrabene isolierende Schicht in der „Tiefe“ der Vollsubstrathalbleiterschicht vorgesehen ist. Nach dem Fertigen der grundlegenden Struktur für die Stege und der zwei oder drei Gateelektrodenstrukturen in Ver-

bindung mit den Drain- und Sourcebereichen mit geringem Widerstand, was in einigen anschaulichen Ausführungsformen in einer selbstjustierten Fertigungssequenz erreicht wird, können gut etablierte planare Prozesstechniken für das Einstellen der Drain- und Sourcedotierstoffprofile, das Verbessern des gesamten Reihenwiderstands des Kanalgebiets, beispielsweise durch Anwenden verformungsinduzierender Mechanismen und dergleichen, eingesetzt werden. Folglich können die Vorteile einer dreidimensionalen Transistorkonfiguration beibehalten werden, wobei die Beschränkungen im Durchlassstrom konventioneller FinFET's oder Tri-Gate-Transistoren vermieden werden, wobei gleichzeitig für einen sehr effizienten Gesamtfertigungsablauf gesorgt ist.

[0031] Mit Bezug zu den [Fig. 2a](#) bis [Fig. 2w](#) und den [Fig. 3a](#) bis [Fig. 3c](#) werden nunmehr weitere anschauliche Ausführungsformen detaillierter beschrieben.

[0032] [Fig. 2a](#) zeigt schematisch eine perspektivische Ansicht eines Halbleiterbauelements **200**, das ein Substrat **201** aufweist, etwa ein Siliziumsubstrat oder ein anderes geeignetes Trägermaterial, um darauf eine Halbleiterschicht **203** zu bilden, die eine Siliziumschicht, möglicherweise in Verbindung mit weiteren Komponenten, etwa Germanium, Kohlenstoff repräsentiert, während in anderen Fällen eine andere geeignete Halbleiterbindung verwendet werden kann. In einer anschaulichen Ausführungsform repräsentiert die Halbleiterschicht **203** ein siliziumbasiertes Material, das einen Teil eines im Wesentlichen kristallinen Materials des Substrats **201**, zumindest in lokal in Bauteilbereichen, in denen mehrere Doppelgate- oder Tri-Gate-Transistoren **250** zu bilden sind, repräsentiert. Es sollte beachtet werden, dass das Halbleiterbauelement **200** eine SOI-Konfiguration in anderen Bauteilbereichen aufweisen, wobei dies von den gesamten Erfordernissen abhängt. Wie gezeigt, besitzen der eine oder die mehreren Transistoren **250** ein gemeinsames Draingebiet **211d** und ein gemeinsames Sourcegebiet **211s**, die in der Halbleiterschicht **203** gebildet sind, wobei die Drain- und Sourcegebiete **211d**, **211s** durch entsprechende Stege **210** verbunden sind, wovon jeder ein Kanalgebiet eines der Transistoren **250** repräsentiert. Folglich können die Stege **210** ebenfalls in der Halbleiterschicht **203** gebildet sein, in dem entsprechende Vertiefungen bzw. Aussparungen **210r** zwischen benachbarten Stegen **210** vorgesehen sind, wodurch die dreidimensionalen Abmessungen der Stege **210**, etwa eine Höhe, eine Breite und eine Länge davon, undefiniert sind. Des Weiteren können die Vertiefungen **203r** ebenfalls die Position entsprechender Gateelektrodenstrukturen definieren, die zumindest an Seitenwänden der Stege **210** und, in einigen anschaulichen Ausführungsformen, auch auf deren Oberseite zu bilden sind. Wie nachfolgend detaillierter erläutert ist, können die Drain- und Sourcegebiete **211d**, **211s**,

die Stege **210** und entsprechende Elektrodenstrukturen in den Vertiefungen **203r** und über den Stegen **210** in einer selbstjustierten Weise zusammen mit entsprechenden Isolationsstrukturen (nicht gezeigt) bereitgestellt werden, die den einen oder die mehreren Transistoren **250** umschließen und auch für die Isolation der Vertiefungen in Bezug auf ein Gateelektrodenmaterial ermöglichen, da dies in den Vertiefungen zu bilden ist, wie dies nachfolgend detaillierter beschrieben ist.

[0033] [Fig. 2b](#) zeigt schematisch das Halbleiterbauelement **200** in einer frühen Fertigungsphase. Wie gezeigt, ist ein Schichtstapel **204** auf der Halbleiterschicht **203** ausgebildet und weist eine Ätzstoppschicht **204a** auf, die auf der Halbleiterschicht **203** gebildet ist und weist eine Maskenschicht **204b** auf, die auf der Ätzstoppschicht **204** angeordnet ist. Beispielsweise wird die Ätzstoppschicht **204a** in Form eines Siliziumdioxidmaterials vorgesehen, während die Maskenschicht **204b** aus Silizium aufgebaut ist. Des Weiteren sind Lackstrukturelemente **205** in Form von linienartigen bzw. leitungsartigen Strukturelementen mit einer Breite und einem Abstand entsprechend dem betrachteten Technologiestand vorgesehen. D. h., die Breite und der Abstand, die durch die Lackstrukturelemente **205** definiert sind, repräsentieren eine kritische Abmessung des entsprechenden Technologiestandards, wobei diese Abmessung konsistent und reproduzierbar auf der Grundlage der entsprechenden Lithographietechniken strukturiert werden kann.

[0034] Das in [Fig. 2b](#) gezeigte Halbleiterbauelement **200** kann auf der Grundlage der folgenden Prozesse hergestellt werden. Das Substrat **201** mit der Halbleiterschicht **203** wird beispielsweise in Form eines Siliziumvollsubstrats bereitgestellt, während in anderen Fällen eine andere Konfiguration für das Substrat **201** und die Schicht **203** eingesetzt werden können, wie dies auch zuvor erläutert ist. Danach wird die Ätzstoppschicht **204** durch Aufwachsen einer Oxidschicht auf der Grundlage gut etablierter Techniken mit einer geeigneten Dicke, etwa ungefähr 2 bis 5 nm, gebildet. Anschließend wird die Maskenschicht **204b** beispielsweise in Form eines Siliziummaterials, mit einer Dicke von ungefähr beispielsweise 60 bis 80 abgeschieden, wobei gut etablierte plasmaunterstützte oder thermisch aktivierte Abscheide-rezepte eingesetzt werden. Durch Verwenden von Siliziumdioxidmaterial und Silizium in dem Schichtstapel **204** können gut etablierte Rezepte zum Strukturieren des Stapels **204** eingesetzt werden, wenn eine geeignete Hartmaske zur Bereitstellung von Maskenstrukturelementen für die Stege, die in der Halbleiterschicht **203** zu bilden sind, hergestellt werden. Es sollte beachtet werden, dass andere Materialien für den Schichtstapel **204** eingesetzt werden können, solange die erforderlichen Ätzstoppeigenschaften während der weiteren Prozesse erreicht werden. Die

Ätzstoppschicht **204a** wird, wenn sie aus Siliziumdioxid vorgesehen ist, mit einer geeigneten Dicke bereitgestellt, um damit ein laterales Ätzen bei Kontakt mit nasschemischen Ätzchemien, etwa Flusssäure (HF) zu vermeiden, wenn die Schicht **204a** durch beispielsweise die Maskenschicht **204b** abgedeckt ist. Auf diese Weise kann eine unerwünschte Unterätzung entsprechender Strukturelemente während eines nasschemischen Ätzprozesses unterdrückt werden. Andererseits kann die Maskenschicht **204b** mit einer Dicke vorgesehen werden die gleich oder größer ist als eine gewünschte endgültige Breite der Stege **210**, da diese Stege auf der Grundlage von Seitenwandabstandshalterelementen gebildet werden, die in konformer Weise an Seitenwänden von Maskenstrukturalelementen zu bilden sind, die wiederum aus der Maskenschicht **204b** in einer späteren Fertigungsphase herzustellen sind. Des Weiteren werden nach dem Bereitstellen des Schichtstapels **204** die Lackstrukturelemente **205** auf Basis gut etablierter Lithographietechniken bereitgestellt.

[0035] [Fig. 2c](#) zeigt schematisch das Halbleiterbauelement **200** mit Maskenstrukturalelementen **204m**, die im Wesentlichen mit den Lackstrukturelementen **205** im Hinblick auf ihre laterale Abmessungen entsprechen, während eine Höhe der Strukturelemente **204m** durch die anfängliche Dicke der Maskenschicht **204b** definiert ist. Die Strukturelemente **204m** können auf der Grundlage eines geeignet gestalteten Ätzprozesses hergestellt werden, wobei in einigen anschaulichen Ausführungsformen gut etablierte Ätzrezepte zum Strukturieren von polykristallinen Gateelektroden als Grundlage verwendet werden können, wenn die Schichten **204b** und **204a** aus Silizium und Siliziumdioxid aufgebaut sind. Danach werden die Lackstrukturelemente **205** auf Basis einer geeigneten Technik entfernt.

[0036] [Fig. 2d](#) zeigt schematisch das Bauelement **200** mit Seitenwandabstandshalterelementen **206**, die auf freigelegten Seitenwandbereichen der Maskenstrukturalelemente **204m** gebildet sind. Beispielsweise sind die Abstandshalterelemente **206** aus Siliziumnitrid aufgebaut, während auch andere geeignete Materialien, etwa Siliziumkarbid, stickstoffhaltendes Siliziumkarbid verwendet werden kann, solange das gewünschte Maß an Ätzselektivität und Kompatibilität mit den nachfolgenden Prozessen sichergestellt ist. Die Abstandshalter **206** können durch Abscheiden eines Siliziumnitridmaterials, beispielsweise durch thermische aktivierte CVD-Techniken, hergestellt werden, wobei die Abscheidedicke gesteuert wird, die im Wesentlichen einer gewünschten endgültigen Breite auf der Grundlage der Abstandshalterelemente **206** zu bildenden Stege entspricht. Nach dem Abscheiden des Abstandshaltermaterials wird ein anisotroper Ätzprozess ausgeführt, der selektiv in Bezug auf die Ätzstoppschicht **204a**. In einigen anschaulichen Ausführungsformen wird ein

Ätzrezept eingesetzt, das selektiv in Bezug auf die Maskenstrukturalelemente **204m**, was unter Anwendung gut bekannter Prozesstechniken erreicht werden kann, während in anderen Fällen ein Ätzrezept, das nicht selektiv in Bezug auf das Abstandsmaterial und die Maskenstrukturalelemente **204m** ist, ebenfalls verwendet werden kann, solange eine ausgeprägte Ätzstoppeigenschaft der Schicht **204a** beibehalten wird.

[0037] [Fig. 2e](#) zeigt schematisch das Bauelement **200** nach einem selektiven Entfernen der Maskenstrukturalelemente **204m**, was durch eine beliebige geeignete Ätzchemie erreicht werden kann, die für eine ausreichend hohe Selektivität in Bezug auf die Ätzstoppschicht **204a** und das Abstandshalterelement **206** sorgt. Beispielsweise können eine Vielzahl plasmaunterstützter Ätzrezepte auf Basis von Wasserstoffbromid (HBr) verwendet werden, während in anderen Fällen nasschemische Techniken eingesetzt werden, beispielsweise auf Basis von TMAH (Tetramethylammoniumhydroxid), wenn Siliziumdioxid, Siliziumnitrid und Silizium als Materialien für die Ätzstoppschicht **204a**, die Abstandshalter **206** und die Maskenstrukturalelemente **204** verwendet werden. TMAH ist sehr selektiv in Bezug auf Oxid (2000 bis 3000:1) und Nitrid (ungefähr 10000:1), wodurch die freigelegten Maskenstrukturalelemente **204m** effizient entfernt werden, ohne dass Material der Abstandshalter **206** unerwünschter Weise entfernt wird, die Hartmaskenelemente zur Herstellung der Stege in der Halbleiterschicht **203** repräsentieren. Ein nasschemischer Ätzprozess, beispielsweise auf Basis von TMAH, kann ebenfalls mit einem plasmaunterstützten Prozess kombiniert werden, und kann beispielsweise zum Entfernen eines natürlichen Oxids kombiniert werden, das an den freigelegten Oberflächenbereichen der Maskenstrukturalelemente **204m** gebildet sein kann.

[0038] [Fig. 2f](#) zeigt schematisch das Halbleiterbauelement **200** in einer weiter fortgeschrittenen Fertigungsphase bei der Herstellung einer weiteren Maske zur Bildung des Stegs in der Halbleiterschicht **203** an einem Kanalbereich, während gleichzeitig entsprechende Drain- und Sourcebereiche definiert werden (siehe [Fig. 2a](#)). Wie gezeigt, umfasst eine Maskenschicht **207** Maskelemente **207a**, **207b**, die den Drain- und Sourcebereichen entsprechen, etwa den Drain- und Sourcegebieten **211d**, **211s**, wie sie in [Fig. 2a](#) gezeigt sind. Ferner repräsentiert ein Maskelement **207c** einen Kanalbereich und ein Gebiet, in welchem Gateelektrodenstrukturen für einen Doppelgate- oder Tri-Gatetransistor zu bilden sind, während Maskenstrukturalelemente **207d** entsprechende Bereiche repräsentieren, in denen Isolationsgräben in der Halbleiterschicht **203** zu bilden sind. Die Maskenstrukturalelemente **207a**, **207b** einerseits und die Strukturelemente **207c**, **207d** andererseits können aus unterschiedlichen Materialien aufgebaut sein, so

dass ein selektives Entfernen der Maskenelemente **207c**, **207d** in einer späteren Fertigungsphase möglich ist. Beispielsweise sind die Strukturelemente **207a**, **207b** aus Siliziumnitrid aufgebaut, während die Strukturelemente **207c**, **207d** aus einem Siliziummaterial aufgebaut sind.

**[0039]** Die Maskenschicht **207** kann durch Abscheiden einer Schicht eines geeigneten Materials, etwa Silizium hergestellt werden, dessen Dicke größer oder gleich gewählt wird zu der endgültigen Gatehöhe, zum Blockieren von Source/Drain-Implantationsarten von der Oberseite der Stege, die noch in der Halbleiterschicht **203** zu bilden sind, erforderlich ist. Beispielsweise beträgt die Dicke der Maskenschicht **207** ungefähr 70 bis 90 nm. Danach wird die Schicht **207** durch einen Lithographieprozess strukturiert, in welchem die Position der Maskenstrukturelemente **207c**, **207d** gleichzeitig definiert wird, wodurch die laterale Größe und die Position der Drain- und Sourcebereiche, der Gateelektroden und der Isolationsstrukturen in selbstjustierender Weise festgelegt wird. Nach dem Ausführen des entsprechenden Lithographieprozesses wird die Maskenschicht **207** anisotrop unter Anwendung gut etablierter Ätzrezepte geätzt, beispielsweise durch selektives Ätzen von Silizium in Bezug auf Siliziumdioxid, wie dies zuvor erläutert ist. Anschließend wird ein geeignetes Füllmaterial zur Bildung der Maskenelemente **207a**, **207b** abgeschieden, beispielsweise in Form von Siliziumnitrid, wobei eine entsprechende resultierende Oberflächentopographie eingeebnet werden kann, indem ein Planarisierungsprozess ausgeführt wird, etwa CMP (chemisch-mechanisches Polieren), wobei die verbleibenden Maskenstrukturelemente **207c**, **207d** als eine CMP-Stopschicht eingesetzt werden können, um eine bessere Steuerung des Einebnungsprozesses zu ermöglichen. Als nächstes werden die Maskenelemente **207c**, **207d**, die den Gateelektroden und den Kanalbereichen und den Isolationsstrukturen entsprechen, selektiv entfernt, beispielsweise unter Anwendung ähnlicher Techniken, wie sie zuvor beschrieben sind. Beispielsweise kann TMAH eingesetzt werden, um in effizienter Weise Silizium selektiv zu Nitrid und Oxid zu entfernen.

**[0040]** [Fig. 2g](#) zeigt schematisch das Halbleiterbauelement **200** nach dem Ende der zuvor beschriebenen Prozesssequenz. Somit sind entsprechende Öffnungen **207n**, **207m** in der Maskenschicht **207** gebildet, wodurch Kanalbereiche definiert werden, d. h. Bereiche, in denen die Stege herzustellen sind, und auch Isolationsgrabenbereiche definiert werden, während die verbleibenden Maskenelemente **207a**, **207b** die noch zu bildenden Drain- und Sourcebereiche repräsentieren. Auf der Grundlage der Öffnungen **207n**, **207m** wird ein anisotroper Ätzprozess ausgeführt, um zunächst durch die Ätzstopschicht **204a** in die Halbleiterschicht **203** bis zu einer gewünschten Tiefe zu ätzen, wie dies für die Herstel-

lung von Isolationsgräben erforderlich ist. Beispielsweise wird eine Ätztiefe von ungefähr 250 bis 350 nm angewendet, wobei der Ätzprozess auf Basis gut etablierter plasmaunterstützter Rezepte ausgeführt werden kann. Danach werden die entsprechenden in der Halbleiterschicht **200** gebildeten Gräben mit einem geeigneten dielektrischen Material, etwa Siliziumdioxid, gefüllt, wobei auch die Öffnungen **207n**, **207m** gefüllt werden. Des Weiteren werden Ausheizprozesse ausgeführt, um das dielektrische Füllmaterial zu verdichten und überschüssiges Material wird durch CMP entfernt, wodurch eine ebene Oberflächentopographie geschaffen wird, wobei die Maskenelemente **207a**, **207b** als eine CMP-Stopschicht dienen.

**[0041]** [Fig. 2h](#) zeigt schematisch das Halbleiterbauelement **200** nach dem Ende der zuvor beschriebenen Prozesssequenz. Wie gezeigt, sind Isolationsstrukturen **208** in der Halbleiterschicht **203** entsprechend den Öffnungen **207m** (siehe [Fig. 2g](#)) gebildet, wobei in dieser Fertigungsphase das dielektrische Material der Isolationsstrukturen **208** sich bis zu der Oberfläche erstreckt, die durch die Maskenelemente **207a**, **207b** definiert ist. In ähnlicher Weise sind Isolationsstrukturen **208a** benachbart zu entsprechenden tieferen Bereichen **210i** der noch zu bildenden Stege ausgebildet, da während des vorhergehenden Grabenätzprozesses, der auf der Grundlage der Maskenschicht **207** ausgeführt wurde, auch die Abstandshalterelemente **206** (siehe [Fig. 2g](#)) als Hartmaske in der Öffnung **207n** dienen, wodurch die „tiefen“ Stege **210i** geschaffen werden.

**[0042]** [Fig. 2i](#) zeigt schematisch das Halbleiterbauelement **200** in einer weiter fortgeschrittenen Fertigungsphase. Wie gezeigt, ist das dielektrische Material, das über den Isolationsstrukturen **208** und über den Isolationsstrukturen **208a** und den tiefen Stegen **210i** gebildet ist, entfernt, wobei auch eine gewünschte Vertiefung in den Isolationsstrukturen **208**, **208a** erzeugt ist, um tatsächliche Stege **210** zu bilden, indem Grad an Vertiefung in den dielektrischen Materialien in den Strukturen **208**, **208a** festgelegt wird. Ein entsprechender gesteuerter Materialabtrag kann unter Anwendung von stark verdünnter HF-Lösung erreicht werden, wobei für eine gegebenen Ätzrate eine Tiefe der Aussparungen **208r** eingestellt wird, um eine Höhe **210h** von Stegen **210** einzustellen, die obere Bereiche der tiefen Stege **210i** repräsentieren. Des Weiteren wird in einigen anschaulichen Ausführungsformen „Deckschicht“, d. h. die Abstandshalterelemente **206** (siehe [Fig. 2g](#)) entfernt, beispielsweise auf der Grundlage eines selektiven anisotropen Ätzprozesses, um eine obere Fläche der Stege **210** freizulegen. In diesem Falle repräsentieren die Stege **210** das Kanalgebiet eines Tri-Gatetransistorelements.

**[0043]** [Fig. 2j](#) zeigt schematisch eine Querschnittsansicht entlang der Öffnung **207c** (siehe [Fig. 2i](#)). Wie

gezeigt, sind die Isolationsgebiete **208a** in der Halbleiterschicht **203** so gebildet, dass eine spezifizierte Tiefe, wie sie für die Isolationsstrukturen **208** (siehe [Fig. 2i](#)) erforderlich ist, erreicht wird, wobei die tiefen Pegel **210a** die entsprechenden Isolationsgebiete **208** trennen. Des Weiteren definieren die Vertiefungen **208r** die effektive Höhe der Stege **210**, die in einigen anschaulichen Ausführungsformen auf ungefähr 20 bis 30 nm abhängig von den gesamten Bauteilerfordernissen festgelegt ist. Andererseits wird eine Breite **210w** der Stege **210** durch die Abstandshalterelemente **206** bestimmt, die als Ätzmaste während der Herstellung der Vertiefungen **208r** dienen. Andererseits ist eine Länge der Stege **210**, d. h. in [Fig. 2j](#) die Abmessung senkrecht zu der Zeichenebene, durch die Breite der Öffnung **207c** bestimmt (siehe [Fig. 2e](#)). In dieser Fertigungsphase sind die Reste der Ätztstoppschicht **204a** weiterhin auf der oberen Fläche der Stege **210** vorhanden. Folglich wird die grundlegende Konfiguration der Transistorelemente in Form der Stege **210** bereitgestellt, wobei zu beachten ist, dass anders als der in [Fig. 2a](#) dargestellten grundlegenden Konfiguration die Vertiefungen **208** in den jeweiligen Isolationsgebieten **208a** anstatt in dem Halbleitermaterial der Schicht **203** vorgesehen sind.

[0044] [Fig. 2k](#) zeigt schematisch das Halbleiterbauelement **200** in einer weiter fortgeschrittenen Fertigungsphase, in der geeignet gestaltete „planare“ Prozesstechniken angewendet werden, um die Tri-Gatetransistorkonfiguration fertigzustellen. In [Fig. 2k](#) wird eine Implantationssequenz **209** ausgeführt, um die grundlegenden Transistoreigenschaften für n-Kanaltransistoren und p-Kanaltransistoren festzulegen. Für n-Kanaltransistoren wird eine p-Dotierstoffsorte eingeführt, um die Spannungsfestigkeit zu erhöhen, was durch Ausführen der Implantation **209** unter einem Neigungswinkel von 0 Grad gelingt, wobei die andere Art an Transistoren mittels einer Lackmaske gemäß gut etablierter Lithographietechniken maskiert wird. In einigen anschaulichen Ausführungsformen beinhaltet der Implantationsprozess **209** einen geeigneten Implantationsschritt **209a**, in welchem der Ionenstrahl entsprechend der Drehachse geneigt ist, die im Wesentlichen parallel zu der Breitenrichtung der Stege **210** verläuft. Folglich wird während des geeigneten Implantationsschritts **209a** die p-Dotierstoffsorte, die eine Gegendotierung für n-Kanaltransistoren repräsentiert, in die freigelegten Seitenwände **211f** der Drain- und Sourcebereiche **211s**, **211d** eingeführt. Andererseits wird ein merklicher Einbau der Dotierstoffsorte in die Stege **210** unter Anwendung eines Neigungswinkels von 5 bis 10 Grad und unter Nutzung eines geeigneten Implantationsabstastregimes unterdrückt. In ähnlicher Weise kann eine n-Dotierstoffsorte in p-Kanaltransistoren eingeführt werden, wobei die entsprechenden n-Kanaltransistoren abgedeckt sind. Der Einbau der Gegendotierstoffsorte an den freigelegten Seitenwandberei-

chen **211f** der Drain- und Sourcebereiche **211s**, **211d** liefert somit größere „Isolationsbereiche“ im Hinblick auf das Gatedielektrikumsmaterial und ein Gateelektrodenmaterial, die in den Vertiefungen **208r** in einer späteren Fertigungsphase gebildet werden, so dass der größere Isolationsbereich für eine geringere parasitäre Gate-Source/Drain-Kapazität sorgt. Folglich können die Dosis und Energie der Implantationsprozesse **209** und **209a** geeignet an die entsprechenden Source/Drain-Implantationsprozesse angepasst werden, die in einer späteren Fertigungsphase auszuführen sind.

[0045] [Fig. 2l](#) zeigt schematisch eine Querschnittsansicht des Bauelements **200** nach dem Implantationsprozess **209**. Wie gezeigt, wird die Wannens-Implantationsstelle, die als **209w** angegeben ist, in die tiefen Stege **210i** bis hinab zu einer gewünschten Tiefe entsprechend den Bauteilerfordernissen eingebaut. Es sollte beachtet werden, dass die entsprechenden Wannens- bzw. Potentialtopfimplantationen **209w** auch in Isolationsgebieten **208a** eingeführt werden. Als nächstes wird das Bauelement **200** für die Herstellung eines Gatedielektrikumsmaterials, etwa eines Gateoxids, vorbereitet, in dem gut etablierte Reinigungsprozesse ausgeführt werden, woran sich das Abscheiden und/oder das Oxidieren des dielektrischen Materials anschließt, etwas das Aufwachsen eines Siliziumdioxidmaterials an freigelegten Oberflächenbereichen der Stege **210**. Danach wird ein Gateelektrodenmaterial abgeschieden, beispielsweise in Form von Polysilizium auf der Grundlage gut etablierter „planarer“ Prozessrezepte.

[0046] [Fig. 2n](#) zeigt schematisch das Halbleiterbauelement **200** nach der zuvor beschriebenen Prozesssequenz und nach dem Einbrennen der resultierenden Oberflächentopographie durch Entfernen durch überschüssigem Gateelektrodenmaterial, beispielsweise auf der Grundlage von CMP, und unter Anwendung der Maskenelemente **207a**, **207b** als ein CMP-Stoppmaterial. Folglich wird eine Gateelektrodenstruktur **220**, die mehrere individuelle Gateelektrodenstrukturen (nicht gezeigt) aufweisen kann, zwischen den Maskenelementen **207a**, **207b** gebildet, wobei die entsprechenden „Gateelektrodenstrukturen“ in Form von Opferschichten **220c** über den Isolationsstrukturen **208** gebildet werden. Es sollte beachtet werden, dass in einigen anschaulichen Ausführungsformen die Gateelektrodenstrukturen **220** die eigentliche Gateelektrode in Verbindung mit Gatedielektrika repräsentiert, und folglich können geeignete Parameter im Hinblick auf die Dicke des dielektrischen Materials und dergleichen eingestellt werden. In anderen Fällen wird die Gateelektrodenstruktur **220**, wie sie in [Fig. 2m](#) gezeigt ist, als ein Platzhalter verwendet und wird durch eine aufwendigere Gateelektrodenstruktur auf der Grundlage eines metallhaltenden Elektrodenmaterials und einem dielektrischen Material mit großem  $\epsilon$  in einer späteren Phase ersetzt.

[0047] [Fig. 2n](#) zeigt schematisch das Halbleiterbauelement **200** in einer weiter fortgeschrittenen Fertigungsphase, in der ein Maskenmaterial **230** auf der Oberseite des entsprechenden Elektrodenmaterials **220**, **220s** gebildet ist, beispielsweise in Form einer Oxidschicht, die auf der Grundlage eines Oxidationsprozesses und dergleichen gebildet werden kann. Des Weiteren ist eine Ätzmaske **231** über dem Bauelement **200** ausgebildet, um den freigelegten Bereich zu schützen, in welchem die Gateelektrodenstrukturen nicht gebildet werden soll. D. h., die Ätzmaske **231** lässt Bereiche **2**, die den Opferstrukturen **220s** entsprechen und legt die Struktur **220** ab. Danach wird eine geeignete gestaltete Ätzsequenz ausgeführt, wobei etwa Flußsäure angewendet wird, um die freigelegte Maskenmaterialien **230** zu entfernen, und anschließend wird ein selektiver plasmaunterstützter Ätzprozess ausgeführt, um das Material der Strukturen **220s** selektiv zu entfernen, beispielsweise in Form von Polysilizium, das selektiv zu Nitrid und Oxid entfernt wird. Auch in diesem Falle kann eine Ätzstrategie eingesetzt werden, die ähnlich zu Techniken ist, wie sie in planaren Transistorkonfigurationen angewendet werden. In anderen Fällen wird eine nasschemische Ätzchemie eingesetzt, wie dies zuvor erläutert ist.

[0048] [Fig. 2o](#) zeigt schematisch das Halbleiterbauelement **200** nach der zuvor beschriebenen Prozesssequenz und dem Entfernen der Ätzmaske **231**. Somit sind die Isolationsstrukturen **208** freigelegt, während Maskenelemente **207a**, **207b** weiterhin die Drain- und Sourcebereiche **211s**, **211d** abdecken. Danach werden die Maskenelemente **207a** selektiv in Bezug auf das Maskenmaterial **230** und die Isolationsstrukturen **208** entfernt. Dies kann bewerkstelligt werden unter Anwendung heißer Phosphorsäure, wenn die Maskenelemente **207a**, **207b** aus Siliziumnitrid aufgebaut sind.

[0049] [Fig. 2p](#) zeigt schematisch eine Querschnittsansicht entlang der Breitenrichtung der Stege **210** nach dem Entfernen der Maskenelemente **207a**, **207b**. Wie gezeigt, ist somit die Gateelektrodenstruktur **220** in und über den Vertiefungen **208r** und um die Stege **210** herum und darüber ausgebildet, wobei auch entsprechende Gatedielektrika **221a**, **221b**, **221c** auf Oberflächen der Stege **210** vorhanden sind. D. h., in der gezeigten Ausführungsform wird eine Tri-Gatekonfiguration bereitgestellt, in der beide Seitenwände der Stege **210** darauf ausgebildet die Gatedielektrika **221a**, **221c** aufweisen, während auf einer oberen Fläche der Stege **210** das Gatedielektrikummaterial **221b** ausgebildet ist. Des Weiteren ist das Maskenmaterial **230** weiter auf der Gateelektrodenstruktur **220** gebildet, d. h. auf einem Gateelektrodenmaterial **222** davon, etwa einem Polysiliziummaterial.

[0050] [Fig. 2q](#) zeigt schematisch eine Draufsicht

des Bauelements **200**, das in [Fig. 2p](#) gezeigt ist. Somit ist ein Tri-Gatetransistor **250** mit den Drain- und Sourcebereichen **211d**, **211s** und entsprechenden Kanalgebieten in Form der Stege **210** lateral von der Isolationsstruktur **208** umschlossen. Wie gezeigt, ist eine Länge der Kanäle, d. h. der Stege **210** und damit der Gateelektrodenstruktur **220** durch das zuvor ausgeführte Maskierungsschema festgelegt, wodurch auch eine selbstjustierte Strukturierung und Positionierung der Drain- und Sourcebereiche **211d**, **211s** und der Isolationsstruktur **208** erreicht wird.

[0051] [Fig. 2r](#) zeigt schematisch auf der linken Seite eine Querschnittsansicht entlang der Linie II-links aus [Fig. 2q](#), während auf der rechten Seite eine Querschnittsansicht entlang der Linie II-rechts der [Fig. 2r](#) gezeigt ist. Somit besitzt, wie gezeigt ist, auf der linken Seite der [Fig. 2r](#) ein Gateelektrodenmaterial **222** in Verbindung mit dem Gatedielektrikummaterial **221b**, das auf der Oberseite des Stegs **210** gebildet ist, in Verbindung mit den Drain- und Sourcebereichen **221d**, **221f** eine sehr ähnliche Struktur im Vergleich zu planaren Transistorarchitekturen. Auf der rechten Seite zeigt die entsprechende Querschnittsansicht eines „Spaltbereichs“, d. h. des Bereichs zwischen benachbarten Stegen **210**, wie sie in [Fig. 2q](#) gezeigt sind, das grundlegende Konzept, in welchem die Höhe **210h** der Stege **210** (siehe linke Seite der [Fig. 2r](#)) durch den Grad der Vertiefung der Isolationsgebiete **208a** bestimmt ist. Folglich ermöglicht die Konfiguration des Transistors **250**, wie sie auf der linken Seite auf der [Fig. 2r](#) gezeigt ist, die Verwendung gut etablierter planarer Prozesstechniken, wodurch für eine verbesserte Effizienz für das geeignete Einstellen der gesamten elektrischen Eigenschaften des Transistors **250** gesorgt ist, wobei zu dem größeren Siliziumvolumen in dem Steg **210** bereitgestellt wird. Zu diesem Zweck können gut etablierte Implantationstechniken, verspannungsinduzierende Mechanismen und dergleichen eingerichtet werden.

[0052] Mit Bezug zu den [Fig. 2s](#) bis [Fig. 2v](#) werden entsprechende Prozesstechniken gemäß anschaulicher Ausführungsformen beschrieben, um ein gewünschtes Transistorleistungsverhalten für p-Kanaltransistoren bzw. n-Kanaltransistoren zu erreichen.

[0053] [Fig. 2s](#) zeigt schematisch eine Querschnittsansicht entlang des Schnittes, wie er in [Fig. 2q](#) gezeigt ist, d. h. auf der linken Seite der [Fig. 2s](#) ist ein Schnitt in der Längsrichtung der Stege **210** dargestellt, während auf der rechten Seite die entsprechende Querschnittsansicht innerhalb eines Brückenbereichs dargestellt ist. Wie gezeigt, repräsentiert eine Transistorkonfiguration **250m** einen n-Kanaltransistor und umfasst ein anspruchsvolles Dotierstoffprofil benachbart zu dem Steg **210** innerhalb der Drain- und Sourcebereiche **211s**, **211d** (siehe [Fig. 2r](#)) um damit Drain- und Sourcegebiete **211** zu bilden. Bei-

spielsweise wird ein Erweiterungsgebiet **211e** vorgesehen, ähnlich in planaren Transistorkonfigurationen, um einen geeigneten pn-Übergang mit dem Kanalgebiet **213** zu bilden, das durch den Steg **210** repräsentiert ist. Des weiteren ist eine Abstandshalterstruktur **223** an Seitenwänden des Gateelektrodenmaterials **222** mit einer geeigneten Breite vorgesehen, um in geeigneter Weise die Dotierstoffkonzentration in den Drain- und Sourcegebieten **211** einzustellen.

**[0054]** Auf der rechten Seite ist die entsprechende Konfiguration des Lückenbereichs dargestellt. In diesem Falle erstreckt sich das Gateelektrodenmaterial **222** in die Vertiefung, die in dem Isolationsgebiet **208** gebildet ist, wie dies zuvor erläutert ist, während in einigen anschaulichen Ausführungsformen ein größerer Abstand der Drain- und Sourcegebiete **211** in Bezug auf ein Gateelektrodenmaterial **222** auf Grund der Gegendotierung während des Implantationsprozesses **209** (siehe [Fig. 2k](#)) erreicht wird, in welchem freigelegte Seitenwandbereiche der Halbleiterschicht **203** eine Dotierstoffsorte entsprechend der Wannenz- bzw. Potentialtopf-dotiersorte erhalten, wodurch ein „zurückgezogener“ pn-Übergang in Bezug auf die Drain- und Sourcegebiete **211** erreicht wird, so dass die parasitäre Kapazität zwischen den Drain- und Sourcegebieten **211** und dem Gateelektrodenmaterial **222** auf Grund des größeren Abstands verringert ist.

**[0055]** Die in [Fig. 2s](#) gezeigte Transistorkonfiguration **250n** kann erreicht werden, indem geeignete Implantationsprozesse ausgeführt werden, wobei p-Kanaltransistoren maskiert werden, indem etwa Halo-Implantationsprozesse angewendet werden, um in geeigneter Weise die Potentialtopfkonzentration in dem Bereich zwischen dem Steg **210** und den Drain- und Sourcegebieten **211** gemäß gut etablierter Rezepte zu erhöhen. Danach wird das Erweiterungsgebiete **211e** gebildet, indem beispielsweise ein geeignet gestalteter Versatzabstandshalter der Struktur **223** verwendet wird und anschließend wird die Abstandshalterstruktur **223** mit einer geeigneten Breite hergestellt, um damit als eine Implantationsmaske während der nachfolgenden Implantation der tiefen Drain- und Sourcebereiche zu dienen, um damit das gewünschte Konzentrationsprofil zu erstellen. Es sollte beachtet werden, dass die Abstandshalterstruktur **223** mehrere einzelne Abstandshalterelemente aufweisen kann, die nach einem entsprechenden Implantationsprozess gebildet werden.

**[0056]** [Fig. 2t](#) zeigt schematisch eine entsprechende Transistorkonfiguration **250p** für einen p-Kanaltransistor gemäß einigen anschaulichen Ausführungsformen. Wie gezeigt, weist der Transistor **250p** ein verformungsinduzierendes Material **214** auf, beispielsweise in Form einer Silizium/Germaniumlegierung und dergleichen, wie in das Material **203** benachbart zu dem Steg **210** so eingebettet ist, dass

eine kompressive Verformungskomponente entlang der Stromflussrichtung entlang des Stegs **210** erreicht wird, wodurch die Löcherbeweglichkeit verbessert wird. Das verformungsinduzierende Material **214** kann durch Ätzen einer Aussparung in der Halbleiterschicht **203** auf der Grundlage von beispielsweise der Abstandshalterstruktur **223** oder einem anderen geeigneten Maskenmaterial gebildet werden, woran sich ein selektiver epitaktischer Wachstumsprozess zum Aufwachsen der gewünschten Halbleiterlegierung **214** anschließt, das in Form eines stark dotierten Materials vorgesehen werden kann, wodurch möglicherweise ein Implantationsprozess zur Herstellung der tiefen Drain- und Sourcegebiete vermieden werden kann. Wie gezeigt, kann das verformungsinduzierende Material **214** mit einem gewissen Maß an Überschusshöhe vorgesehen werden, wenn dies als geeignete erachtet wird. Des weiteren können entsprechende Erweiterungsgebiete **211e** so gebildet werden, dass sie mit dem Kanalgebiet, d. h. dem Steg **210**, verbunden sind.

**[0057]** Auf der rechten Seite der [Fig. 2t](#) ist die entsprechende Konfiguration für das Rückengebiet gezeigt. Wie dargestellt, wird auch in diesem Falle ein größerer Abstand zwischen dem Gateelektrodenmaterial **222** und den Drain- und Sourcegebieten **211** auf Grund des gegendotierten Gebiets **203c** erreicht, das während des Implantationsprozesses **209** einschließlich der geeigneten Implantation **209a** (siehe [Fig. 2k](#)) gebildet wurde.

**[0058]** Es sollte beachtet werden, dass entsprechende verformungsinduzierende Mechanismen auch dem n-Kanaltransistor **250m** vorgesehen werden können, beispielsweise in Form einer geeigneten Halbleiterlegierung, etwa Silizium/Kohlenstoff, oder durch Anwenden entsprechender Verspannungsgedächtnistechniken während der Herstellung der Drain- und Sourcegebiete **211**. D. h., zumindest ein Teil der Drain- und Sourcegebiete **211** wird in einem im Wesentlichen amorphisierten Zustand auf Grundlage einer darüber liegenden steifen Materialschicht rekristallisiert, etwa mittels einer Siliziumnitridschicht, um damit den wieder aufgewachsenen Bereich der Drain- und Sourcegebiete in einem verformten Zustand zu erzeugen. In anderen anschaulichen Ausführungsformen werden die Drain- und Sourcegebiete **211** abgesenkt, um Vorteile im Hinblick auf einen nachfolgenden Silizidierungsprozess zu schaffen, möglicherweise in Verbindung mit einem verspannungsinduzierenden Material, etwa einem zugverspannten Kontaktmaterial, und dergleichen.

**[0059]** Nach dem Einbau der Dotierstoffsorte zur Herstellung der Drain- und Sourcegebiete **211** der Transistoren **250n**, **250p** wird ein abschließender Ausheizprozess ausgeführt, um die Dotierstoffe zu aktivieren und durch Implantation hervorgerufene Schäden zu rektallisieren, wodurch auch das end-

gültig gewünschte Dotierstoffprofil eingestellt wird.

[0060] [Fig. 2u](#) zeigt schematisch die Transistorkonfiguration **250n** in einer weiter fortgeschrittenen Fertigungsphase. Wie gezeigt, ist eine Kontaktstruktur **240** vorgesehen und umfasst ein dielektrisches Zwischenschichtmaterial **241**, etwa Siliziumdioxid und dergleichen, in welchem ein oder mehrere Kontaktelemente **242** eingebettet sind. Die Kontaktelemente **242** enthalten ein beliebiges geeignetes Metall, etwa Wolfram, Kupfer, Aluminium, und dergleichen, möglicherweise in Verbindung mit geeigneten leitenden Barrierenmaterialien, wobei dies von den gesamten Prozess- und Bauteilerfordernissen abhängt. In einigen anschaulichen Ausführungsformen weisen die Kontaktelemente **242** ein metallenthaltendes Material mit einem hohen inneren Zugverspannungspegel auf, was beispielsweise auf Grundlage gut etablierter Abscheiderrezepte zur Herstellung eines Wolframmaterials erreicht wird, wodurch ein gewünschter Zugverspannungspegel in dem Kanal oder dem Steg **210** bereitgestellt wird.

[0061] Die rechte Seite der [Fig. 2u](#) zeigt schematisch die Konfiguration der Kontaktebene **240** in dem Lückenbereich. Wie gezeigt, sind auch in diesem Bereich ein oder mehrere Kontaktelemente **242** oder ein sich kontinuierlich erstreckendes Kontaktelement vorgesehen, um den Gesamtkontaktwiderstand zu den Drain- und Sourcegebieten **211** zu verringern.

[0062] Typischerweise wird die Kontaktebene **240** auf der Grundlage gut etablierter „planarer“ Prozesstechniken hergestellt, indem beispielsweise ein hochschmelzendes Metall abgeschieden wird und eine chemische Reaktion während einer Wärmebehandlung hervorgerufen wird, wobei eine nachfolgende Abscheidung eines geeigneten dielektrischen Materials, etwa Siliziumdioxid erfolgt, das durch CMP und dergleichen eingeebnet werden kann. Anschließend wird das dielektrische Material durch Lithographie und anisotropes Ätztechniken strukturiert, um entsprechende Kontaktöffnungen zu schaffen, die dann mit dem gewünschten Kontaktmetall, etwa Wolfram, und dergleichen gefüllt werden.

[0063] [Fig. 2v](#) zeigt schematisch die Kontaktstruktur **240** des p-Kanaltransistors **250p**, die eine ähnliche Konfiguration aufweist, wie dies zuvor beschrieben ist.

[0064] Als nächstes wird ein Metallisierungssystem hergestellt, beispielsweise indem ein dielektrisches Material, etwa in Form eines dielektrischen Materials mit kleinem  $\epsilon$  bereitgestellt wird, und indem darin Kontaktöffnungen gebildet werden, die eine Verbindung zu Metallleitungen einer ersten Metallisierungsschicht herstellen.

[0065] In einigen anschaulichen Ausführungsform

wird die Gateelektrodenstruktur **220** durch eine aufwendigere Struktur mit einem metallenthaltenden Elektrodenmaterial in Verbindung mit einem dielektrischen Material mit großem  $\epsilon$  ersetzt. Zu diesem Zweck wird vor dem Bilden der Kontaktelemente **242** in dem dielektrischen Material **251** das Gateelektrodenmaterial **222** selektiv entfernt, beispielsweise auf der Grundlage von TMAH, das effizient Silizium selektiv zu Siliziumdioxid und Siliziumnitrid abtragen kann. In anderen Fällen werden andere selektive Ätzrezepte, beispielsweise plasmaunterstützte Prozesse auf der Grundlage von HBr eingesetzt, während in anderen anschaulichen Ausführungsformen ein beliebiger selektiver Ätzprozess verwendet wird, wobei dies von der Materialzusammensetzung der Gateelektrodenstruktur **220** und den umgebenden dielektrischen Materialien abhängt. Danach werden die Gatedielektrika, etwa das dielektrische Material **221b**, von den freiliegenden Seitenwandbereichen des Stegs **210** entfernt. Dies kann unter Anwendung von HF erfolgen, wenn das Gatedielektrikum im Wesentlichen aus Siliziumdioxid aufgebaut ist.

[0066] [Fig. 2w](#) zeigt schematisch eine Querschnittsansicht entlang der Stegbreitenrichtung nach der zuvor beschriebenen Prozesssequenz und in einer weiter fortgeschrittenen Fertigungsphase. Wie gezeigt, enthält das Bauelement **200** eine Austauschgateelektrodenstruktur **220r**, die ein metallenthaltendes Material **222r** aufweist, etwa Titanitrid und dergleichen, in Verbindung mit einem dielektrischen Material mit großem  $\epsilon$  **221r**, das Seitenwandbereiche und die obere Fläche der Stege **210** bedeckt. Somit wird eine Tri-Gatekonfiguration mit den entsprechenden Gateelektrodenstrukturen **220a**, **220c**, die an Seitenwänden des Stegs **210** ausgebildet sind, und mit einer Gateelektrodenstruktur **220b**, die auf der Oberseite des Stegs **210** vorgesehen ist, bereitgestellt, wodurch auch mehrere Transistorzellen **250a**, ..., **250d** bereitgestellt werden. Folglich repräsentiert jede der Transistorzellen **250a**, ..., **250d** oder deren Kombination einen Tri-Gatetransistor mit einer spezifizierten Schwellwertspannung für jede Leitfähigkeitsart auf der Grundlage des geeignet ausgewählten Metallmaterials **222r** und der Fertigungssequenz zur Herstellung der entsprechenden Drain- und Sourcegebiete. Wenn mehrere Schwellwertspannungen erforderlich sind, können mehrere Gatemetalle mit unterschiedlichen Austrittsarbeiten integriert werden, um damit eine moderat große Verschiebung in der Schwellwertspannung zu schaffen, während in anderen Zellen geeignet gestaltete Halo-Implantationen ausgeführt werden, um geringe Verschiebungen der Schwellwertspannungen zu erzeugen.

[0067] Folglich wird eine effiziente dreidimensionale Transistorkonfiguration mit verbessertem Transistorleistungsverhalten auf Grund des geringeren Reihenwiderstands und der Verwendung gut etablierter und effizienter Fertigungstechniken und Mechanismen

erhalten, wie sie für planare Transistorkonfigurationen gut etabliert sind. Des Weiteren wird eine selbstjustierte Konfiguration der Drain- und Sourcegebiete, der Kanalgebiete oder Stege **210** und entsprechende Isolationsstrukturen auf Grundlage des zuvor beschriebenen Maskierungsschemas erreicht. Ferner wird im Vergleich zu konventionellen Strategien ein komplexer epitaktischer Wachstumsprozess zur Bereitstellung zusammenhängender Drain- und Sourcegebiete für eine Vielzahl von Transistoren vermieden, wodurch ebenfalls zu einer besseren Prozesseffizienz beigetragen wird.

**[0068]** Mit Bezug zu den [Fig. 3a](#) bis [Fig. 3c](#) wird eine entsprechende Prozesssequenz zur Herstellung eines Doppelgate- oder FinFET-Transistor detaillierter beschrieben. Im Allgemeinen wird eine sehr ähnliche Prozesssequenz eingesetzt, wie sie zuvor die Tri-Gatetransistorkonfiguration **250** beschrieben ist, wobei jedoch eine moderat dicke Deckschicht auf der Oberseite des Stegs vorgesehen wird, was bewerkstelligt werden kann, indem eine entsprechende Hartmaske, die zum Strukturieren der Stege in dem Halbleitermaterial verwendet wird, nicht entfernt wird. Somit kann das entsprechende Gateelektrodenmaterial von der Oberseite des Stegs mittels eines dicken Isolators getrennt werden, und ein Stromfluss findet nur an der Seitenfläche des Stegs statt. Im Allgemeinen erfordert für die gleiche wirksame Transistorbreite im Vergleich zu einer Tri-Gatekonfiguration der FinFET eines Stegs mit größerer Höhe, während die Breite reduziert ist, da die Gateelektrode, die über der oberen Fläche vorgesehen ist, im Wesentlichen keine Auswirkung auf die Verarmung innerhalb des Stegs hat.

**[0069]** [Fig. 3a](#) zeigt schematisch eine Querschnittsansicht eines Halbleiterbauelements **300**, das eine sehr ähnliche Konfiguration im Halbleiterbauelement **200**, wie es in [Fig. 2j](#) gezeigt ist, besitzt. Aus diesem Grunde werden ähnliche Komponenten durch die gleichen Bezugszeichen mit Ausnahme der ersten Zahl genannt, die eine „3“ anstelle einer „2“ ist. Somit umfasst das Bauelement **300** eine Halbleiterschicht **303** mit Isolationsgebieten **308**, die von entsprechenden tiefen Stegen **310l** getrennt sind, auf denen Stege **310** vorgesehen sind, die durch Abdeckelemente **306** bedeckt sind, etwa Siliziumnitridelemente in Verbindung mit einem Ätzstoppmaterial **304a**, beispielsweise in Form von Siliziumdioxid. Wie zuvor erläutert ist, besitzen die Stege **310** im Vergleich zu den Stegen **210** eine größere Höhe von ungefähr 30 bis 40 nm während deren Breite verringert ist und im Bereich von ungefähr 10 bis 15 nm liegt.

**[0070]** Das Halbleiterbauelement **300** kann auf der Grundlage der gleichen Fertigungstechniken hergestellt werden, wie sie zuvor mit Bezug zu dem Bauelement **200** gemäß der Beschreibung entsprechend den [Fig. 2b](#) bis [Fig. 2j](#) erläutert sind. Daher wird eine

entsprechende Erläuterung weggelassen. Es sollte jedoch beachtet werden, dass im Gegensatz zu dem Prozessschema, wie es mit Bezug zu den [Fig. 2b](#) bis [Fig. 2j](#) beschrieben ist, die Deckelemente **306** entsprechende Abstandshalterelemente repräsentieren können, die zuvor als eine Hartmaske zum Strukturieren der Stege **310** gebildet werden, wie dies auch mit Bezug zu den Abstandshalterelementen **206** (beispielsweise [Fig. 2e](#)) erläutert ist. Es sollte auch beachtet werden, dass die Deckelemente **306** mit einer geringeren Breite gebildet werden können, so dass dies ein Erfordernis für die Stege **310** entspricht. In ähnlicher Weise kann der Prozess zur Herstellung der Vertiefungen **308r** in dem Isolationsgebiet **308a**, wie dies auch mit Bezug zu [Fig. 2i](#) erläutert ist, wenn auf das Halbleiterbauelement **200** Bezug genommen wurde, geeignet angepasst werden, um die gewünschte Größe der Höhe der Stege **310** zu erhalten.

**[0071]** [Fig. 3b](#) zeigt schematisch eine Querschnittsansicht des Bauelements **300** mit einer grundlegenden Wannimplantationsorte **309w**, die so implantiert werden kann, wie dies auch mit Bezug zu den [Fig. 2k](#) und 21 erläutert ist, wenn das Halbleiterbauelement **200** beschrieben wurde. Danach wird die weitere Bearbeitung fortgesetzt, wie dies auch zuvor mit Bezug zu dem Bauelement **200** beschrieben ist. D. h., entsprechende Gateelektrodenstrukturen oder Platzhaltergateelektrodenstrukturen werden hergestellt, indem ein geeignetes dielektrisches Material aufgebracht und ein Gateelektrodenmaterial abgeschieden wird. Anschließend werden die Drain- und Sourcebereiche freigelegt und die entsprechenden „planaren“ Fertigungsprozesse werden angewendet, um die grundlegenden Transistorstrukturen fertigzustellen. Bei Bedarf wird die Gateelektrodenstruktur durch ein dielektrisches Material mit großem  $\epsilon$  in Verbindung mit einem metallenthaltendem Elektrodenmaterial ersetzt, wie dies auch zuvor beschrieben ist.

**[0072]** [Fig. 3c](#) zeigt schematisch das Halbleiterbauelement **300** in einer fortgeschrittenen Fertigungsphase, in der eine Austauschgateelektrodenstruktur **320r** um die Stege **310** herum in Verbindung mit einem dielektrischen Material mit großem  $\epsilon$  **321r** vorgesehen ist. Folglich wird eine Doppelgatekonfiguration für jede der Transistorzellen **350a**, ..., **350d** bereitgestellt, d. h. eine erste Gateelektrodenstruktur **320a** ist auf einer Seitenwand des Stegs **310** und **320a** ist auf einer Seitenwand des Stegs **310** und eine zweite Gateelektrodenstruktur **320c** ist auf der gegenüberliegenden Seitenwand vorgesehen. Andererseits ist eine obere Fläche des Stegs **310** weiterhin von dem Deckelement **306** in Verbindung mit der Ätzstopp-schicht **304a** bedeckt.

**[0073]** Es gilt also: Die vorliegende Offenbarung stellt eine verbesserte dreidimensionale Transistorkonfiguration bereit, d. h. Doppelgate- und Tri-Gatetransistorkonfiguration, in denen die Stege der Tran-

sistoren auf der Grundlage eines Halbleitervollsubstratmaterials bereitgestellt werden, wodurch ein größeres Halbleitervolumen vorgesehen wird, während gleichzeitig die zusammenhängenden Drain- und Sourcebereiche mit den Kanalgebieten des Stegs in Verbindung stehen, ohne dass ein dazwischen liegender Stegbereich erforderlich ist, der als ein Drain- und Sourcebereich mit erhöhtem Widerstand ..., wie dies typischerweise in konventionellen FinFET- und Tri-Gatetransistorarchitekturen der Fall ist. Des Weiteren werden der Kanalbereich, d. h. die Stege und damit die Gateelektrodenstrukturen, die Drain- und Sourcegebiete und die Isolationsstruktur auf der Grundlage eines Maskierungsschemas bereitgestellt, das eine selbstjustierte Prozesssequenz ermöglicht, wobei komplexe selektive epitaktische Wachstumsprozesse zur Bereitstellung der zusammenhängenden Drain- und Sourcebereiche vermieden werden. Ferner können nach dem Bilden der Stege gut etablierte und effiziente Prozesstechniken aus zweidimensionalen oder planaren Transistorfertigungsprozessen angewendet werden, die möglicherweise effiziente verformungsinduzierende Mechanismen beinhalten, so dass zusätzlich zum Vorsehen eines größeren Halbleitervolumens in den Stegen und dem Vermeiden von Drain- und Sourcebereichen mit erhöhtem Widerstand in den Stegen weitere leistungssteigernde Mechanismen vorteilhaft eingesetzt werden können.

**[0074]** Weitere Modifizierungen und Variationen der vorliegenden Offenbarung werden für den Fachmann angesichts dieser Beschreibung offenkundig. Daher ist diese Beschreibung als lediglich anschaulich und für die Zwecke gedacht, dem Fachmann die allgemeine Art und Weise des Ausführens der vorliegenden Erfindung zu vermitteln. Selbstverständlich sind die hierin gezeigten und beschriebenen Formen als die gegenwärtig bevorzugten Ausführungsformen zu betrachten.

### Patentansprüche

#### 1. Verfahren mit:

Bilden eines Schichtstapels über einer Halbleiterschicht eines Halbleiterbauelements, wobei der Schichtstapel eine Ätzstoppschicht, die über der Halbleiterschicht gebildet ist, und eine erste Maskenschicht, die über der Ätzstoppschicht gebildet ist, aufweist;  
 Strukturieren der ersten Maskenschicht, um ein Maskenstrukturelement zu erhalten;  
 Bilden eines Abstandshalterelements an Seitenwänden des Maskenstrukturelements;  
 Entfernen des Maskenstrukturelements selektiv zu dem Seitenwandabstandshalterelement;  
 Bereitstellen einer zweiten Maskenschicht mit einer ersten Öffnung, die einen Teil des Seitenwandabstandshalterelements frei legt, um einen Kanalbereich und Drain- und Sourcebereiche zu definieren;

Bilden von Gräben in der Halbleiterschicht unter Anwendung des Seitenwandabstandshalterelements und der zweiten Maskenschicht als eine Ätzmaske, um einen Steg in der Halbleiterschicht zu bilden, wobei der Steg dem Kanalbereich entspricht;  
 Bilden einer Gateelektrodenstruktur zumindest an Seitenwänden des Stegs; und  
 Bilden von Drain- und Sourcegebieten in den Drain- und Sourcebereichen, wobei die Drain- und Sourcegebiete mit dem Steg verbunden sind.

2. Verfahren nach Anspruch 1, wobei Bereitstellen der zweiten Maskenschicht umfasst: Vorsehen einer zweiten Öffnung, um eine Position und laterale Größe einer Isolationsstruktur zu definieren.

3. Verfahren nach Anspruch 2, wobei Bilden der Gräben umfasst: Bilden der Gräben auf der Grundlage der ersten und der zweiten Öffnung.

4. Verfahren nach Anspruch 3, das ferner umfasst: Füllen der Gräben und der ersten und der zweiten Öffnung mit einem dielektrischen Material.

5. Verfahren nach Anspruch 4, das ferner umfasst: Vertiefen des dielektrischen Materials in den Öffnungen bis unter ein Höhenniveau, das einer Oberfläche der Halbleiterschicht entspricht, um eine effektive Höhe des Stegs einzustellen.

6. Verfahren nach Anspruch 5, das ferner umfasst: Ausführen eines Wannimplantationsprozesses auf der Grundlage der zweiten Maskenschicht nach dem Vertiefen des dielektrischen Materials.

7. Verfahren nach Anspruch 6, das ferner umfasst: Ausführen eines Gegendotierimplantationsprozesses unter Anwendung eines Neigungswinkels, um ein Gegendotiermittel in Bezug auf die Drain- und Sourcegebiete an freigelegten Seitenwandbereichen der Halbleiterschicht einzuführen.

8. Verfahren nach Anspruch 1, wobei Bilden der Gateelektrodenstruktur umfasst: Bilden eines dielektrischen Materials auf freigelegten Seitenwandbereichen des Stegs innerhalb der ersten Öffnung der zweiten Maskenschicht und Abscheiden eines Platzhaltermaterials und/oder eines Gateelektrodenmaterials in der ersten Öffnung vor dem Bilden der Drain- und Sourcegebiete.

9. Verfahren nach Anspruch 8, das ferner umfasst: Entfernen der Maskenschicht und Bilden der Drain- und Sourcegebiete, wobei das Platzhaltermaterial und/oder das Gateelektrodenmaterial als Implantationsmaske verwendet werden.

10. Verfahren nach Anspruch 9, wobei Bilden der Drain- und Sourcegebiete umfasst: Ausführen eines ersten Implantationsprozesses, Bilden eines zweiten

Seitenwandabstandshalterelements an Seitenwänden des Platzhaltermaterials und/oder des Gateelektrodenmaterials und Ausführen eines zweiten Implantationsprozesses unter Anwendung des zweiten Seitenwandabstandshalterelements als Implantationsmaske.

11. Verfahren nach Anspruch 8, das ferner umfasst: Ersetzen des Platzhaltermaterials und/oder des Gateelektrodenmaterials durch ein metallhaltendes Material.

12. Verfahren nach Anspruch 11, das ferner umfasst: Entfernen des dielektrischen Materials von den freigelegten Seitenwandbereichen und Abscheiden eines dielektrischen Materials mit großem  $\epsilon$ .

13. Verfahren nach Anspruch 12, das ferner umfasst: Freilegen einer oberen Fläche des Stegs und Abscheiden des dielektrischen Materials mit großem  $\epsilon$  auf der freigelegten oberen Fläche.

14. Verfahren nach Anspruch 12, das ferner umfasst: Bilden einer Deckschicht auf der oberen Fläche des Stegs und Abscheiden des dielektrischen Materials mit großem  $\epsilon$  auf der Deckschicht.

15. Verfahren nach Anspruch 1, das ferner umfasst: Bilden einer Aussparung in der Halbleiterschicht in den Drain- und Sourcebereichen vor dem Bilden der Drain- und Sourcegebiete und Füllen der Aussparungen mit einem verformungsinduzierenden Halbleitermaterial.

16. Verfahren zur Herstellung eines Transistors, wobei das Verfahren umfasst:  
Bilden eines Maskenstrukturelements über einer Halbleiterschicht, wobei das Maskenstrukturelement eine laterale Abmessung eines in der Halbleiterschicht zu bildenden Steges definiert;  
Bilden einer Maskenschicht mit einer ersten Öffnung und einer zweiten Öffnung, wobei die erste Öffnung eine Länge des Stegs definiert und wobei die zweite Öffnung eine laterale Größe und Position einer Isolationsstruktur angibt;  
Bilden des Stegs und eines Isolationsgrabens in der Halbleiterschicht in einem gemeinsamen Ätzprozess unter Anwendung der Maskenschicht als eine Ätzmaske;  
Bilden einer ersten Gateelektrodenstruktur auf einem Bereich einer ersten Seitenwand des Stegs und Bilden einer zweiten Gateelektrodenstruktur auf einem Bereich einer zweiten Seitenwand des Stegs; und  
Bilden von Drain- und Sourcegebieten in der Halbleiterschicht benachbart zu Endbereichen des Stegs.

17. Verfahren nach Anspruch 16, wobei Bilden des Maskenstrukturelements umfasst:  
Bilden einer Ätzstoppschicht auf der Halbleiterschicht, Bilden einer Maskenopferschicht auf der Ätz-

stoppschicht, Strukturieren der Maskenopferschicht, um ein Leitungsstrukturelement zu bilden, Bilden eines Abstandshalterelements auf Seitenwänden des Leitungsstrukturelements und selektives Entfernen des Leitungsstrukturelements.

18. Verfahren nach Anspruch 16, wobei Bilden der ersten und der zweiten Gateelektrodenstruktur umfasst: Füllen der ersten und der zweiten Öffnung mit einem Platzhaltermaterial nach dem Bilden des Stegs und Ersetzen des Platzhaltermaterials durch ein dielektrisches Material mit großem  $\epsilon$  und einem metallhaltenden Elektrodenmaterial nach dem Bilden der Drain- und Sourcegebiete.

19. Verfahren nach Anspruch 16, wobei eine dritte Gateelektrode auf einer oberen Fläche des Stegs gebildet wird.

20. Verfahren nach Anspruch 17, wobei die Ätzstoppschicht aus Siliziumdioxid und das Maskenopfermaterial aus Silizium aufgebaut ist.

21. Halbleiterbauelement mit:  
einer Halbleiterschicht;  
einem ersten Isolationsgebiet und einem zweiten Isolationsgebiet, die in der Halbleiterschicht ausgebildet sind, wobei das erste und das zweite Isolationsgebiet durch einen tiefen Steg, der aus Material der Halbleiterschicht gebildet ist, getrennt sind;  
einer ersten Vertiefung, die in dem ersten Isolationsgebiet gebildet ist, und einer zweiten Vertiefung, die in dem zweiten Isolationsgebiet gebildet ist, um einen Teil des tiefen Stegs freizulegen, der einen Steg eines Mehrfachgatetransistors repräsentiert, wobei eine Höhe des Stegs kleiner ist als eine Dicke der Halbleiterschicht;  
einer ersten Gateelektrodenstruktur, die an einer ersten Seitenwand des Stegs gebildet ist;  
einer zweiten Gateelektrodenstruktur, die an einer zweiten Seitenwand des Stegs gebildet ist; und  
Drain- und Sourcegebieten, die mit dem Steg verbunden sind.

22. Halbleiterbauelement nach Anspruch 21, das ferner eine dritte Gateelektrodenstruktur, die auf einer oberen Fläche des Stegs gebildet ist, aufweist.

23. Halbleiterbauelement nach Anspruch 22, das ferner eine Abstandshalterstruktur aufweist, die über der Halbleiterschicht gebildet ist, wobei die Abstandshalterstruktur eine laterale Abmessung von Drain- und Sourceerweiterungsgebieten ausgehend von Kanalgebieten, die in dem Steg angeordnet sind, definieren.

24. Halbleiterbauelement nach Anspruch 21, wobei die erste und die zweite Gateelektrodenstruktur ein Gatedielektrikumsmaterial mit großem  $\epsilon$  aufweisen.

25. Halbleiterbauelement nach Anspruch 23, das ferner eine verformungsinduzierende Halbleiterlegierung aufweist, die in der Halbleiterschicht benachbart zu der Abstandhalterstruktur ausgebildet ist.

Es folgen 14 Blatt Zeichnungen

Anhängende Zeichnungen

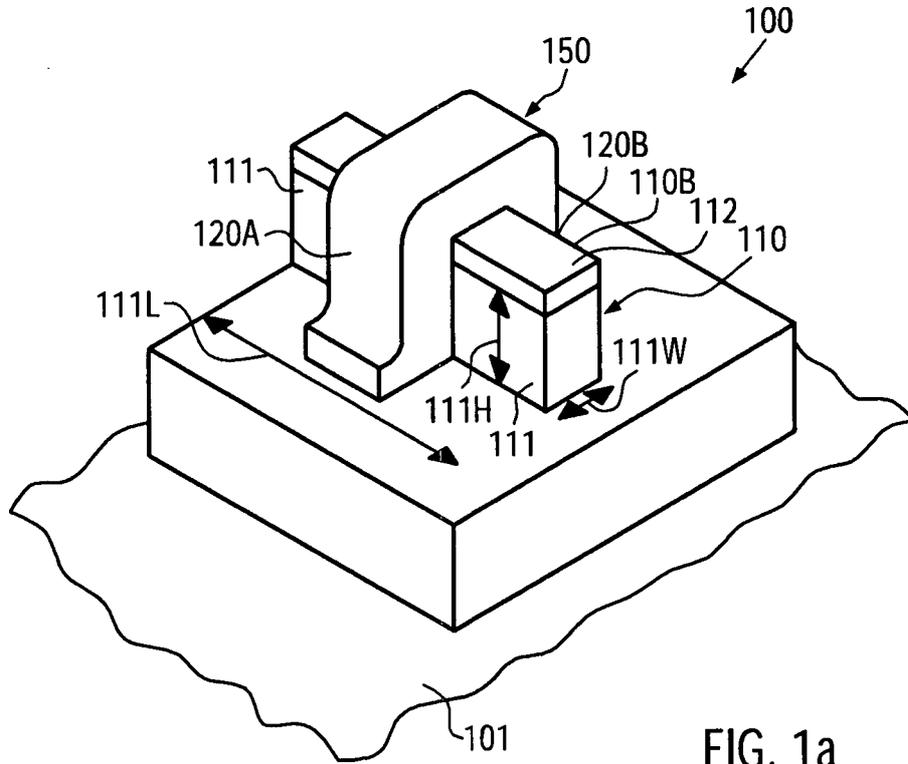


FIG. 1a  
(Stand der Technik)

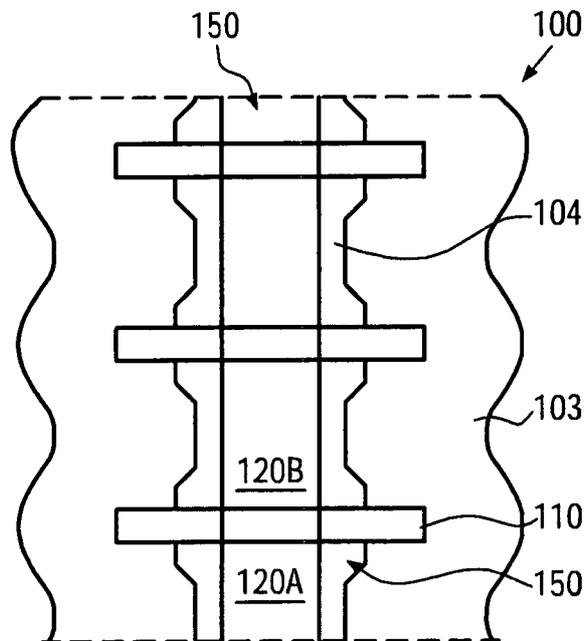
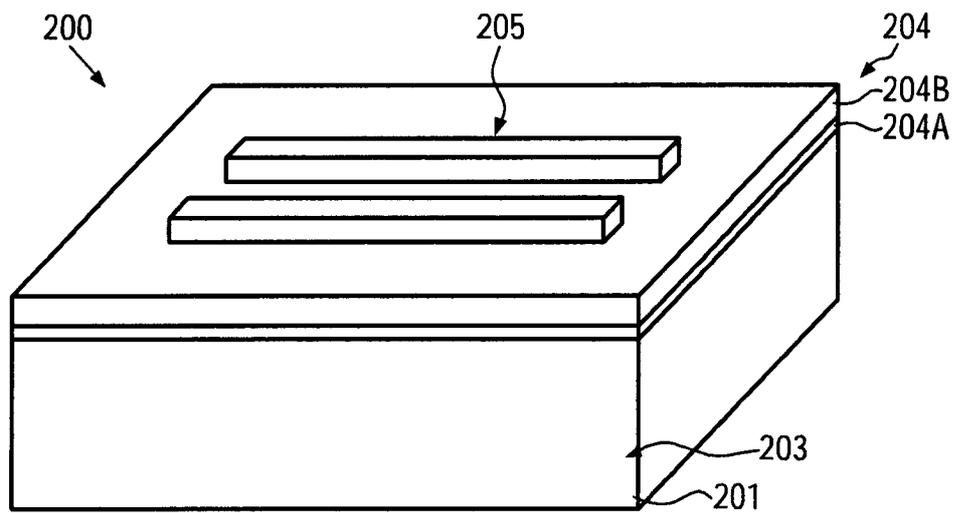
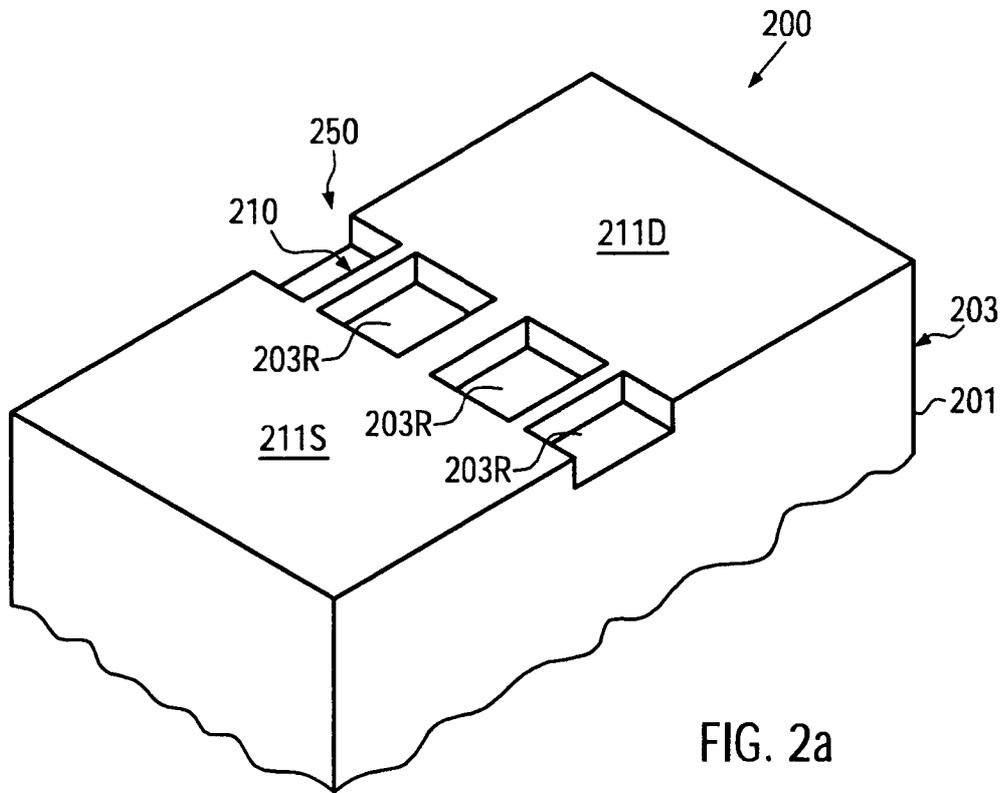


FIG. 1b  
(Stand der Technik)



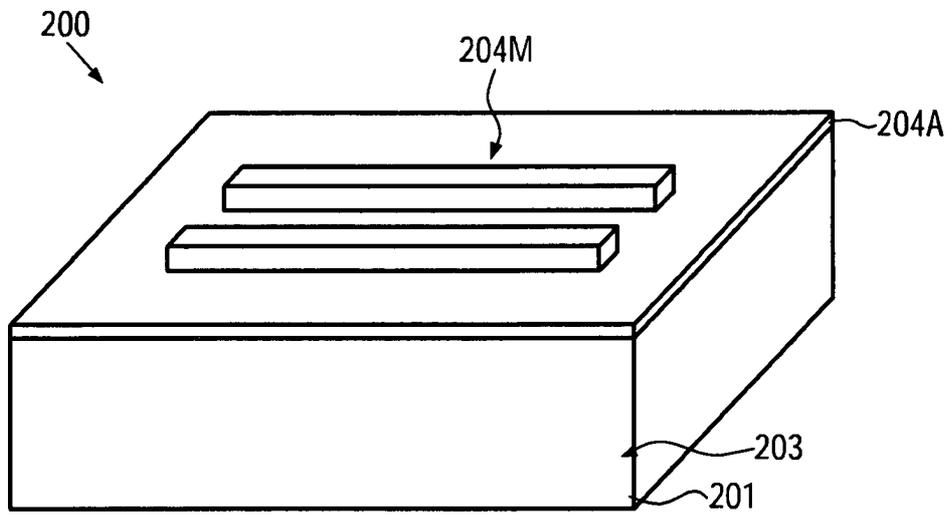


FIG. 2c

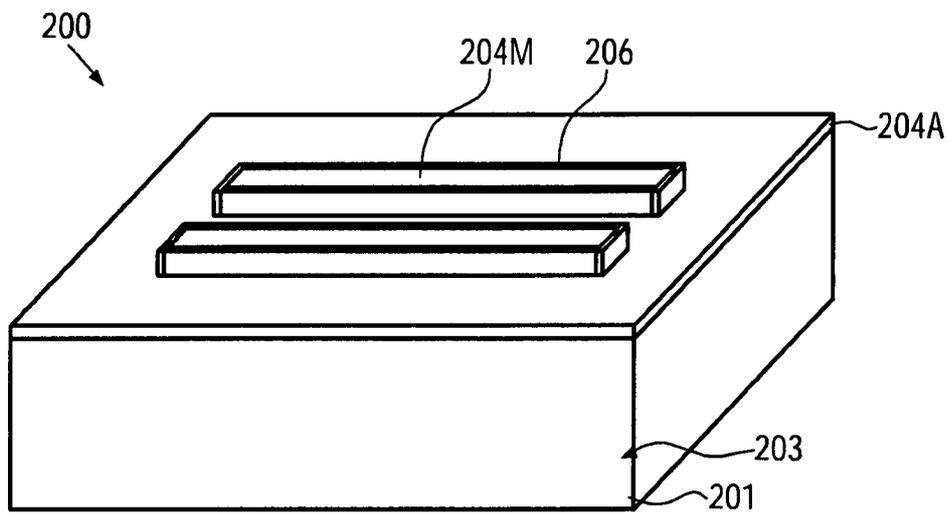


FIG. 2d

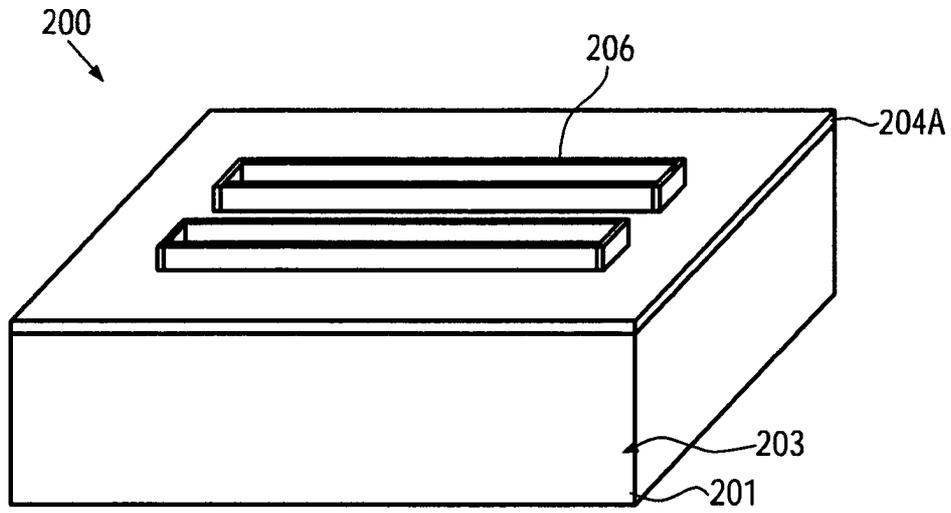


FIG. 2e

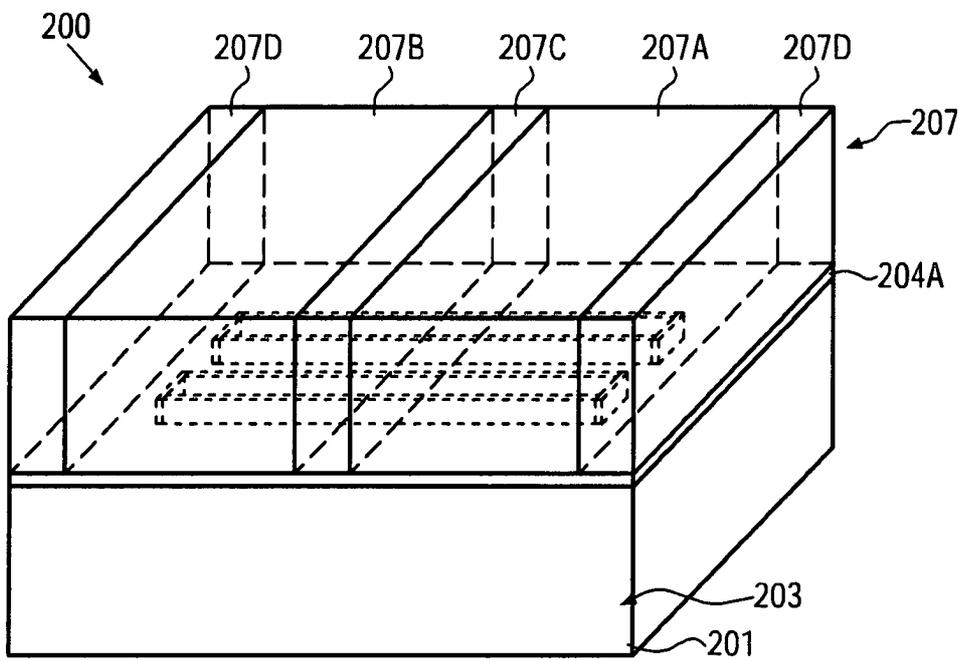


FIG. 2f

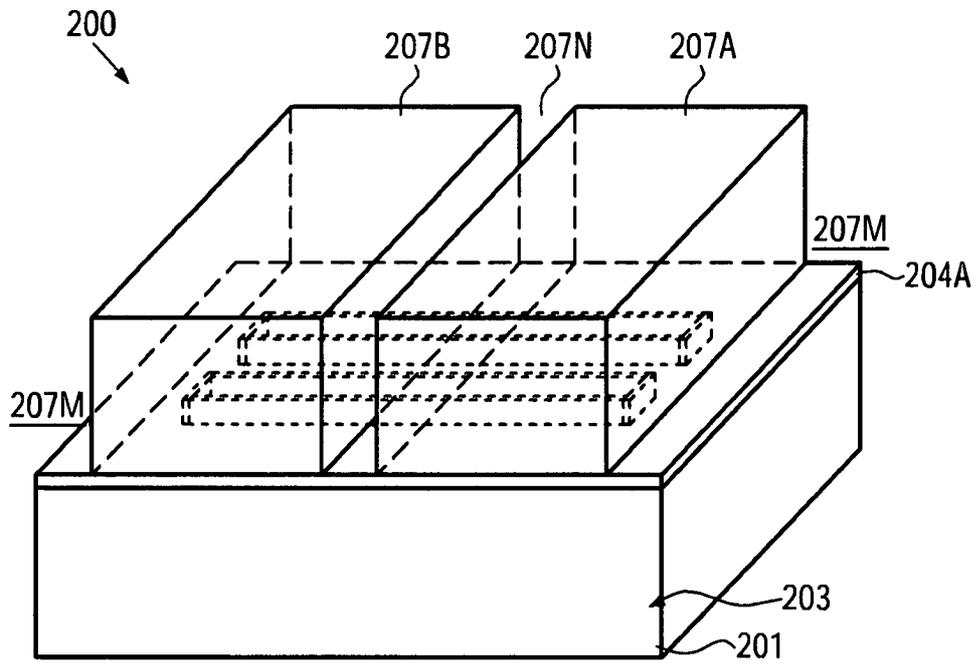


FIG. 2g

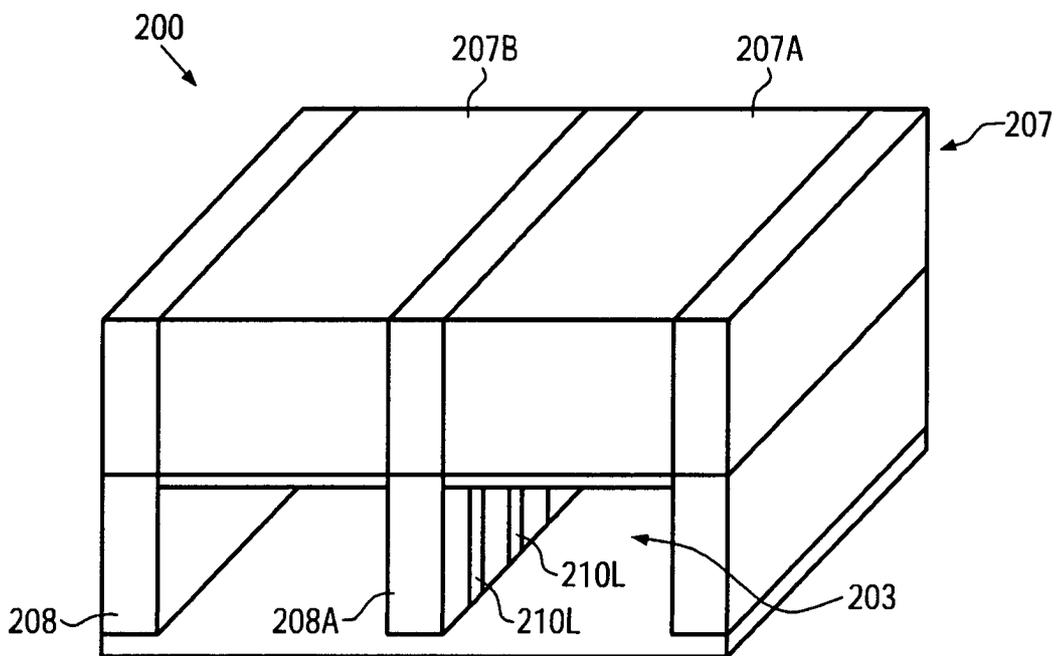


FIG. 2h

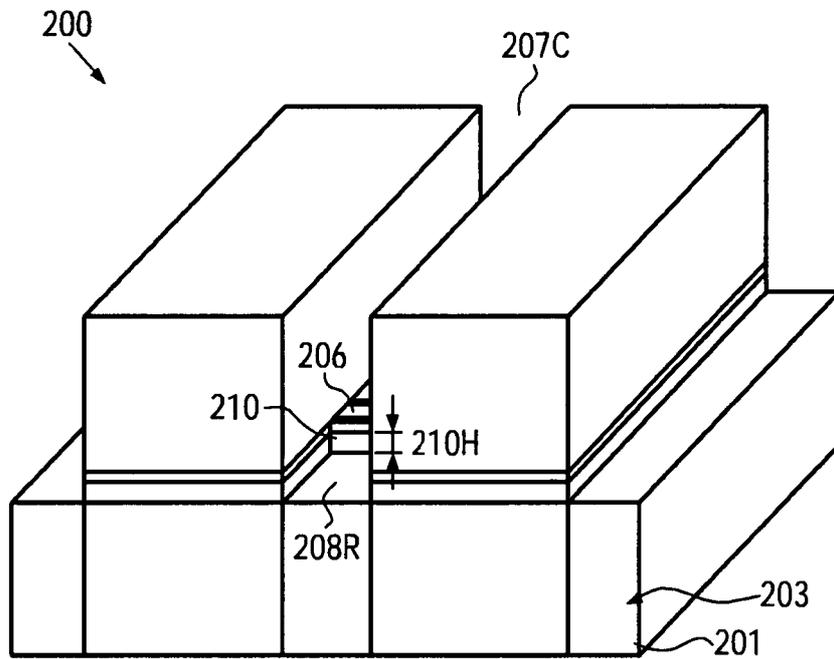


FIG. 2i

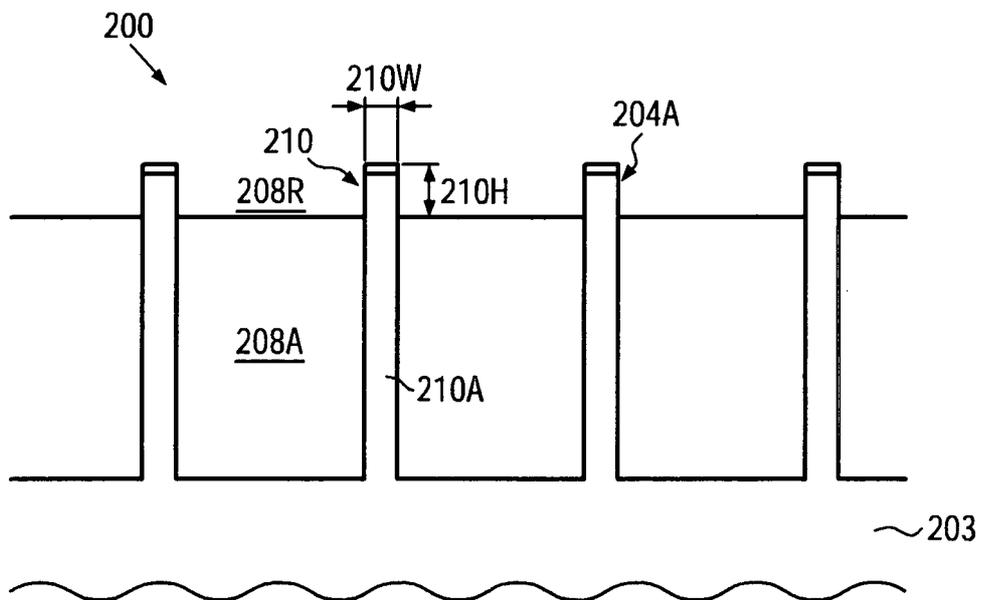


FIG. 2j

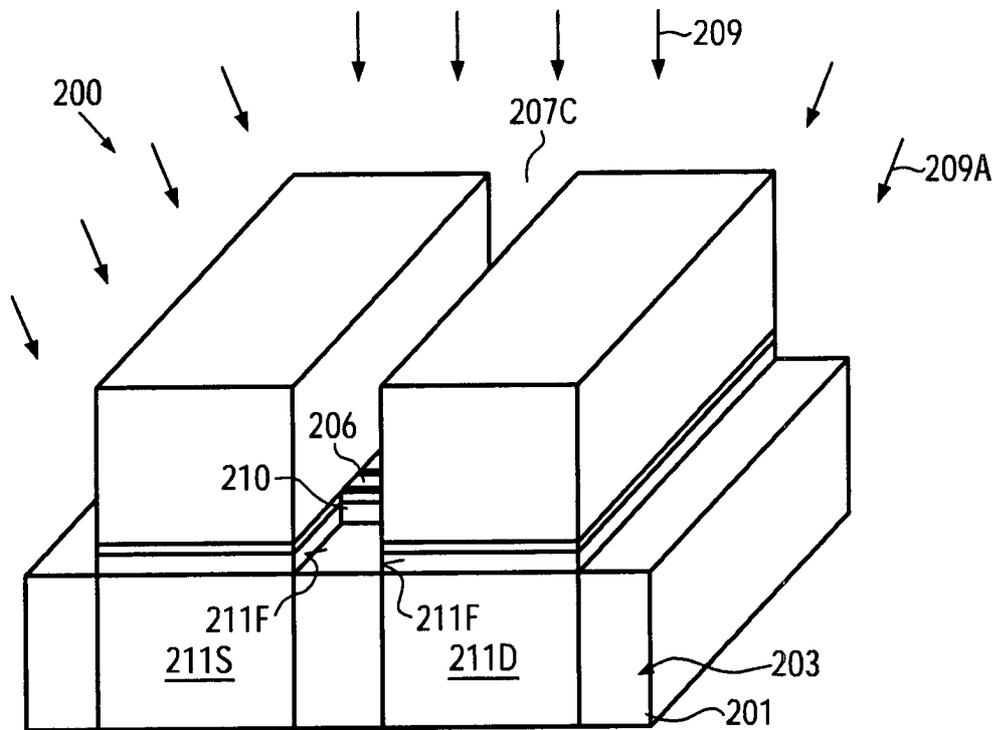


FIG. 2k

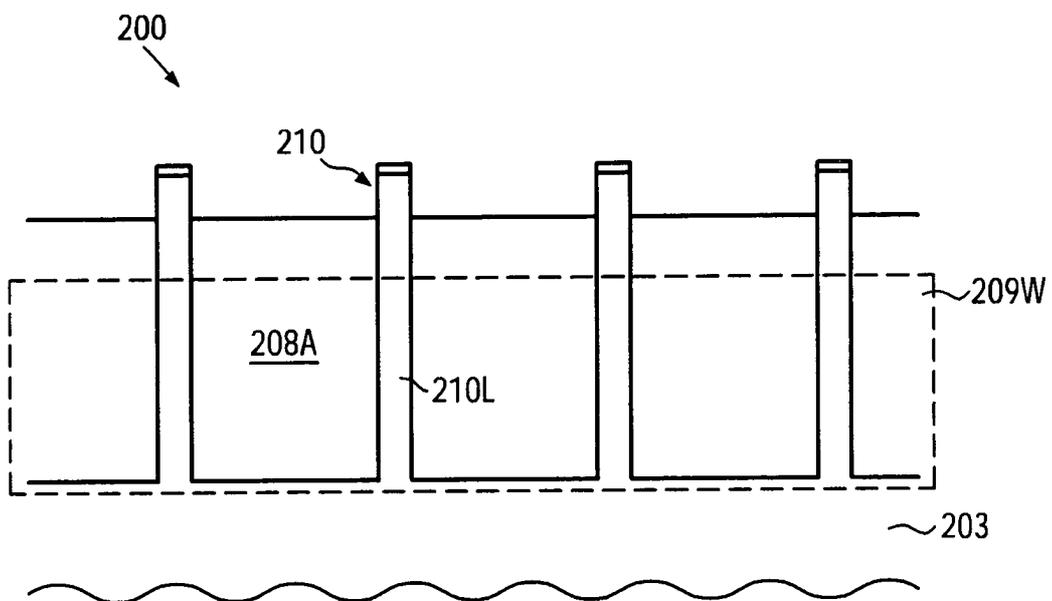


FIG. 2l

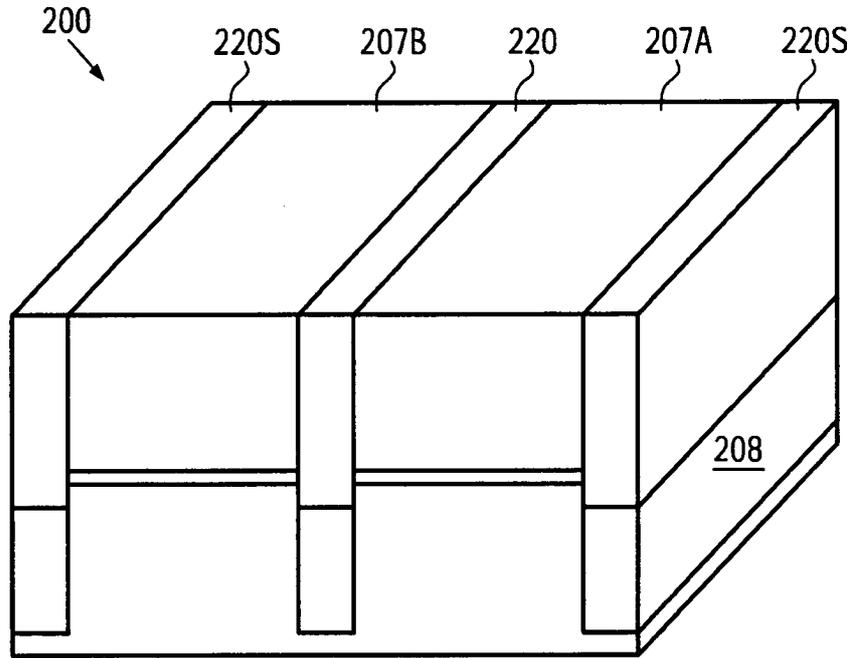


FIG. 2m

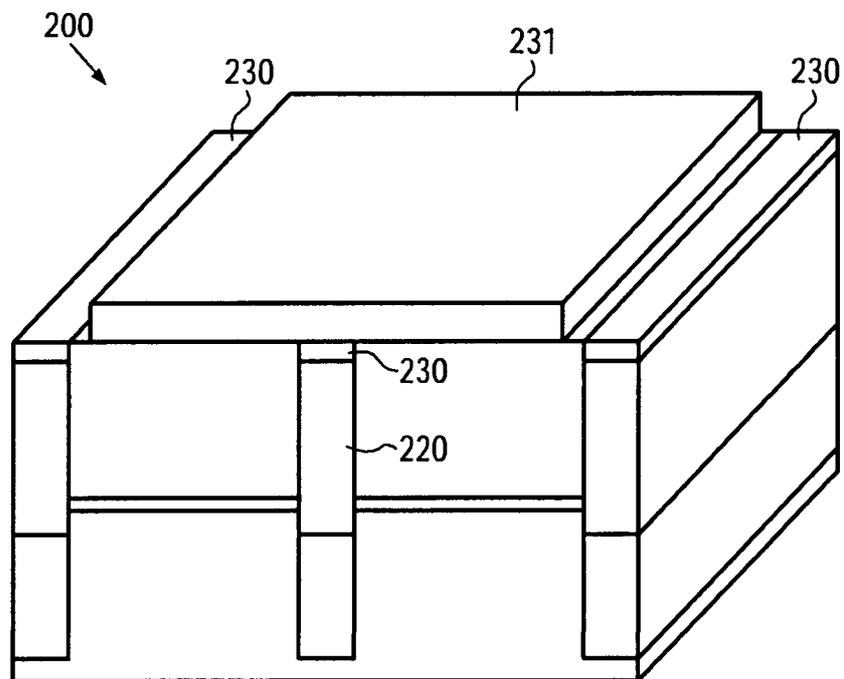


FIG. 2n

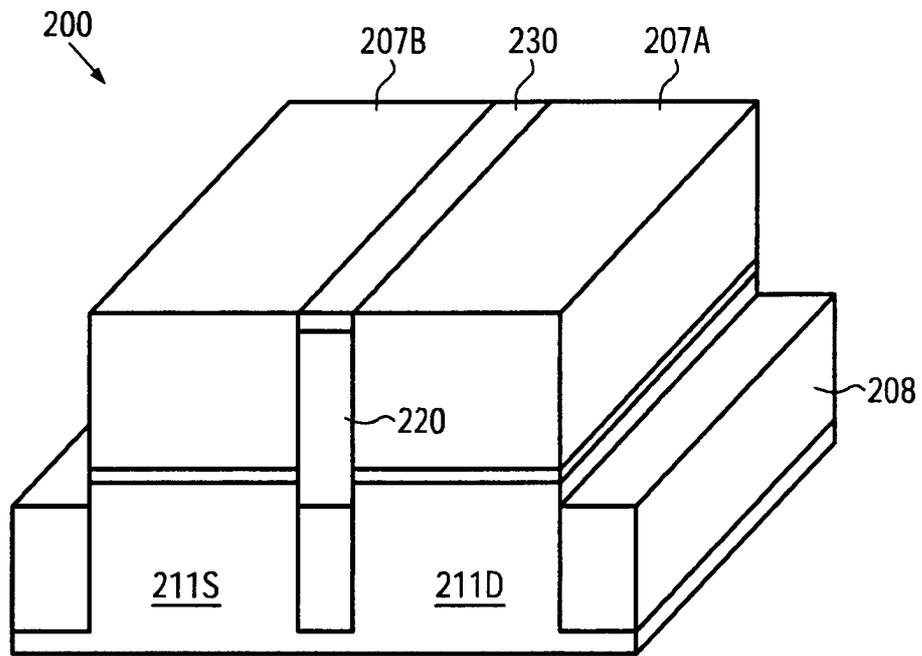


FIG. 2o

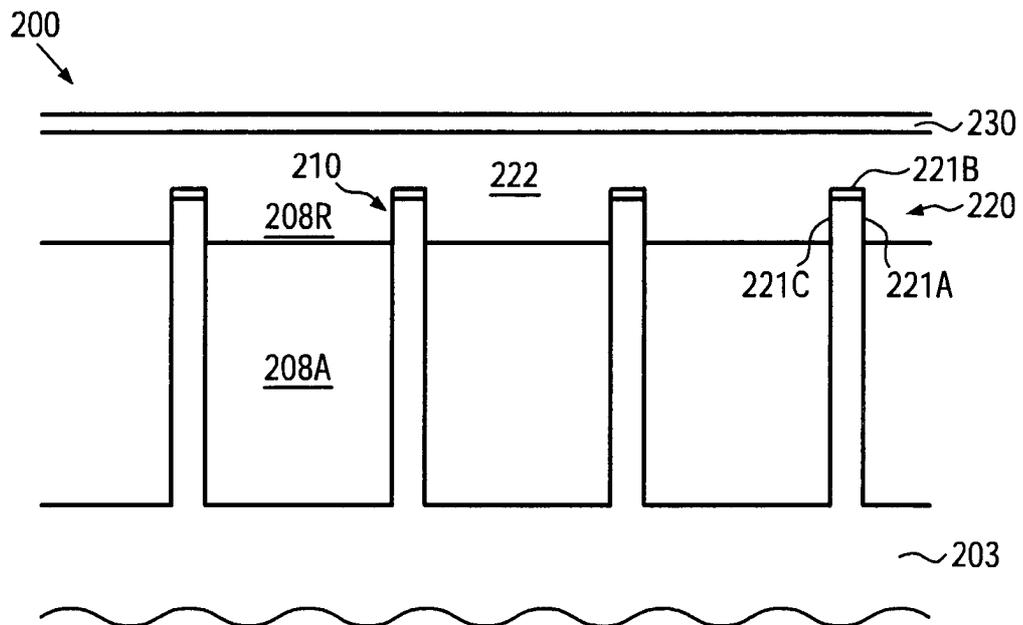


FIG. 2p

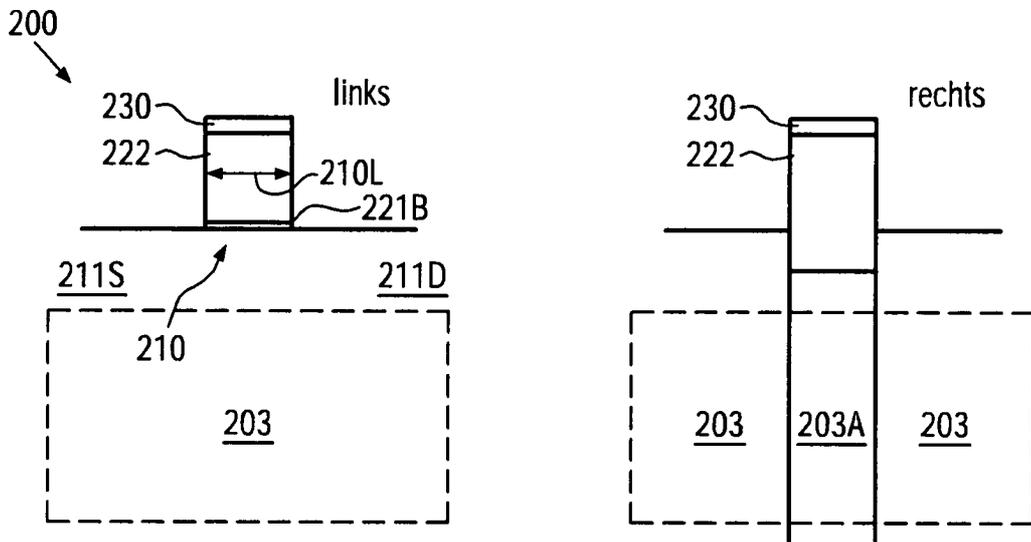


FIG. 2r

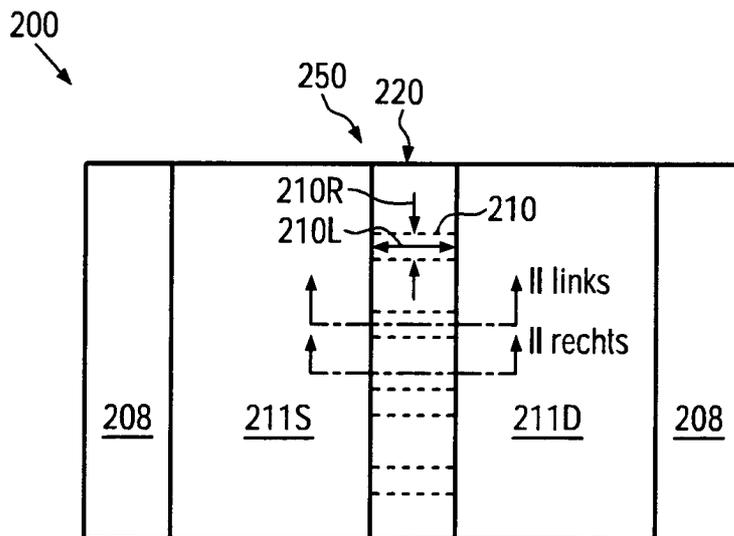


FIG. 2q

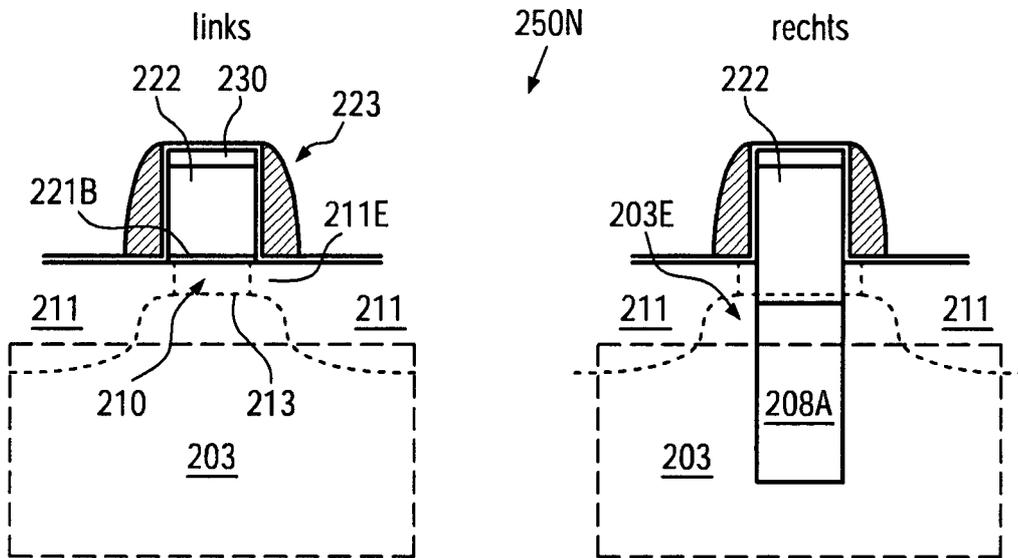


FIG. 2s

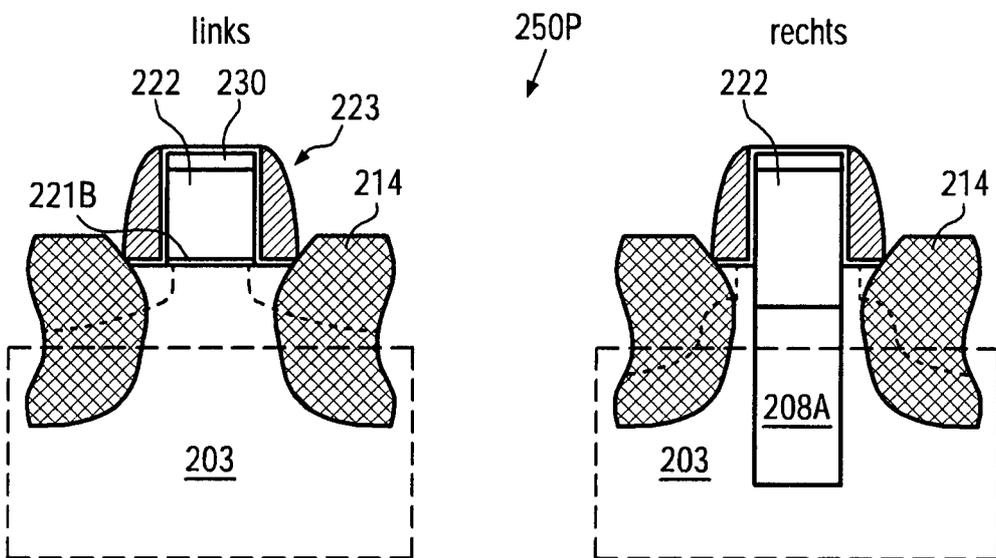


FIG. 2t

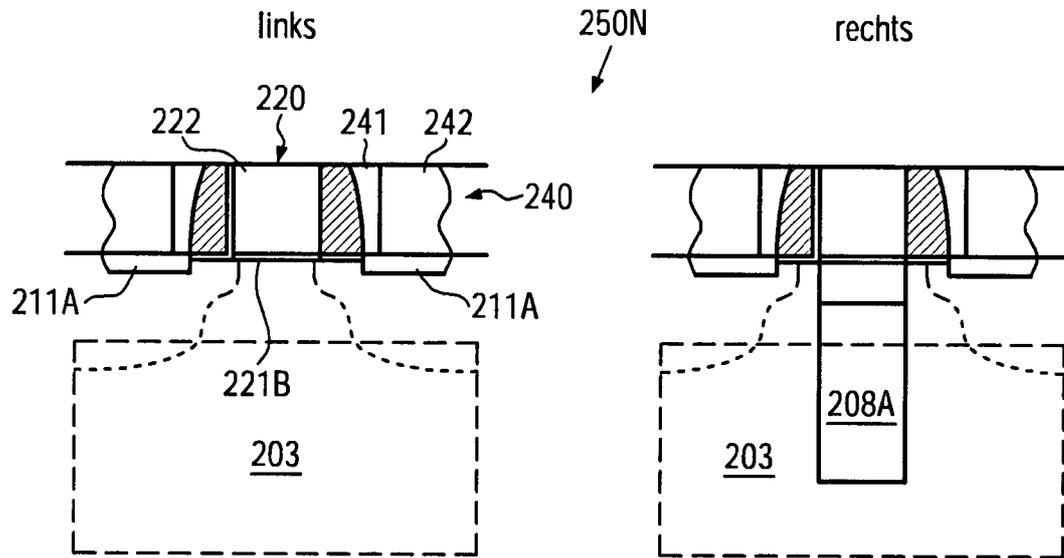


FIG. 2u

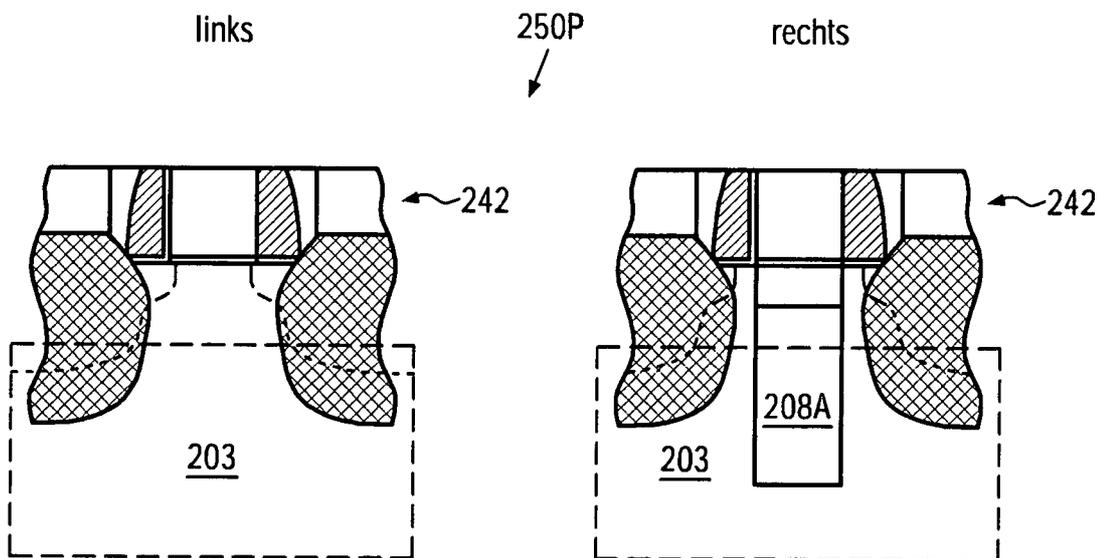


FIG. 2v

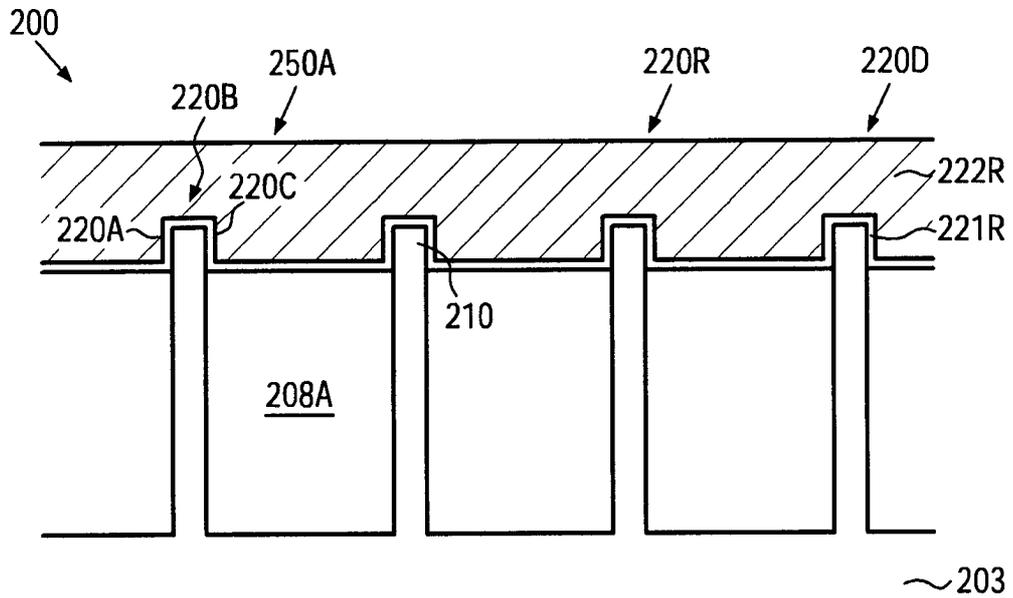


FIG. 2w

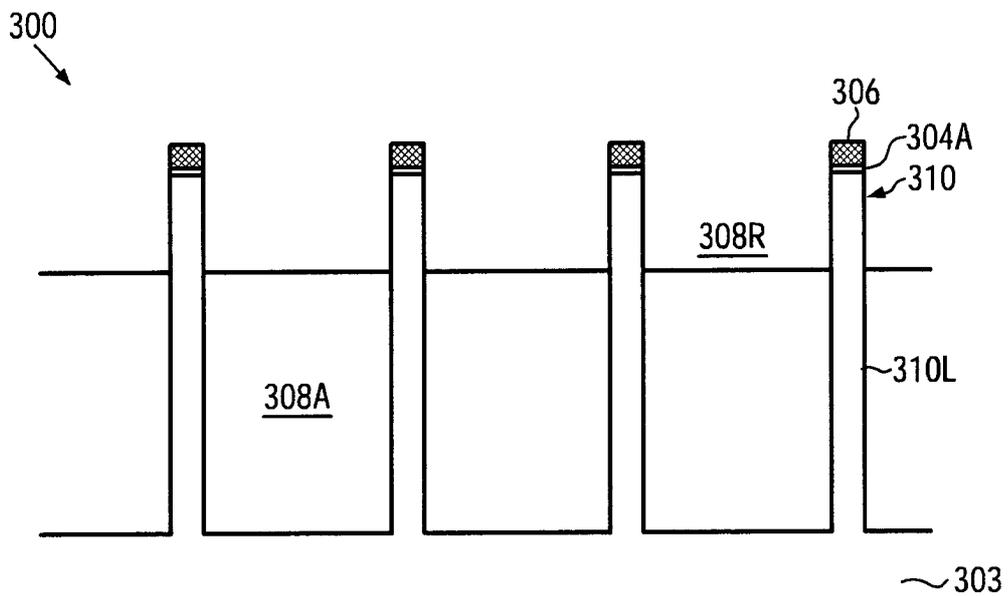


FIG. 3a

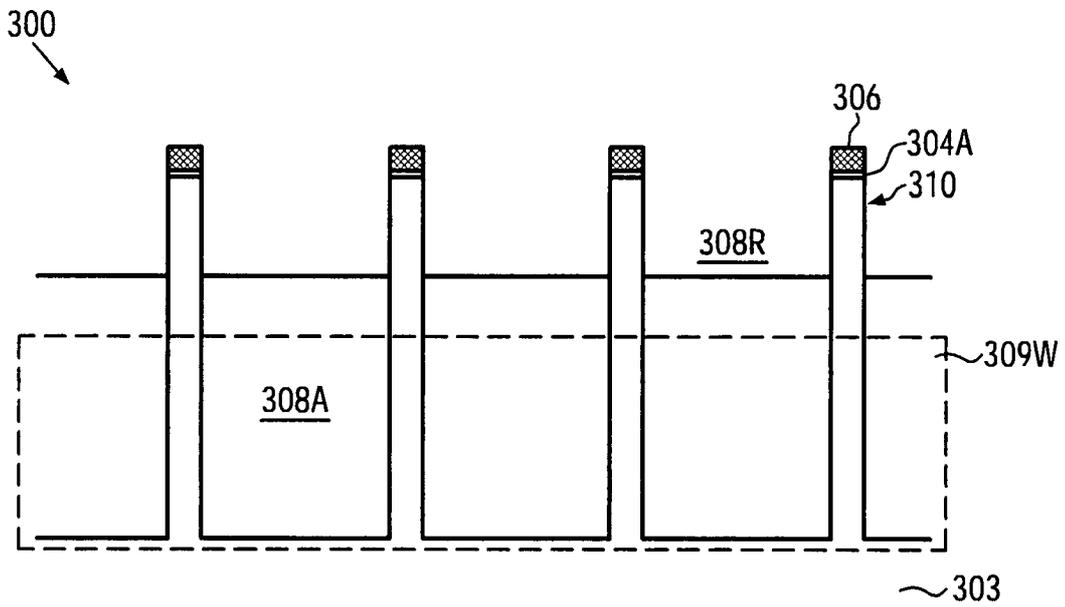


FIG. 3b

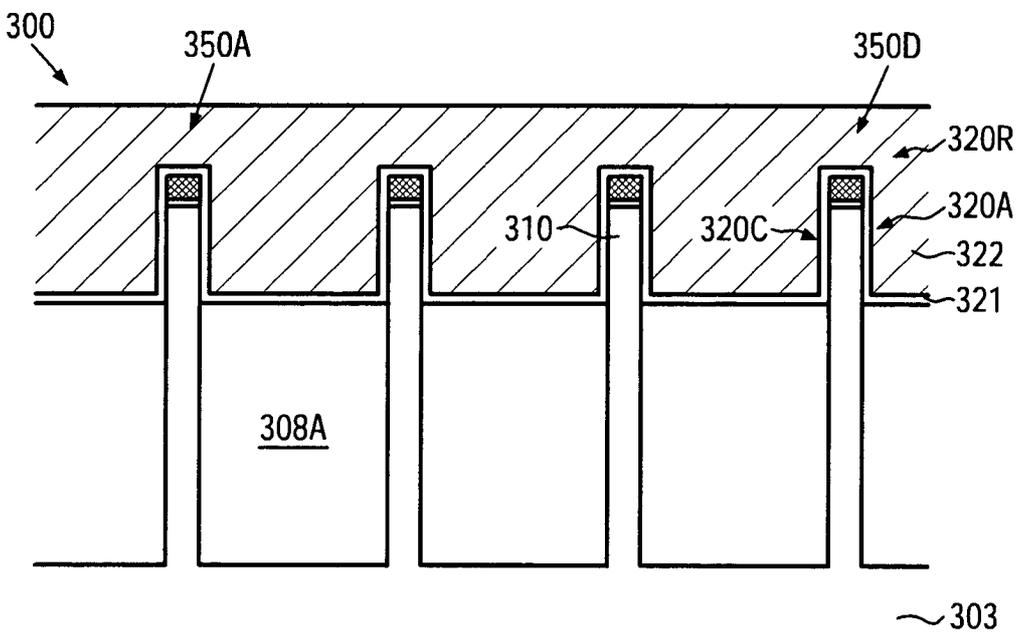


FIG. 3c