

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2019年9月26日(26.09.2019)



(10) 国際公開番号

WO 2019/181544 A1

(51) 国際特許分類:
H02M 3/28 (2006.01)

(21) 国際出願番号: PCT/JP2019/009159

(22) 国際出願日: 2019年3月7日(07.03.2019)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2018-052644 2018年3月20日(20.03.2018) JP
特願 2018-226229 2018年12月3日(03.12.2018) JP

(71) 出願人: N T N株式会社(**NTN CORPORATION**)
[JP/JP]; 〒5500003 大阪府大阪市西区京町堀
1丁目3番17号 Osaka (JP).

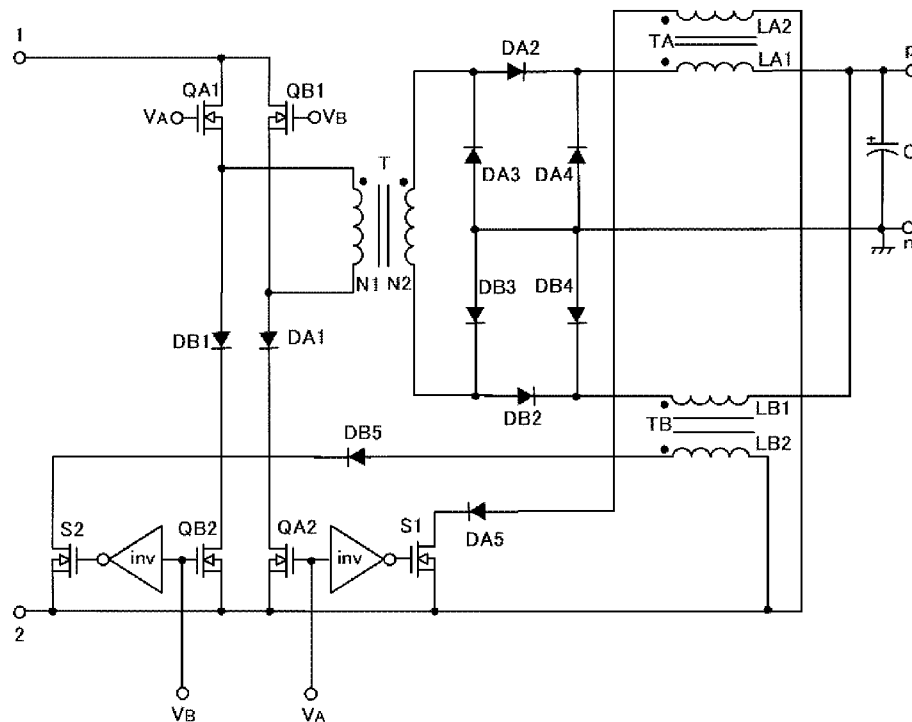
(72) 発明者: 羽田 正二(**HANEDA Masaji**); 〒5211351
滋賀県近江八幡市安土町常楽寺9
75 Shiga (JP).

(74) 代理人: 小島 高城郎 (**KOJIMA Takiro**);
〒1000006 東京都千代田区有楽町2-1
0-1 東京交通会館9階 第一東京国
際特許事務所 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,

(54) **Title:** FORWARD-FLYBACK INSULATED SWITCHING POWER SUPPLY

(54) 発明の名称: フォワードフライバック方式の絶縁型スイッチング電源



(57) **Abstract:** The present invention mitigates a breakdown voltage characteristic of switching elements in a forward-fly-back insulated switching power supply. A forward-flyback insulated switching power supply having: a transformer; a switching unit that has a first group of switching elements and a second group of switching elements, which are respectively controlled to be on/off in an opposing fashion such that a primary coil is conducting or disconnected; a reverse flow prevention element that is connected in series to a current path including the primary coil, so as to prevent backflow

NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

規則4.17に規定する申立て:

- 一 発明者である旨の申立て (規則 4.17(iv))

添付公開書類:

- 一 国際調査報告 (条約第21条(3))

toward an input side; a rectifying unit that is connected to a secondary coil; and a smoothing unit that includes at least one reactor and a smoothing capacitor, which are each connected to the rectifying unit, wherein the forward-flyback insulated switching power supply is structured such that a flyback current is outputted from the secondary coil via a bypass current path that does not include an element having a reactor characteristic.

(57) 要約: フォワードフライバック方式のスイッチング電源においてスイッチング素子の耐圧特性を軽減する。トランスと、一次コイルを導通又は遮断するべく背反的にそれぞれオンオフ制御される、第1グループのスイッチング素子と第2グループのスイッチング素子とを有するスイッチング部と、入力側への還流を阻止するために一次コイルを含む電流路に直列接続された逆流防止素子と、二次コイルに接続された整流部と、整流部にそれぞれ接続された少なくとも1つのリアクトルと平滑コンデンサとを含む平滑部と、を有するフォワードフライバック方式の絶縁型スイッチング電源であって、フライバック電流が、二次コイルから、リアクトル特性を有する素子を含まないバイパス電流路を通して出力されるように構成される。

明 細 書

発明の名称：

フォワードフライバック方式の絶縁型スイッチング電源

技術分野

[0001] 本発明は、絶縁型スイッチング電源に関し、特にフォワードフライバック方式の絶縁型スイッチング電源に関する。

背景技術

[0002] 交流を直流に電力変換するスイッチング電源として、力率改善回路としての非絶縁型昇圧コンバータとその後段の絶縁型DC/DCコンバータとからなるツーコンバータ方式の絶縁型スイッチング電源が知られている。後段の絶縁型DC/DCコンバータの代表的な方式として、フォワード方式とフライバック方式がある。大出力電源にはフォワード方式が適している。

[0003] 一方、特許文献1、2等のように、力率改善機能を備えたワンコンバータ方式の絶縁型AC/DCコンバータも知られている。通常、ワンコンバータ方式の絶縁型スイッチング電源は、非絶縁型昇圧コンバータと実質的に同じ動作をするフライバック方式で構成されている。フライバック方式は力率改善機能を有するが、大出力電源には適していない。

[0004] また、絶縁型スイッチング電源の一次側のスイッチング素子は、原理的には1つでよいが、大出力化やスイッチング素子の耐圧特性の軽減のために、特許文献3等のように複数のスイッチング素子からなるフルブリッジ回路やプッシュプル回路等が知られている。

先行技術文献

特許文献

[0005] 特許文献1：特開平5－236749号公報

特許文献2：特開2002－300780号公報

特許文献3：特開2015－70716号公報

発明の概要

発明が解決しようとする課題

- [0006] 上述した従来のワンコンバータ方式の絶縁型スイッチング電源には、幾つかの問題点がある。ワンコンバータ方式の絶縁型スイッチング電源は、通常、力率をよくするためにフライバック方式が採用される。しかしながら、スイッチング素子のオフ時に生じるフライバック電圧に大きなスパイク電圧が加重されるため、一次側のスイッチング素子に耐圧特性が要求される。フルブリッジ方式等のスイッチング構成では耐圧特性が軽減されるが、十分に対応できない場合もある。
- [0007] さらに、フルブリッジ方式等のスイッチング構成においては、適宜のインターバルを設けて背反的にオンオフする2つのグループのスイッチング素子が設けられ、それらのスイッチング素子として一般的にMOSFETが用いられる。その場合、一方のグループのFETがオンからオフになったときにトランスの一次コイルに生じる逆起電力に対して、他方のグループのFETのボディダイオードが順バイアスとなる結果、入力側へ還流が流れる。このような還流は、スイッチング電源の電力変換効率を低下させることになる。
- [0008] さらに、スイッチング電源の大出力化を図るためには、フォワード方式を採り入れることが望ましい。しかしながら、フォワード方式においては、スイッチング素子のオン時にトランスの二次コイルに生じる起電力が、出力端の平滑コンデンサの電圧を超えたときにのみ出力電流が流れる。従って、二次コイルの起電力が小さい範囲では電流が出力されず、このことが力率を悪化させる。
- [0009] 以上の現状から、本発明は、絶縁型スイッチング電源において、フライバック方式とフォワード方式の双方の長所を取り入れると共に、スイッチング素子の耐圧特性を軽減することを目的とする。

課題を解決するための手段

- [0010] 上記の目的を達成するべく、本発明は、以下の構成を提供する。
- ・ 本発明の態様は、一次コイルと二次コイルとを有するトランスと、
前記一次コイルの電流を導通又は遮断するべく所定のインターバルを設け

て互いに背反的にそれぞれオンオフ制御される、第1グループの少なくとも1つのスイッチング素子と第2グループの少なくとも1つのスイッチング素子とを有するスイッチング部と、

前記一次コイルに生じる逆起電力による入力側への還流を阻止するために前記一次コイルを含む電流路に直列接続された逆流防止素子と、

前記二次コイルに接続された整流部と、

前記整流部の後段に接続された少なくとも1つのリアクトルと平滑コンデンサとを含む平滑部と、を有し、

前記一次コイルの電流が導通すると前記二次コイルに流れるフォワード電流が前記リアクトルを通して出力され、かつ、前記一次コイルの電流が遮断されると前記リアクトルに流れる転流電流が出力されると共に前記二次コイルに流れるフライバック電流が出力されるように構成されたフォワードフライバック方式の絶縁型スイッチング電源であって、

前記フライバック電流が、前記二次コイルから、リアクトル特性の無い単なる導線と等価であるバイパス電流路を通して出力されるように構成されていることを特徴とする。

・ 上記態様において、前記バイパス電流路が、前記リアクトルを含む電流路において該リアクトルを一時的に短絡状態とすることにより形成されるか、又は、前記バイパス電流路が、前記リアクトルを含む電流路を経由せずに前記フライバック電流を流すことが可能な別の電流路であることが、好適である。

・ 上記態様において、前記バイパス電流路が、前記リアクトルを含む電流路において該リアクトルを一時的に短絡状態とすることにより形成されるとき、

前記少なくとも1つのリアクトルが、第1及び第2のリアクトルであり、

(a) 前記第1のリアクトルである一次コイルと、二次コイルとを具備する第1の外付けトランスと、

(b) 前記第1の外付けトランスの前記二次コイルを含む第1の短絡電流

路と、

(c) 前記第1の短絡電流路を導通又は遮断するべくオンオフ制御される第1のバイパス用スイッチング素子と、

(d) 前記第2のリアクトルである一次コイルと、二次コイルとを具備する第2の外付けトランスと、

(d) 前記第2の外付けトランスの前記二次コイルを含む第2の短絡電流路と、

(e) 前記第2の短絡電流路を導通又は遮断するべくオンオフ制御される第2のバイパス用スイッチング素子と、を有し、

(f) 少なくとも前記第1又は第2のリアクトルにフライバック電流が流れ始める時点において前記第1又は第2の短絡電流路が導通しているように前記第1又は第2のバイパス用スイッチング素子が制御され、それにより、前記第1又は第2のリアクトルが短絡状態となることにより該第1又は第2のリアクトルを含む電流路が前記バイパス電流路となることが、好適である。

・ 上記態様において、前記バイパス電流路が、前記リアクトルを含む電流路を経由せずに前記フライバック電流を流すことが可能な別の電流路であるとき、

(a) 前記トランスの二次コイルの始端と出力端子とを接続する第1のバイパス電流路と、

(b) 前記第1のバイパス電流路を導通又は遮断するべくオンオフ制御される第1のバイパス用スイッチング素子と、

(c) 前記トランスの二次コイルの終端と出力端子とを接続する第2のバイパス電流路と、

(d) 前記第2のバイパス電流路を導通又は遮断するべくオンオフ制御される第2のバイパス用スイッチング素子と、を有し、

(e) 少なくとも前記トランスの二次コイルにフライバック電流が流れ始める時点において、前記第1又は第2のバイパス電流路が導通しているよう

に前記第 1 又は第 2 のバイパス用スイッチング素子が制御されることが、好適である。

- ・ 上記態様において、前記第 1 グループのスイッチング素子をオンオフ制御するための第 1 の制御電圧を入力され、前記第 1 の制御電圧のオフ時点から所定の時間後に前記第 2 のバイパス用スイッチング素子をオンからオフとする制御電圧を出力する第 1 のタイマー IC と、

前記第 2 グループのスイッチング素子をオンオフ制御するための第 2 の制御電圧を入力され、前記第 2 の制御電圧のオフ時点から所定の時間後に前記第 1 のバイパス用スイッチング素子をオンからオフとする制御電圧を出力する第 2 のタイマー IC と、を有することが、好適である。

- ・ 上記態様において、第 1 のコンデンサであってその両端電圧が、前記第 1 のバイパス用スイッチング素子の制御電圧として印加されるように接続された、該第 1 のコンデンサと、

第 2 のコンデンサであってその両端電圧が、前記第 2 のバイパス用スイッチング素子の制御電圧として印加されるように接続された、該第 2 のコンデンサと、をさらに有し、

前記第 1 のコンデンサは、前記第 1 グループのスイッチング素子により前記一次コイルの電流が導通すると、前記二次コイルに流れるフォワード電流の一部により充電されると共に、前記一次コイルの電流が遮断されると放電され、かつ、前記第 1 のコンデンサの両端電圧が一定電圧以上のときに前記第 1 のバイパス用スイッチング素子がオン状態となり、

前記第 2 のコンデンサは、前記第 2 グループのスイッチング素子により前記一次コイルの電流が導通すると、前記二次コイルに流れるフォワード電流の一部により充電されると共に、前記一次コイルの電流が遮断されると放電され、かつ、前記第 2 のコンデンサの両端電圧が一定電圧以上のときに前記第 2 のバイパス用スイッチング素子がオン状態となることが、好適である。

- ・ 上記態様において、前記逆流防止素子が、前記第 1 グループのスイッチング素子のオン期間の電流が専ら流れる電流路上、及び、前記第 2 グループ

のスイッチング素子のオン期間の電流が専ら流れる電流路上に、それぞれ接続されることが、好適である。

・ 上記態様において、前記スイッチング部が、フルブリッジ回路、プッシュプル回路又はハーフブリッジ回路のいずれかに基づいて構成されることが、好適である。

発明の効果

[0011] 本発明によるフォワード方式とフライバック方式を併用した絶縁型スイッチング電源は、フォワード方式による大出力化と、フライバック方式による力率改善の長所を有すると共に、フライバック時のスパイクを抑制できるのでスイッチング素子の耐圧特性を軽減することができる。

図面の簡単な説明

[0012] [図1]図1は、本発明の絶縁型スイッチング電源の第1の実施形態の回路例を概略的に示した図である。

[図2]図2は、図1の回路において、各スイッチング素子の制御電圧を示すタイミング図である。

[図3]図3は、図1の回路において、グループAのスイッチング素子のオン期間(mode-I)に流れる電流を概略的に示している。

[図4]図4は、図1の回路において、グループAのスイッチング素子のオフ期間(mode-II)に流れる電流を概略的に示している。

[図5]図5は、図1の回路において、グループBのスイッチング素子のオン期間(mode-III)に流れる電流を概略的に示している。

[図6]図6は、図1の回路において、グループBのスイッチング素子のオフ期間(mode-IV)に流れる電流を概略的に示している。

[図7]図7は、図1の回路において、各電圧及び各電流の波形の例を模式的に示したタイミング図である。

[図8]図8は、本発明の絶縁型スイッチング電源の第2の実施形態の回路例を概略的に示した図である。

[図9]図9(a)は、図8の回路において、グループAのスイッチング素子の

オフ期間（mode-II）に流れる電流を、（b）はグループBのスイッチング素子のオフ期間（mode-IV）に流れる電流を概略的に示している。

[図10]図10は、本発明の絶縁型スイッチング電源の第3の実施形態の回路例を概略的に示した図である。

[図11]図11（a）は、図10の回路において、グループAのスイッチング素子のオフ期間（mode-II）に流れる電流を、（b）はグループBのスイッチング素子のオフ期間（mode-IV）に流れる電流を概略的に示している。

[図12]図12は、第2及び第3の実施形態の回路におけるバイパス用スイッチング素子の制御電圧の一例を示したタイミング図である。

[図13]図13は、第2及び第3の実施形態の回路におけるバイパス用スイッチング素子の制御電圧の別の例を示したタイミング図である。

[図14]図14は、バイパス用スイッチング素子の制御電圧を生成する制御回路の一例を示す。

[図15]図15は、本発明の絶縁型スイッチング電源の第4の実施形態の回路例を概略的に示した図である。

[図16]図16は、第4の実施形態の回路におけるタイミング図の一例である。

[図17]図17（a）は、図15の回路において、グループAのスイッチング素子のオン期間（mode-I）に流れる電流を、（b）はオフ期間（mode-II）に流れる電流を概略的に示している。

[図18]図18（a）は、図15の回路において、グループBのスイッチング素子のオン期間（mode-III）に流れる電流を、（b）はオフ期間（mode-IV）に流れる電流を概略的に示している。

[図19]図19は、本発明の絶縁型スイッチング電源の第5の実施形態の回路例を概略的に示した図である。

[図20]図20（a）は、図19の回路において、グループAのスイッチング素子のオン期間（mode-I）に流れる電流を、（b）はオフ期間（mode-II）に流れる電流を概略的に示している。

[図21]図21(a)は、図19の回路において、グループBのスイッチング素子のオン期間(mode-III)に流れる電流を、(b)はオフ期間(mode-IV)に流れる電流を概略的に示している。

[図22]図22(a)(b)は、それぞれ本発明のスイッチング電源のトランスの一次側における別の回路例を概略的に示した図である。

[図23]図23は、第1の実施形態の変形形態の回路例を概略的に示した図である。

発明を実施するための形態

[0013] 以下、例として示した図面を参照して本発明の実施形態を説明する。各図面中、各実施形態の同一又は類似する構成要素については、同じ符号を用いている。

[0014] 本発明の絶縁型スイッチング電源は、典型的にはワンコンバータ方式のAC/DCコンバータをターゲットとしている。従って、本発明のスイッチング電源における典型的な入力電圧は、正弦波の交流電圧を整流したものである。しかしながら、本発明のスイッチング電源は、入力電圧が、正弦波以外の方形波若しくは三角波の電圧、又は一定電圧のときも、同様に機能することができる。

[0015] (1) 第1の実施形態

(1-1) 第1の実施形態の回路構成

図1は、本発明の絶縁型スイッチング電源の第1の実施形態の回路例を概略的に示した図である。

[0016] <トランスTの一次側の構成>

図1の絶縁型スイッチング電源は、交流電圧を全波整流した入力電圧が入力端子1、2に入力される。ここでの交流電圧は、例えば、系統電源又は各種の発電装置で生成される数Hz～数十Hz程度の周波数を有する正弦波である。しかしながら、入力電圧の波形は正弦波に限られず、正電位の任意の波形とすることができる。

[0017] メイントランスであるトランスTは、一次コイルN1と二次コイルN2が

同極性に巻かれたフォワードトランスである（コイルの巻き始端を黒丸で示す）。トランスTの一次側には、入力電圧により一次コイルN1に流れる電流を導通又は遮断するべくそれぞれオンオフ制御される複数のスイッチング素子を有するスイッチング部が設けられている。

[0018] 図1のスイッチング部は、基本的にフルブリッジ回路を構成している。このフルブリッジ回路は、4個のスイッチング素子QA1、QA2、QB1、QB2を有し、ここでは一例としてNチャネルMOSFETである。フルブリッジ回路は、大出力のスイッチング電源に好適である。スイッチング素子QA1、QA2が、同時にオンオフ制御される第1のグループ（以下「グループA」と称する）を構成し、スイッチング素子QB1、QB2が、同時にオンオフ制御される第2のグループ（以下「グループB」と称する）を構成する。

[0019] スwitchング部の各スイッチング素子は、制御端であるゲートに印加される制御電圧によりオンオフ制御される。一次側のスイッチング部におけるオンオフ制御電圧は、いずれもPWM信号である。PWM信号の周波数は、入力交流の周波数よりも高い数十kHz～数百kHzである。グループAの各スイッチング素子は、制御電圧 V_A によりオンオフ制御され、グループBの各スイッチング素子は、制御電圧 V_B によりオンオフ制御される。

[0020] 正の入力端子1と一次コイルN1の始端の間に、スイッチング素子QA1が直列接続されている。一次コイルN1の終端と負の入力端子2の間に、逆流防止ダイオードDA1とスイッチング素子QA2が直列接続されている。

[0021] 同様に、正の入力端子1と一次コイルN1の終端との間に、スイッチング素子QB1が直列接続されている。一次コイルN1の始端と負の入力端子2との間に、逆流防止ダイオードDB1とスイッチング素子QB2が直列接続されている。

[0022] 図1のスイッチング部は、基本的なフルブリッジ回路とは異なり、一次コイルを含む電流路に逆流防止ダイオードDA1、DB1が直列接続されている。逆流防止ダイオードDA1、DB1の極性は、スイッチング素子QA1

、Q A 2、Q B 1 及びQ B 2 のボディダイオードのそれとは逆方向である。

[0023] 逆流防止ダイオードD A 1、D B 1 は、図 1 に示した位置以外に入力端子 1 と入力端子 2 の間の電流路上のいずれかの位置に直列に挿入することができる。

[0024] 好適には、逆流防止ダイオードD A 1、D B 1 は、スイッチング素子Q A 1 とスイッチング素子Q B 1 のドレイン同士の接続点と、スイッチング素子Q A 2 とスイッチング素子B 2 のソース同士の接続点の間の電流路にそれぞれ挿入される。言い換えると、逆流防止ダイオードD A 1 は、グループAのスイッチング素子のオン期間電流が専ら流れる電流路に直列に挿入され、一方、逆流防止ダイオードD B 1 は、グループBのスイッチング素子のオン期間電流が専ら流れる電流路に直列に挿入されることが好適である。

[0025] なお、入力端子 1、2 の少なくとも一方のライン上にダイオードを挿入した場合も逆流防止機能を実現できる。しかしながら、入力ライン上に逆流防止ダイオードを挿入した場合、スイッチング素子がオンからオフとなったときにリカバリ電流を生じる点で不利である。但し、ファーストリカバリダイオード（FRD）、シリコンカーバイト（SiC）を用いたショットキーダイオード等を用いた場合は、これらの入力ライン上に逆流防止ダイオードを挿入することも可能である。

[0026] さらに、別のスイッチング素子として、バイパス用スイッチング素子S 1 とS 2 が設けられている。これらも、一例としてMOSFETとすることができる。

[0027] 第 1 のバイパス用スイッチング素子S 1 は、ダイオードD A 5 及びリアクトルL A 2 と共に第 1 の短絡電流路を形成している。リアクトルL A 2 は、後述する二次側に設けられる第 1 の外付けトランスT A の二次コイルである。ダイオードD A 5 は、アノードがリアクトルL A 2 の始端に、カソードがスイッチング素子S 1 のドレインに接続されている。スイッチング素子S 1 のソースとリアクトルL A 2 の終端は、負の入力端子 2 に接続されている。スイッチング素子S 1 は、第 1 の短絡電流路を導通又は遮断するためにオン

オフ制御される。

[0028] 同様に、第2のバイパス用スイッチング素子S2は、ダイオードDB5及びリアクトルLB2と共に第2の短絡電流路を形成している。リアクトルLB2は、後述する二次側に設けられる第2の外付けトランスTBの二次コイルである。ダイオードDB5は、アノードがリアクトルLB2の始端に、カソードがスイッチング素子S2のドレインに接続されている。スイッチング素子S2のソースとリアクトルLB2の終端は、負の入力端子2に接続されている。スイッチング素子S2は、第2の短絡電流路を導通又は遮断するためにオンオフ制御される。

[0029] 第1及び第2の外付けトランスTA、TBの一次コイルに流れる電流は、スイッチング電源の設計により多様な値となり得る。この場合、一次コイルに流れる電流に合わせて一次コイルLA1、LB1と二次コイルLA2、LB2の巻数比を適切に設定することにより、一次コイルに流れる電流の大きさが大きく異なってもバイパス用スイッチング素子S1、S2として同じ規格の素子を用いることができる。

[0030] 図1の例では、バイパス用スイッチング素子S1の制御電圧は、グループAのスイッチング素子の制御電圧 V_A を反転した電圧であり、バイパス用スイッチング素子S2の制御電圧は、グループBのスイッチング素子の制御電圧 V_B を反転した電圧である。しかしながら、これは一例であり、バイパス用スイッチング素子S1及びS2の各々を、フルブリッジ回路の各スイッチング素子の制御電圧とは独立した制御電圧により制御することもできる。図示しないが、図1に示す各スイッチング素子のオンオフ制御電圧として所定のPWM信号を生成し、出力する制御部が別途設けられている。

[0031] <トランスTの二次側の構成>

トランスTの二次側には、整流部及びその後段の平滑部が配置されている。正の出力端子pと負の出力端子nの間には平滑コンデンサCが接続されている。

[0032] 図1の回路例における整流部は、4つのダイオードDA2、DA3、DB

2、DB3からなるブリッジ整流回路を基本とする形態である。第1の対である正側ダイオードDA2と負側ダイオードDA3が直列接続され、第2の対である正側ダイオードDB2と負側ダイオードDB3が直列接続されている。

[0033] 直列接続された第1の対のダイオードDA2とDA3の接続点は、二次コイルN2の始端に接続されている。直列接続された第2の対のダイオードDB2とDB3の接続点は、二次コイルN2の終端に接続されている。負側ダイオードDA3、DB3の各々のアノードは、平滑コンデンサCの負極端及び負の出力端子nに接続されている。ここで、通常のブリッジ整流回路とは異なり、正側ダイオードDA2、DB2の各々のカソードは互いに接続されていない。

[0034] 図1の回路にはさらに、第1の外付けトランスTA及び第2の外付けトランスTBが設けられている。正側ダイオードDA2のカソードは、第1の外付けトランスTAの一次コイルである第1のリアクトルLA1の始端に接続されている。正側ダイオードDB2のカソードは、第2の外付けトランスTBの一次コイルである第2のリアクトルLB1の始端に接続されている。リアクトルLA1、LB1の各々の終端は、平滑コンデンサCの正極端及び正の出力端子pに接続されている。リアクトルLA1、LB1は、フォワード方式のスイッチング電源における外付けの直列リアクトルに相当する。

[0035] 好適例として、フォワード方式電源におけるフリーホイーリングダイオードとしてのダイオードDA4、DB4を設けている。ダイオードDA4のアノードは負の出力端子nに、カソードはリアクトルLA1の始点に接続されている。ダイオードDB4のアノードは負の出力端子nに、カソードはリアクトルLB1の始点に接続されている。ダイオードDA4とDB4は必須ではない。ダイオードDA4が無い場合はダイオードDA2とDA3が、そしてダイオードDB4が無い場合はダイオードDB2とDB3が、それぞれフリーホイーリングダイオードの役割を果たすことができる。

[0036] 外付けトランスTA、TBの各々の二次コイルであるリアクトルLA2、

L B 2 は、上述した通り、トランス T の一次側の回路に含まれる素子である。この構成により、リアクトル L A 1、L B 1 に流れる電流に対する制御を、トランス T の一次側の制御信号を用いて絶縁を確保しつつ行うことができる。

[0037] (1-2) 第 1 の実施形態の回路動作

図 2 ～図 7 を参照して、図 1 に示した第 1 の実施形態の回路の動作を説明する。

[0038] 図 2 は、図 1 の回路における各スイッチング素子のオンオフ制御信号を示すタイミング図である。図 2 (a) は、フルブリッジ回路のグループ A のスイッチング素子の制御電圧 V_A である。図 2 (b) は、フルブリッジ回路のグループ B のスイッチング素子の制御電圧 V_B である。図 2 (c) は、リアクトル L A 2 を含む短絡電流路を導通又は遮断するバイパス用スイッチング素子 S 1 の制御電圧 V_{S1} である。図 2 (d) は、リアクトル L B 2 を含む短絡電流路を導通又は遮断するバイパス用スイッチング素子 S 2 の制御電圧 V_{S2} である。

[0039] 図 2 (a) (b) に示すように、フルブリッジ回路に含まれるグループ A のスイッチング素子とグループ B のスイッチング素子とは、所定のインターバル（双方のグループがオフとなる期間）を設けて互いに背反的にオンオフ制御される。双方のグループのオン期間の長さは同じであり、オフ期間の長さも同じである。また、図 2 (c) (d) に示すように、バイパス用スイッチング素子 S 1、S 2 の制御電圧は、それぞれグループ A、B のスイッチング素子の制御電圧の反転電圧である。

[0040] 図 1 の回路の動作は、主として 4 つのモード I、II、III、IV を有する。各モードの期間は、おおよそ次の通りとなる。

モード I : グループ A のスイッチング素子のオン期間

モード II : グループ A のスイッチング素子のオフ期間

モード III : グループ B のスイッチング素子のオン期間

モード IV : グループ B のスイッチング素子のオフ期間

[0041] なお、2つのモードが互いに重なる期間があるが、重なった期間に回路に流れる各モードの電流は独立しており、互いに影響せずに重ね合わされるだけである。

[0042] 図2中の矢印は、4つのモードⅠ、Ⅱ、Ⅲ、Ⅳの各々において特徴的な電流が流れる時点の一例を示している。図3～図6は、図2に示した4つの時点の各々において図1の回路に流れる特徴的な電流を概略的に示している。

[0043] 図7は、図1の回路における各電圧及び各電流の波形の例を模式的に示したタイミング図である。

図7(a)(b)はそれぞれ、図2(a)(b)と同じ制御電圧 V_A 、 V_B である。

図7(c)は、トランスTの一次コイルN1を流れる電流 I_{N1} であり、(d)は二次コイルN2を流れる電流 I_{N2} である。

図7(e)(f)は、それぞれトランスTの二次コイルN2の始端の電位 V_x 、終端の電位 V_y である。

図7(g)は、トランスTAの一次コイルLA1を流れる電流 I_{LA1} であり、(h)は二次コイルLA2を流れる電流 I_{LA2} である。

図7(i)は、トランスTBの一次コイルLB1を流れる電流 I_{LB1} であり、(j)は二次コイルLB2を流れる電流 I_{LB2} である。

以下、図2～図7を参照して、各モードの動作を説明する。

[0044] <モードⅠ>

モードⅠは、グループAのスイッチング素子QA1、QA2のオン期間である。図3(mode-I)中の矢印付き実線は、グループAのスイッチング素子がオンになった直後の電流を示している。グループAのスイッチング素子がオンになると、一次コイルN1に電流 i_1 が流れる(図7(c)参照)。この電流 i_1 は、逆流防止ダイオードDA1の順方向に流れる。

[0045] 一次コイルに電流 i_1 が流れる結果、相互誘導により二次コイルN2に起電力(図7(e)参照)を生じ、順バイアスとなるダイオードDB3とDA2を通して電流 i_2 が流れ(図7(d)参照)、リアクトルLA1を通して

出力端子 p へ出力され負荷に供給される（図 7（g）参照）。電流 i_2 は、トランス T の相互誘導によるフォワード電流である。フォワード電流 i_2 によりリアクトル L A 1 は励磁されて磁気エネルギーが蓄積される。その他のダイオードは、逆バイアスとなるため電流が流れない。

[0046] トランス T A の二次コイルであるリアクトル L A 2 は、一次コイルであるリアクトル L A 1 に電流 i_2 が流れることにより起電力が生じるが、バイパス用スイッチング素子 S 1 がオフであるので電流は流れない。

[0047] ここで、定常状態における平滑コンデンサ C は、リップル変動を除いてほぼ一定の電圧で充電されている。従って、フォワード電流 i_2 は、二次コイル N 2 の起電力が平滑コンデンサ C の電圧を超えたときにのみ流れる。入力端子 1、2 に、例えば正弦波の入力電圧が印加される場合、入力電圧の小さい範囲では、二次コイル N 2 の起電力も小さいため、フォワード電流 i_2 は出力端子 p、n に出力されない。これはフォワード動作の特徴であり、力率を低下させる原因となる。

[0048] <モード II>

モード II は、グループ A のスイッチング素子 Q A 1、Q A 2 のオフ期間である。図 4（mode-II）中の矢印付き実線及び点線は、グループ A のスイッチング素子がオフになった直後の電流をそれぞれ示している。グループ A のスイッチング素子がオフになると、一次コイル N 1 及び二次コイル N 2 に逆起電力が発生する。一次コイル N 1 の逆起電力は、グループ B のスイッチング素子 Q B 1、Q B 2 のボディダイオード（図 4 参照）に対して順バイアスであるが、逆流防止ダイオード D B 1 が電流路に挿入されているため、入力側への還流は阻止される。この結果、還流がある場合には入力側に戻されるエネルギーが、本回路ではトランス T に留まる。

[0049] 一方、二次コイル N 2 は、逆起電力により始端が低電位、終端が高電位となる（図 7（f）参照）。リアクトル L A 1 には、矢印付き実線で示すように、順バイアスとなるフリーホイーリングダイオード D A 4 を介して転流電流である電流 i_3 が流れ、出力端子 p に出力され負荷に供給される（図 7（

g) 参照)。これにより、オン期間にリアクトル L_{A1} に蓄積された磁気エネルギーが放出される。

[0050] さらに、二次コイル $N2$ の逆起電力(図7(f)参照)によりダイオード $DA3$ と $DB2$ が順バイアスとなり、矢印付き点線で示すようにフライバック電流 i_{fb1} が流れ、リアクトル L_{B1} を通過して出力端子 p に出力され負荷に供給される(図7(d)(i)参照)。フライバック電流 i_{fb1} は、一次側の逆流防止ダイオード $DB1$ により還流が阻止されたためにトランス T に留められた磁気エネルギーの放出によるものである。

[0051] 本回路では入力側への還流が無い代わりに二次コイル $N2$ にフライバック電流 i_{fb1} が流れることにより、トランス T の磁気リセットが行われる。

[0052] また、フライバック電流 i_{fb1} は、フォワード電流 i_2 とは異なり、二次コイル $N2$ に生じる逆起電力が小さいときであっても、逆起電力の大きさに応じた大きさで出力端子 p へ出力される。従って、例えば正弦波の入力電圧の場合、入力電圧が小さい範囲においてもフライバック電流 i_{fb1} が流れることによって力率が改善される。このように、本発明の回路は、フォワード方式とフライバック方式を併用したフォワードフライバック方式と云える。

[0053] さらに、フライバック電流 i_{fb1} がリアクトル L_{B1} を流れる(図7(i)参照)ことにより、トランス T の二次コイルであるリアクトル L_{B2} に相互誘導による起電力が生じる。リアクトル L_{B2} の起電力によりダイオード $DB5$ が順バイアスとなりかつこのときバイパス用スイッチング素子 $S2$ はオンであるので、矢印付き点線で示すように短絡電流路に短絡電流 i_{s1} が流れる(図7(j)参照)。二次コイル L_{B2} に短絡電流 i_{s1} が流れることにより、一次コイルであるリアクトル L_{B1} も、その両端が短絡された状態と等価になる。

[0054] リアクトル L_{B1} が短絡状態になることは、フライバック電流 i_{fb1} がダイオード $DB2$ のカソードから直接、正の出力端子 p へ出力される回路と等価になる。

[0055] モードIIにおけるリアクトル L_{B1} の短絡状態とは、リアクトル L_{B1} がそのリアクトル特性を消失させられ、実質的に導線と等価の状態となることを意味する。このように二次コイル $N2$ から流れ出るフライバック電流が、リアクトル特性の無い単なる導線を通して出力端子へ流れるように誘導される場合、その電流路を、以下、フライバック電流用の「バイパス電流路」と称することとする。

[0056] 第1の実施形態におけるバイパス電流路は、永続的な回路要素ではなく、リアクトルを含む電流路においてリアクトルを一時的に短絡状態とすることによって実現される。それに対し、後述する第3、4及び5の実施形態では、バイパス電流路が永続的な回路要素により実現される。具体的には、バイパス電流路が、リアクトルを含む電流路以外の別の電流路により実現される。従って、本発明におけるフライバック電流用のバイパス電流路は、リアクトルを一時的に短絡状態とすることにより実現される場合と、永続的な回路要素として実現される場合がある。

[0057] このようなフライバック電流 i_{fb1} が流れる結果、スイッチング素子のオフ時に二次コイル $N2$ に生じる大きなスパイク電圧 s_p （図7（f）の点線参照）が完全に抑制される。それにより、一次コイル $N1$ に生じるスパイク電圧も抑制されることから、一次側のスイッチング部における各スイッチング素子の耐圧特性を軽減することができる。加えて、スナバ回路を不要又は縮小することができ、スナバ回路による損失も低減できる。

[0058] 図1の回路において、モードIIのフライバック電流 i_{fb1} が流れる時にリアクトル L_{B1} を短絡状態とするための条件は、少なくともリアクトル L_{B1} にフライバック電流 i_{fb1} が流れ始める時点において、リアクトル L_{B2} を含む短絡電流路が導通していることである。例えば、グループAのスイッチング素子がオンからオフになる時点の前後を含む所定の期間にバイパス用スイッチング素子 $S2$ をオン状態に維持し、短絡電流路を導通させる。この所定の期間は、スパイク電圧 s_p の抑制に必要なかつ十分な長さであればよい。図2（d）に、バイパス用スイッチング素子 $S2$ をオン状態に維持す

るべき期間の一例を符号 t_{II} で示す。

[0059] 逆に言えば、期間 t_{II} 以外の期間については、バイパス用スイッチング素子 S_2 はオン状態でもオフ状態でもよいと言える。仮に、短絡電流が流れるべきでないときにバイパス用スイッチング素子 S_2 がオン状態であってもダイオード DB_5 が逆バイアスとなることにより短絡電流が阻止される。

[0060] 但し、バイパス用スイッチング素子 S_2 のオン期間は、グループ B のスイッチング素子のオン期間と重ならないようにする（図 1 の回路では、これらの制御電圧が互いに反転電圧であるので一応重ならない）。グループ B のスイッチング素子とバイパス用スイッチング素子 S_2 のオン状態が重なった場合、後述するモード III でフォワード電流 i_5 が流れるリアクトル LB_1 が短絡してしまうからである。

[0061] <モード III>

モード III は、グループ B のスイッチング素子 QB_1 、 QB_2 のオン期間である。モード III は、電流が対称的な経路を流れることを除いて、上述したモード I と実質的に同じ動作となるので、簡単に説明する。

[0062] 図 5 (mode-III) 中の矢印付き実線は、グループ B のスイッチング素子がオンになった直後の電流を示している。グループ B のスイッチング素子がオンになると、一次コイル N_1 に電流 i_4 が流れる（図 7 (c) 参照）。この電流 i_1 は、逆流防止ダイオード DB_1 の順方向に流れる。

[0063] 一方、二次コイル N_2 に生じた起電力（図 7 (f) 参照）により、順バイアスとなるダイオード DA_3 と DB_2 を通してフォワード電流 i_5 が流れ（図 7 (d) 参照）、リアクトル LB_1 を通って出力端子 p へ出力され負荷に供給される（図 7 (i) 参照）。リアクトル LB_1 は励磁されて磁気エネルギーが蓄積される。

[0064] トランス TB の二次コイルであるリアクトル LB_2 には起電力が生じるが、スイッチング素子 S_2 がオフであるので電流は流れない。

[0065] <モード IV>

モード IV は、グループ B のスイッチング素子 QB_1 、 QB_2 のオフ期間で

ある。モードIVは、電流が対称的な経路を流れることを除いて、上述したモードIIと実質的に同じ動作となるので、簡単に説明する。

[0066] 図6 (mode-IV) 中の矢印付き実線及び点線は、グループBのスイッチング素子がオフになった直後の電流をそれぞれ示している。グループBのスイッチング素子がオフになると、一次コイルN1及び二次コイルN2に逆起電力が発生する。一次コイルN1の逆起電力は、グループAのスイッチング素子QA1、QA2のボディダイオード(図6参照)に対して順バイアスであるが、逆流防止ダイオードDA1が電流路に挿入されているため、入力側への還流は阻止され、エネルギーがトランスTに留まる。

[0067] 一方、二次コイルN2は、逆起電力により始端が高電位、終端が低電位となる(図7(e)参照)。リアクトルLB1には、矢印付き実線で示すように、順バイアスとなるフリーホイーリングダイオードDB4を介して転流電流である電流 i_6 が流れ、出力端子pに出力され負荷に供給される(図7(i)参照)。これにより、オン期間にリアクトルLB1に蓄積された磁気エネルギーが放出される。

[0068] さらに、二次コイルN2の逆起電力(図7(e)参照)により、ダイオードDB3とDA2が順バイアスとなる。これにより、矢印付き点線で示すように、フライバック電流 i_{fb2} が流れ、リアクトルLA1を通して出力端子pに出力され負荷に供給される(図7(d)(g)参照)。フライバック電流 i_{fb2} は、一次側の逆流防止ダイオードDA1により還流が阻止されたためにトランスTに留められた磁気エネルギーの放出によるものである。

[0069] さらに、フライバック電流 i_{fb2} がリアクトルLA1を流れる(図7(g)参照)ことにより、トランスTAの二次コイルであるリアクトルLA2に相互誘導による起電力が生じる。リアクトルLA2の起電力によりダイオードDA5が順バイアスとなりかつこのときバイパス用スイッチング素子S1はオンであるので、矢印付き点線で示すように、短絡電流 i_{s2} が流れる(図7(h)参照)。二次コイルLA2に短絡電流 i_{s2} が流れることにより、リアクトルLA1は、その両端が短絡された状態と等価になる。

[0070] リアクトル L_{A1} が短絡状態になることは、フライバック電流 i_{fb2} がダイオード D_{A2} のカソードから直接、正の出力端子 p へ出力される回路と等価になる。上述したモードIIにおける短絡状態のリアクトル L_{B1} のバイパス電流路と同様に、このモードIVにおいて短絡状態となるリアクトル L_{A1} の電流路もまた、フライバック電流用のバイパス電流路である。

[0071] このようなフライバック電流 i_{fb2} が流れる結果、通常スイッチング素子のオフ時に二次コイル N_2 に生じる大きなスパイク電圧 s_p （図7（e）の点線参照）が完全に抑制される。それにより、一次コイル N_1 に生じるスパイク電圧も抑制される。

[0072] 図1の回路において、モードIVのフライバック電流 i_{fb2} が流れる時にリアクトル L_{A1} を短絡状態とするための条件は、少なくともリアクトル L_{A1} にフライバック電流 i_{fb2} が流れ始める時点において、リアクトル L_{A2} を含む短絡電流路が導通していることである。例えば、グループBのスイッチング素子がオンからオフになる時点の前後を含む所定の期間にバイパス用スイッチング素子 S_1 をオン状態に維持し、短絡電流路を導通させる。この所定の期間は、スパイク電圧 s_p の抑制に必要なかつ十分な長さであればよい。図2（c）に、バイパス用スイッチング素子 S_1 をオン状態に維持すべき期間の一例を符号 t_{iv} で示す。

[0073] 逆に言えば、期間 t_{iv} 以外の期間については、バイパス用スイッチング素子 S_1 はオン状態でもオフ状態でもよいと言える。仮に、短絡電流が流れるべきでないときにバイパス用スイッチング素子 S_1 がオン状態であってもダイオード D_{A5} により短絡電流が阻止される。

[0074] 但し、バイパス用スイッチング素子 S_1 のオン期間は、グループAのスイッチング素子のオン期間と重ならないようにする（図1の回路では、これらの制御電圧が互いに反転電圧であるので一応重ならない）。グループAのスイッチング素子とバイパス用スイッチング素子 S_1 のオン状態が重なった場合、モードIでフォワード電流 i_2 が流れるリアクトル L_{A1} が短絡するからである。

[0075] <その他>

なお、図7 (g) (i) では、リアクトル L_{A1} 、 L_{B1} にそれぞれ流れるフライバック電流 i_{fb2} 、 i_{fb1} の終わり部分が、次のオン期間のフォワード電流 i_2 、 i_5 の立ち上がり部分と重なっていない不連続モードとなっている。これは一例であり、この部分が重なる連続モードでもよい。

[0076] (2) 第2の実施形態

(2-1) 第2実施形態の回路構成

図8は、本発明の絶縁型スイッチング電源の第2の実施形態の回路例を概略的に示した図である。第2の実施形態において第1の実施形態と異なる点は、リアクトル L_{A2} 、 L_{B2} の各々の短絡電流路を導通又は遮断するバイパス用スイッチング素子 S_1 、 S_2 に対する制御電圧の供給形態である。

[0077] 第2の実施形態では、バイパス用スイッチング素子 S_1 、 S_2 の制御電圧 V_{S1} 、 V_{S2} が、トランスTのスイッチング部のスイッチング素子の制御電圧 V_A 及び V_B とは独立している。その他の回路構成は、図1の回路と同じである。

[0078] 第1の実施形態の回路動作のモードIIで説明したように、バイパス用スイッチング素子 S_2 は、少なくとも図2 (d) に示す期間 t_{11} においてオンとされ、かつ、グループBのスイッチング素子と同時にオンとならないように制御される。

[0079] また、第1の実施形態の回路動作のモードIVで説明したように、バイパス用スイッチング素子 S_1 は、少なくとも図2 (c) に示す期間 t_{1v} においてオンとされ、かつ、グループAのスイッチング素子と同時にオンとならないように制御される。このような条件を満たす制御電圧 V_{S1} 及び V_{S2} の具体例については後述する。

[0080] (2-2) 第2実施形態の回路動作

図9 (a) は、図8の回路において、モードII (グループAのスイッチング素子のオフ期間) に流れる特徴的な電流を、(b) はモードIV (グループBのスイッチング素子のオフ期間) に流れる特徴的な電流を概略的に示して

いる。なお、モードⅠ及びモードⅢの動作については、第１の実施形態と同じであるので説明を省略する。

[0081] 図９（ａ）のモードⅡにおいて、リアクトル L_{A1} を流れる転流電流 i_3 、リアクトル L_{B1} を流れるフライバック電流 i_{fb1} 、及び、リアクトル L_{B2} を流れる短絡電流 i_{s1} は、図４に示した第１の実施形態のモードⅡにおけるものとそれぞれ同じである。このとき、フライバック電流 i_{fb1} が流れるリアクトル L_{B1} は、短絡状態であり、フライバック電流用のバイパス電流路を形成している。

[0082] 図９（ｂ）のモードⅣにおいて、リアクトル L_{B1} を流れる転流電流 i_6 、リアクトル L_{A1} を流れるフライバック電流 i_{fb2} 、及び、リアクトル L_{A2} を流れる短絡電流 i_{s2} は、図６に示した第１の実施形態のモードⅣにおけるものとそれぞれ同じである。このとき、フライバック電流 i_{fb2} が流れるリアクトル L_{A1} は、短絡状態であり、フライバック電流のバイパス電流路を形成している。

[0083] （３）第３の実施形態

（３－１）第３実施形態の回路構成

図１０は、本発明の絶縁型スイッチング電源の第３の実施形態の回路例を概略的に示した図である。第３の実施形態において第１及び第２の実施形態と異なる点は、トランス T の二次コイル N_2 とそれぞれ直列に接続されているリアクトル L_A 及びリアクトル L_B が、単独コイルである点である。

[0084] その替わりに、トランス T の二次コイル N_2 の始端と正の出力端子 p との間に、ダイオード D_{A5} と第１のバイパス用スイッチング素子 S_1 とを直列接続した第１のバイパス電流路が設けられている。同様に、トランス T の二次コイル N_2 の終端と正の出力端子 p との間に、ダイオード D_{B5} と第２のバイパス用スイッチング素子 S_2 とを直列接続した第２のバイパス電流路が設けられている。バイパス用スイッチング素子 S_1 、 S_2 は、第１及び第２のバイパス電流路をそれぞれ導通又は遮断するためにオンオフ制御される。

[0085] バイパス用スイッチング素子 S_1 、 S_2 の各々に対する制御電圧 V_{s1} 、 V_s

$_2$ についての説明は、第2の実施形態における制御電圧 V_{S1} 、 V_{S2} と同じであるので省略する。第3の実施形態でも、バイパス用スイッチング素子 $S1$ 、 $S2$ をオンオフ制御する電圧 V_{S1} 、 V_{S2} が、トランス T のスイッチング部のスイッチング素子をオンオフ制御する電圧 V_A 及び V_B とは独立している。

[0086] 図10の回路におけるバイパス用スイッチング素子 $S1$ 、 $S2$ は、トランス T の二次側回路と絶縁されていない。従って、制御電圧 V_{S1} 、 V_{S2} を生成し、出力する制御部が、トランス T の一次側回路に属する場合には、制御部とバイパス用スイッチング素子 $S1$ 、 $S2$ との間をフォトカプラ等で絶縁することが好ましい。

[0087] 上述した第1及び第2の実施形態の回路は、フライバック電流が流れる電流路上のリアクトルを一時的に短絡状態とすることにより、そのリアクトル自体をバイパス電流路とするのに対し、第3の実施形態の回路は、フライバック電流がリアクトルを経由せずに流れることができるバイパス電流路を別途設けた構成である。

[0088] (3-2) 第3実施形態の回路動作

図11(a)は、図10の回路において、モードII(グループAのスイッチング素子のオフ期間)に流れる特徴的な電流を、(b)はモードIV(グループBのスイッチング素子のオフ期間)に流れる特徴的な電流を概略的に示している。なお、モードI及びモードIIIの動作については、第1の実施形態と同じであるので説明を省略する。

[0089] 図11(a)のモードIIにおいて、リアクトル L_A を流れる転流電流 i_3 は、図4に示した第1の実施形態のモードIIにおけるものと同じである。

[0090] 一方、二次コイル N_2 に生じた逆起電力によるフライバック電流 i_{fb1} は、ダイオード $DA3 \rightarrow$ 二次コイル $N_2 \rightarrow$ ダイオード $DB5 \rightarrow$ バイパス用スイッチング素子 $S2 \rightarrow$ 出力端子 p の経路で流れる。よって、フライバック電流 i_{fb1} は、第2のバイパス電流路を通り、リアクトル L_B を通らない。

[0091] 図11(b)のモードIVにおいて、リアクトル L_B を流れる転流電流 i_6 は、図6に示した第1の実施形態のモードIVにおけるものと同じである。

[0092] 一方、二次コイルN2に生じた逆起電力によるフライバック電流 i_{fb2} は、ダイオードDB3→二次コイルN2→ダイオードDA5→バイパス用スイッチング素子S1→出力端子pの経路で流れる。よって、フライバック電流 i_{fb2} は、第1のバイパス電流路を通り、リアクトルLAを通らない。

[0093] 図11(a)(b)におけるバイパス電流路を通るフライバック電流 i_{fb1} 、 i_{fb2} の効果は、第1の実施形態と同じである。すなわち、トランスTの一次コイルN1及び二次コイルN2のスパイク電圧を抑制し、一次側のスイッチング部のスイッチング素子の耐圧特性を軽減できる。また、このスイッチング電源の力率を良好とし、電力変換効率を向上させる。

[0094] (4) バイパス電流路のスイッチング素子のオンオフ制御の例

図12は、上述した第2又は第3の実施形態の回路において、バイパス用スイッチング素子S1、S2の制御電圧 V_{s1} 、 V_{s2} の一例を示したタイミング図である。

[0095] 図12(a)(b)はそれぞれスイッチング部のグループA、Bのスイッチング素子の制御電圧 V_A 、 V_B であり、(c)がスイッチング素子S1の制御電圧 V_{s1} 、(d)がスイッチング素子S2の制御電圧 V_{s2} である。

[0096] 上述した通り、スイッチング素子S1は、スイッチング部のグループAのスイッチング素子と同時にオン状態とならないことが好ましい。同様に、スイッチング素子S2は、スイッチング部のグループBのスイッチング素子と同時にオン状態とならないことが好ましい。

[0097] 図12では、グループAのスイッチング素子がオフになってから t_1 だけ遅れてスイッチング素子S1がオンになり、スイッチング素子S1がオフになってから t_2 だけ遅れてグループAのスイッチング素子がオンになるように電圧 V_A と V_{s1} が制御される。 t_1 及び t_2 の長さは、双方の素子が実質的に同時にオン状態とならない最小限の長さ以上に設定する。グループBのスイッチング素子とスイッチング素子S2をそれぞれ制御する電圧 V_B と V_{s2} についても同様である。

[0098] (5) 短絡電流路又は迂回電流路のスイッチング素子のオンオフ制御の別の

例

図13は、上述した第2又は第3の実施形態において、バイパス用スイッチング素子S1、S2の制御電圧 V_{S1} 、 V_{S2} の別の例を示したタイミング図である。

[0099] 図13(a)(b)はそれぞれスイッチング部のグループA、Bのスイッチング素子の制御電圧 V_A 、 V_B であり、(c)がスイッチング素子S1の制御電圧 V_{S1} 、(d)がスイッチング素子S2の制御電圧 V_{S2} である。

[0100] 上述した通り、モードIIに関連して、スイッチング素子S2は、少なくとも図2(d)に示す期間 t_{11} においてオンとされることが好ましい。すなわち、電圧 V_{S2} は、少なくとも電圧 V_A がオンからオフになる時点の前後の所定の期間 t_{11} の間オンであればよい。図13(d)に示す電圧 V_{S2} は、電圧 V_A と同時にオンになり、電圧 V_A がオフになってから所定の期間 t_3 が経過した時点で、かつ、電圧 V_B がオンになる前にオフとなる。

[0101] また、モードIVに関連して、スイッチング素子S1は、少なくとも図2(c)に示す期間 t_{1V} においてオンとされることが好ましい。すなわち電圧 V_{S1} は、少なくとも電圧 V_B がオンからオフになる時点を含む前後の所定の期間 t_{1V} の間オンであればよい。図13(c)に示す電圧 V_{S1} は、電圧 V_B と同時にオンになり、電圧 V_B がオフになってから所定の期間 t_4 が経過した時点で、かつ、電圧 V_A がオンになる前にオフとなる。

[0102] 期間 t_3 及び期間 t_4 の長さは、フライバック電流によるスパイク抑制効果が十分に得られるように設定する。

[0103] 図14は、図13に示した制御電圧 V_{S2} 、 V_{S1} を生成する制御回路の一例を示す。制御回路10Aは、一次側のグループAのスイッチング素子の制御電圧 V_A を利用してバイパス用スイッチング素子S2の制御電圧 V_{S2} を生成する。制御回路10Bは、グループBのスイッチング素子の制御電圧 V_B を利用してバイパス用スイッチング素子S1の制御電圧 V_{S1} を生成する。

[0104] 図14では、制御電圧 V_{S2} を生成する制御回路10Aのみを具体的に示し、制御電圧 V_{S1} を生成する制御回路10Bについては同じ構成であるので省

略している。制御回路 10A は、タイマー TM（一例としてタイマー IC 555）と、ゲートドライバ GD（一例としてハイサイドゲートドライバ FAN7171）により構成されている。タイマー TM の TRG 端子（トリガー端子）は、N チャネル MOSFET であるスイッチング素子 Q のドレインと接続されている。スイッチング素子 Q のソースは制御回路 10A の接地点に接続され、ゲートに制御電圧 V_A が入力される。

[0105] 例えば、図 13（a）のモード I において、制御電圧 V_A がオフからオンになると、スイッチング素子 Q がオンになり、TRG 端子がローレベル（接地点電位）となる。同時にダイオード D が順バイアスとなるため、TH 端子（閾値端子）もローレベルとなって OUT 端子がハイレベルになる。TH 端子がローレベルになると、コンデンサ C は放電状態となる。制御電圧 V_A がオンの間は、OUT 端子はハイレベルに維持される。OUT 端子の電圧は、ゲートドライバ GD に入力され、ゲートドライバ GD の HO 端子から出力され、制御電圧 V_{S2} としてバイパス用スイッチング素子 S2 のゲートに印加される。ゲートドライバ GD は、その入出力間の絶縁を確保することができる。ゲートドライバ GD の出力側の基準電位である V_S 端子は、バイパス用スイッチング素子 S2 のソースに接続されている。

[0106] 制御電圧 V_A がオンからオフになると、スイッチング素子 Q がオフする。この時点では、タイマー TM の OUT 端子はハイレベルを維持している。スイッチング素子 Q がオフすると、TRG 端子がハイレベルとなりダイオード D が遮断され、コンデンサ C が抵抗 R を通して充電され始める。タイマー TM の TH 端子の電位は、コンデンサ C と抵抗 R の時定数に従って上昇していき、所定の閾値電位を超えると OUT 端子がハイレベルからローレベルになる。これにより、制御電圧 V_{S2} がオフになり、バイパス用スイッチング素子 S2 がオフになる。図 13（d）に示した制御電圧 V_A のオフから制御電圧 V_{S2} のオフまでの時間 t_3 は、タイマー TM により設定可能である。図 13 に示したタイマー IC を用いずに、コンデンサと抵抗の時定数のみでタイミングを決める簡易な構成も可能である。しかしながら、タイマー IC を用いるこ

とによって、オン及びオフを正確な時点で行うことができる。加えて、タイマー IC を用いることによって、PWM 信号の周波数も変更可能であるため、PWM デューティ比の分解能を上げることができる。

[0107] (6) 第 4 の実施形態

(6-1) 第 4 の実施形態の回路例

図 15 は、本発明の絶縁型スイッチング電源の第 4 の実施形態の回路例を概略的に示した図である。第 4 の実施形態は、図 10 に示した第 3 の実施形態の変形形態である。図 15 では、トランス T の一次側の構成は上述した各実施形態と同じであるので、一次コイル N1 のみを示し、他の構成要素の図示を省略している。

[0108] 図 15 の回路では、トランス T の二次コイルに中間タップ c t が設けられ、中間タップ c t を境として二次コイル N21 と N22 に分かれている。中間タップ c t は、負の出力端子 n と接続されており、接地電位である。

[0109] 第 1 のバイパス電流路は、第 1 の二次コイル N21 の始端と正の出力端子 p との間に、直列接続されたダイオード DA5 とバイパス用スイッチング素子 S1 により構成されている。同様に、第 2 のバイパス電流路は、第 2 の二次コイル N22 の終端と正の出力端子 p との間に、直列接続されたダイオード DB5 とバイパス用スイッチング素子 S2 により構成されている。第 1 及び第 2 のバイパス電流路の構成は、図 10 の回路と同じである。図 15 の回路では、バイパス用スイッチング素子 S1、S2 の制御電圧が、外部から供給されるのではなく、二次側回路内で生成される点が図 10 の回路とは異なる。

[0110] このために図 15 の回路では、MOSFET であるスイッチング素子 S1 のゲートとソース（出力端子 p）との間に、コンデンサ CA が接続されている。さらに、コンデンサ CA と並列にツェナーダイオード ZA が接続されている。ツェナーダイオード ZA は、アノードがソースに、カソードがゲートに接続されている。コンデンサ CA とゲートとの接続点は、抵抗 R1 を介して第 2 の二次コイル N22 の終端に接続されている。抵抗 R1 は、コンデン

サC Aに突入電流が流れないように設けている。

[0111] 同様に、MOSFETであるスイッチング素子S 2のゲートとソース（出力端子p）との間に、コンデンサC Bが接続されている。さらに、コンデンサC Bと並列にツェナーダイオードZ Bが接続されている。ツェナーダイオードZ Bは、アノードがソースに、カソードがゲートに接続されている。コンデンサC Bとゲートとの接続点は、抵抗R 2を介して第1の二次コイルN 2 1の始端に接続されている。抵抗R 2は、コンデンサC Bに突入電流が流れないように設けている。

[0112] 図15の回路では、整流部は、正側ダイオードD A 2と負側ダイオードD B 2のみからなる。ダイオードD A 4及びD B 4はフリーホイーリングダイオードである。

[0113] 別の例として、図15の回路の二次コイルN 2 1、N 2 2及び2つのダイオードD A 2、D B 2からなる整流部を、図10の回路の二次コイルN 2及び4つのダイオードD A 2、D A 3、D B 2、D B 3からなる整流部に置き換えることもできる。

それとは逆に、図1、図8及び図10の回路において、二次コイルN 2及び整流部を図15の回路のように置き換えることもできる。

[0114] （6-2）第4の実施形態の動作

図16～図18を参照して、図15に示した第4の実施形態の回路の動作を説明する。

[0115] 図16は、図15の回路における各スイッチング素子のオンオフ制御信号又はオンオフ状態を示すタイミング図である。図16（a）（b）は、図15には図示されていないが、一次側フルブリッジ回路のグループA、Bの各スイッチング素子の制御電圧 V_A 、 V_B である。図16（c）は、スイッチング素子S 1の制御電圧 V_{s1} である。図16（d）は、スイッチング素子S 2の制御電圧 V_{s2} である。ここで、電圧 V_{s1} 及び電圧 V_{s2} は、それぞれコンデンサC A及びコンデンサC Bの両端電圧である。図16（e）は、スイッチング素子S 1のオンオフ状態を示し、図16（f）は、スイッチング素子S

2のオンオフ状態を示す。

[0116] 図16中の矢印は、上述した実施形態と同様に、4つのモードⅠ、Ⅱ、Ⅲ、Ⅳの各々において特徴的な電流が流れる時点の一例を示している。図17(a)(b)はそれぞれモードⅠ、Ⅱの時点、そして図18(a)(b)はそれぞれモードⅢ、Ⅳの時点において、図15の回路に流れる特徴的な電流を概略的に示している。

[0117] <モードⅠ>

図17(a)のモードⅠは、一次側のグループAのスイッチング素子がオンになった直後に二次側に流れる電流を示している。二次側の矢印付き実線は、第1の二次コイルN21に生じた起電力により流れるフォワード電流 i_2 を示している。電流 i_2 は、順バイアスとなるダイオードDA2及びリアクトルLAを通して出力端子pへ出力される。フォワード電流 i_2 によりリアクトルLAは励磁されて磁気エネルギーが蓄積される。ダイオードDA4、DB2、DB4、DB5は、逆バイアスとなるため電流が流れない。

[0118] 図17(a)において、矢印付き一点鎖線は、フォワード電流 i_2 から分岐してコンデンサCBを充電する電流 i_{cb} を示している。コンデンサCBは、モードⅠの直前には放電状態すなわち両端電圧 V_{s2} が零の状態である(図16(d)参照)。コンデンサCBは、充電されることによりその両端電圧 V_{s2} が上昇していく。電圧 V_{s2} がスイッチング素子S2のゲート電圧 V_g を超えるとスイッチング素子S2がオンとなる(図16(f)参照)。並列接続されたツェナーダイオードZBにより、コンデンサCBの両端電圧 V_{s2} の上限はツェナー電圧 V_z となる。

[0119] スwitchング素子S2がオンとなっても、ダイオードDB5は逆バイアスであるため、モードⅠでは、スイッチング素子S2を含む第2のバイパス電流路に電流は流れない。

[0120] また、スイッチング素子S1は、コンデンサCAが放電状態であり、両端電圧 V_{s1} が零であるのでオフ状態である。従って、ダイオードDA5が起電力に対して順バイアスであっても、スイッチング素子S1を含む第1のバイ

パス電流路に電流は流れない。

[0121] <モードII>

図17(b)のモードIIにおいて、矢印付き実線で示すリアクトル L_A を流れる転流電流 i_3 は、図11(a)に示した第3の実施形態のモードIIにおけるものと同じである。

[0122] 一方、矢印付き点線は、二次コイル N_{22} に生じた逆起電力によるフライバック電流 i_{fb1} を示している。二次コイル $N_{22} \rightarrow$ ダイオード $DB5 \rightarrow$ スイッチング素子 $S_2 \rightarrow$ 出力端子 p の経路で流れる。よって、フライバック電流 i_{fb1} は、第2のバイパス電流路を通り、リアクトル L_B を通らない。

[0123] さらに、矢印付き一点鎖線は、二次コイル N_{21} に生じた逆起電力によるコンデンサ C_B の放電電流 i_{db} を示している。コンデンサ C_B は、放電することによりその両端電圧 V_{s2} が低下していく。電圧 V_{s2} がスイッチング素子 S_2 のゲート電圧 V_g より低下するとスイッチング素子 S_2 はオフとなる(図16(f)参照)。図16(f)に示すように、電圧 V_A がオフ電圧となってからスイッチング素子 S_2 がオフになるまでの期間 t_3 の長さは、フライバック電流 i_{fb1} によるスパイク抑制効果が十分に得られるように設定する。当然ながら、スイッチング素子 S_2 は、電圧 V_B がオン電圧となる前にオフにならないといけない。

[0124] <モードIII>

図18(a)のモードIIIは、一次側のグループBのスイッチング素子がオンになった直後に二次側に流れる電流を示している。電流の流れが対称的である点が異なるだけで、図17(a)のモードIと実質的に同じである。二次側の矢印付き実線は、第2の二次コイル N_{22} に生じた起電力により流れるフォワード電流 i_5 を示し、ダイオード $DB2$ 及びリアクトル L_B を通過して出力端子 p へ出力される。

[0125] 図18(a)において、矢印付き一点鎖線は、フォワード電流 i_5 から分岐してコンデンサ C_A を充電する電流 i_{ca} を示している。コンデンサ C_A

は、モードIIIの直前には放電状態すなわち両端電圧 V_{s1} が零の状態である（図16（c）参照）。コンデンサCAが充電され、両端電圧 V_{s1} がスイッチング素子S1のゲート電圧 V_g を超えるとスイッチング素子S1がオンとなる（図16（e）参照）。並列接続されたツェナーダイオードZAにより、コンデンサCAの両端電圧 V_{s1} の上限はツェナー電圧 V_z となる。

[0126] スwitchング素子S1がオンとなっても、ダイオードDA5は逆バイアスであるため、モードIIIでは、スイッチング素子S1を含む第1のバイパス電流路に電流は流れない。

[0127] また、スイッチング素子S2は、コンデンサCBが放電状態であり、両端電圧 V_{s2} が零であるのでオフ状態である。従って、ダイオードDB5が起電力に対して順バイアスであっても、スイッチング素子S2を含む第2のバイパス電流路に電流は流れない。

[0128] <モードIV>

図18（b）のモードIVにおいて、矢印付き実線で示すリアクトルLBを流れる転流電流 i_6 は、図11に示した第3の実施形態のモードIVにおけるものと同じである。

[0129] 一方、矢印付き点線は、二次コイルN21に生じた逆起電力によるフライバック電流 i_{fb2} を示している。二次コイルN21→ダイオードDA5→スイッチング素子S1→出力端子pの経路で流れる。よって、フライバック電流 i_{fb2} は、第1のバイパス電流路を通り、リアクトルLAを通らない。

[0130] さらに、矢印付き一点鎖線は、二次コイルN22に生じた逆起電力によるコンデンサCAの放電電流 i_{da} を示している。コンデンサCAは、放電することによりその両端電圧 V_{s1} が低下していく。電圧 V_{s1} がスイッチング素子S1のゲート電圧 V_g より低下するとスイッチング素子S1はオフとなる（図16（e）参照）。図16（e）に示すように、電圧 V_B がオフ電圧となってからスイッチング素子S1がオフになるまでの期間 t_4 の長さは、フライバック電流 i_{fb2} によるスパイク抑制効果が十分に得られるように設定

する。当然ながら、スイッチング素子 S_1 は、電圧 V_A がオン電圧となる前にオフにならなければならない。

[0131] 第4の実施形態は、第2及び第3の実施形態のようにバイパス電流路のスイッチング素子の制御電圧を外部から供給する場合と比べて、回路をシンプル化できる。特に、第4の実施形態では、一次側のスイッチング素子との同期を考慮して二次側のバイパス電流路のスイッチング素子をオンオフ制御する必要がない点で好適である。

[0132] (7) 第5の実施形態

(7-1) 第5の実施形態の回路例

図19は、本発明の絶縁型スイッチング電源の第5の実施形態の回路例を概略的に示した図である。第5の実施形態は、第4の実施形態の変形形態である。

[0133] 第5の実施形態では、二次側における外付けリアクトルが、リアクトル L_A のみである。すなわち、第4の実施形態における2つのリアクトル L_A 、 L_B の機能を、リアクトル L_A が兼任している。

[0134] 図19の回路においては、図15の回路におけるリアクトル L_B 及びダイオード DB_4 が無く、ダイオード DB_2 のカソードが、リアクトル L_A の一端とダイオード DA_2 のカソードとの接続点に接続されている。

[0135] (7-2) 第5の実施形態の動作

図20及び図21を参照して、図19に示した第5の実施形態の回路の動作を説明する。なお、図19の回路のタイミング図は、図16に示した第4の実施形態のそれと全く同じなので、図16も参照して説明する。

[0136] <モードI、II>

図20(a)(b)のモードI、IIは、図17(a)(b)のモードI、IIと全く同じ電流がそれぞれ流れる。

[0137] <モードIII>

図21(a)のモードIIIでは、フォワード電流 i_5 が、ダイオード DB_2 からリアクトル L_A を通って出力端子 p へ出力される。従って、フォワード

電流 i_5 によりリアクトル L_A に磁気エネルギーが蓄積される。コンデンサ C_A の充電電流 i_{ca} は、図 18 (a) と同じである。

[0138] <モードIV>

図 21 (b) のモードIVでは、順バイアスとなるフリーホイーリングダイオード D_{A4} を介して転流電流 i_6 が流れて出力され、リアクトル L_A に蓄積された磁気エネルギーが放出される。フライバック電流 i_{fb2} 及びコンデンサ C_A の放電電流 i_{da} は、図 18 (b) と同じである。

[0139] なお、第5の実施形態は、図 10 に示した第3の実施形態にも適用可能である。図示しないが、その場合、図 10 の回路において、リアクトル L_B とダイオード D_{B4} を取り除き、ダイオード D_{B2} のカソードを、リアクトル L_A の一端とダイオード D_{A2} のカソードとの接続点に接続する。

[0140] (8) トランス T の一次側の別の実施形態

図 22 (a) (b) は、上述した第1～第5の実施形態の回路における一次側のスイッチング部の別の構成例である。回路の他の部分は図示を省略する。また、図中にスイッチング部のオン期間の電流 i_1 、 i_4 を示している。

[0141] 図 22 (a) の構成例は、プッシュプル回路を基本とする。プッシュプル回路では、一次コイルを第1一次コイル N_{11} と第2一次コイル N_{12} の2つの部分に分割して用いる。この場合、複数のスイッチング素子におけるグループAはスイッチング素子 Q_A のみを含み、グループBはスイッチング素子 Q_B のみを含む。スイッチング素子 Q_A とスイッチング素子 Q_B は、一定のインターバルを空けて背反的にオンオフ制御される。各スイッチング素子と一次コイル N_{11} 、 N_{12} との間に、各スイッチング素子のボディダイオードに対して逆方向に直列接続された逆流防止ダイオード D_A 、 D_B が挿入配置されている。回路動作については、上述した各実施形態と同様である。

[0142] 図 22 (b) の構成例は、ハーフブリッジ回路を基本とする。ハーフブリッジ回路では、複数のスイッチング素子におけるグループAはスイッチング素子 Q_A のみを含みかつコンデンサ C_{A1} と直列接続され、グループBはス

スイッチング素子 Q_B のみを含みかつコンデンサ C_B1 と直列接続されている。スイッチング素子 Q_A とスイッチング素子 Q_B は、一定のインターバルを空けて背反的にオンオフ制御される。各スイッチング素子と一次コイルとの間に、各スイッチング素子のボディダイオードに対して逆方向に直列接続された逆流防止ダイオード D_A 、 D_B が挿入配置されている。回路動作については、上述した各実施形態と同様である。

[0143] (9) トランス二次側の別の実施形態

図23は、第1又は第2の実施形態における二次側の整流部及び平滑部の別の構成例である。図23の構成例における整流部も、図1と同様に4つのダイオード D_{A2} 、 D_{A3} 、 D_{B2} 、 D_{B3} からなるブリッジ整流回路を基本とする形態である。第1の対の正側ダイオード D_{A2} と負側ダイオード D_{A3} が直列接続され、第2の対の正側ダイオード D_{B2} と負側ダイオード D_{B3} が直列接続されている。直列接続された第1の対のダイオード D_{A2} と D_{A3} の接続点は二次コイル $N2$ の始端に接続され、直列接続された第2の対のダイオード D_{B2} と D_{B3} の接続点は二次コイル $N2$ の終端に接続されている。正側ダイオード D_{A2} 、 D_{B2} のカソードは、平滑コンデンサの正極端及び正の出力端子 p に接続されている。

[0144] 図23の構成例では、負側ダイオード D_{A3} 、 D_{B3} のアノードが、通常のブリッジ整流回路とは異なり互いに接続されていない。一方の負側ダイオード D_{A3} のアノードは、リアクトル L_{A1} の終端に接続され、他方の負側ダイオード D_{B3} のアノードは、リアクトル L_{B1} の終端に接続されている。リアクトル L_{A1} とリアクトル L_{B1} の始端は、平滑コンデンサの負極端及び負の出力端 n に接続されている。リアクトル L_{A1} とリアクトル L_{B1} は、それぞれ二次コイルであるリアクトル L_{A2} とリアクトル L_{B2} を設けてトランスを構成している。さらに、フリーホイーリングダイオード D_{A4} 、 D_{B4} が接続されている。

[0145] 本発明の絶縁型スイッチング電源の二次側回路は、図示した回路以外にも多様に構成することができる。オン期間にフォワード電流が流れ、オフ期間

に外付けリアクトルの磁気エネルギーを放出するリアクトル電流が流れると共に、二次コイルに生じる逆起電力によりフライバック電流が流れることができる構成を備えていればよい。

[0146] そして本発明の絶縁型スイッチング電源の二次側回路は、フライバック電流が流れるとき、フライバック電流の電流路上のリアクトルを一時的に短絡状態としてフライバック電流を出力するか、又は、リアクトルを迂回する別の電流路を通してフライバック電流を出力するように構成される。

[0147] (10) まとめ

本発明の絶縁型スイッチング電源は、基本的にフォワード方式の動作を有することにより大出力に適用可能であると共に、フライバック電流が流れることにより力率が改善される。よって、大出力のワンコンバータ方式の絶縁型スイッチング電源として好適である。力率改善機能を備えかつ回路の構成を簡素化できると共に、絶縁型であるので安全性が確保される。

[0148] メイントランスの一次側において2つのグループのスイッチング素子を、所定のインターバルを設けて背反的にスイッチングすることにより、単一スイッチング素子をスイッチングする場合に比べて大出力が得られる。なお、上述した各実施形態において、スイッチング部におけるスイッチング素子は、MOSFET以外にIGBT又はバイポーラトランジスタでもよい。

[0149] また、スイッチング部に設けた逆流防止ダイオードは、入力側への還流を防ぐ目的であるのでスイッチング素子を用いてもよい。その場合、逆流防止スイッチング素子は、還流阻止のために適切なタイミングでオンオフ制御される。逆流防止スイッチング素子のボディダイオードは、スイッチング素子のそれとは逆向きとなるように接続される。本明細書では、これらの逆流防止ダイオード及び逆流防止スイッチング素子をまとめて、「逆流防止素子」と称する。

[0150] また、通常フォワード方式における直列リアクトルを並列な2回路に分割することにより、電流供給能力が増えると共に、一次側の駆動負担が軽減される。なお、二次側の回路構成におけるダイオードは、同等の機能を有す

る整流素子に置き換えることができ、そのような整流素子もダイオードの概念に含まれるものとする。

[0151] 以上に説明した本発明の絶縁型スイッチング電源は、図示の構成例に限られず、本発明の主旨に沿う範囲において多様な変形が可能である。

符号の説明

[0152] p 正の出力端
n 負の出力端
T、T A、T B トランス
L A 1、L B 1 リアクトル（一次コイル）
L A 2、L B 2 リアクトル（二次コイル）
L A、L B リアクトル
N 1、N 1 1、N 1 2 一次コイル
N 2、N 2 1、N 2 2 二次コイル
Q A 1、Q A 2、Q B 1、Q B 2、S 1、S 2 スwitching素子（MOS FET）
D A 1、D B 1、D A、D B 逆流防止ダイオード
D A 2、D A 3、D B 2、D B 3 ダイオード
D A 4、D B 4 フリーホイーリングダイオード
D A 5、D B 5 ダイオード
C 平滑コンデンサ
C A、C B コンデンサ
Z A、Z B ツェナーダイオード

請求の範囲

[請求項1]

一次コイルと二次コイルとを有するトランスと、

前記一次コイルの電流を導通又は遮断するべく所定のインターバルを設けて互いに背反的にそれぞれオンオフ制御される、第1グループの少なくとも1つのスイッチング素子と第2グループの少なくとも1つのスイッチング素子とを有するスイッチング部と、

前記一次コイルに生じる逆起電力による入力側への還流を阻止するために前記一次コイルを含む電流路に直列接続された逆流防止素子と、

前記二次コイルに接続された整流部と、

前記整流部の後段に接続された少なくとも1つのリアクトルと平滑コンデンサとを含む平滑部と、を有し、

前記一次コイルの電流が導通すると前記二次コイルに流れるフォワード電流が前記リアクトルを通して出力され、かつ、前記一次コイルの電流が遮断されると前記リアクトルに流れる転流電流が出力されると共に前記二次コイルに流れるフライバック電流が出力されるように構成されたフォワードフライバック方式の絶縁型スイッチング電源であって、

前記フライバック電流が、前記二次コイルから、リアクトル特性の無い単なる導線と等価であるバイパス電流路を通して出力されるように構成されていることを特徴とする

絶縁型スイッチング電源。

[請求項2]

前記バイパス電流路が、前記リアクトルを含む電流路において該リアクトルを一時的に短絡状態とすることにより形成されるか、又は、前記バイパス電流路が、前記リアクトルを含む電流路を経由せずに前記フライバック電流を流すことが可能な別の電流路であることを特徴とする請求項1に記載の絶縁型スイッチング電源。

[請求項3]

前記リアクトルを含む電流路において該リアクトルを一時的に短絡

状態とすることにより形成されるとき、

前記少なくとも 1 つのリアクトルが、第 1 及び第 2 のリアクトルであり、

(a) 前記第 1 のリアクトルを一次コイルとし二次コイルを設けた第 1 の外付けトランスと、

(b) 前記第 1 の外付けトランスの二次コイルを含む第 1 の短絡電流路と、

(c) 前記第 1 の短絡電流路を導通又は遮断するべくオンオフ制御される第 1 のバイパス用スイッチング素子と、

(d) 前記第 2 のリアクトルを一次コイルとし二次コイルを設けた第 2 の外付けトランスと、

(e) 前記第 2 の外付けトランスの二次コイルを含む第 2 の短絡電流路と、

(f) 前記第 2 の短絡電流路を導通又は遮断するべくオンオフ制御される第 2 のバイパス用スイッチング素子と、を有し、

(f) 少なくとも前記第 1 又は第 2 のリアクトルにフライバック電流が流れ始める時点において前記第 1 又は第 2 の短絡電流路が導通しているように前記第 1 又は第 2 のバイパス用スイッチング素子が制御され、それにより、前記第 1 又は第 2 のリアクトルが短絡状態となることにより該第 1 又は第 2 のリアクトルを含む電流路が前記バイパス電流路となることを特徴とする

請求項 2 に記載の絶縁型スイッチング電源。

[請求項 4]

前記バイパス電流路が、前記フライバック電流が前記リアクトルを経由せずに流れることができる別の電流路であるとき、

(a) 前記トランスの二次コイルの始端と出力端子とを接続する第 1 のバイパス電流路と、

(b) 前記第 1 のバイパス電流路を導通又は遮断するべくオンオフ制御される第 1 のバイパス用スイッチング素子と、

(c) 前記トランスの二次コイルの終端と出力端子とを接続する第2のバイパス電流路と、

(d) 前記第2のバイパス電流路を導通又は遮断するべくオンオフ制御される第2のバイパス用スイッチング素子と、を有し、

(e) 少なくとも前記トランスの二次コイルにフライバック電流が流れ始める時点において、前記第1又は第2のバイパス電流路が導通しているように前記第1又は第2のバイパス用スイッチング素子が制御されることを特徴とする

請求項2に記載の絶縁型スイッチング電源。

[請求項5]

前記第1グループのスイッチング素子をオンオフ制御するための第1の制御電圧を入力され、前記第1の制御電圧のオフ時点から所定の時間後に前記第2のバイパス用スイッチング素子をオンからオフとする制御電圧を出力する第1のタイマーICと、

前記第2グループのスイッチング素子をオンオフ制御するための第2の制御電圧を入力され、前記第2の制御電圧のオフ時点から所定の時間後に前記第1のバイパス用スイッチング素子をオンからオフとする制御電圧を出力する第2のタイマーICと、を有することを特徴とする

請求項4に記載の絶縁型スイッチング電源。

[請求項6]

第1のコンデンサであってその両端電圧が、前記第1のバイパス用スイッチング素子の制御電圧として印加されるように接続された、該第1のコンデンサと、

第2のコンデンサであってその両端電圧が、前記第2のバイパス用スイッチング素子の制御電圧として印加されるように接続された、該第2のコンデンサとをさらに有し、

前記第1のコンデンサは、前記第1グループのスイッチング素子により前記一次コイルの電流が導通すると、前記二次コイルに流れるフォワード電流の一部により充電されると共に、前記一次コイルの電流

が遮断されると放電され、該第1のコンデンサの両端電圧が一定電圧以上のときに前記第1のバイパス用スイッチング素子がオン状態となり、

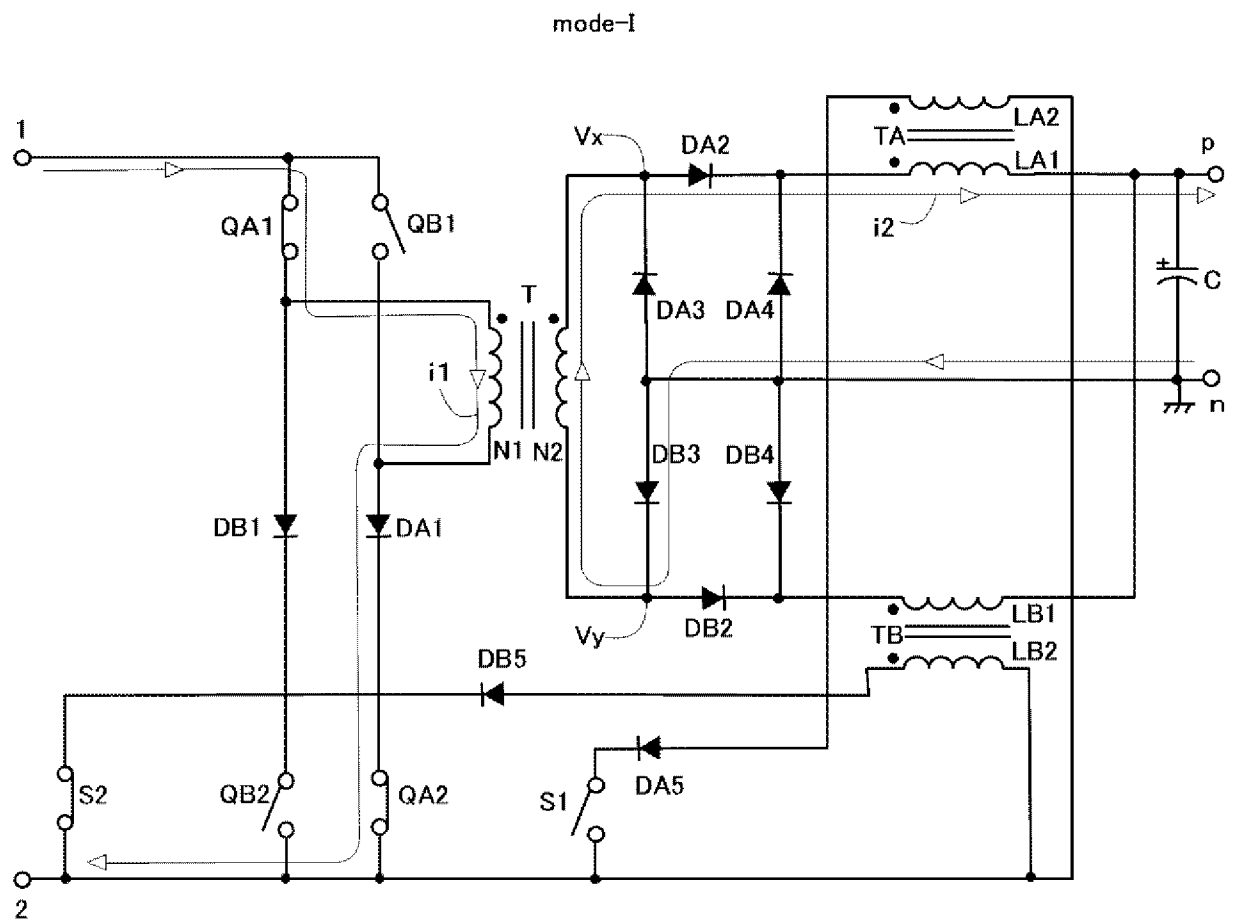
前記第2のコンデンサは、前記第2グループのスイッチング素子により前記一次コイルの電流が導通すると、前記二次コイルに流れるフォワード電流の一部により充電されると共に、前記一次コイルの電流が遮断されると放電され、該第2のコンデンサの両端電圧が一定電圧以上のときに前記第2のバイパス用スイッチング素子がオン状態となることを特徴とする

請求項4に記載の絶縁型スイッチング電源。

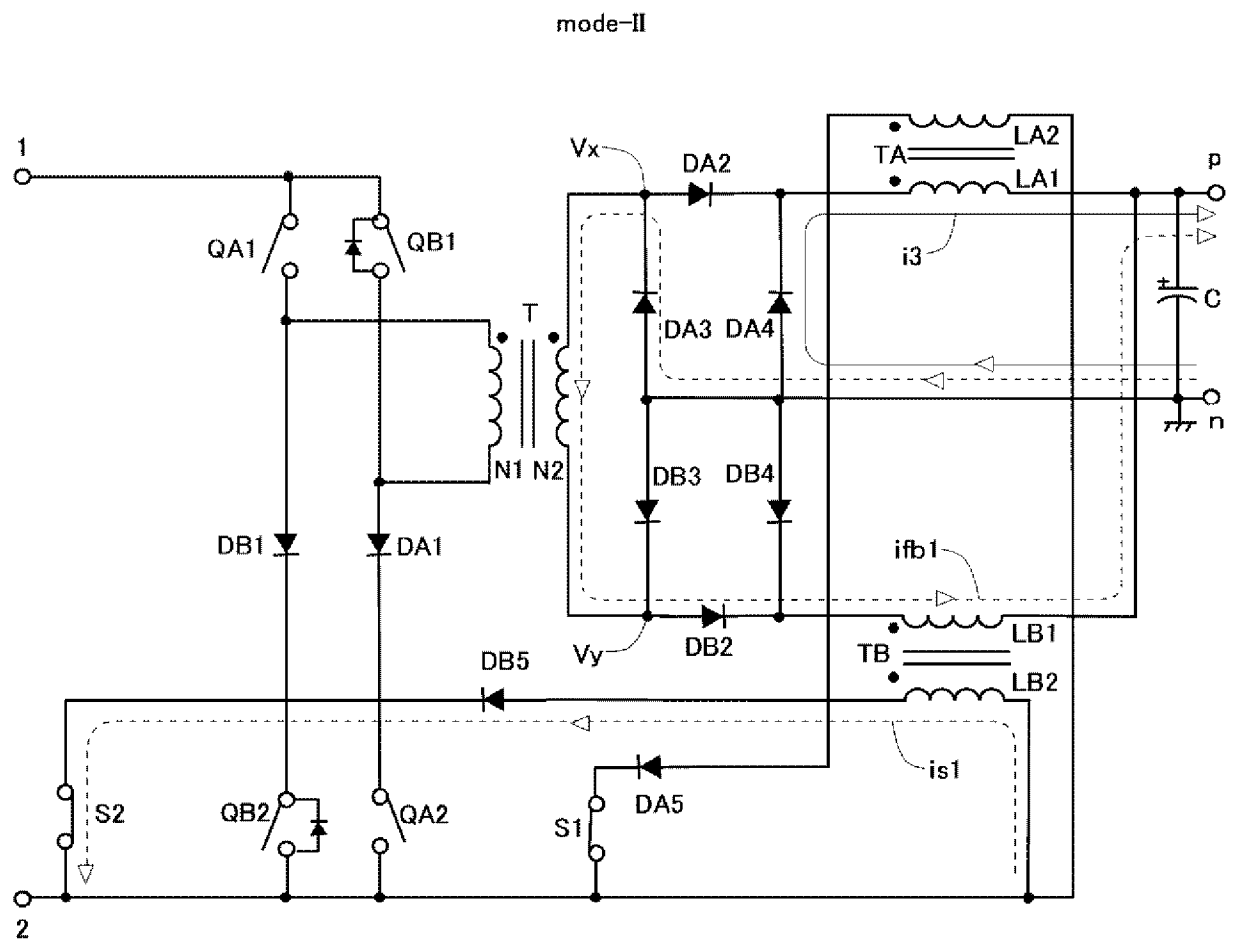
[請求項7] 前記逆流防止素子が、前記第1グループのスイッチング素子のオン期間の電流が専ら流れる電流路上、及び、前記第2グループのスイッチング素子のオン期間の電流が専ら流れる電流路上に、それぞれ接続されることを特徴とする請求項1～6のいずれかに記載の絶縁型スイッチング電源。

[請求項8] 前記スイッチング部が、フルブリッジ回路、プッシュプル回路又はハーフブリッジ回路のいずれかに基づいて構成されることを特徴とする請求項1～7のいずれかに記載のスイッチング電源。

[図3]

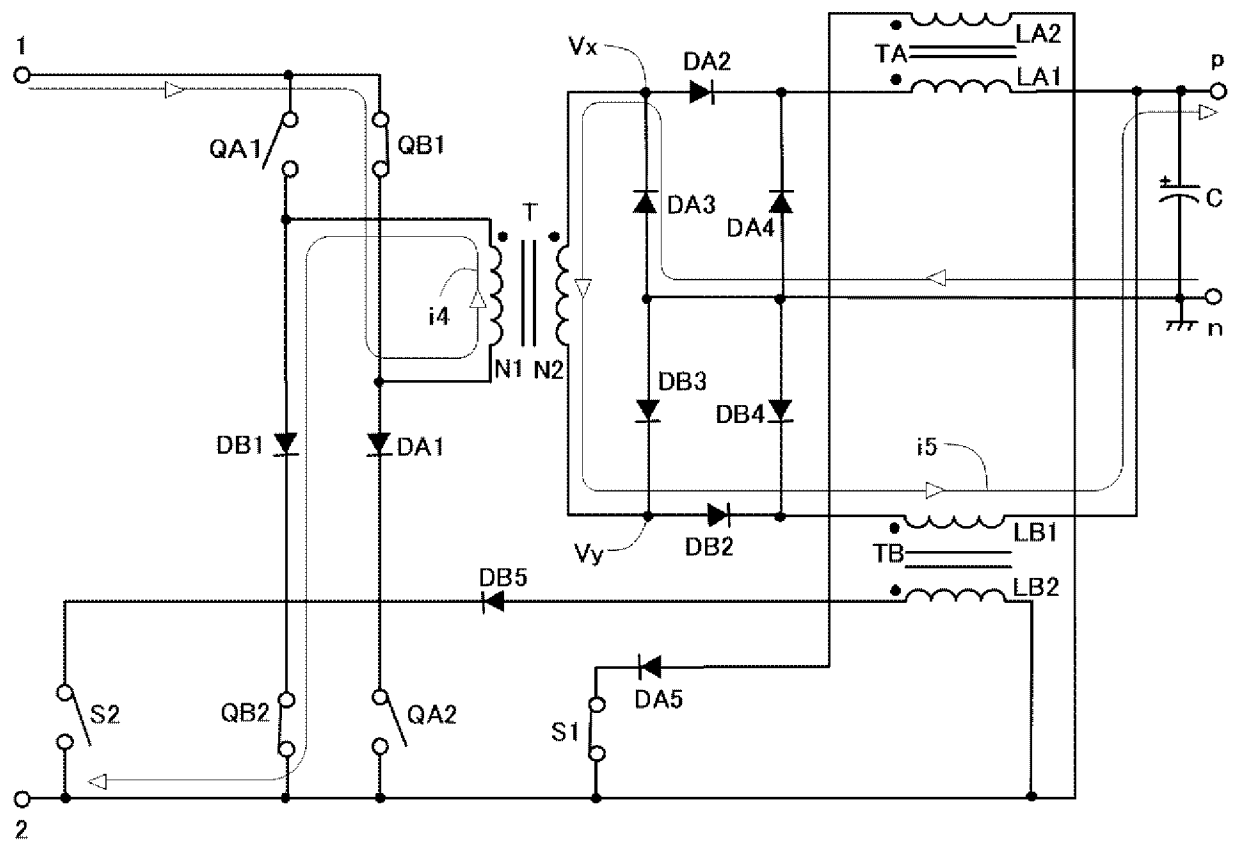


[図4]

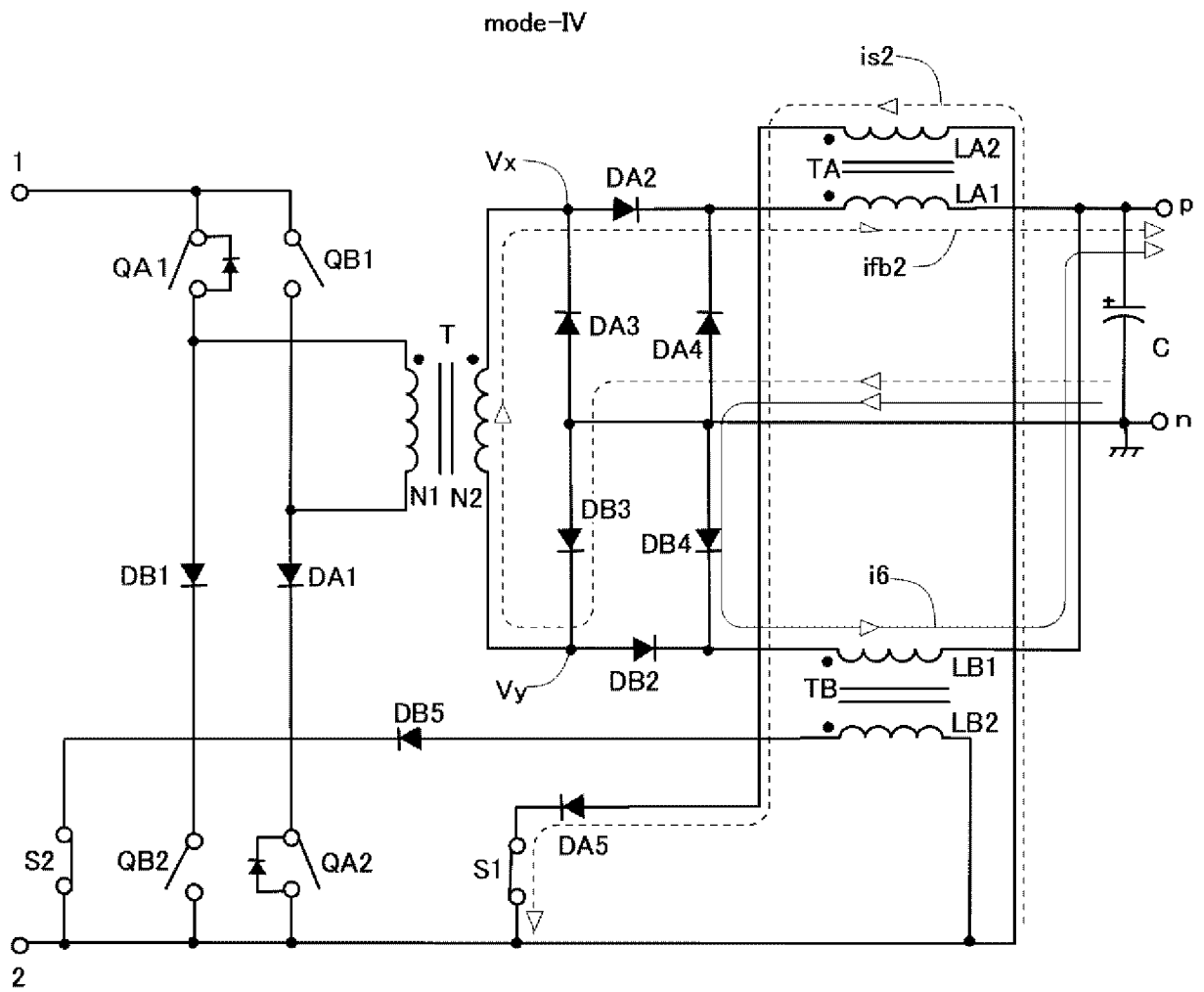


[図5]

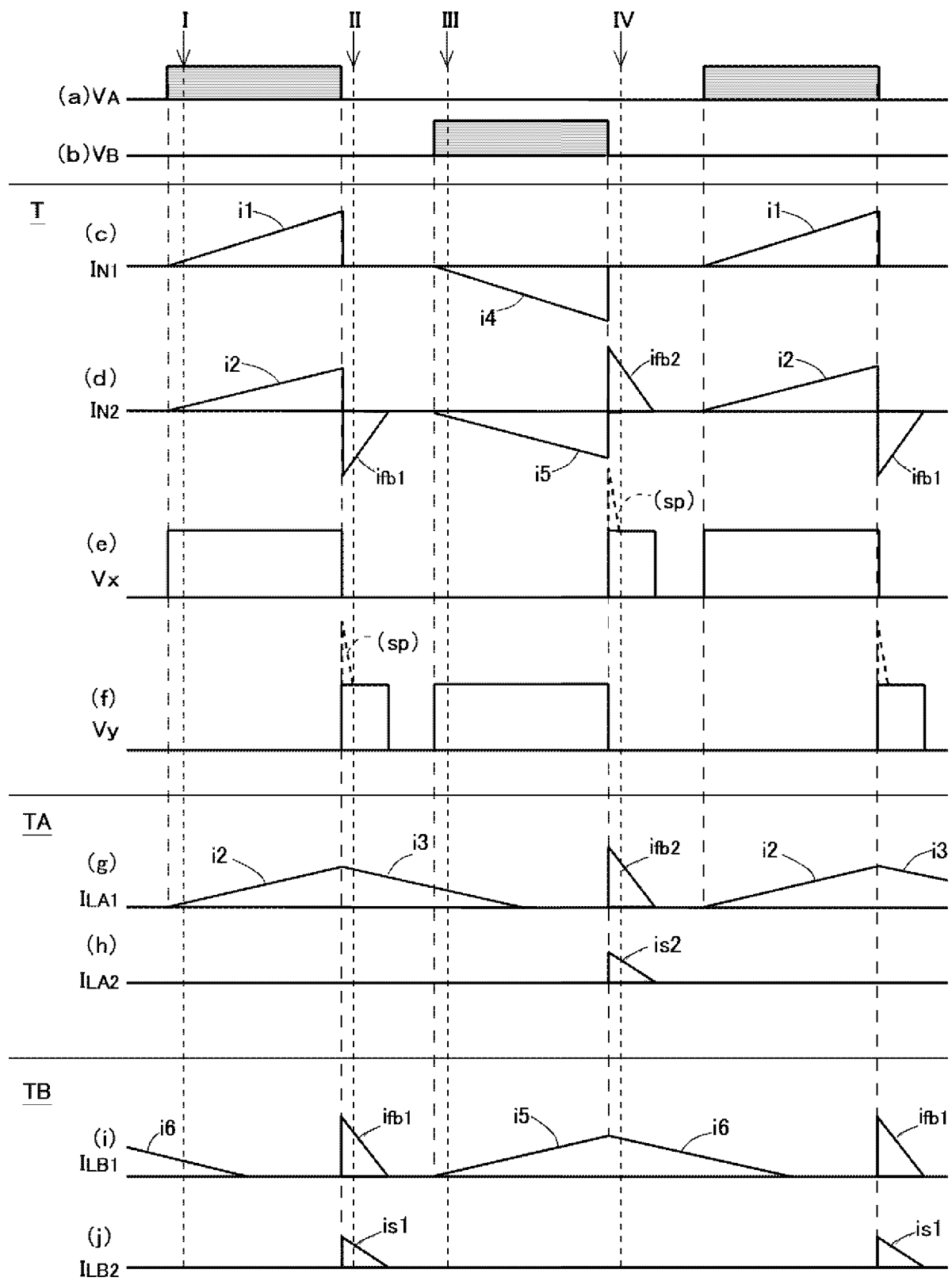
mode-III



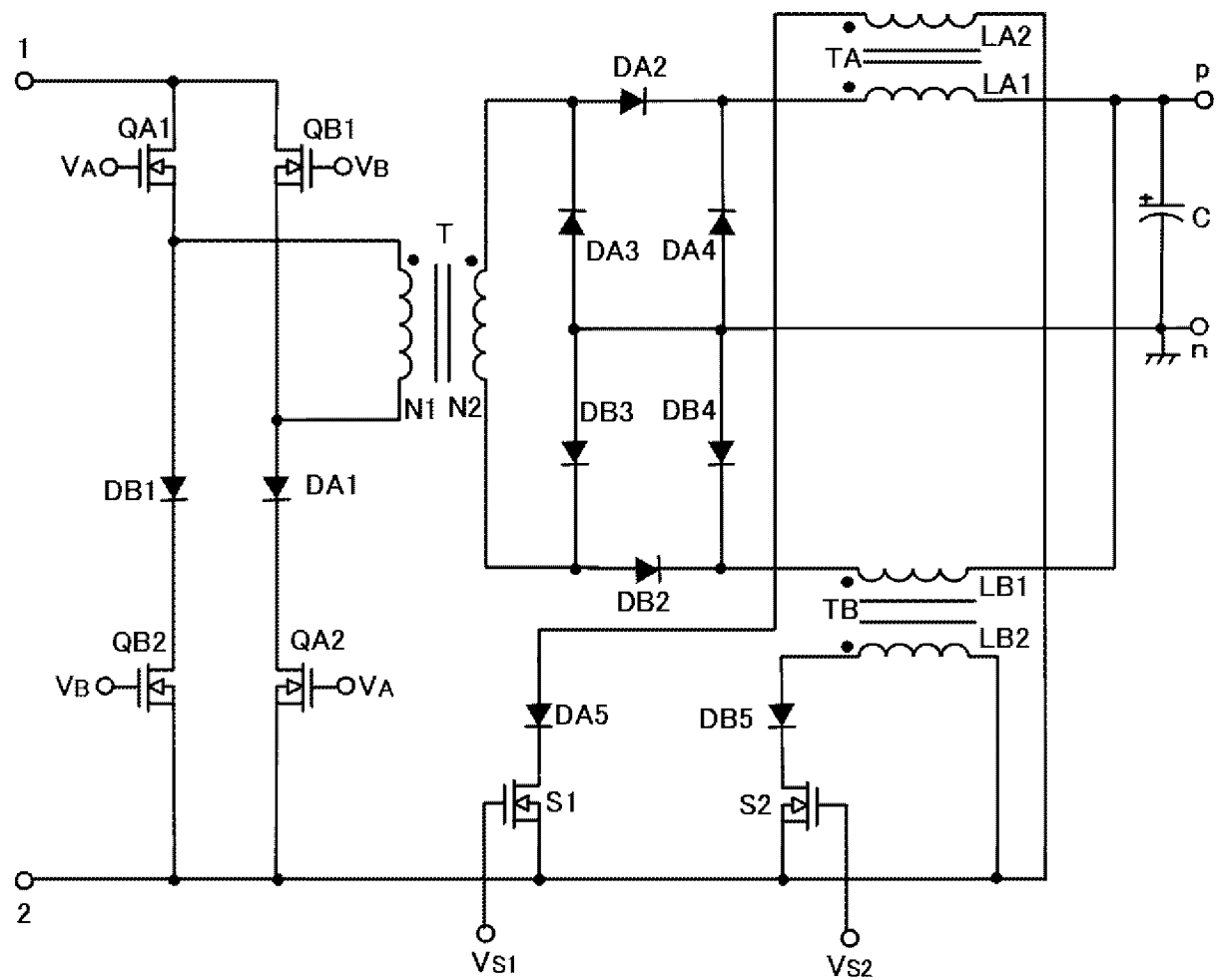
[図6]



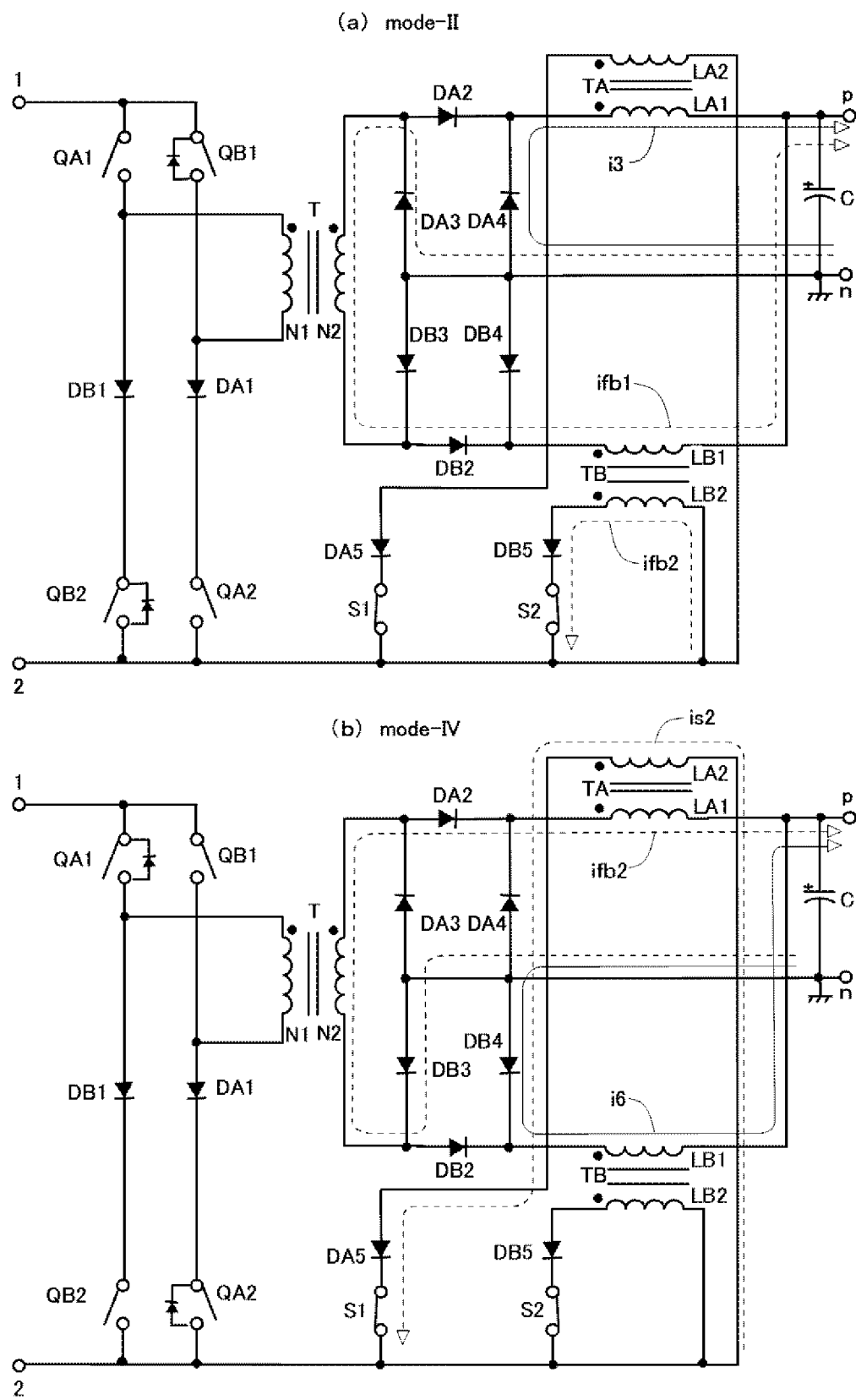
[図7]



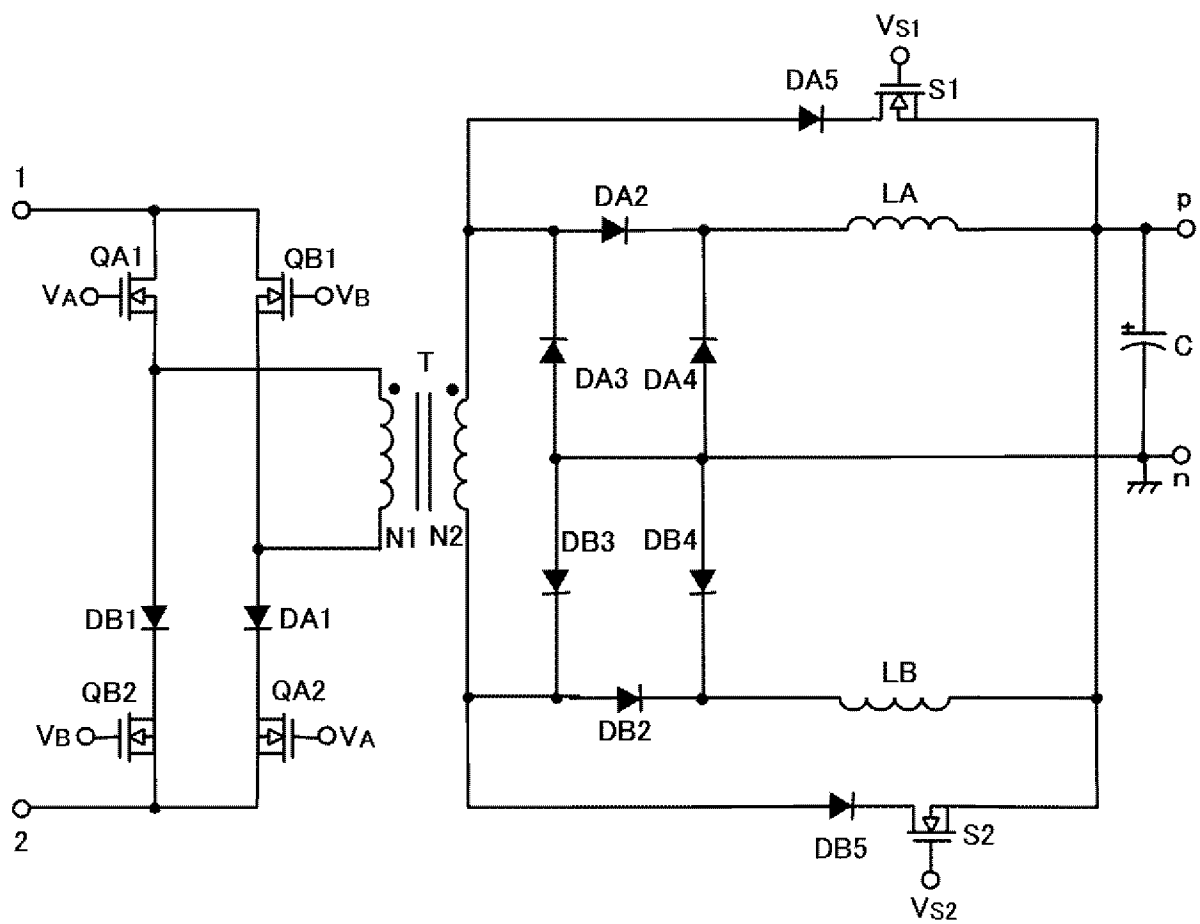
[図8]



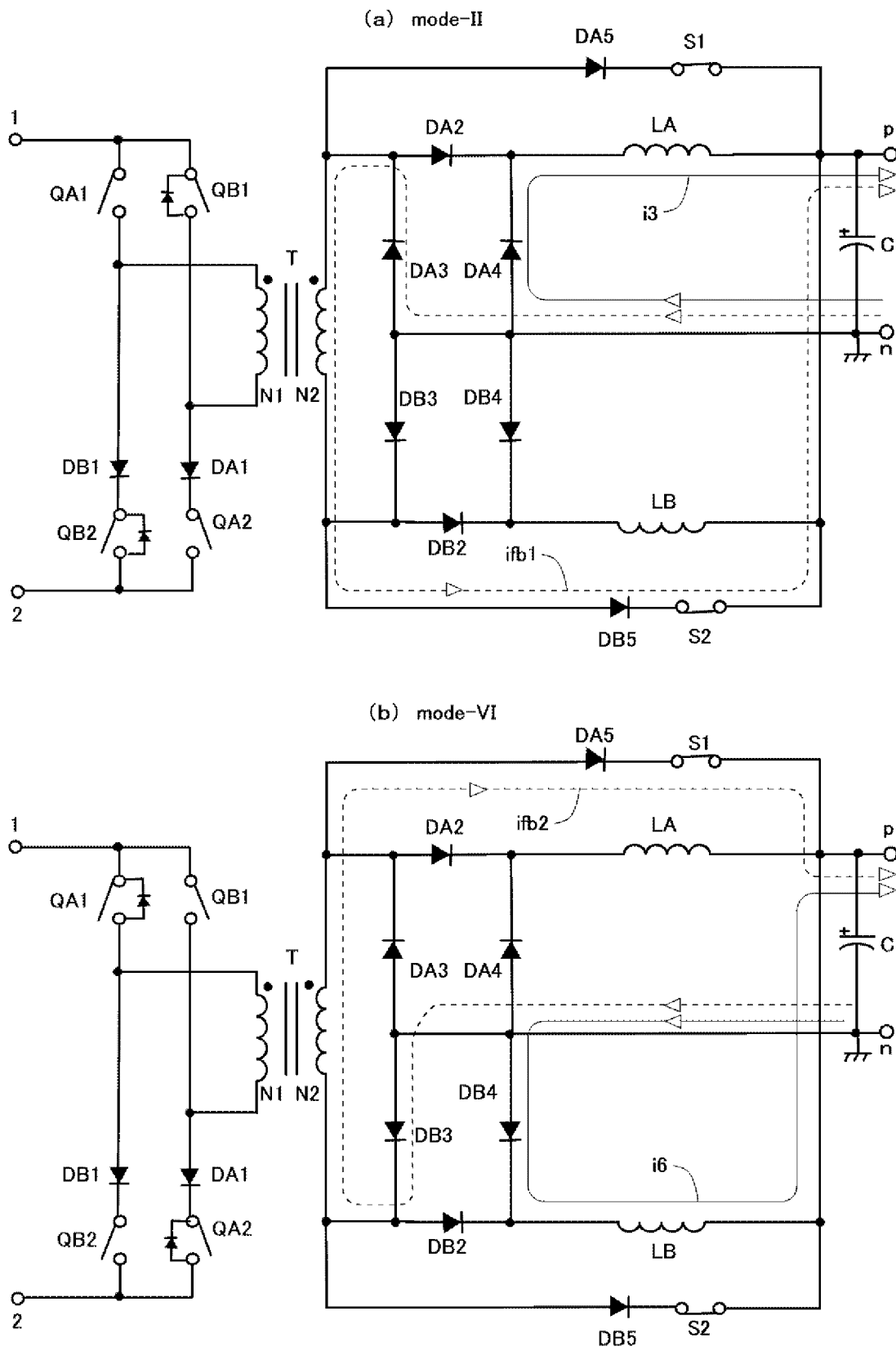
[図9]



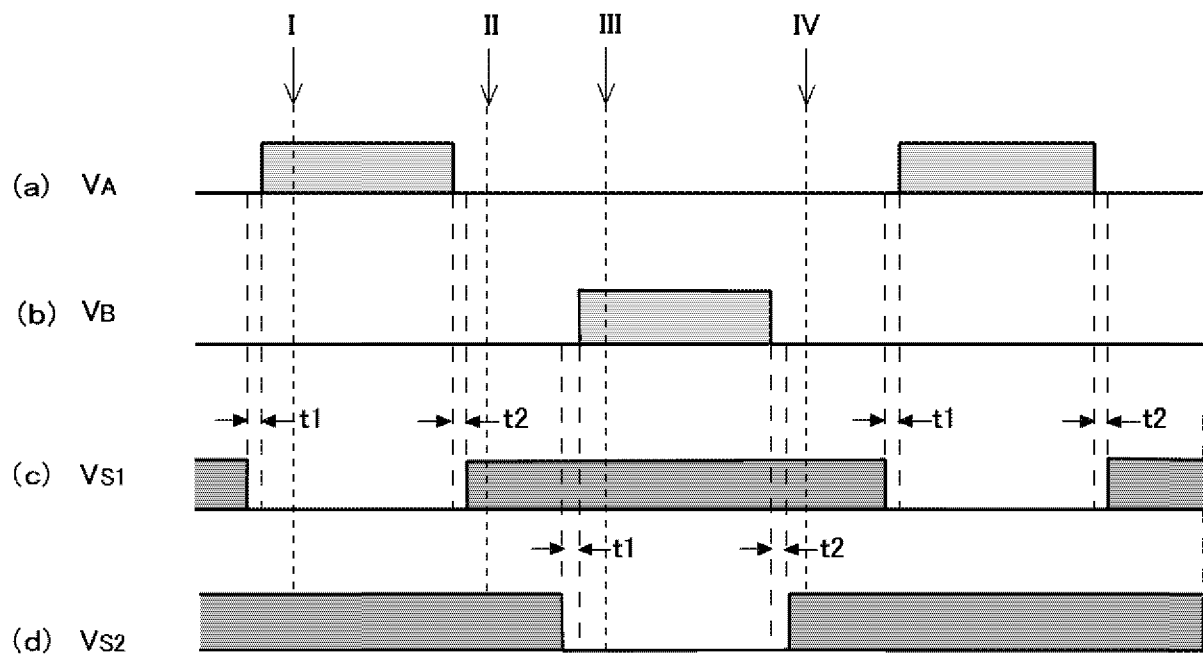
[図10]



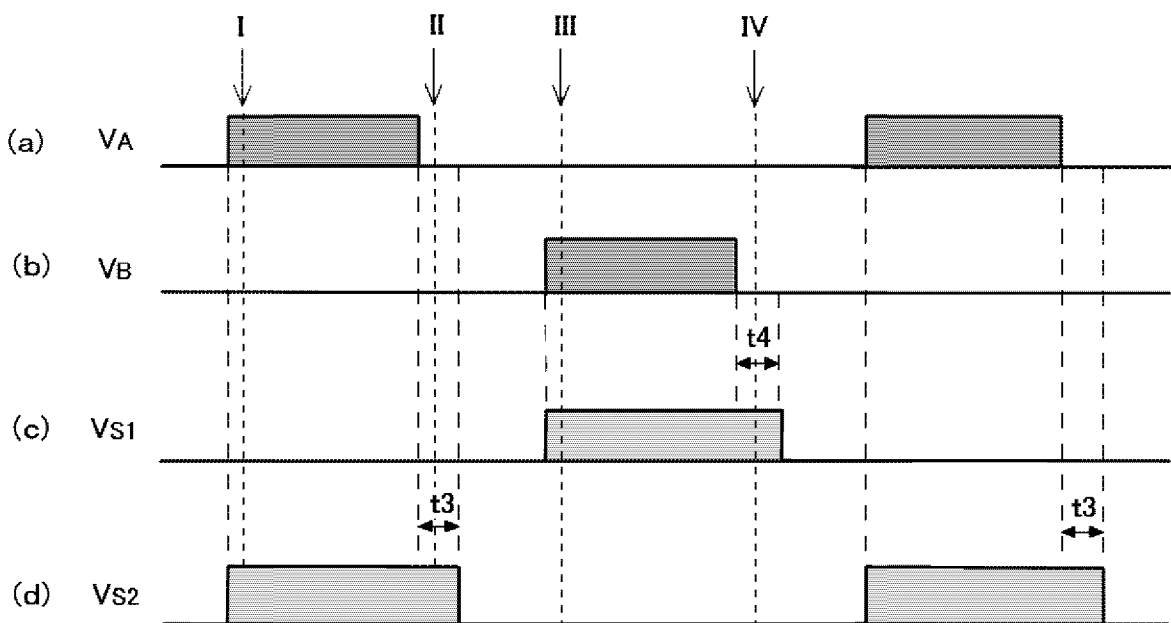
[図11]



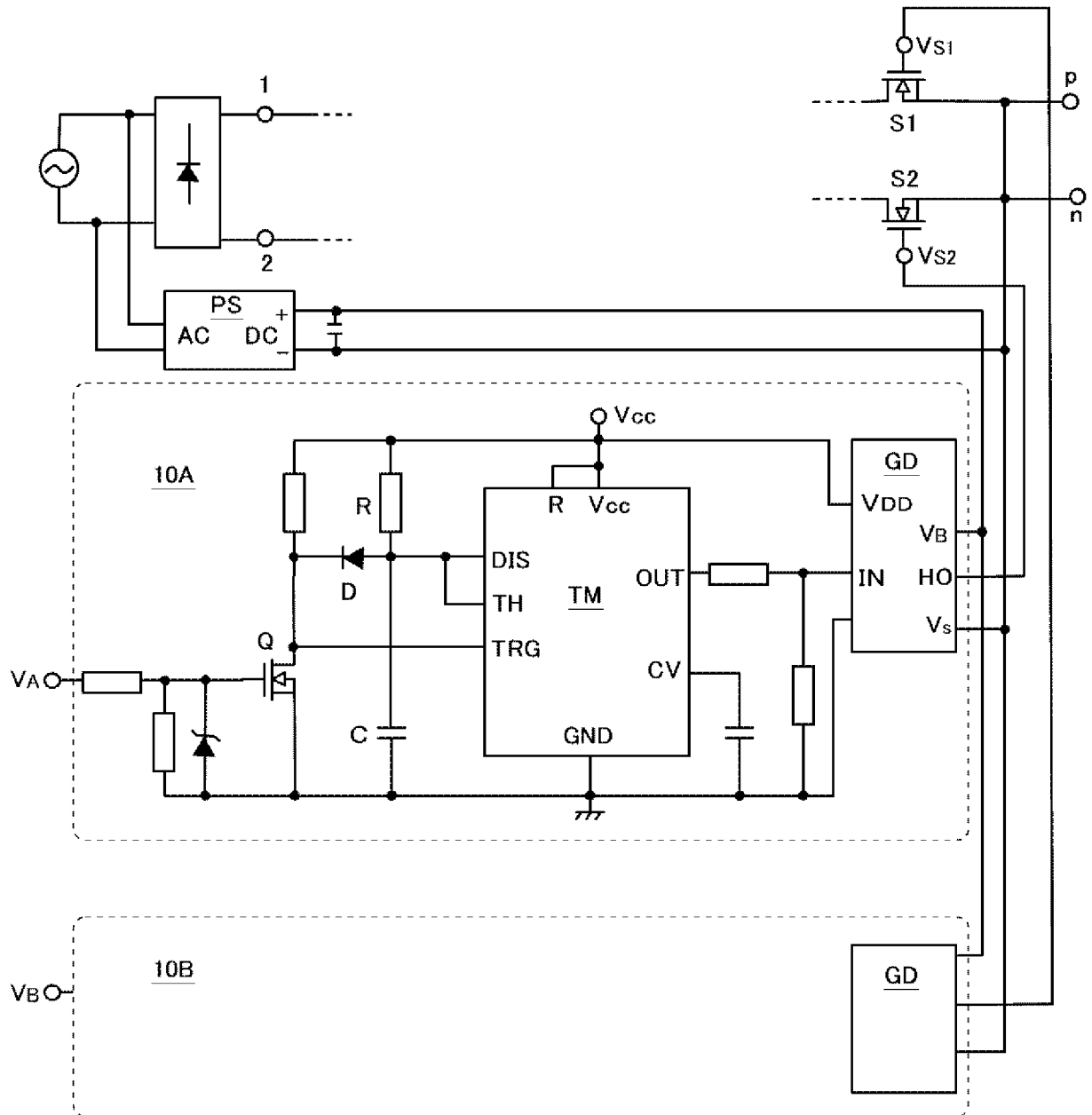
[図12]



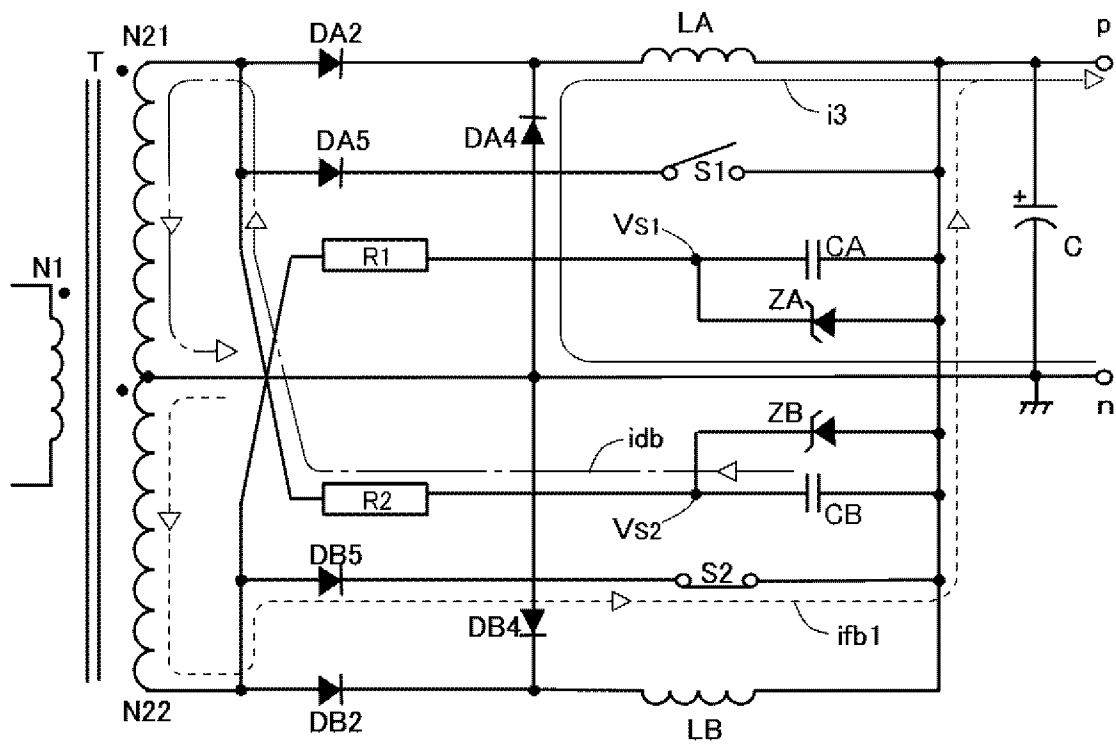
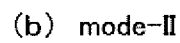
[図13]



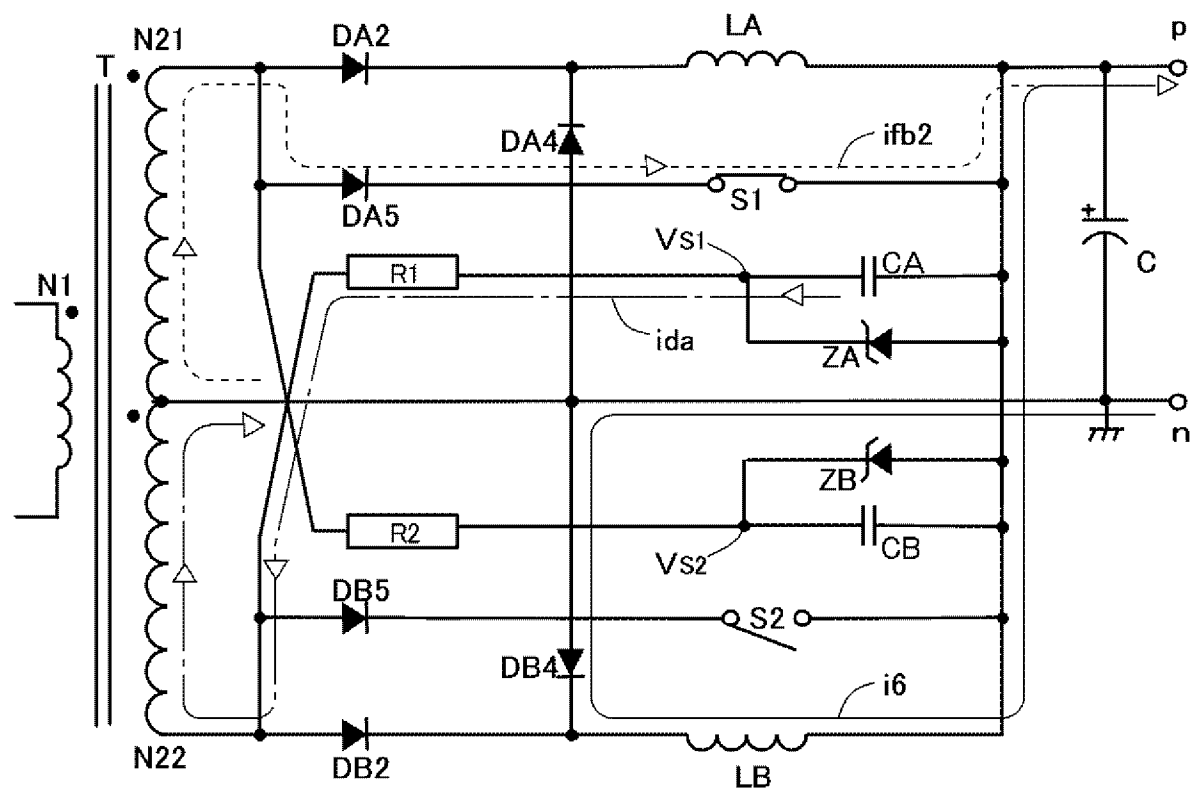
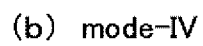
[図14]



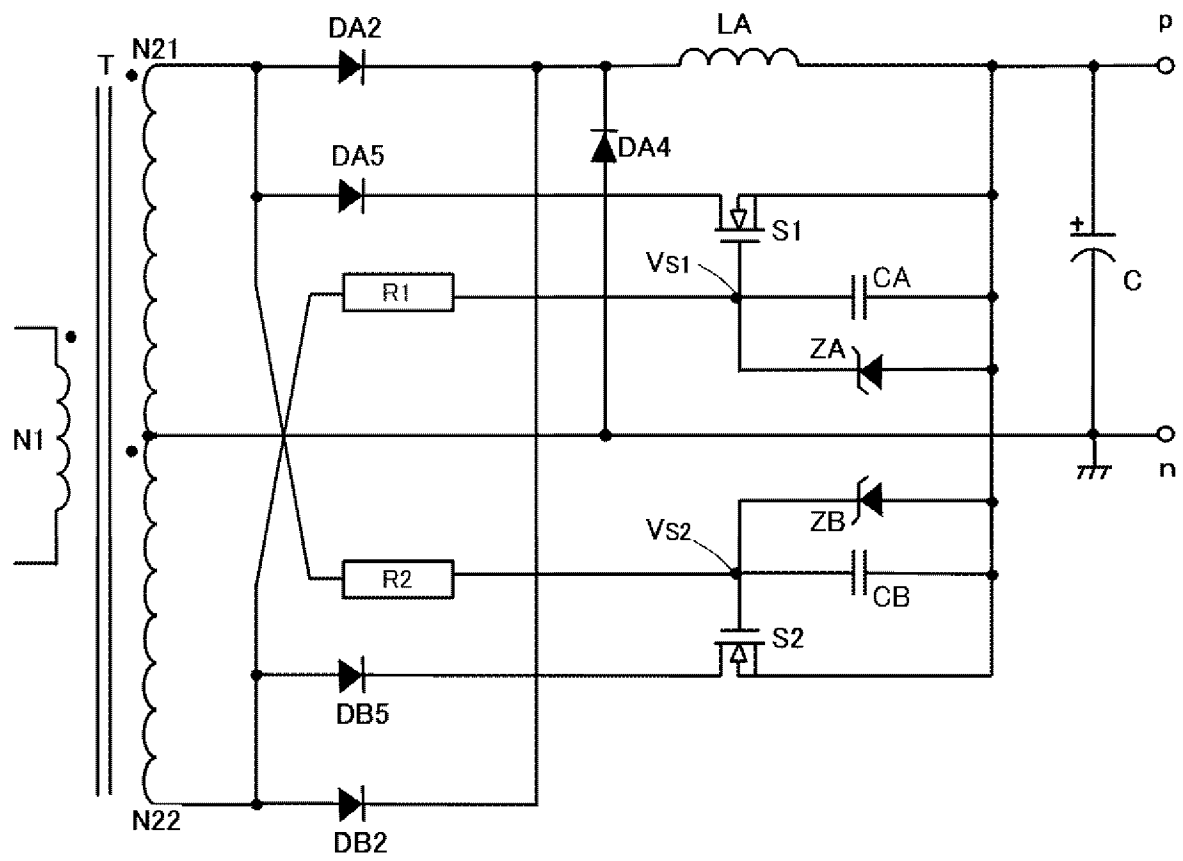
(a) mode-I



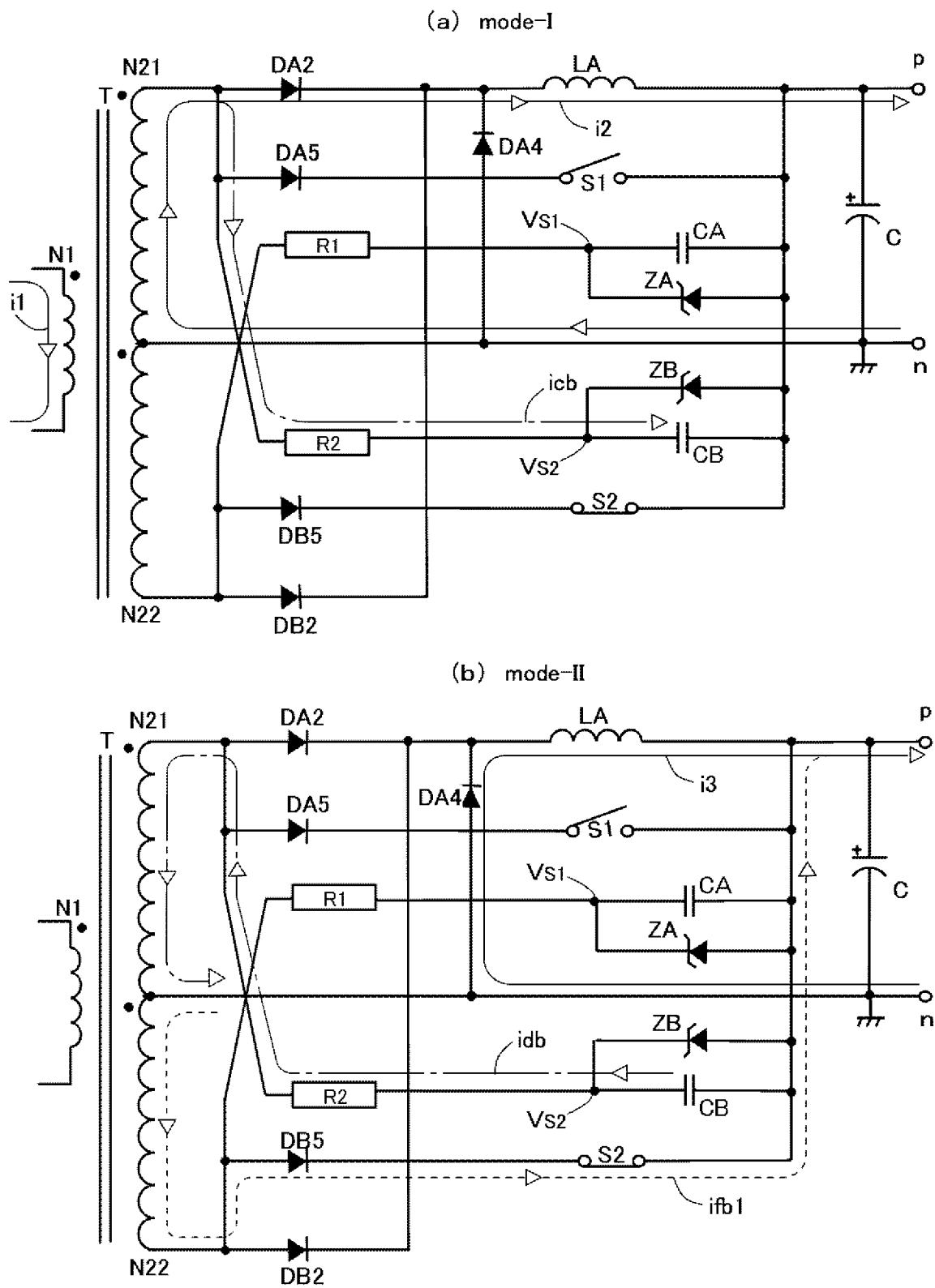
(a) mode-III



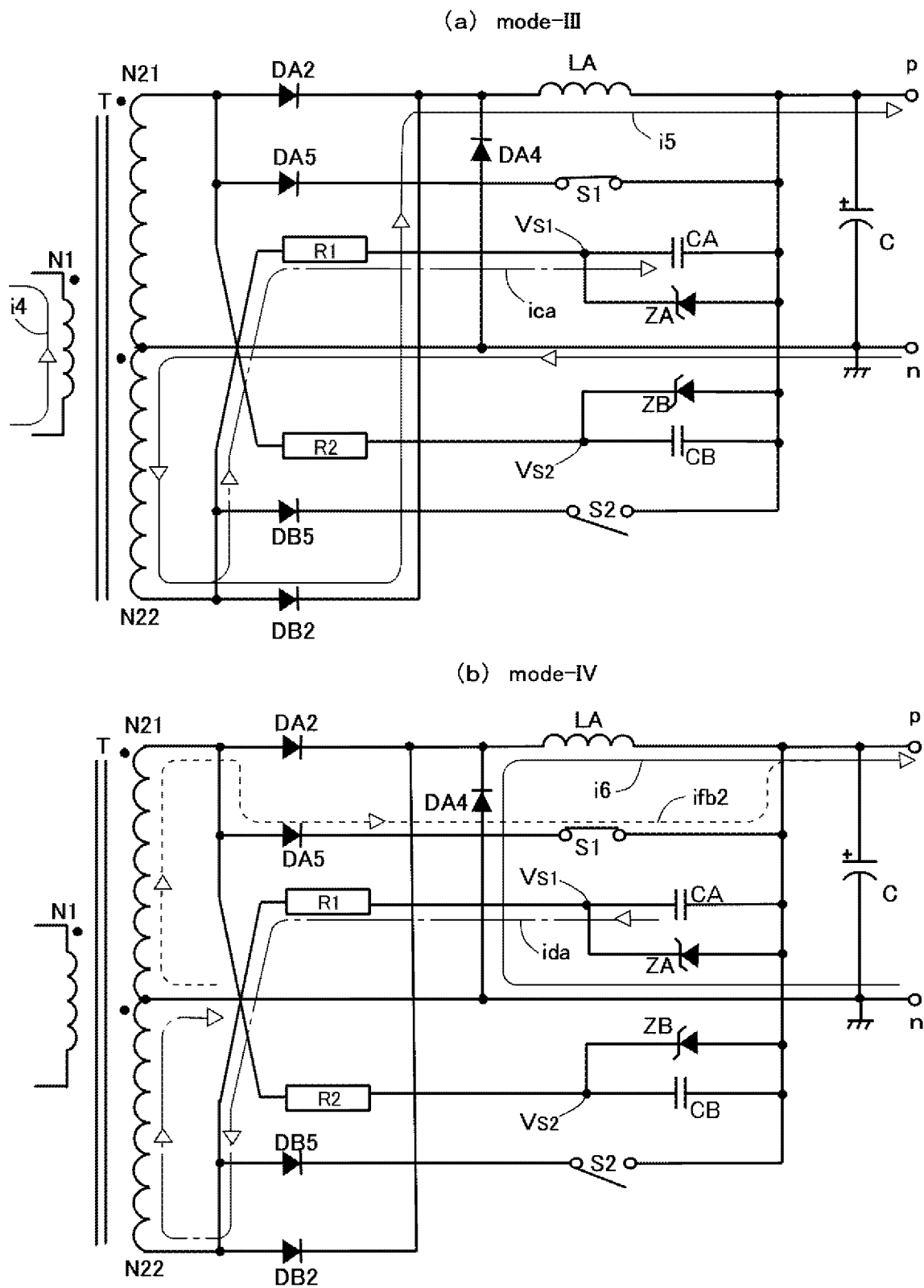
[図19]



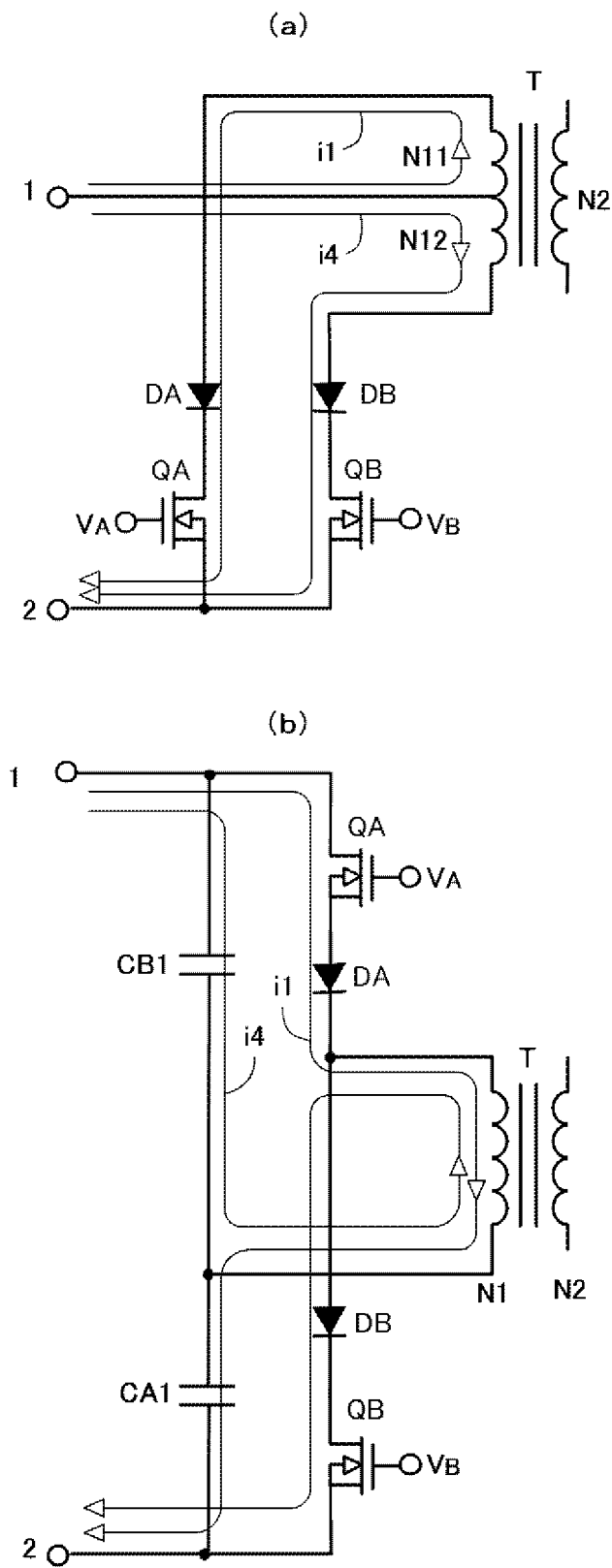
[図20]



[図21]



[図22]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2019/009159

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl. H02M3/28 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl. H02M3/00-3/44

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2019
Registered utility model specifications of Japan	1996-2019
Published registered utility model applications of Japan	1994-2019

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 2015/0333640 A1 (TELEFONAKTIEBOLAGET L M ERICSSON (PUBL)) 19 November 2015, entire text, all drawings & WO 2014/131455 A1 & CN 104981971 A	1-8
A	US 2010/0067259 A1 (DELTA ELECTRONICS, INC.) 18 March 2010, entire text, all drawings & TW 201014140 A	1-8
A	JP 2013-063003 A (FUJITSU TELECOM NETWORKS LIMITED) 04 April 2013, entire text, all drawings (Family: none)	1-8

☐ Further documents are listed in the continuation of Box C.	☐ See patent family annex.
---	---

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 21 May 2019 (21.05.2019)	Date of mailing of the international search report 04 June 2019 (04.06.2019)
Name and mailing address of the ISA/ Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan	Authorized officer Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. H02M3/28(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. H02M3/00-3/44

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2019年
日本国実用新案登録公報	1996-2019年
日本国登録実用新案公報	1994-2019年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	US 2015/0333640 A1 (TELEFONAKT I EBOLAGET L M ERICSSON (PUBL)) 2015. 11. 19, 全文, 全図 & WO 2014/131455 A1 & CN 104981971 A	1-8

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」 口頭による開示、使用、展示等に言及する文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」 同一パテントファミリー文献

国際調査を完了した日

21. 05. 2019

国際調査報告の発送日

04. 06. 2019

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

白井 孝治

5 G

8843

電話番号 03-3581-1101 内線 3526

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	US 2010/0067259 A1 (DELTA ELECTRONIC S, INC.) 2010. 03. 18, 全文, 全図 & TW 201014140 A	1-8
A	JP 2013-063003 A (富士通テレコムネットワークス株式会 社) 2013. 04. 04, 全文, 全図 (ファミリーなし)	1-8