

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第3区分

【発行日】平成19年9月6日(2007.9.6)

【公表番号】特表2007-506160(P2007-506160A)

【公表日】平成19年3月15日(2007.3.15)

【年通号数】公開・登録公報2007-010

【出願番号】特願2006-526063(P2006-526063)

【国際特許分類】

G 0 6 F 11/22 (2006.01)

G 0 1 R 31/28 (2006.01)

G 0 6 F 12/16 (2006.01)

【F I】

G 0 6 F 11/22 3 1 0 B

G 0 1 R 31/28 B

G 0 1 R 31/28 V

G 0 6 F 11/22 3 6 0 P

G 0 6 F 12/16 3 3 0 A

【手続補正書】

【提出日】平成19年6月29日(2007.6.29)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

システムの複数の構成要素間における相互接続部のテストを実施するための方法であって、

コントローラのコントローラパターンバッファに第1のパターンをロードするステップと、

前記第1のパターンを前記コントローラから前記複数の構成要素のうちの一の構成要素に第1の相互接続部を介して伝送するステップと、

前記コントローラにおいて、前記構成要素から前記第1の相互接続部とは区別される第2の相互接続部を介して前記第1のパターンに対応するキャプチャされた第1のパターンを受信するステップと、

前記コントローラにおいて、前記キャプチャされた第1のパターンを前記第1のパターンと比較するための第1の比較を実行するステップと、

前記第1の比較に基づいて相互接続障害を識別するステップと、
を含む方法。

【請求項2】

前記伝送された第1のパターンをキャプチャするために、前記構成要素キャプチャバッファを準備するステップをさらに含む、請求項1に記載の方法。

【請求項3】

前記構成要素キャプチャバッファを準備するステップが、前記構成要素を相互接続テストモードに置くステップをさらに含む、請求項2に記載の方法。

【請求項4】

前記構成要素がメモリデバイスである、請求項3に記載の方法。

【請求項5】

前記キャプチャされた第 1 のパターンを、前記構成要素キャプチャバッファから前記コントローラに転送するステップをさらに含む、請求項 4 に記載の方法。

【請求項 6】

前記キャプチャされた第 1 のパターンを転送するステップがシリアルリンクを介して実行される、請求項 5 に記載の方法。

【請求項 7】

前記第 1 のパターンを伝送するステップが制御バスを介して実行される、請求項 6 に記載の方法。

【請求項 8】

シリアルリンクを介して第 2 のパターンを前記メモリデバイスにロードするステップと、

メモリ読み出し動作を実行するステップと、

前記メモリデバイスから受信された前記第 2 のパターンをキャプチャするステップと、

前記キャプチャされた第 2 のパターンを前記第 2 のパターンと比較するための第 2 の比較を実行するステップと、

前記第 2 の比較に基づいて相互接続障害を識別するステップと、をさらに含む請求項 7 に記載の方法。

【請求項 9】

前記メモリ読み出し動作を実行するステップが制御バスを介して実行される、請求項 8 に記載の方法。

【請求項 10】

前記第 2 のパターンをキャプチャするステップが、データバスを介して前記メモリデバイスから受信される前記第 2 のパターンをキャプチャすることによって実行される、請求項 9 に記載の方法。

【請求項 11】

前記第 2 のパターンを前記コントローラの前記コントローラパターンバッファにロードするステップをさらに含む、請求項 10 に記載の方法。

【請求項 12】

前記第 2 のパターンが前記第 1 のパターンと同一である、請求項 10 に記載の方法。

【請求項 13】

第 2 のパターンを前記構成要素の構成要素パターンバッファにロードするステップと、前記第 2 のパターンを前記コントローラに伝送するステップと、

前記伝送された第 2 のパターンを前記コントローラのコントローラキャプチャバッファにおいてキャプチャするステップと、

前記キャプチャされた第 2 のパターンを前記第 2 のパターンと比較するための第 2 の比較を実行するステップであって、相互接続障害を識別するステップが、前記第 1 の比較および前記第 2 の比較に基づいているステップと、

をさらに含む、請求項 2 に記載の方法。

【請求項 14】

前記第 2 のパターンをロードするステップがシリアルリンクを介して実行される、請求項 13 に記載の方法。

【請求項 15】

前記第 2 のパターンをロードするステップが、前記構成要素の埋め込みメモリ素子から格納パターンをロードすることによって実行される、請求項 13 に記載の方法。

【請求項 16】

前記構成要素がグラフィックプロセッサである、請求項 13 に記載の方法。

【請求項 17】

前記第 2 のパターンが前記第 1 のパターンと同一である、請求項 13 に記載の方法。

【請求項 18】

前記第 1 の相互接続部が並列の相互接続部であり、前記第 2 の相互接続部が直列の相互

接続部である、請求項 1 に記載の方法。

【請求項 19】

相互接続テストを容易にするように構成されたシステムであって、

第 1 のコア回路、第 1 のインターフェース回路、パターンを格納するように構成されたパターンバッファ、および前記第 1 のコア回路を前記第 1 のインターフェース回路に結合する第 1 の通信パスを含む第 1 の構成要素と、

第 2 の構成要素であって、第 2 のコア回路、第 2 のインターフェース回路、前記第 2 のコア回路を前記第 2 のインターフェース回路に結合する第 2 の通信パス、および前記第 1 の構成要素を前記第 2 の構成要素に結合する相互接続回路を含み、前記第 1 の構成要素によって前記相互接続回路を介して伝送された前記パターンをキャプチャパターンとしてキャプチャするために、キャプチャバッファが、前記第 1 の通信パスに結合されている第 2 の構成要素と、

前記第 2 の構成要素と前記第 1 の構成要素との間のリンクであって、前記リンクが、前記相互接続回路とは区別されるものであり、前記パターンと比較するために、前記キャプチャパターンを前記第 2 の構成要素から前記第 1 の構成要素に転送するように構成されたリンクと、

を含むシステム。

【請求項 20】

第 2 のキャプチャバッファが前記第 2 の通信パスに結合されている、請求項 19 に記載のシステム。

【請求項 21】

前記第 1 の通信パスが第 1 の伝送パスおよび第 1 の受信パスを含み、前記第 1 のキャプチャバッファが、前記第 1 の伝送通信パスに結合された第 1 の伝送キャプチャバッファ、および前記第 1 の受信通信パスに結合された第 1 の受信バッファを含む、請求項 20 に記載のシステム。

【請求項 22】

前記第 2 の通信パスが、第 2 の伝送通信パスおよび第 2 の受信通信パスをさらに含み、前記第 2 のキャプチャバッファが、前記第 2 の伝送通信パスに結合された第 2 の伝送キャプチャバッファ、および前記第 2 の受信通信パスに結合された第 2 の受信キャプチャバッファをさらに含む、請求項 21 に記載のシステム。

【請求項 23】

前記第 1 の伝送通信パスが、第 1 のマルチプレクサをさらに含み、前記第 1 のマルチプレクサが、前記第 1 のコア回路からの第 1 の入力部と、前記マルチプレクサに結合された第 1 のパターンバッファからの第 2 の入力部との間で選択するように構成されている、請求項 22 に記載のシステム。

【請求項 24】

前記第 2 の伝送通信パスが、前記第 2 のコア回路に結合された第 3 の入力部と、前記マルチプレクサに結合された第 2 のパターンバッファに結合された第 4 の入力部との間で選択するように構成された第 2 のマルチプレクサをさらに含む、請求項 23 に記載のシステム。

【請求項 25】

前記第 1 の構成要素を前記第 2 の構成要素に結合するシリアルリンクをさらに含むシステムであって、前記第 1 の構成要素が、前記シリアルリンクを介した、前記第 2 の構成要素への、前記第 1 の受信キャプチャバッファにおける第 1 のデータの伝達を可能にするように構成されている、請求項 23 に記載のシステム。

【請求項 26】

前記第 1 の構成要素を前記第 2 の構成要素に結合するシリアルリンクをさらに含むシステムであって、前記第 2 の構成要素が、前記シリアルリンクを介した、前記第 1 の構成要素への、前記第 2 の受信キャプチャバッファにおける第 2 のデータの伝達を可能にするように構成されている、請求項 23 に記載のシステム。

【請求項 27】

前記第1の構成要素を前記第2の構成要素に結合するシリアルリンクをさらに含むシステムであって、前記第1の構成要素が、前記シリアルリンクを介した、前記第1の伝送キャプチャバッファから前記第2の構成要素への前記第1のパターンの伝達を可能にするように構成されている、請求項 23 に記載のシステム。

【請求項 28】

前記第1の構成要素を前記第2の構成要素に結合するシリアルリンクをさらに含むシステムであって、前記第2の構成要素が、前記シリアルリンクを介した、前記第2の伝送キャプチャバッファから前記第1の構成要素への前記第2のパターンの伝達を可能にするように構成されている、請求項 23 に記載のシステム。

【請求項 29】

相互接続テストを可能にするように構成されたメモリシステムであって、
パターンを格納するように構成されたコントローラパターンバッファを含むメモリコントローラと、

前記メモリコントローラに結合されたメモリデバイスであって、前記メモリコントローラが、コア回路、インターフェース回路、および前記コア回路を前記インターフェース回路に結合する通信パスを含み、前記メモリコントローラによって伝送されたパターンをキャプチャパターンとしてキャプチャするために、キャプチャバッファが前記通信パス結合されているメモリデバイスと、

前記メモリデバイスと前記メモリコントローラとの間の相互接続回路であって、前記メモリコントローラから前記メモリデバイスに前記パターンを転送するように構成されている相互接続回路と、

前記メモリデバイスと前記メモリコントローラとの間のリンクであって、前記相互接続回路とは区別されるものであり、前記パターンと比較するために、前記メモリから前記メモリコントローラに前記キャプチャパターンを転送するように構成されているリンクと、
を含むメモリシステム。

【請求項 30】

前記通信パスが、伝送通信パスおよび受信通信パスを含み、前記キャプチャバッファが、前記伝送通信パスに結合された伝送キャプチャバッファ、および前記受信通信パスに結合された受信キャプチャバッファを含む、請求項 29 に記載のメモリシステム。

【請求項 31】

前記伝送通信パスが、前記コア回路に結合された第1の入力部と、パターンバッファに結合された第2の入力部との間で選択するように構成されたマルチプレクサを含む、請求項 30 に記載のメモリシステム。

【請求項 32】

前記メモリデバイスが、メモリシリアルリンク、制御バスおよびデータバスを介して、前記メモリコントローラに結合されている、請求項 29 に記載のメモリシステム。

【請求項 33】

相互接続テストを容易にするように構成されたシステムであって、

第1のコア回路、第1のインターフェース回路、テストパターンを格納するための手段、および前記第1のコア回路を前記第1のインターフェース回路に結合するための第1の通信手段を含む第1の構成要素と、

第2のコア回路、第2のインターフェース回路、前記コア回路を前記インターフェース回路に結合するための第2の通信手段、および前記第1の構成要素を前記第2の構成要素に結合するための相互接続手段を含み、前記第1の構成要素から受信されたテストパターンをキャプチャするための手段が、前記第1の通信手段に結合されている第2の構成要素と、

前記第2の構成要素と前記第1の構成要素と間のリンク手段であって、前記相互接続手段とは区別されるものであり、前記テストパターンと比較するために、前記第2の構成要素から前記第1の構成要素に前記キャプチャされたテストパターンを転送するように構成

されているリンク手段と、
を含むシステム。

【請求項 3 4】

システムの複数の構成要素間における相互接続部のテストを実施するための方法であつて、

コントローラに第 1 のパターンを格納するステップと、

前記第 1 のパターンを前記コントローラから前記複数の構成要素のうちの一の構成要素に第 1 の相互接続部を介して伝送するステップと、

前記コントローラにおいて、前記構成要素から前記第 1 の相互接続部とは区別される第 2 の相互接続部を介して前記第 1 のパターンに対応するキャプチャされた第 1 のパターンを受信するステップと、

前記コントローラにおいて、前記キャプチャされた第 1 のパターンと前記第 1 のパターンとを比較する第 1 の比較を実行するステップと、

前記コントローラから前記構成要素に前記第 2 の相互接続部を介して第 2 のパターンを伝送するステップと、

前記コントローラにおいて、前記構成要素から前記第 1 の相互接続部を介して前記第 2 のパターンに対応するキャプチャされた第 2 のパターンを受信するステップと、

前記コントローラにおいて、前記キャプチャされた第 2 のパターンを前記第 2 のパターンと比較する第 2 の比較を実行するステップと、

前記第 1 の比較および前記第 2 の比較に基づいて前記第 1 の相互接続部の相互接続障害を識別するステップと、

を含む方法。

【請求項 3 5】

システムの複数の構成要素間における相互接続部のテストを実施するための方法であつて、

コントローラに第 1 のパターンを格納するステップと、

前記第 1 のパターンを前記コントローラから前記複数の構成要素のうちの一の構成要素に第 1 の相互接続部を介して伝送するステップと、

前記コントローラにおいて、前記構成要素から前記第 1 の相互接続部とは区別される第 2 の相互接続部を介して前記第 1 のパターンに対応するキャプチャされた第 1 のパターンを受信するステップと、

前記コントローラにおいて、前記キャプチャされた第 1 のパターンを前記第 1 のパターンと比較する第 1 の比較を実行するステップと、

前記コントローラにおいて、前記構成要素から前記第 1 の相互接続部を介して、前記構成要素の埋め込みメモリ素子の格納された第 2 のパターンに対応するキャプチャされた第 2 のパターンを受信するステップと、

前記コントローラにおいて、前記キャプチャされた第 2 のパターンを前記コントローラの埋め込みメモリ素子に格納された第 2 のパターンのコピーと比較する第 2 の比較を実行するステップと、

前記第 1 の比較および前記第 2 の比較に基づいて前記第 1 の相互接続部の相互接続障害を識別するステップと、

を含む方法。