



(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。 Int. Cl. G11C 7/10 (2006.01)	(45) 공고일자 (11) 등록번호 (24) 등록일자	2007년06월18일 10-0729142 2007년06월11일
--	-------------------------------------	--

(21) 출원번호 (22) 출원일자 심사청구일자	10-2005-0124173 2005년12월15일 2005년12월15일	(65) 공개번호 (43) 공개일자
----------------------------------	---	------------------------

(73) 특허권자 고려대학교 산학협력단
 서울 성북구 안암동5가1 고려대학교 내

(72) 발명자 김수원
 서울특별시 성북구 돈암동 636번지 15/7 브라운스톤 돈암아파트104-401호

 손종필
 경기도 용인시 서천동 SK아파트 103-303호

(74) 대리인 현종철

(56) 선행기술조사문헌 JP63296513 A JP04079414 A KR1020010001732 A	JP02143989 A KR1019980083401 A KR2019940021417 U
--	--

심사관 : 윤난영

전체 청구항 수 : 총 6 항

(54) 접지 바운싱을 방지하는 반도체 장치의 출력단 회로

(57) 요약

접지 바운싱을 방지하는 반도체 장치의 출력단 회로에 관한 것이다. 본 발명은 반도체 장치의 내부 회로에서 발생하는 신호들을 외부 장치로 전송하는 출력단 회로에 있어서, 상기 내부 회로에서 발생하는 신호들을 상기 외부 장치에 적합한 전압 레벨로 변환하여 출력하는 다수개의 출력 버퍼들, 및 상기 출력 버퍼들 중 일부에 연결되며 상기 내부 회로에서 발생하는 신호들 중 일부를 소정 시간 지연시켜서 대응되는 출력 버퍼들로 전달하는 복수개의 지연부들을 구비함으로써, 접지 바운싱이 감소된다.

대표도

도 5

특허청구의 범위

청구항 1.

반도체 장치의 내부 회로에서 발생하는 신호들을 외부 장치로 전송하는 출력단 회로에 있어서,

상기 내부 회로에서 발생하는 신호들을 상기 외부 장치에 적합한 전압 레벨로 변환하여 출력하는 복수개의 출력 버퍼들;
및

상기 출력 버퍼들 중 일부에 연결되며, 상기 내부 회로에서 발생하는 신호들 중 일부를 소정 시간 지연시켜서 대응되는 출력 버퍼들로 전달하는 복수개의 지연부들을 포함하고,

상기 출력 버퍼들 중 일부는 상기 내부 회로에 직접 연결되고, 나머지 출력 버퍼들은 상기 지연부들에 직접 연결되며, 상기 출력 버퍼들 중 인접한 출력 버퍼끼리는 동시에 활성화되지 않는 것을 특징으로 하는 반도체 장치의 출력단 회로.

청구항 2.

삭제

청구항 3.

제1항에 있어서, 상기 지연부들은 각각 긴 메탈 라인 또는 시트 저항이 큰 폴리 저항을 구비하는 것을 특징으로 하는 반도체 장치의 출력단 회로.

청구항 4.

제1항에 있어서, 상기 지연부들은 각각 우수개의 인버터들을 구비하는 것을 특징으로 하는 반도체 장치의 출력단 회로.

청구항 5.

삭제

청구항 6.

반도체 장치의 내부 회로에서 발생하는 신호들을 외부 장치로 전송하는 출력단 회로에 있어서,

상기 내부 회로에서 발생하는 신호들을 상기 외부 장치에 적합한 전압 레벨로 변환하여 출력하는 다수개의 출력 버퍼들;

상기 출력 버퍼들 중 일부에 연결되며, 상기 내부 회로에서 발생하는 신호들을 입력하여 대응되는 출력 버퍼들로 전송하는 복수개의 스위칭부들; 및

상기 스위칭부들에 연결되며, 대기시에는 상기 스위칭부들을 비활성화시키며, 상기 내부 회로에서 발생된 신호들이 상기 내부 회로에 직접 연결된 출력 버퍼들로 입력되고나서 소정 시간 후에 상기 스위칭부들을 활성화시키는 제어부를 구비하는 것을 특징으로 하는 반도체 장치의 출력단 회로.

청구항 7.

제6항에 있어서, 상기 복수개의 스위칭부들은 상기 출력 버퍼들에 교번적으로 연결된 것을 특징으로 하는 반도체 장치의 출력단 회로.

청구항 8.

제6항에 있어서, 상기 다수개의 출력 버퍼들 중 인접한 출력 버퍼들끼리는 동시에 활성화되지 않는 것을 특징으로 하는 반도체 장치의 출력단 회로.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 장치의 출력단 회로에 관한 것으로서, 특히 접지 바운싱을 방지하는 반도체 장치의 출력단 회로에 관한 것이다.

반도체 장치는 크기가 작은 반도체 칩을 내장하며, 반도체 칩에는 수많은 반도체 소자들이 형성되어 있다. 반도체 장치는 이러한 반도체 소자들을 통하여 데이터를 저장하거나 데이터의 특정 기능을 수행한다. 반도체 소자들이 동작하기 위해서는 외부에서 반도체 장치로 전원전압과 접지전압이 인가되어야 한다. 일반적인 반도체 장치의 접지 전압으로는 0볼트가 사용되며, 전원전압으로는 5볼트 또는 그 이하의 전압이 사용된다. 파워 반도체 장치는 전원전압으로서 수백 볼트를 사용하기도 한다. 반도체 소자들은 제어 신호에 의해 선택적으로 동작하게 된다. 그런데, 반도체 소자들 중 다수가 동시에 활성화될 경우, 전원전압이 인가되는 전원단으로부터 접지전압이 인가되는 접지단으로 큰 전류가 갑자기 흐르게 되어 반도체 장치의 신호들이 오동작할 수가 있다.

도 1은 종래의 반도체 장치의 출력단 회로의 일 예를 도시한 블록도이고, 도 2는 도 1에 도시된 신호들의 파형도이다. 도 1을 참조하면, 반도체 장치(101)의 내부 회로(111)에서 발생하는 신호들(IN1, IN2)이 출력 버퍼들(121, 122)에 동시에 인가될 경우, 출력 버퍼들(121, 122)이 동시에 활성화되어 반도체 장치(101)의 전원단으로부터 접지단으로 큰 전류가 순간적으로 흐르게 된다. 그러면, 접지 바운싱이 발생하여 도 2에 도시된 바와 같이, 출력 패드들(131, 132)로부터 출력되는 출력 신호들(OUT1, OUT2)에 피크 전압(211, 212)이 발생하게 되며, 이로 인하여 출력 신호들(OUT1, OUT2)은 오동작을 할 수가 있다.

이러한 접지 바운싱을 방지하기 위하여 도 3에 도시된 회로가 개발되었다. 도 3을 참조하면, 반도체 장치의 출력 버퍼(311)는 PMOS 트랜지스터들(321~323)과 NMOS 트랜지스터들(331~333) 및 저항들(341~344)을 구비하고 있다. 저항들(341~344)은 출력 버퍼(311)의 구동을 늦추는 역할을 한다. 따라서, 반도체 장치의 내부로부터 발생하는 신호(IN1)가 출력 버퍼(311)에 입력될 때 출력 버퍼(311)로부터 출력되는 신호(OUT1)는 도 4에 도시된 바와 같이, 완만한 슬로프(411)를 갖게 된다.

이 때, 저항들(341~344)에 의해 반도체 장치의 전원단(VDD)에서 접지단(GND)으로 DC(Direct Current) 전류가 많이 흐르게 되고, 그로 인하여 접지 바운싱 제거 효과가 오히려 반감되어, 결과적으로, 접지 바운싱 제거 효과가 미약하다.

발명이 이루고자 하는 기술적 과제

본 발명의 목적은 출력단에 흐르는 DC 전류의 소모를 감소시키고, 접지 바운싱을 억제하는 반도체 장치의 출력단 회로를 제공하는 것이다.

발명의 구성

상기 기술적 과제를 이루기 위하여 본 발명은

반도체 장치의 내부 회로에서 발생하는 신호들을 외부 장치로 전송하는 출력단 회로에 있어서, 상기 내부 회로에서 발생하는 신호들을 상기 외부 장치에 적합한 전압 레벨로 변환하여 출력하는 다수개의 출력 버퍼들; 및 상기 출력 버퍼들 중 일부에 연결되며, 상기 내부 회로에서 발생하는 신호들 중 일부를 소정 시간 지연시켜서 대응되는 출력 버퍼들로 전달하는 복수개의 지연부들을 구비하는 반도체 장치의 출력단 회로를 제공한다.

바람직하기는, 상기 복수개의 지연부들은 상기 출력 버퍼들에 교번적으로 연결되며, 상기 다수개의 출력 버퍼들 중 인접한 출력 버퍼들끼리는 동시에 활성화되지 않는다.

바람직하기는 또한, 상기 지연부들은 각각 긴 메탈 라인이나 시트 저항이 큰 폴리 저항을 구비하거나 또는 우수개의 인버터들을 구비한다.

상기 기술적 과제를 이루기 위하여 본 발명은 또한,

반도체 장치의 내부 회로에서 발생하는 신호들을 외부 장치로 전송하는 출력단 회로에 있어서, 상기 내부 회로에서 발생하는 신호들을 상기 외부 장치에 적합한 전압 레벨로 변환하여 출력하는 다수개의 출력 버퍼들; 상기 출력 버퍼들 중 일부에 연결되며, 상기 내부 회로에서 발생하는 신호들을 입력하여 대응되는 출력 버퍼들로 전송하는 복수개의 스위칭부들; 및 상기 스위칭부들에 연결되며, 대기시에는 상기 스위칭부들을 비활성화시키며, 상기 내부 회로에서 발생된 신호들이 상기 내부 회로에 직접 연결된 출력 버퍼들로 입력되고나서 소정 시간 후에 상기 스위칭부들을 활성화시키는 제어부를 구비하는 반도체 장치의 출력단 회로를 제공한다.

바람직하기는, 상기 복수개의 스위칭부들은 상기 출력 버퍼들에 교번적으로 연결되며, 상기 다수개의 출력 버퍼들 중 인접한 출력 버퍼들끼리는 동시에 활성화되지 않는다.

이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 설명함으로써, 본 발명을 상세히 설명한다. 각 도면에 제시된 동일한 참조부호는 동일한 부재를 나타낸다.

도 5는 본 발명의 바람직한 실시예에 따른 반도체 장치의 출력단 회로의 블록도이다. 도 5를 참조하면, 반도체 장치(501)는 내부 회로(511)와 출력단 회로(515) 및 다수개의 출력 패드들(541~544)을 구비한다.

내부 회로(511)는 외부에서 반도체 장치(501)에 입력되는 신호들에 응답하여 특정 기능을 수행하기 위한 내부 신호들(IN1~IN4)을 발생한다.

출력단 회로(515)는 내부 신호들(IN1~IN4)을 입력하고, 내부 신호들(IN1~IN4)을 반도체 장치(501)에 연결되는 외부 장치(미도시)의 동작에 적합한 전압 레벨로 변환하여 출력 패드들(541~544)을 통해서 외부로 출력한다.

출력단 회로(515)는 복수개의 지연부들(521,522)과 다수개의 출력 버퍼들(531~534)을 구비한다.

복수개의 지연부들(521,522)은 출력 버퍼들(531~534)보다 적은 갯수로 구비된다. 복수개의 지연부들(521,522)은 각각 입력되는 내부 신호들(IN1~IN4)을 소정시간 지연시켜서 대응되는 출력 버퍼들(532,534)로 전달한다.

다수개의 출력 버퍼들(531~534) 중 일부는 내부 회로(511)에 직접 연결되며, 나머지는 지연부들(521,522)에 연결된다. 다수개의 출력 버퍼들(531~534)은 각각 입력되는 신호들의 전압 레벨을 변환하여 출력 패드들(541~544)에 연결되는 외부 장치에 적합하게 만들어준다.

상술한 바와 같이, 반도체 장치(501)는 다수개의 출력 버퍼들(531~534)과 복수개의 지연부들(521,522)을 구비하고, 복수개의 지연부들(521,522)은 출력 버퍼들(531~534)에 교번적으로 연결됨으로써, 지연부들(521,522)을 통해서 출력 버퍼들(531~534)로 입력되는 신호들은 내부 회로(511)에서 직접 출력 버퍼들(531,533)에 입력되는 신호들(IN1,IN3)보다 소정 시간 지연되어 입력된다.

이와 같이, 내부 회로(511)에서 발생하는 신호들(IN1~IN4)이 출력 버퍼들(531~534)에 시간 차이를 두고 입력됨에 따라, 모든 출력 버퍼들(531~534)은 동시에 활성화되지 않는다. 그 결과, 반도체 장치(501)의 전원단에서 접지단으로 동시에 흐르는 전류가 많지 않다. 즉, 접지 바운싱이 분산되어 출력 신호들(OUT1~OUT4)에 포함되는 피크 전압이 감소된다. 특히, 접지 바운싱은 접지 전압의 국지적 상승이므로 동시에 활성화되는 출력 버퍼의 거리가 멀수록 접지 바운싱의 집중도

가 상쇄되어지는데, 본 발명에서는 인접한 출력 버퍼들, 예컨대 출력 버퍼(531)와 출력 버퍼(532), 출력 버퍼(532)와 출력 버퍼(533), 출력 버퍼(533)와 출력 버퍼(534)는 동시에 활성화되지 않기 때문에, 접지 바운싱은 분산되어 출력 신호들(OUT1~OUT4)에는 피크 전압이 거의 발생되지 않게 되며, 이에 따라 출력 신호들(OUT1~OUT4)의 오동작이 방지된다.

또한, 출력단 회로(515)에 저항들을 구비하지 않기 때문에 출력단 회로(515)에는 DC 전류가 발생하지 않아 전력 소모가 감소된다.

도 6은 도 5에 도시된 출력 버퍼들에 입력되는 신호들의 파형도이다. 도 5를 참조하여 도 6에 도시된 신호들의 특성을 설명하기로 한다. 내부 회로(511)에서 발생되어 지연부들(521,522)을 통해 출력 버퍼들(532,534)로 입력되는 신호들(IN2,IN4)은 내부 회로(511)에서 발생되어 출력 버퍼들(531,533)로 직접 입력되는 신호들(IN1,IN3)에 비해 소정 시간(t_1) 지연되어 입력된다. 즉, 인접한 출력 신호들끼리, 예컨대, 신호(IN1)와 신호(IN2), 신호(IN2)와 신호(IN3), 신호(IN3)와 신호(IN4)는 동시에 활성화되지 않는다.

도 7은 도 5에 도시된 지연부들 중 하나의 일 실시예를 보여주는 구성도이다. 도 7을 참조하면, 지연부(521)는 길이가 긴 메탈 라인(711)으로 이루어진다. 메탈 라인(711)은 반도체 장치(도 5의 501)에 형성된 반도체 소자들을 연결할 때 사용되는 물질로서, 저항이 작다. 그러나, 메탈 라인(711)이 길어지면 내부 저항이 커지므로, 긴 메탈 라인(711)은 지연 수단의 역할을 수행한다. 즉, 긴 메탈 라인(711)에 입력되는 신호는 메탈 라인(711)을 통과하는 동안 메탈 라인(711)의 내부 저항 때문에 지연된다. 메탈 라인(711)의 길이에 따라 지연 시간이 달라진다.

지연부(521)는 또한, 시트 저항이 큰 폴리 저항으로 이루어질 수 있다.

도 8은 도 5에 도시된 지연부들 중 하나의 다른 실시예를 보여주는 구성도이다. 도 8을 참조하면, 지연부(521)는 우수개의 인버터들(811,812)을 구비한다. 기수개의 인버터(들)는 입력 신호를 반전시키지만, 우수개의 인버터들(811,812)은 입력되는 신호를 지연시키는 기능을 수행한다. 지연부(521)는 또한, 낸드 게이트(NAND Gate)로 구성될 수도 있다.

도 9는 본 발명의 제2 실시예에 따른 반도체 장치의 출력단 회로의 블록도이다. 도 9를 참조하면, 반도체 장치(901)는 내부 회로(911)와 출력단 회로(915) 및 다수개의 출력 패드들(941~944)을 구비한다.

내부 회로(911)는 반도체 장치(901)에 입력되는 외부 신호들에 응답하여 특정 기능을 수행하기 위한 내부 신호들(IN1~IN4)을 발생한다.

출력단 회로(911)는 내부 신호들(IN1~IN4)을 입력하고, 내부 신호들(IN1~IN4)을 반도체 장치(901)에 연결되는 외부 장치(미도시)의 동작에 적합한 전압 레벨로 변환하여 출력 패드들(941~944)을 통해서 외부로 출력한다.

출력단 회로(915)는 다수개의 출력 버퍼들(931~934)과 복수개의 스위칭부들(921,922) 및 제어부(951)를 구비한다.

다수개의 출력 버퍼들(931~933) 중 일부(931,933)는 내부 회로(911)에 직접 연결되며, 나머지(932,934)는 스위칭부들(921,922)에 연결된다. 다수개의 출력 버퍼들(931~934)은 각각 입력되는 신호들의 전압 레벨을 변환하여 출력 패드들(941~944)에 연결되는 외부 장치에 적합하게 만들어준다.

복수개의 스위칭부들(921,922)은 출력 버퍼들(931~934) 중 일부(932,934)에 연결되며, 출력 버퍼들(931~934)보다 적은 개수가 구비된다. 복수개의 스위칭부들(921,922)은 내부 회로(911)에서 발생하는 신호들(IN2,IN4)과 제어부(951)의 출력 신호(CON1)를 입력하며, 제어부(951)의 출력 신호(CON1)에 응답하여 내부 회로(911)로부터 출력되는 신호들(IN2,IN4)을 대응되는 출력 버퍼들(932,934)로 전송한다.

제어부(951)는 복수개의 스위칭부들(921,922)에 연결된다. 제어부(951)는 대기시에는 스위칭부들(921,922)을 비활성화시킨다. 그러다가, 내부 회로(911)에서 신호들(IN1~IN4)이 발생할 경우, 신호들(IN1,IN3)이 내부 회로(911)에 직접 연결된 출력 버퍼들(931,933)로 입력되고나서 소정 시간(도 6의 t_1) 후에 스위칭부들(921,922)을 활성화시킨다. 스위칭부들(921,922)이 활성화되면, 스위칭부들(921,922)에 입력되는 신호들(IN2,IN4)은 대응되는 출력 버퍼들(932,934)로 전송된다.

상술한 바와 같이, 반도체 장치(901)는 다수개의 출력 버퍼들(931~934)과 복수개의 스위칭부들(921,922) 및 제어부(951)를 구비하고, 복수개의 스위칭부들(921,922)은 출력 버퍼들(931~934)에 교번적으로 연결됨으로써, 내부 회로

(911)로부터 발생하는 일련의 신호들(IN1~IN4) 중에서 일부(IN1,IN3)는 출력 버퍼들(931,933)에 직접 입력되지만, 나머지(IN2,IN4)는 스위칭부들(921,922)을 통해서 출력 버퍼들(932,934)로 입력되어 내부 회로(911)로부터 출력 버퍼들(931,933)에 직접 입력되는 신호들(IN1,IN3)보다 소정 시간(도 6의 t_1) 지연되어 입력된다.

이와 같이, 내부 회로(911)에서 발생하는 신호들(IN1~IN4)이 출력 버퍼들(931~934)에 시간 차이를 두고 입력됨에 따라, 모든 출력 버퍼들(931~934)은 동시에 활성화되지 않는다. 그 결과, 반도체 장치(901)의 전원단에서 접지단으로 동시에 흐르는 전류가 많지 않다. 즉, 접지 바운싱이 분산되어 피크 전압이 감소된다. 본 발명에서는 인접한 출력 버퍼들, 예컨대 출력 버퍼(931)와 출력 버퍼(932), 출력 버퍼(932)와 출력 버퍼(933), 출력 버퍼(933)와 출력 버퍼(934)는 동시에 활성화되지 않기 때문에, 접지 바운싱은 분산되어 출력 신호들(OUT1~OUT4)에는 피크 전압이 거의 발생되지 않게 되며, 이에 따라 출력 신호들(OUT1~OUT4)의 오동작이 방지된다.

또한, 출력단 회로(915)에 저항들을 구비하지 않기 때문에 출력단 회로(915)에는 DC 전류가 발생하지 않는다.

스위칭 수단들(921,922)은 출력 버퍼들(932,934)의 내부에 구비될 수 있으며, PMOS 트랜지스터, NMOS 트랜지스터 또는 이들의 조합으로 구성될 수 있다.

도면과 명세서에서 최적 실시예들이 개시되었으므로, 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 특허청구범위에 기재된 기술적 사상에 의해 정해져야 할 것이다.

발명의 효과

상술한 바와 같이, 반도체 장치(501,901)는 다수개의 출력 버퍼들(531~534, 931~934)을 구비하고, 인접한 출력 버퍼들이 동시에 활성화되지 않도록 구성됨으로써, 접지 바운싱이 감소되어 출력 신호들(OUT1~OUT4)에 포함되는 피크 전압이 감소되며, 그에 따라 출력 신호들(OUT1~OUT4)의 오동작이 방지된다.

또한, 출력단 회로(515,915)에 저항들이 구비되지 않기 때문에 출력단 회로(515,915)에는 DC 전류가 발생하지 않으며, 그로 인하여 출력단 회로(515,915)의 소모 전력이 감소한다.

최근의 통신 시스템에는 전송률을 높이기 위해 병렬 멀티 비트들을 사용하고 있는 추세이며, 본 발명의 출력단 회로(515,915)는 이러한 시스템에 매우 적합하게 채용될 수 있다.

도면의 간단한 설명

본 발명의 상세한 설명에서 인용되는 도면을 보다 충분히 이해하기 위하여 각 도면의 간단한 설명이 제공된다.

도 1은 종래의 반도체 장치의 출력단 회로의 일 예를 도시한 블록도이다.

도 2는 도 1에 도시된 신호들의 파형도이다.

도 3은 종래의 반도체 장치의 출력 버퍼의 회로도이다.

도 4는 도 3에 도시된 신호들의 파형도이다.

도 5는 본 발명의 제1 실시예에 따른 반도체 장치의 출력단 회로의 블록도이다.

도 6은 도 5에 도시된 출력 버퍼들에 입력되는 신호들의 파형도이다.

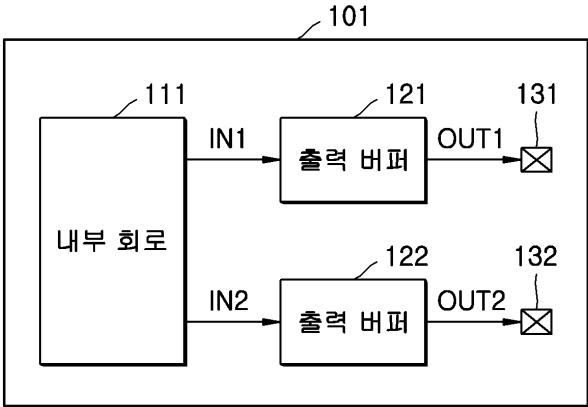
도 7은 도 5에 도시된 지연부들 중 하나의 일 실시예를 보여주는 구성도이다.

도 8은 도 5에 도시된 지연부들 중 하나의 다른 실시예를 보여주는 구성도이다.

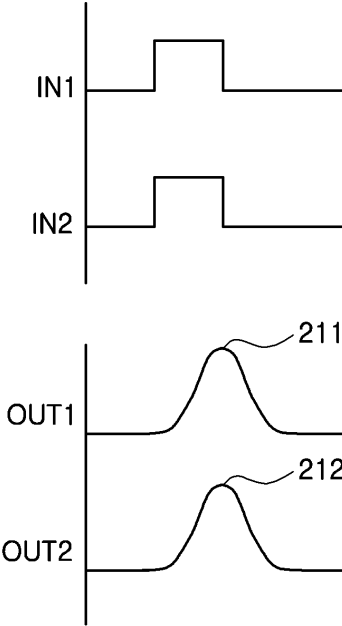
도 9는 본 발명의 제2 실시예에 따른 반도체 장치의 출력단 회로의 블록도이다.

도면

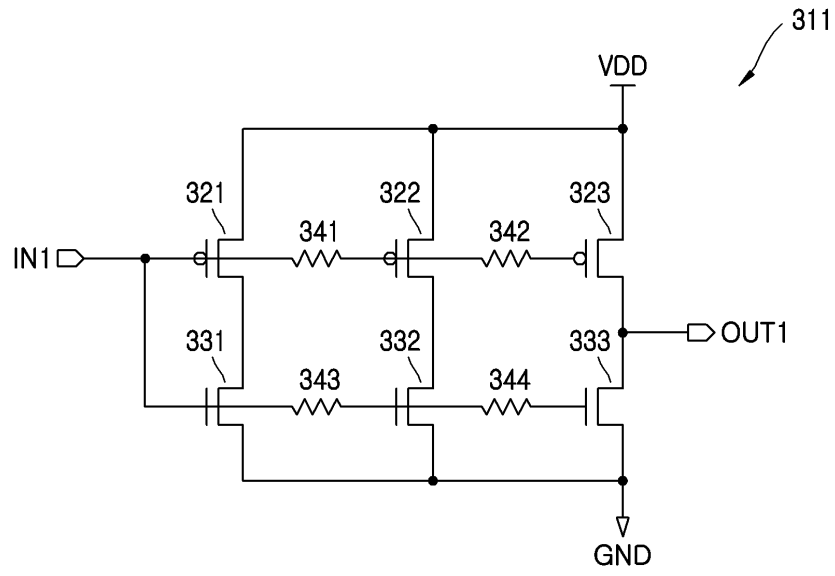
도면1



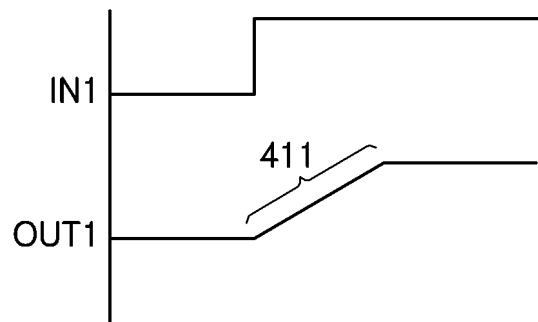
도면2



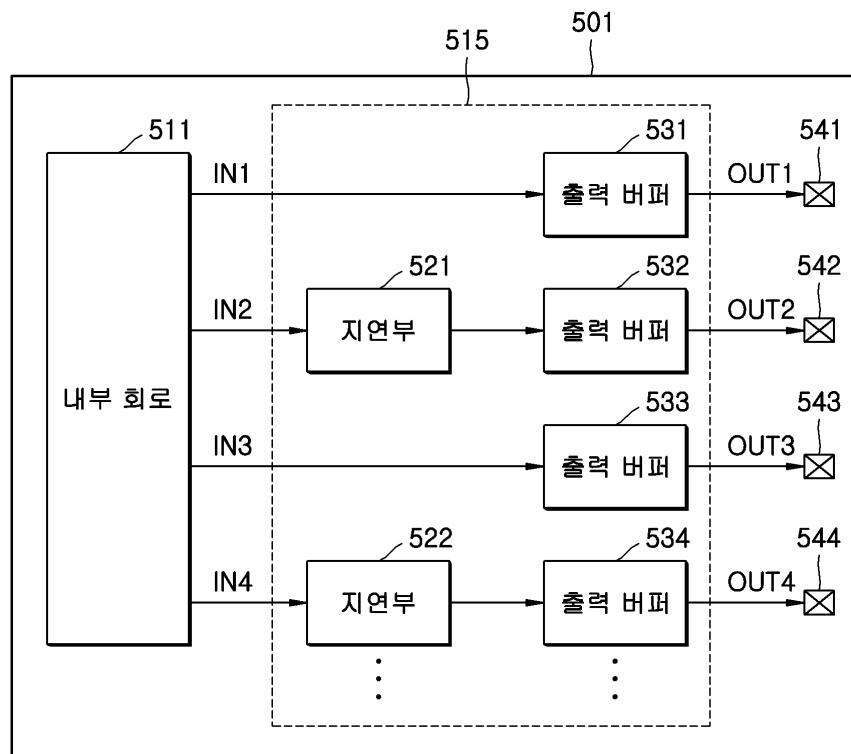
도면3



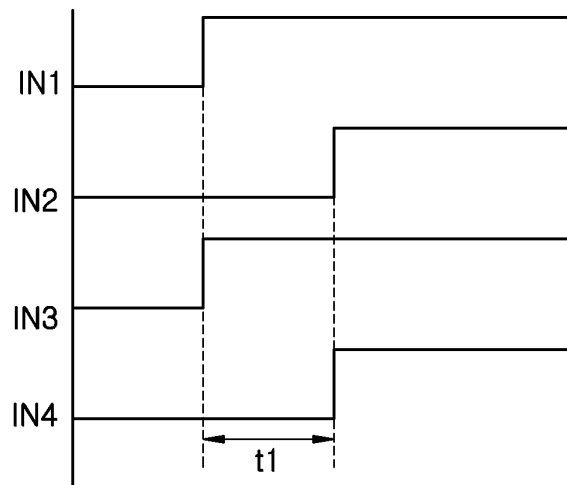
도면4



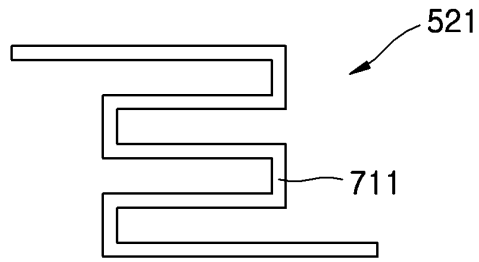
도면5



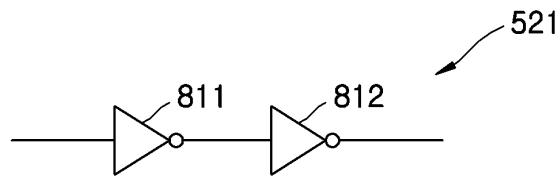
도면6



도면7



도면8



도면9

