



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2019-0009937
(43) 공개일자 2019년01월30일

(51) 국제특허분류(Int. Cl.)

H01L 27/11551 (2017.01) H01L 27/11524 (2017.01)
H01L 27/11529 (2017.01) H01L 29/66 (2006.01)
H01L 29/78 (2006.01)

(52) CPC특허분류

H01L 27/11551 (2013.01)
H01L 27/11524 (2013.01)

(21) 출원번호 10-2017-0091927

(22) 출원일자 2017년07월20일

심사청구일자 2017년07월20일

(71) 출원인

고려대학교 산학협력단

서울특별시 성북구 안암로 145, 고려대학교 (안암동5가)

(72) 발명자

김태근

경기도 성남시 분당구 양현로 88 이매촌동부코오
풍아파트 503동 1403호

최신환

경기도 광명시 하안로 198 동양2차아파트 210동
1801호

(74) 대리인

특허법인주원

전체 청구항 수 : 총 12 항

(54) 발명의 명칭 삼차원 낸드 플래시 메모리 및 그 제조방법

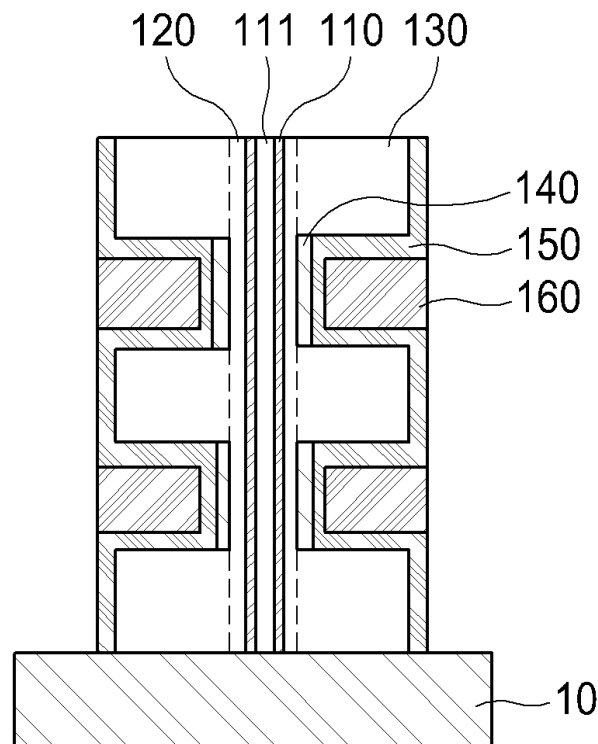
(57) 요약

본 발명은 삼차원 낸드 플래시 메모리 및 그 제조방법에 관한 것이다.

또한, 본 발명은 기판 상에 복수의 절연층과 희생층을 교대로 적층하는 단계와, 상기 적층된 복수의 절연층과 희생층을 수직으로 관통하여 기판 상면이 노출되도록 채널 홀을 형성하는 단계와, 상기 형성된 채널 홀의 내면에

(뒷면에 계속)

대표도 - 도2



절연막을 형성하는 단계와, 상기 절연막이 형성된 채널 홀에 채널층을 형성하는 단계와, 상기 회생층을 에칭하여 제거하되 상기 채널 홀에 인접한 일부의 회생층을 남겨 전하 포획을 위한 트랩층으로 형성하는 단계와, 상기 절연층 및 상기 트랩층의 표면을 따라 블로킹 절연막을 형성하는 단계 및 상기 블로킹 절연막이 형성된 절연층들의 사이에 게이트 전극을 형성하는 단계를 구비하여, 하나의 공정을 통해 회생층의 에칭과 트랩층의 형성이 이루어지게 함으로써, 공정 과정을 단축시킬 수 있고, 이러한, 공정 과정의 단축에 의한 생산성 향상을 기대할 수 있다.

(52) CPC특허분류

H01L 27/11529 (2013.01)

H01L 29/66825 (2013.01)

H01L 29/7841 (2013.01)

명세서

청구범위

청구항 1

기판의 상측 방향으로 수직하게 형성되어 소스 라인에 전기적으로 연결되는 채널층;
 상기 채널층을 감싸며 기판의 상측 방향으로 수직하게 형성되는 절연막;
 상기 절연막에 수직하게 접하면서 기판과 수평한 복수의 층으로 형성되는 절연층;
 상기 복수의 절연층 사이에 각각 형성되고, 적어도 한 면이 상기 절연막에 접하며 상기 채널층과 상기 절연막에 나란하게 형성되는 복수의 트랩층;
 상기 절연층의 외면과 상기 트랩층의 외면을 따라 형성되는 블로킹 절연막; 및
 상기 블로킹 절연막에 의해 상기 트랩층과 분리되어 상기 절연층의 사이에 형성되고 비트 라인에 전기적으로 연결되는 게이트 전극;을 포함하는 삼차원 낸드 플래시 메모리.

청구항 2

제 1항에 있어서,
 상기 트랩층은,
 상기 절연층과 교대로 적층되어 상기 절연층의 사이에 개재된 희생층을 에칭하여 제거할 때, 상기 희생층의 에칭 시간을 조절하여 모든 희생층이 제거되기 전에 에칭을 정지함으로써 형성되는 것을 특징으로 하는 삼차원 낸드 플래시 메모리.

청구항 3

제 1항에 있어서,
 상기 트랩층은 상기 절연막에 의해 상기 채널층과 분리되고, 상기 채널층과 상기 게이트 전극 사이에 문턱 전압 이상의 전압이 인가되었을 때 상기 채널층으로부터 상기 절연막을 통과한 전하가 포획되는 것을 특징으로 하는 삼차원 낸드 플래시 메모리.

청구항 4

제 1항에 있어서,
 상기 절연막과 상기 절연층은 실리콘 옥사이드(SiO_2)를 포함하는 산화막으로 형성되고, 상기 트랩층은 실리콘 나이트라이드(Si_3N_4)를 포함하는 질화막으로 형성되며, 상기 블로킹 절연막은 사파이어(Al_2O_3)를 포함하는 산화막으로 형성되는 것을 특징으로 하는 삼차원 낸드 플래시 메모리.

청구항 5

제 1항에 있어서,
 상기 채널층은 폴리 실리콘(poly silicon)으로 형성되고, 상기 게이트 전극은 질화탄탈륨(TaN)을 포함하는 금속으로 형성되는 것을 특징으로 하는 삼차원 낸드 플래시 메모리.

청구항 6

- (1) 기판 상에 복수의 절연층과 희생층을 교대로 적층하는 단계;
- (2) 상기 적층된 복수의 절연층과 희생층을 수직으로 관통하여 기판 상면이 노출되도록 채널 홀을 형성하는 단계;
- (3) 상기 형성된 채널 홀의 내면에 절연막을 형성하는 단계;
- (4) 상기 절연막이 형성된 채널 홀에 채널층을 형성하는 단계;
- (7) 상기 희생층을 에칭하여 제거하되, 상기 채널 홀에 인접한 일부의 희생층을 남겨 전하 포획을 위한 트랩층으로 형성하는 단계;
- (8) 상기 절연층 및 상기 트랩층의 표면을 따라 블로킹 절연막을 형성하는 단계; 및
- (9) 상기 블로킹 절연막이 형성된 절연층들의 사이에 게이트 전극을 형성하는 단계;를 포함하는 3차원 낸드 플래시 메모리의 제조방법.

청구항 7

제 6항에 있어서,

상기 제 (4)단계와 상기 제 (7)단계 사이에,

- (5) 상기 채널층이 형성된 채널 홀의 빈 공간에 절연 물질을 채우는 단계;를 더 포함하는 것을 특징으로 하는 3차원 낸드 플래시 메모리의 제조방법.

청구항 8

제 7항에 있어서,

상기 제 (5)단계와 상기 제 (7)단계 사이에,

- (6) 상기 채널 홀과 소정 간격만큼 이격된 위치에서 상기 적층된 절연층과 희생층을 식각하여 기판 상면이 노출되도록 슬릿을 형성하는 단계;를 더 포함하는 것을 특징으로 하는 3차원 낸드 플래시 메모리의 제조방법.

청구항 9

제 6항에 있어서,

상기 제 (7)단계에서 상기 트랩층은, 상기 희생층의 에칭 시간을 조절하여 모든 희생층이 제거되기 전에 에칭을 정지함으로써 형성되는 것을 특징으로 하는 3차원 낸드 플래시 메모리의 제조방법.

청구항 10

제 6항에 있어서,

상기 트랩층은 상기 절연막에 의해 상기 채널층과 분리되고, 상기 채널층과 상기 게이트 전극 사이에 문턱 전압 이상의 전압이 인가되었을 때 상기 채널층으로부터 상기 절연막을 통과한 전하가 포획되는 것을 특징으로 하는 3차원 낸드 플래시 메모리의 제조방법.

청구항 11

제 6항에 있어서,

상기 절연막과 상기 절연층은 실리콘 옥사이드(SiO_2)를 포함하는 산화막으로 형성되고, 상기 트랩층은 실리콘 나이트라이드(Si_3N_4)를 포함하는 질화막으로 형성되며, 상기 블로킹 절연막은 사파이어(Al_2O_3)를 포함하는 산화막으로 형성되는 것을 특징으로 하는 삼차원 낸드 플래시 메모리의 제조방법.

청구항 12

제 6항에 있어서,

상기 채널층은 폴리 실리콘(poly silicon)으로 형성되고, 상기 게이트 전극은 질화탄탈륨(TaN)을 포함하는 금속으로 형성되는 것을 특징으로 하는 삼차원 낸드 플래시 메모리의 제조방법.

발명의 설명

기술 분야

[0001] 본 발명은 삼차원 낸드 플래시 메모리 및 그 제조방법에 관한 것이다.

배경 기술

[0003] 일반적으로, 플래시 메모리는 전기적으로 소거 가능하며 프로그램 가능한 메모리로서, 컴퓨터, 디지털 카메라, MP3 플레이어, 게임 시스템, 메모리 스틱 등의 전자 및 통신 분야에서 다양하게 활용되고 있다.

[0004] 이러한, 플래시 메모리는 N개의 셀 트랜지스터들이 직렬로 연결되어 단위 스트링을 이루고 이러한 단위 스트링들이 비트 라인(bit line)과 접지 라인(ground line) 사이에 병렬로 연결되어 있는 구조를 갖는 NAND형 플래시 메모리와, 각각의 셀 트랜지스터들이 비트 라인과 접지 라인 사이에 병렬로 연결되어 있는 구조를 갖는 NOR형 플래시 메모리로 구분되고 있다.

[0005] 한편, 종래에는 플래시 메모리는 고용량의 데이터 저장을 위해 집적도를 높여야 하는데, 한정된 수평 면적 내에 셀 트랜지스터들을 고도로 집적시키는 것이 용이하지 않았다.

[0006] 따라서, 종래에는 플래시 메모리의 집적도 향상을 위한 방안의 하나로써, 셀 트랜지스터들을 수직 방향으로 적층시킨 수직채널구조를 적용하여 집적도를 향상시키는 방법들이 연구되거나 상용화되어 있으며, p-BICs, TCAT 및 SMart가 대표적이라 할 수 있다. 이 중에서, TCAT은 금속 게이트를 사용할 수 있고 기판을 통한 하부 전극의 연결이 용이하며 타 구조에 비해 신뢰성이 우수하다는 장점이 있다.

[0007] 다만, 도 1에 도시된 바와 같은, TCAT 구조의 플래시 메모리를 제조하기 위해서는, 기판에 절연층과 희생층을 교대로 적층한 이후에, 전술한 희생층을 에칭하여 제거하는 공정과 전하 포획을 위한 트랩층을 형성하는 공정이 각각 수행되어야 하므로, 그 제조 공정이 복잡하고, 이로 인해 생산성이 저하되는 문제점이 있었다.

[0008] 즉, 플래시 메모리의 제조 공정을 간소화 또는 최적화시킬 수 있다면, 그 생산성을 향상시킬 수 있음은 물론이고, 플래시 메모리의 단가를 낮춰 공급할 수 있을 것이다.

발명의 내용

해결하려는 과제

[0010] 본 발명은 상기와 같은 문제점을 감안하여 안출된 것으로, 제조 공정을 단축함으로써 생산성 향상에 기여할 수 있는 삼차원 낸드 플래시 메모리 및 그 제조방법을 제공하는데 그 목적이 있다.

[0011] 본 발명의 목적들은 이상에서 언급한 목적으로 제한되지 않으며, 언급되지 않은 또 다른 목적들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

과제의 해결 수단

- [0013] 상기와 같은 목적을 달성하기 위한 본 발명은 기판의 상측 방향으로 수직하게 형성되어 소스 라인에 전기적으로 연결되는 채널층; 상기 채널층을 감싸며 기판의 상측 방향으로 수직하게 형성되는 절연막; 상기 절연막에 수직하게 접하면서 기판과 수평한 복수의 층으로 형성되는 절연층; 상기 복수의 절연층 사이에 각각 형성되고, 적어도 한 면이 상기 절연막에 접하며 상기 채널층과 상기 절연막에 나란하게 형성되는 복수의 트랩층; 상기 절연층의 외면과 상기 트랩층의 외면을 따라 형성되는 블로킹 절연막; 및 상기 블로킹 절연막에 의해 상기 트랩층과 분리되어 상기 절연층의 사이에 형성되고 비트 라인에 전기적으로 연결되는 게이트 전극;을 포함하는 삼차원 낸드 플래시 메모리를 제공한다.
- [0014] 바람직한 실시예에 있어서, 상기 트랩층은, 상기 절연층과 교대로 적층되어 상기 절연층의 사이에 개재된 희생층을 에칭하여 제거할 때, 상기 희생층의 에칭 시간을 조절하여 모든 희생층이 제거되기 전에 에칭을 정지함으로써 형성된다.
- [0015] 바람직한 실시예에 있어서, 상기 트랩층은 상기 절연막에 의해 상기 채널층과 분리되고, 상기 채널층과 상기 게이트 전극 사이에 문턱 전압 이상의 전압이 인가되었을 때 상기 채널층으로부터 상기 절연막을 통과한 전하가 포획된다.
- [0016] 바람직한 실시예에 있어서, 상기 절연막과 상기 절연층은 실리콘 옥사이드(SiO_2)를 포함하는 산화막으로 형성되고, 상기 트랩층은 실리콘 나이트라이드(Si_3N_4)를 포함하는 질화막으로 형성되며, 상기 블로킹 절연막은 사파이어(Al_2O_3)를 포함하는 산화막으로 형성된다.
- [0017] 바람직한 실시예에 있어서, 상기 채널층은 폴리 실리콘(poly silicon)으로 형성되고, 상기 게이트 전극은 질화 tantalum(TaN)을 포함하는 금속으로 형성된다.
- [0019] 또한, 본 발명은 (1) 기판 상에 복수의 절연층과 희생층을 교대로 적층하는 단계; (2) 상기 적층된 복수의 절연층과 희생층을 수직으로 관통하여 기판 상면이 노출되도록 채널 홀을 형성하는 단계; (3) 상기 형성된 채널 홀의 내면에 절연막을 형성하는 단계; (4) 상기 절연막이 형성된 채널 홀에 채널층을 형성하는 단계; (7) 상기 희생층을 에칭하여 제거하되, 상기 채널 홀에 인접한 일부의 희생층을 남겨 전하 포획을 위한 트랩층으로 형성하는 단계; (8) 상기 절연층 및 상기 트랩층의 표면을 따라 블로킹 절연막을 형성하는 단계; 및 (9) 상기 블로킹 절연막이 형성된 절연층들의 사이에 게이트 전극을 형성하는 단계;를 포함하는 삼차원 낸드 플래시 메모리의 제조방법을 제공한다.
- [0020] 바람직한 실시예에 있어서, 상기 제 (4)단계와 상기 제 (7)단계 사이에, (5) 상기 채널층이 형성된 채널 홀의 빈 공간에 절연 물질을 채우는 단계;를 더 포함한다.
- [0021] 바람직한 실시예에 있어서, 상기 제 (5)단계와 상기 제 (7)단계 사이에, (6) 상기 채널 홀과 소정 간격만큼 이격된 위치에서 상기 적층된 절연층과 희생층을 식각하여 기판 상면이 노출되도록 슬릿을 형성하는 단계;를 더 포함한다.
- [0022] 바람직한 실시예에 있어서, 상기 제 (7)단계에서 상기 트랩층은, 상기 희생층의 에칭 시간을 조절하여 모든 희생층이 제거되기 전에 에칭을 정지함으로써 형성된다.
- [0023] 바람직한 실시예에 있어서, 상기 트랩층은 상기 절연막에 의해 상기 채널층과 분리되고, 상기 채널층과 상기 게이트 전극 사이에 문턱 전압 이상의 전압이 인가되었을 때 상기 채널층으로부터 상기 절연막을 통과한 전하가 포획된다.
- [0024] 바람직한 실시예에 있어서, 상기 절연막과 상기 절연층은 실리콘 옥사이드(SiO_2)를 포함하는 산화막으로 형성되고, 상기 트랩층은 실리콘 나이트라이드(Si_3N_4)를 포함하는 질화막으로 형성되며, 상기 블로킹 절연막은 사파이어(Al_2O_3)를 포함하는 산화막으로 형성된다.
- [0025] 바람직한 실시예에 있어서, 상기 채널층은 폴리 실리콘(poly silicon)으로 형성되고, 상기 게이트 전극은 질화

탄탈륨(TaN)을 포함하는 금속으로 형성된다.

발명의 효과

[0027] 전술한 과제해결 수단에 의해 본 발명은 기판 상에 복수의 절연층과 희생층을 교대로 적층하는 단계와, 상기 적층된 복수의 절연층과 희생층을 수직으로 관통하여 기판 상면이 노출되도록 채널 홀을 형성하는 단계와, 상기 형성된 채널 홀의 내면에 절연막을 형성하는 단계와, 상기 절연막이 형성된 채널 홀에 채널층을 형성하는 단계와, 상기 희생층을 에칭하여 제거하여 상기 채널 홀에 인접한 일부의 희생층을 남겨 전하 포획을 위한 트랩층으로 형성하는 단계와, 상기 절연층 및 상기 트랩층의 표면을 따라 블로킹 절연막을 형성하는 단계 및 상기 블로킹 절연막이 형성된 절연층들의 사이에 게이트 전극을 형성하는 단계를 구비하여, 하나의 공정을 통해 희생층의 에칭과 트랩층의 형성이 이루어지게 함으로써, 공정 과정을 단축시킬 수 있고, 이러한, 공정 과정의 단축에 의한 생산성 향상을 기대할 수 있는 효과가 있다.

도면의 간단한 설명

[0029] 도 1은 종래 TCAT 구조의 플래시 메모리를 설명하기 위한 도면.
 도 2는 본 발명의 일실시예에 따른 삼차원 낸드 플래시 메모리를 설명하기 위한 도면.
 도 3은 본 발명의 일실시예에 따른 삼차원 낸드 플래시 메모리의 제조 방법을 설명하기 위한 도면.
 도 4는 절연층과 희생층의 적층 공정을 설명하기 위한 도면.
 도 5 내지 도 8은 채널층의 형성 공정을 설명하기 위한 도면.
 도 9는 슬릿의 형성 공정을 설명하기 위한 도면.
 도 10은 희생층을 에칭하여 트랩층을 형성하는 공정을 설명하기 위한 도면.
 도 11은 블로킹 절연막의 형성 공정을 설명하기 위한 도면.
 도 12는 게이트 전극의 형성 공정을 설명하기 위한 도면.

발명을 실시하기 위한 구체적인 내용

[0030] 하기의 설명에서 본 발명의 특정 상세들이 본 발명의 보다 전반적인 이해를 제공하기 위해 나타나 있는데, 이들 특정 상세들 없이 또한 이들의 변형에 의해서도 본 발명이 용이하게 실시될 수 있다는 것은 이 기술분야에서 통상의 지식을 가진 자에게 자명할 것이다.

[0031] 이하, 본 발명에 따른 바람직한 실시예를 첨부된 도 2 내지 도 12를 참조하여 상세히 설명하되, 본 발명에 따른 동작 및 작용을 이해하는데 필요한 부분을 중심으로 설명한다.

[0033] 도 2는 본 발명의 일실시예에 따른 삼차원 낸드 플래시 메모리를 설명하기 위한 도면이다.

[0034] 도 2를 참조하면, 본 발명의 일실시예에 따른 삼차원 낸드 플래시 메모리는 채널층(110), 절연막(120), 절연층(130), 트랩층(140), 블로킹 절연막(150) 및 게이트 전극(160)을 포함하여 구성된다.

[0035] 채널층(110)은 소스 라인에 전기적으로 연결되는 것으로, 기판(10)의 상측 방향으로 수직하게 연장되는 구조로 형성될 수 있다. 아울러, 채널층(110)은 폴리 실리콘(poly silicon)으로 형성될 수 있는데, 내부가 비어있는 원통 형태의 마카로니 구조로 형성됨이 바람직하다.

[0036] 한편, 채널층(110)의 비어있는 내부 공간에는 절연 물질(111)이 더 충전될 수 있고, 전술한 기판은 P형 기판(P-sub)으로 구비될 수 있다.

[0037] 절연막(120)은 채널층(110)의 절연을 위해 구비되는 것으로, 채널층(110)의 외면을 감싸는 형태로 기판(10)의 상측 방향으로 수직하게 형성된다. 그리고, 절연막(120)은 실리콘 옥사이드(SiO₂)를 포함하는 산화막으로 형성

될 수 있으며, 터널링에 의해 채널층(110)의 전하가 이동하는 통로로 기능하게 된다.

- [0038] 절연층(130)은 트랩층(140)의 절연을 위해 구비되는 것으로, 절연막(120)에 수직하게 접하면서 기관(10)과 수평한 복수의 층을 형성한다. 이러한, 절연층(130)은 전술한 절연막(120)과 동일한 실리콘 옥사이드(SiO_2)를 포함하는 산화막으로 형성될 수 있고, 제조 공정에서 에칭하여 제거되는 희생층과 교대로 적층하는 방식으로 형성될 수 있다.
- [0039] 트랩층(140)은 복수 개로 구비되어 절연층(130)의 사이에 각각 형성되는 것으로, 적어도 한 면이 절연막(120)에 접하며 이에 대향되는 타면은 후술할 블로킹 절연막(150)에 접하도록 형성되고, 상기 채널층(110)과 상기 절연막(120)에 나란한 구조를 갖도록 형성될 수 있다.
- [0040] 또한, 트랩층(140)은 채널층(110)과 후술할 게이트 전극(160) 사이에 문턱 전압 이상의 전압이 인가되었을 때, 채널층(110)으로부터 절연막(120)을 통과한 전하가 포획되게 된다. 즉, 트랩층(140)은 전하가 포획되거나 포획되지 않은 상태에 따라 '0' 또는 '1'의 데이터가 저장되는 메모리 셀로 기능하게 된다.
- [0041] 아울러, 트랩층(140)은 실리콘 나이트라이드(Si_3N_4)로 형성될 수 있는데, 제조 공정에서 절연층(130)의 사이에 개재된 희생층을 에칭하여 제거할 때 그 희생층의 에칭 시간을 조절하여 모든 희생층이 제거되기 전에 에칭을 정지함으로써, 에칭되지 않고 남게 되는 일부의 희생층이 트랩층(140)으로 형성되게 된다.
- [0042] 이러한, 트랩층(140)은 절연층(130)에 의해 각각 분리되고 절연막(120)에 의해 채널층(110)과 분리되며 블로킹 절연막(150)에 의해 게이트 전극(160)과 분리됨으로써, 전하 누설의 우려가 적고 높은 신뢰성을 확보할 수 있는 구조를 형성할 수 있다.
- [0043] 블로킹 절연막(150)은 트랩층(140)과 게이트 전극(160) 간의 절연을 위한 것으로, 절연층(130)의 외면과 트랩층(140)의 외면을 따라 형성되며, 사파이어(Al_2O_3)를 포함하는 산화막으로 형성될 수 있다.
- [0044] 참고로, 블로킹 절연막(150)과 트랩층(140) 및 절연막(120)은 ONO(Oxide-Nitride-Oxide) 구조를 형성하면서 채널층(110)과 게이트 전극(160)의 사이에 위치하게 된다.
- [0045] 게이트 전극(160)은 비트 라인에 전기적으로 연결되는 것으로, 블로킹 절연막(150)에 의해 트랩층(140)과 분리되면서 절연층(130)의 사이에 형성된다. 바람직하게, 게이트 전극(160)은 질화탄탈륨(TaN)을 포함하는 금속으로 형성될 수 있다.
- [0046] 이하에서는, 본 발명의 일실시예에 따른 삼차원 낸드 플래시 메모리의 제조방법을 설명한다.
- [0048] 도 3은 본 발명의 일실시예에 따른 삼차원 낸드 플래시 메모리의 제조 방법을 설명하기 위한 도면이고, 도 4는 절연층과 희생층의 적층 공정을 설명하기 위한 도면이며, 도 5 내지 도 8은 채널층의 형성 공정을 설명하기 위한 도면이고, 도 9는 슬릿의 형성 공정을 설명하기 위한 도면이며, 도 10은 희생층을 에칭하여 트랩층을 형성하는 공정을 설명하기 위한 도면이고, 도 11은 블로킹 절연막의 형성 공정을 설명하기 위한 도면이며, 도 12는 게이트 전극의 형성 공정을 설명하기 위한 도면이다.
- [0049] 도 3 내지 도 12를 참조하여, 본 발명의 일실시예에 따른 삼차원 낸드 플래시 메모리를 제조하기 위한 삼차원 낸드 플래시 메모리의 제조방법을 설명한다.
- [0050] 먼저, 도 3 및 도 4에 도시된 바와 같이, 기관(10)을 준비하여 그 기관(10) 위에 절연층(130)을 증착하고, 그 절연층(130)의 위에 희생층(20)을 증착한 다음, 그 희생층(20) 위에 다시 절연층(130)을 증착하는 과정을 반복함으로써, 복수의 절연층(130)과 희생층(20)을 교대로 적층하게 된다(S110).
- [0051] 이때, 기관(10)은 P형 기관(10)(P-sub)으로 구비될 수 있고, 절연층(130)은 실리콘 옥사이드(SiO_2)를 포함하는 산화막으로 형성될 수 있으며, 희생층(20)은 실리콘 나이트라이드(Si_3N_4)를 포함하는 질화막으로 형성될 수 있다.
- [0052] 다음, 도 3 및 도 5에 도시된 바와 같이, 복수의 절연층(130)과 희생층(20)이 사전에 설정된 층수만큼 적층되면, 그 절연층(130)과 희생층(20)을 수직으로 관통하여 기관(10) 상면이 노출되도록 채널 홀(30)을 형성하게 된다(S120).
- [0053] 그 다음, 도 3 및 도 6에 도시된 바와 같이, 채널홀이 형성되면 그 채널 홀(30)의 내면에 절연막(120)을 형성하

게 된다(S130).

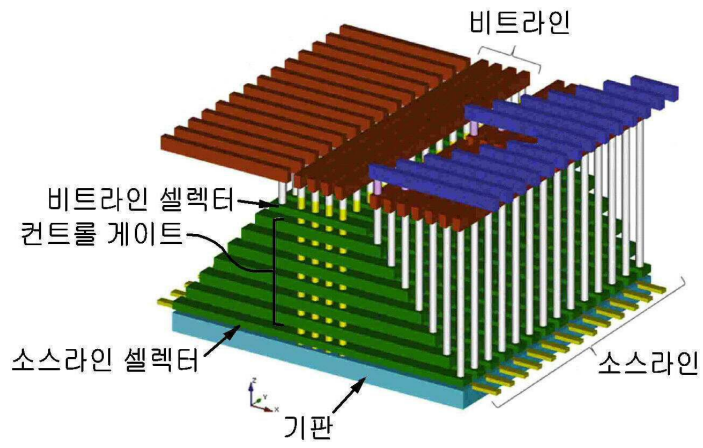
- [0054] 이때, 절연막(120)은 기판(10)의 상측 방향으로 수직하게 연장된 구조로 형성되며, 전술한 절연층(130)과 동일한 실리콘 옥사이드(SiO_2)를 포함하는 산화막으로 형성될 수 있다. 이러한, 절연막(120)에 의해 후술할 채널층(110)과 트랩층(140)이 전기적으로 분리되는 구조가 형성된다.
- [0055] 그 다음에는, 도 3 및 도 7에 도시된 바와 같이, 절연막(120)이 형성된 채널 홀(30)에 채널층(110)을 형성하게 된다(S140).
- [0056] 아울러, 채널층(110)은 폴리 실리콘(poly silicon)으로 형성될 수 있고, 절연막(120)이 형성된 채널 홀(30)의 내부에 폴리 실리콘을 증착하는 공정을 통해, 원통 형태로 내부가 비어있는 마카로니 구조의 채널층(110)이 형성된다.
- [0057] 그 다음에는, 도 3 및 도 8에 도시된 바와 같이, 채널 홀(30)의 빈 공간, 즉, 채널층(110)의 비어있는 내부 공간에 절연 물질(111)을 충전하게 되는데(S150), 이때, 절연 물질(111)의 경우에도 전술한 절연막(120) 및 절연층(130)과 동일한 실리콘 옥사이드(SiO_2)를 포함하는 산화물로 형성될 수 있다.
- [0058] 그 다음에는, 도 3 및 도 9에 도시된 바와 같이, 채널 홀(30)과 소정 간격만큼 이격된 위치의 절연층(130)과 희생층(20)의 일부분을 수직하게 식각하여 기판(10) 상면이 노출되도록 슬릿을 형성하게 된다(S160).
- [0059] 이때, 슬릿은 희생층(20)의 에칭 공정을 수행하기 위해서 형성되는 것일 수 있다.
- [0060] 그 다음에는, 도 3 및 도 10에 도시된 바와 같이, 희생층(20)을 습식 에칭하여 제거하되 채널 홀(30)에 인접한 일부의 희생층(20)을 남겨 전하 포획을 위한 트랩층(140)을 형성하게 된다(S170).
- [0061] 이때, 희생층(20)의 에칭 시간을 조절하여 모든 희생층(20)이 제거되기 전에 에칭을 정지함으로써 트랩층(140)이 형성될 수 있다.
- [0062] 이러한, 트랩층(140)은 절연막(120)에 의해 상기 채널층(110)과 분리되고, 상기 채널층(110)과 상기 게이트 전극(160) 사이에 문턱 전압 이상의 전압이 인가되었을 때 상기 채널층(110)으로부터 상기 절연막(120)을 통과한 전하가 포획되는 기능을 수행하게 된다.
- [0063] 그 다음에는, 도 3 및 도 11에 도시된 바와 같이, 절연층(130) 및 트랩층(140)의 표면을 따라 블로킹 절연막(150)을 형성하게 된다(S180).
- [0064] 이때, 블로킹 절연막(150)은 사파이어(Al_2O_3)를 포함하는 산화막으로 형성될 수 있다.
- [0065] 그 다음에는, 도 3 및 도 12에 도시된 바와 같이, 블로킹 절연막(150)이 형성된 절연층(130)들의 사이에 게이트 전극(160)을 형성하게 된다(S190).
- [0066] 이때, 게이트 전극(160)은 질화탄탈륨(TaN)을 포함하는 금속으로 형성되고, 비트 라인에 전기적으로 연결될 수 있다.
- [0067] 이상에서는 본 발명의 바람직한 실시예를 예시적으로 설명하였으나, 본 발명의 범위는 이와 같은 특정 실시예에만 한정되는 것은 아니며, 특허청구범위에 기재된 범주 내에서 적절하게 변경 가능한 것이다.

부호의 설명

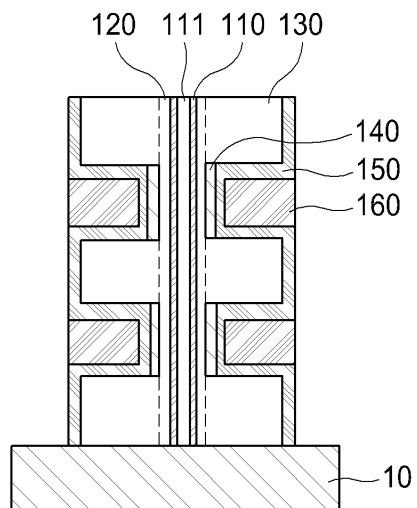
- [0069] 110 : 채널층
120 : 절연막
130 : 절연층
140 : 트랩층
150 : 블로킹 절연막
160 : 게이트 전극

도면

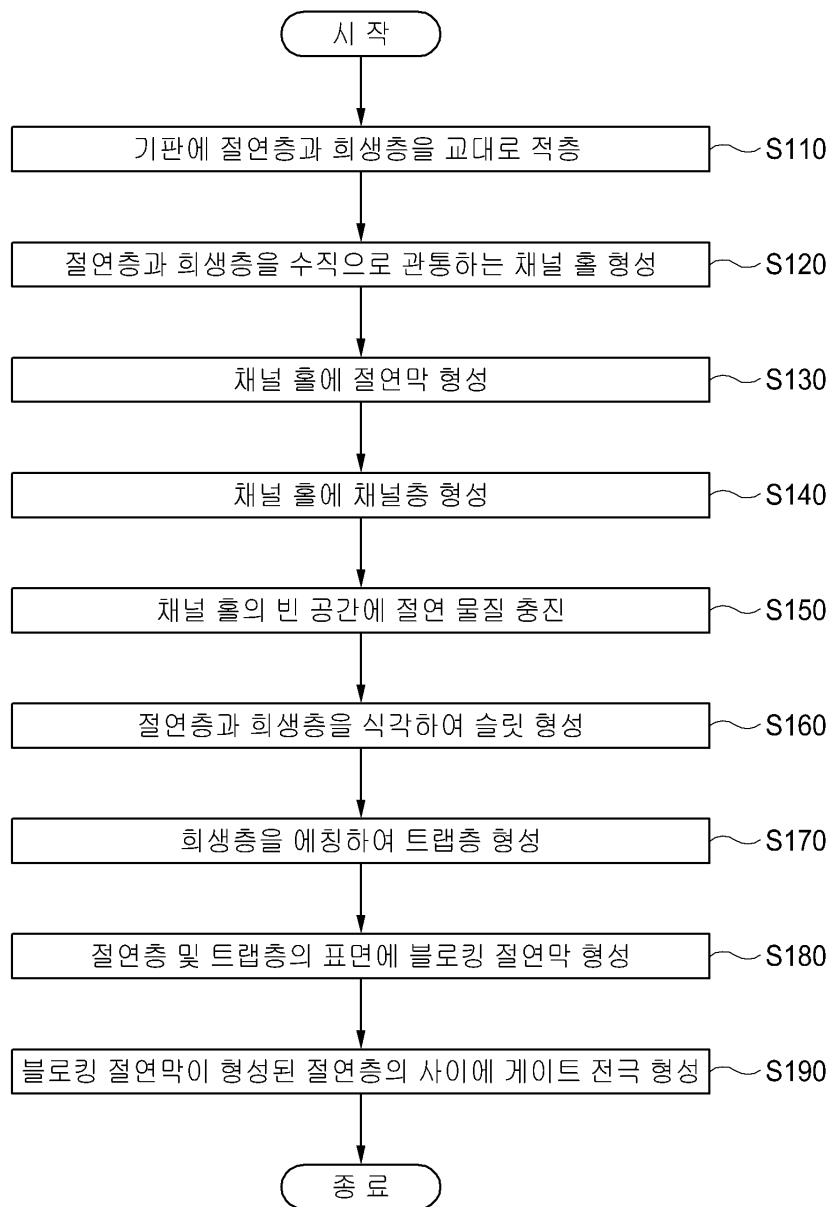
도면1



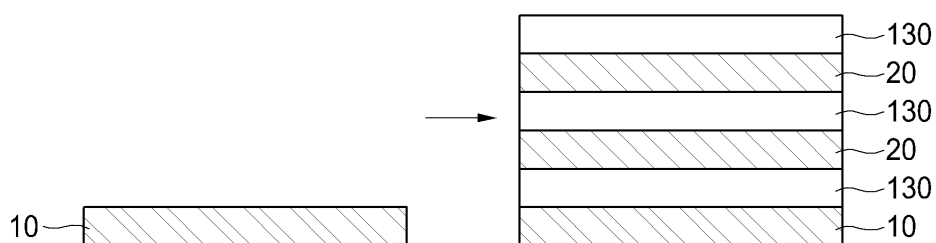
도면2



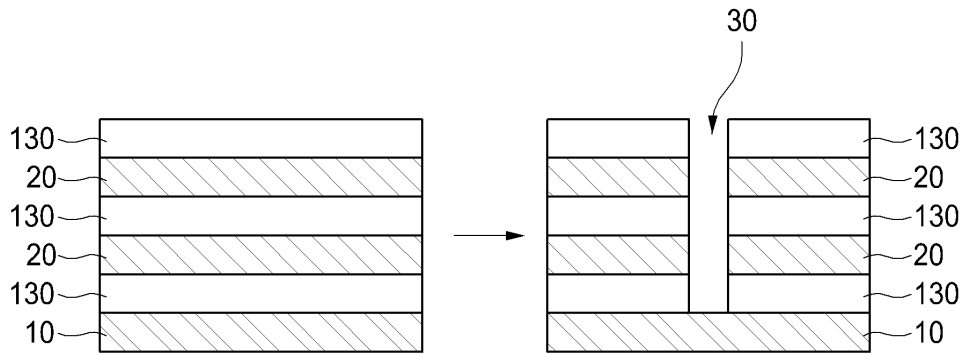
도면3



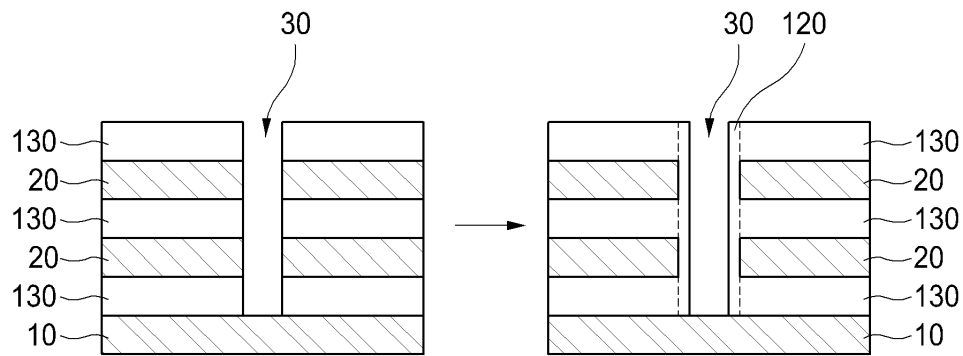
도면4



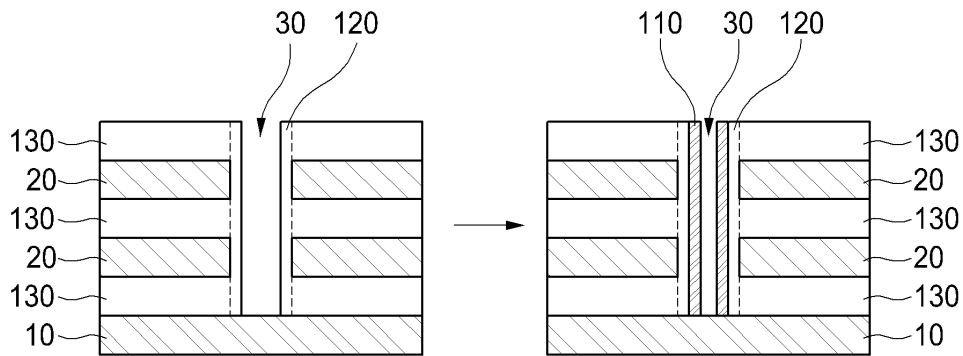
도면5



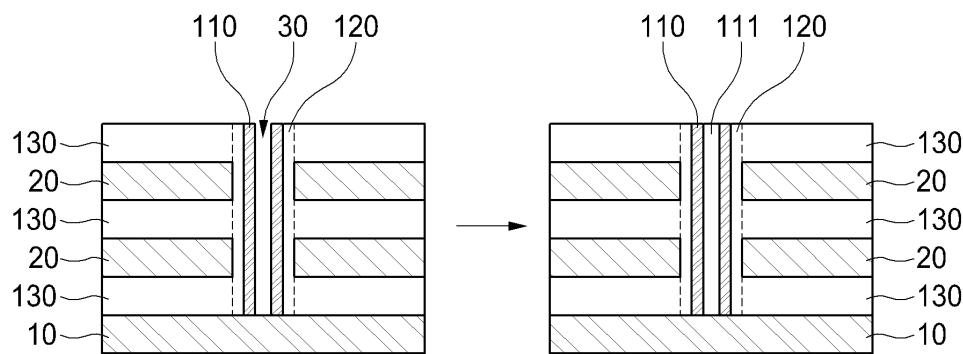
도면6



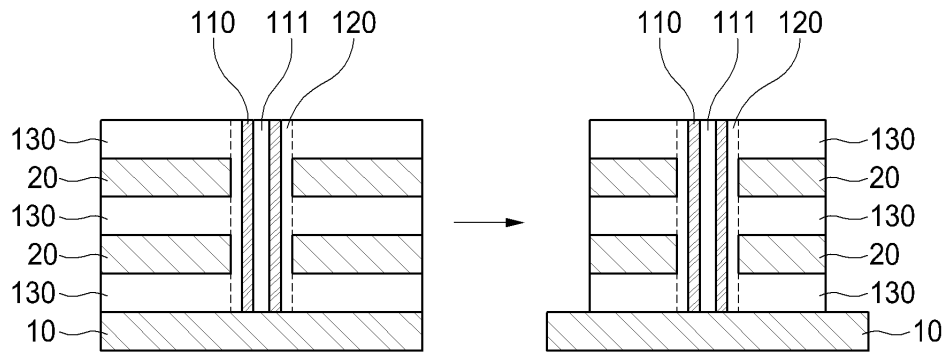
도면7



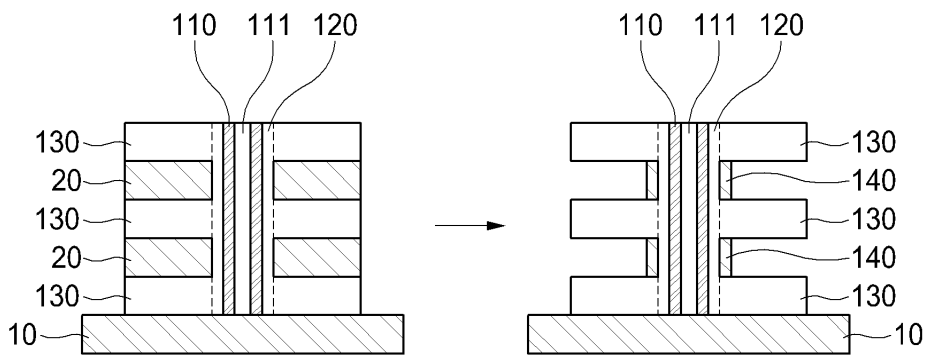
도면8



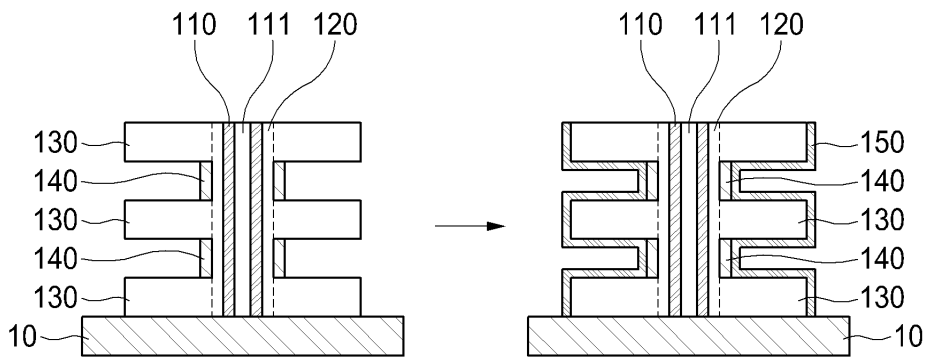
도면9



도면10



도면11



도면12

