

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4708723号
(P4708723)

(45) 発行日 平成23年6月22日 (2011. 6. 22)

(24) 登録日 平成23年3月25日 (2011. 3. 25)

(51) Int. Cl.

F I

G 1 1 C 16/02 (2006. 01)

G 1 1 C 17/00 6 1 3

G 1 1 C 11/401 (2006. 01)

G 1 1 C 11/34 3 6 2 C

G 1 1 C 7/00 (2006. 01)

G 1 1 C 7/00 3 1 2 C

請求項の数 6 (全 32 頁)

(21) 出願番号 特願2004-98463 (P2004-98463)
 (22) 出願日 平成16年3月30日 (2004. 3. 30)
 (65) 公開番号 特開2005-285230 (P2005-285230A)
 (43) 公開日 平成17年10月13日 (2005. 10. 13)
 審査請求日 平成19年1月30日 (2007. 1. 30)

(73) 特許権者 302062931
 ルネサスエレクトロニクス株式会社
 神奈川県川崎市中原区下沼部 1 7 5 3 番地
 (74) 代理人 100088672
 弁理士 吉竹 英俊
 (74) 代理人 100088845
 弁理士 有田 貴弘
 (72) 発明者 久保 貴志
 東京都千代田区丸の内二丁目4番1号 株
 式会社ルネサステクノロジ内

審査官 堀田 和義

最終頁に続く

(54) 【発明の名称】 半導体記憶装置

(57) 【特許請求の範囲】

【請求項 1】

第1及び第2のビット数によって指定される上位及び下位アドレス信号からなるアドレス信号に対応して設けられる複数のメモリセルを有するメモリセルアレイと、

前記上位アドレス信号に基づき、前記メモリセルアレイから所定数のメモリセル情報を読み出す読み出し制御部と、

前記所定数のメモリセル情報それぞれに対しセンスアンプ動作を行い所定ビット数のセンスデータを得るセンスアンプと、

第1のラッチ信号の指示するタイミングで前記所定ビット数のセンスデータをラッチするセンスデータ用ラッチと、

第2のラッチ信号の指示するタイミングで前記センスデータ用ラッチに格納された前記所定ビット数のセンスデータをページデータとしてラッチするページデータ用ラッチとを備え、前記ページデータは前記下位アドレス信号に対応してn個の部分ページデータに分類可能であり、

前記第1及び第2のラッチ信号を出力するページモード制御回路と、

ページモード読み出し期間中において、n回変化する前記下位アドレス信号に基づき、前記n個の部分ページデータを順次ページ選択データとして出力するセレクト回路とをさらに備え、前記ページ選択データが外部データとして出力され、

前記ページモード制御回路は、

第1のアドレスを規定する前記上位アドレス信号に基づき前記メモリセルアレイから読

10

20

み出された前記所定数のメモリセル情報である第1のメモリセル情報群が、前記センスアンプ及び前記センスデータ用ラッチを介して、前記ページデータとして前記ページデータ用ラッチにラッチされた後、前記上位アドレス信号によって規定される前記第1のアドレスの所定ビットを反転させるビット反転処理を行い前記第1のアドレスに続く第2のアドレスを発生させ、

前記第1のメモリセル情報群に基づく前記ページモード読み出し期間中に、前記第2のアドレスを規定する前記上位アドレス信号に基づき前記メモリセルアレイから読み出された前記所定数のメモリセル情報である第2のメモリセル情報群を、前記センスアンプを介して前記所定ビット数のセンスデータとして前記センスデータ用ラッチに格納させ、

前記第1のメモリセル情報群に関する前記ページモード読み出し期間終了後、前記センスデータ用ラッチに格納された前記第2のメモリセル情報群に基づく前記所定ビット数のセンスデータを、前記ページデータとして前記ページデータ用ラッチにラッチさせることにより、前記第1のメモリセル情報群に基づく前記ページモード読み出し期間後に前記第2のメモリセル情報群に基づくページモード読み出し期間を設定したことを特徴とし、

前記ページモード制御回路は、前記上位アドレス信号のアドレス遷移を検出するアドレス遷移検出部を含み、

前記アドレス遷移検出部は、

前記上位アドレス信号のアドレス遷移を検出して第1のアドレス遷移検出信号を出力する第1のA T D回路と、

前記上位アドレス信号の前記所定ビットに対応する反転処理アドレス信号のアドレス遷移を検出して第2のアドレス遷移検出信号を出力する第2のA T D回路と、

前記第1及び第2のアドレス遷移検出信号のうち一方がアドレス遷移を指示するときアドレス遷移を指示する第3のアドレス遷移検出信号を出力するアドレス遷移信号発生手段とを含み、

前記ページモード制御回路は、

前記第3のアドレス遷移検出信号に基づき、前記センスアンプを活性化させるセンス信号及び前記第1のラッチ信号を生成する第1の信号制御回路と、

前記第1のアドレス遷移検出信号と前記第1のラッチ信号とを受け、前記第1のアドレス遷移検出信号に基づき前記第2のラッチ信号を生成し、前記第1のアドレス遷移検出信号がアドレス遷移を指示した後における前記第1のラッチ信号による最初のラッチタイミング指示発生時に、前記ビット反転処理の実行を指示する反転指示信号と前記第2のラッチ信号とを生成する第2の信号制御回路とを含む、

半導体記憶装置。

【請求項2】

請求項1記載の半導体記憶装置であって、

前記ページモード制御回路は、

外部アドレス信号の少なくとも一部を前記上位アドレス信号としてラッチし、ラッチ内容に基づく前記上位アドレス信号を前記メモリセルアレイに付与するアドレスラッチ回路を含み、

前記アドレスラッチ回路は、

前記第1のアドレス遷移検出信号がアドレス遷移を指示したとき前記外部アドレス信号における所定ビット対応部分の非反転信号を前記上位アドレス信号の前記所定ビットとしてラッチし、前記反転指示信号が前記ビット反転処理の実行を指示したとき前記所定ビット対応部分の反転信号を前記所定ビットとしてラッチする、

半導体記憶装置。

【請求項3】

請求項1あるいは請求項2に記載の半導体記憶装置であって、

前記所定数のメモリセル情報はそれぞれ3値以上の多値情報を含み、

前記センスアンプは、前記所定数のメモリセル情報それぞれに対し第1～第m(2)のセンスアンプ動作を実行することにより、第1～第mの前記所定数のセンスデータを

10

20

30

40

50

、前記所定ビット数は前記所定数の m 倍のビット数を含み、

前記センスデータ用ラッチは第1～第 m のセンスデータ用ラッチ部を含み、前記第1～第 m のセンスデータ用ラッチ部は前記第1～第 m の前記所定数のセンスデータをラッチし

、
前記ページデータ用ラッチは第1～第 m のページデータ用ラッチ部を含み、前記ページデータは第1～第 m のページデータを含み、前記第1～第 m のページデータ用ラッチ部は前記第1～第 m の前記所定数のセンスデータを前記第1～第 m のページデータとしてラッチし、前記第1～第 m のページデータは n 個の第1～第 m の部分ページデータとして分類可能であり、

前記セクタ回路は第1～第 m のセクタ回路を含み、前記第1～第 m のセクタ回路は、ページモード読み出し期間中において、 n 回変化する前記下位アドレス信号に基づき、前記 n 個の第1～第 m の部分ページデータを順次第1～第 m のページ選択データとして出力し、前記ページ選択データは前記第1～第 m のページ選択データを含む、
半導体記憶装置。

10

【請求項4】

請求項1～請求項3のうち、いずれか1項に記載の半導体記憶装置であって、

複数のスペアメモリセルを有するスペアメモリセルアレイと、

前記上位アドレス信号の一部である第1の信号部分及びスペア選択信号に基づき所定のスペア数のスペア情報を読み出すスペア読み出し制御部と、

前記センスアンプと共通に制御され、前記所定のスペア数のスペア情報それぞれに対しセンスアンプ動作を行い所定スペアビット数のスペアセンスデータを得る置換用センスアンプと、

20

前記第1のラッチ信号の指示するタイミングで前記所定スペアビット数のスペアセンスデータをラッチするスペアセンス用ラッチと、

前記第2のラッチ信号の指示するタイミングで前記スペアセンス用ラッチに格納された前記所定スペアビット数のスペアセンスデータをスペアデータとしてラッチするスペアデータ用ラッチと、

前記第1の信号部分を除き、前記所定ビットを含む前記上位アドレス信号の一部に基づき前記スペア選択信号と冗長置換情報とを生成するスペア制御回路とを備え、前記冗長置換情報は前記下位アドレス信号に対応するアドレス置換情報及び冗長置換情報を含み、

30

前記冗長置換情報の前記アドレス置換情報と前記下位アドレス信号との比較結果に基づき置換実行の有無を判定する置換判定処理を実行し、置換実行時に前記ページ選択データのうち前記冗長置換情報で規定されるビットを前記スペアデータに置き換える置換実行回路をさらに備える、

半導体記憶装置。

【請求項5】

請求項4記載の半導体記憶装置であって、

前記置換実行回路は、冗長置換情報取り込み制御信号に基づくタイミングで前記冗長置換情報を取り込み、

前記ページモード制御回路は、

40

前記ビット判定処理に先がけて取り込みを指示する前記冗長置換情報取り込み制御信号をさらに出力する置換情報制御機能をさらに有する、

半導体記憶装置。

【請求項6】

第1及び第2のビット数によって指定される上位及び下位アドレス信号からなるアドレス信号に対応して設けられる複数のメモリセルを有するメモリセルアレイと、

前記上位アドレス信号に基づき、前記メモリセルアレイから所定数のメモリセル情報を読み出す読み出し制御部と、

前記所定数のメモリセル情報それぞれに対しセンスアンプ動作を行い所定ビット数のセンスデータを得るセンスアンプと、

50

第 1 のラッチ信号の指示するタイミングで前記所定ビット数のセンスデータをラッチするセンスデータ用ラッチと、

第 2 のラッチ信号の指示するタイミングで前記センスデータ用ラッチに格納された前記所定ビット数のセンスデータをページデータとしてラッチするページデータ用ラッチとを備え、前記ページデータは前記下位アドレス信号に対応して n 個の部分ページデータに分類可能であり、

前記第 1 及び第 2 のラッチ信号を出力するページモード制御回路と、

ページモード読み出し期間中において、n 回変化する前記下位アドレス信号に基づき、前記 n 個の部分ページデータを順次ページ選択データとして出力するセレクト回路とをさらに備え、前記ページ選択データが外部データとして出力され、

前記ページモード制御回路は、前記上位アドレス信号のアドレス遷移を検出するアドレス遷移検出部を含み、

前記アドレス遷移検出部は、

前記上位アドレス信号のアドレス遷移を検出して第 1 のアドレス遷移検出信号を出力する第 1 の A T D 回路と、

前記上位アドレス信号の所定ビットに対応する反転処理アドレス信号のアドレス遷移を検出して第 2 のアドレス遷移検出信号を出力する第 2 の A T D 回路と、

前記第 1 及び第 2 のアドレス遷移検出信号のうち一方がアドレス遷移を指示するときアドレス遷移を指示する第 3 のアドレス遷移検出信号を出力するアドレス遷移信号発生手段とを含み、

前記ページモード制御回路は、

前記第 3 のアドレス遷移検出信号に基づき、前記センスアンプを活性化させるセンス信号及び前記第 1 のラッチ信号を生成する第 1 の信号制御回路と、

前記第 1 のアドレス遷移検出信号と前記第 1 のラッチ信号とを受け、前記第 1 のアドレス遷移検出信号に基づき、前記第 2 のラッチ信号を生成し、前記第 1 のアドレス遷移検出信号がアドレス遷移を指示した後における前記第 1 のラッチ信号による最初のラッチタイミング指示発生時に、前記上位アドレス信号の前記所定ビットを反転させるビット反転処理の実行を指示する反転指示信号と前記第 2 のラッチ信号とを生成する第 2 の信号制御回路と、

前記ページモード制御回路は、

外部アドレス信号の少なくとも一部を前記上位アドレス信号としてラッチし、ラッチ内容に基づく前記上位アドレス信号を前記メモリセルアレイに付与するアドレスラッチ回路を含み、

前記アドレスラッチ回路は、

前記第 1 のアドレス遷移検出信号がアドレス遷移を指示したとき前記外部アドレス信号における所定ビット対応部分の非反転信号を前記上位アドレス信号の前記所定ビットとしてラッチし、前記反転指示信号が前記ビット反転処理の実行を指示したとき前記所定ビット対応部分の反転信号を前記所定ビットとしてラッチする、

半導体記憶装置。

【発明の詳細な説明】

【技術分野】

【0001】

この発明は、ページモード読み出し機能を有する半導体記憶装置に関する。

【背景技術】

【0002】

メモリセル自体は“H”、“L”レベルの論理出力機能を有さない D R A M 等の半導体記憶装置では、メモリセルに記憶されたデータを検知・増幅して論理値(“H”、“L”)に変換させるセンスアンプ動作が必要となる。このセンスアンプ動作を 1 ワード単位に行っていたのでは著しくデータアクセスが遅くなることから、複数ワード分のメモリセルに記録されたデータを同時に読み出し(センスアンプ動作を含む)て一旦ラッチに蓄えて

10

20

30

40

50

おき、2回目以降のアクセスに対しては上記ラッチからの読み出し時間でアクセス可能になるページモード読み出し機能が広く使用されている。なお、ページモード読み出し機能を備えた半導体記憶装置として、例えば、特許文献1あるいは特許文献2に開示された半導体記憶装置がある。

【0003】

半導体記憶装置がページモード読み出し機能を有している場合、例えば、16バイト(128ビット(1バイト=8ビット))のデータを一度に処理可能なLSIからのアクセス要求に対して、半導体記憶装置がデータ出力ピンを16本(16ビット分)有している場合、8ワード(128ビット(1ワード=16ビットで換算))分のページモード機能、すなわち、ページ長が8ワードのページモード機能を有しておれば、1度のセンスアンプ動作によって128ビットのデータ読み出しが実現できるため、当該LSIとの間で高速なデータ送信が可能となる。なお、ページモード読み出し機能を有する半導体記憶装置を用いた電子機器としては例えば携帯電話等が考えられる。

10

【0004】

【特許文献1】特開平7-73364号公報

【特許文献2】特開平11-39863号公報

【発明の開示】

【発明が解決しようとする課題】

【0005】

しかしながら、ページモードのワード長を長くすることは、同時に活性化するセンスアンプ数を増加させることとなり、かつ、一時的にデータを蓄えるラッチの記憶容量も増加させることになるため、ピーク電流の電流値の増大をもとらし、また、トランジスタや配線のレイアウト面積も増大されるという問題点があった。

20

【0006】

この発明は上記問題点を解決するためになされたもので、ピーク電流及びレイアウト面積の増大を最小限に抑えたページモード読み出し機能を有する半導体記憶装置を得ることを目的とする。

【課題を解決するための手段】

【0007】

この発明に係る請求項1記載の半導体記憶装置は、第1及び第2のビット数によって指定される上位及び下位アドレス信号からなるアドレス信号に対応して設けられる複数のメモリセルを有するメモリセルアレイと、前記上位アドレス信号に基づき、前記メモリセルアレイから所定数のメモリセル情報を読み出す読み出し制御部と、前記所定数のメモリセル情報それぞれに対しセンスアンプ動作を行い所定ビット数のセンスデータを得るセンスアンプと、第1のラッチ信号の指示するタイミングで前記所定ビット数のセンスデータをラッチするセンスデータ用ラッチと、第2のラッチ信号の指示するタイミングで前記センスデータ用ラッチに格納された前記所定ビット数のセンスデータをページデータとしてラッチするページデータ用ラッチとを備え、前記ページデータは前記下位アドレス信号に対応してn個の部分ページデータに分類可能であり、前記第1及び第2のラッチ信号を出力するページモード制御回路と、ページモード読み出し期間中において、n回変化する前記下位アドレス信号に基づき、前記n個の部分ページデータを順次ページ選択データとして出力するセレクト回路とをさらに備え、前記ページ選択データが外部データとして出力され、前記ページモード制御回路は、第1のアドレスを規定する前記上位アドレス信号に基づき前記メモリセルアレイから読み出された前記所定数のメモリセル情報である第1のメモリセル情報群が、前記センスアンプ及び前記センスデータ用ラッチを介して、前記ページデータとして前記ページデータ用ラッチにラッチされた後、前記上位アドレス信号によって規定される前記第1のアドレスの所定ビットを反転させるビット反転処理を行い前記第1のアドレスに続く第2のアドレスを発生させ、前記第1のメモリセル情報群に基づく前記ページモード読み出し期間中に、前記第2のアドレスを規定する前記上位アドレス信号に基づき前記メモリセルアレイから読み出された前記所定数のメモリセル情報である第

30

40

50

2のメモリセル情報群を、前記センスアンプを介して前記所定ビット数のセンスデータとして前記センスデータ用ラッチに格納させ、前記第1のメモリセル情報群に関する前記ページモード読み出し期間終了後、前記センスデータ用ラッチに格納された前記第2のメモリセル情報群に基づく前記所定ビット数のセンスデータを、前記ページデータとして前記ページデータ用ラッチにラッチさせることにより、前記第1のメモリセル情報群に基づくページモード読み出し期間後に前記第2のメモリセル情報群に基づく前記ページモード読み出し期間を設定しており、前記ページモード制御回路は、前記上位アドレス信号のアドレス遷移を検出するアドレス遷移検出部を含み、前記アドレス遷移検出部は、前記上位アドレス信号のアドレス遷移を検出して第1のアドレス遷移検出信号を出力する第1のA T D回路と、前記上位アドレス信号の前記所定ビットに対応する反転処理アドレス信号のアドレス遷移を検出して第2のアドレス遷移検出信号を出力する第2のA T D回路と、前記第1及び第2のアドレス遷移検出信号のうち一方がアドレス遷移を指示するときアドレス遷移を指示する第3のアドレス遷移検出信号を出力するアドレス遷移信号発生手段とを含み、前記ページモード制御回路は、前記第3のアドレス遷移検出信号に基づき、前記センスアンプを活性化させるセンス信号及び前記第1のラッチ信号を生成する第1の信号制御回路と、前記第1のアドレス遷移検出信号と前記第1のラッチ信号とを受け、前記第1のアドレス遷移検出信号に基づき前記第2のラッチ信号を生成し、前記第1のアドレス遷移検出信号がアドレス遷移を指示した後における前記第1のラッチ信号による最初のラッチタイミング指示発生時に、前記ビット反転処理の実行を指示する反転指示信号と前記第2のラッチ信号とを生成する第2の信号制御回路とを含む。

【発明の効果】

【0008】

この発明における請求項1記載の半導体記憶装置は、第1のメモリセル情報群に基づく前記ページモード読み出し期間中に、第2のメモリセル情報群を前記センスアンプを介して前記所定ビット数のセンスデータとしてセンスデータ用ラッチに格納させていることにより、第1及び第2のメモリセル情報群によるページモード読み出しを連続的に行える。

【0009】

したがって、連続してページ選択データが読み出せる数であるワード長は、センスアンプ、センスデータ用ラッチ及びページデータ用ラッチに必要な能力に対し2倍となる。

【0010】

その結果、ページモード読み出し時のピーク電流及びページモード読み出し機能を実現する回路のレイアウト面積の増大を最小限に抑えた半導体記憶装置を得ることができる。

【発明を実施するための最良の形態】

【0011】

< 原理 >

所定のページ長のページモード読み出し機能を有する半導体記憶装置において、上記ページモード読み出し機能を連続的に複数回動作させることができれば、実質的なページ長を複数倍にするページモード（以下、「シーケンシャルページモード」と呼ぶ）が実現することになり、上述したピーク電流の電流値増大やレイアウト面積増大問題を緩和しつつ高速なデータ転送を確保することが可能となる。しかしながら、本来、外部からのアクセス要求に非同期に動作するページモード読み出し動作時に、内部で自動的にページモード読み出し機能を継続させることは非常に複雑な動作を強いられるため、従来は実現性に乏しかった。特に冗長データとの整合性を実現するのは難しい。このような問題を解消を目指したのが本願発明である。

【0012】

また、本発明は、D R A M等の揮発性半導体記憶装置は勿論、不揮発性半導体記憶装置にも適用可能である。例えば、コントロールゲート、フローティングゲートを有するメモリセルトランジスタで構成されるフラッシュメモリにおけるページモード読み出し動作に対しても適用することができる。すなわち、フラッシュメモリのように、複数のビット線のうちYゲートで選択された所定数のビット線に対し、4ワードあるいは8ワード程度の

所定数のセンスアンプを設ける構成において、本発明は特に有効である。

【 0 0 1 3 】

< 実施の形態 1 >

図 1 はこの発明の実施の形態 1 である半導体記憶装置のメモリセルアレイ周辺部の構成を示すブロック図である。同図において、内部アドレス $IAD < 7 : 5 >$ によって X 選択信号 SX が選択され、内部アドレス $IAD < 4 : 3 >$ 及び反転処理アドレス $RAD < 2 >$ により Y 選択信号 SY が選択され、64 ビットのセンスデータ SD が出力され、ページアドレスとして 2 ビットの内部アドレス $IAD < 1 : 0 >$ が用いられる 4 ワードページの場合が示されている。

【 0 0 1 4 】

メモリセルアレイ 1 はマトリクス状に配置された複数のメモリセルを有し、X 選択信号 SX に基づき、複数のメモリセルのうちより選択されたメモリセルからの記憶データを、総計 512 本のメインビット線 Mba それぞれに読み出す。

【 0 0 1 5 】

Y ゲート 2 は Y 選択信号 SY に基づき、512 本のメインビット線 Mba のうち 64 本 (所定数) を選択してセンスアンプ 3 に電氣的に接続する。

【 0 0 1 6 】

すなわち、内部アドレス $IAD < 7 : 3 >$ 及び反転処理アドレス $RAD < 2 >$ からなる上位アドレス信号により、メモリセルアレイ 1 における 64 個 (所定数) のメモリセル情報がセンスアンプ 3 に読み出される。なお、反転処理アドレス $RAD < 2 >$ が上位アドレスにおけるビット反転対象の所定ビットとなる。

【 0 0 1 7 】

センスアンプ 3 は、センス信号 $\#SS$ が “ L ” のとき活性状態となり、活性状態時に Y ゲート 2 より選択された 64 本のメインビット線 Mba に現れる記憶データを検知・増幅するセンスアンプ動作を実行し、64 ビット (所定ビット数) 構成のセンスデータ SD を得る。

【 0 0 1 8 】

センスデータ用ラッチ 4 は、ラッチ信号 $SL1$ が “ H ” のとき活性状態となり、活性状態時にセンスアンプ 3 により得られた 64 ビット構成のセンスデータ SD としてラッチする。以降、ラッチ信号 $SL1$ が再び “ H ” になるまでラッチしたセンスデータ SD を保持する。したがって、センスアンプ 3 が非活性状態になっても、センスデータ用ラッチ 4 にラッチされたセンスデータ SD は保持される。

【 0 0 1 9 】

ページデータ用ラッチ 5 は、ラッチ信号 $SL2$ が “ H ” のとき活性状態となり、活性状態時にセンスデータ用ラッチ 4 に格納されたセンスデータ SD をページデータ PD としてラッチする。このページデータ PD は下位アドレスである内部アドレス $IAD < 1 : 0 >$ に対応して 4 個の 1 ワード構成の部分ページデータに分類可能である。

【 0 0 2 0 】

セクタ回路 6 は、内部アドレス $IAD < 1 : 0 >$ で選択されるアドレスに基づき、64 ビットのページデータ PD (4 個の部分ページデータ) から、一の部分ページデータを 1 ワード (16 ビット) のページ選択データ PSD として出力する。すなわち、センスアンプ 3、センスデータ用ラッチ 4、ページデータ用ラッチ 5 及びセクタ回路 6 による従来レベルのハードウェア構成としては、ページ長が 4 ワード構成のページモード読み出し機能を有している。

【 0 0 2 1 】

出力バッファ 7 はページ選択データ PSD をバッファリングし、外部データ DO として出力する。

【 0 0 2 2 】

X デコーダ 8 は内部アドレス $IAD < 7 : 5 >$ に基づき X 選択信号 SX を出力し、Y デコーダ 9 は内部アドレス $IAD < 4 : 3 >$ 及び反転処理アドレス $RAD < 2 >$ に基づき Y

10

20

30

40

50

選択信号 S_Y を出力する。したがって、 Y ゲート 2、 X デコーダ 8 及び Y デコーダ 9 によってメモリセルアレイ 1 から 64 ビットのメモリセル情報を読み出す読み出し制御部が構成される。

【0023】

図 2 は内部アドレス $IAD < 7 : 5 >$ 、内部アドレス $IAD < 4 : 3 >$ 及び反転処理アドレス $RAD < 2 >$ からなる内部アドレスを供給する内部アドレス供給部の構成を示すブロック図である。

【0024】

同図において、 CE バッファ 11 は外部チップイネーブル信号 $\#ECE$ をバッファリングして内部チップイネーブル信号 $\#ICE$ として出力する。 ADV バッファ 12 は外部アドレスバリッド (address valid) 信号 $\#EADV$ 及び内部チップイネーブル信号 $\#ICE$ をバッファリングして受け内部アドレスバリッド信号 $\#IADV$ として出力する。アドレスバッファ 13 は外部アドレス $EAD < 7 : 0 >$ 及び内部チップイネーブル信号 $\#ICE$ をバッファリングし外部アドレス $EAD < 7 : 0 >$ をアドレスラッチ回路 10 に出力する。

【0025】

アドレスラッチ回路 10 は内部アドレスバリッド信号 $\#IADV$ 、外部アドレス $EAD < 7 : 0 >$ 及び内部チップイネーブル信号 $\#ICE$ を受け、外部アドレスバリッド信号 $\#EADV$ 及び内部チップイネーブル信号 $\#ICE$ が “L” のとき、外部アドレス $EAD < 7 : 0 >$ 及び反転指示信号 $\#SR$ に基づき、内部アドレス $IAD < 7 : 2 >$ 、内部アドレス $IAD < 1 : 0 >$ 及び反転処理アドレス $RAD < 2 >$ を出力する。

【0026】

図 3 はアドレスラッチ回路 10 の内部構成を示す回路図である。同図に示すように、外部アドレス $EAD < 7 : 3 >$ をインバータ $G23$ が受け、インバータ $G24$ の入力インバータ $G23$ の出力及びラッチ 64 に接続される。そして、インバータ $G24$ の出力が内部アドレス $IAD < 7 : 3 >$ となる。インバータ $G23$ は制御入力に内部アドレスバリッド信号 $\#IADV$ を受け、内部アドレスバリッド信号 $\#IADV$ が “L” のときに活性状態となる。

【0027】

なお、実際には外部アドレス $EAD < 7 : 3 >$ は 5 ビットであるため、インバータ $G23$ 、 $G24$ 及びラッチ 64 も外部アドレス $EAD < 7 : 3 >$ の各アドレス信号 (1 ビット分) に対応して総計 5 つずつ設けられる。本明細書中では、外部アドレス $EAD < 7 : 3 >$ 等の複数ビットの信号を並列に受ける際に、対応する構成が各ビットにおいて同じ場合、便宜上、1 ビット分の構成を代表的に示している場合がある。

【0028】

外部アドレス $EAD < 1 : 0 >$ をインバータ $G31$ が受け、インバータ $G32$ の入力インバータ $G31$ の出力及びラッチ 67 に接続される。そして、インバータ $G32$ の出力が内部アドレス $IAD < 1 : 0 >$ となる。インバータ $G31$ は制御入力に内部アドレスバリッド信号 $\#IADV$ を受け、内部アドレスバリッド信号 $\#IADV$ が “L” のときに活性状態となる。

【0029】

反転対象ビットである外部アドレス $EAD < 2 >$ をインバータ $G25$ 、 $G27$ 及び $G30$ の入力に共通に受ける。インバータ $G26$ の入力インバータ $G25$ の出力及びラッチ 65 に接続され、インバータ $G26$ の出力がラッチ 66 及びインバータ $G29$ の入力に接続される。インバータ $G27 \sim G29$ は直列に接続され、インバータ $G29$ の入力はインバータ $G26$ の出力及びラッチ 66 にも接続される。そして、インバータ $G29$ の出力が反転処理アドレス $RAD < 2 >$ となり、インバータ $G30$ の出力が内部アドレス $IAD < 2 >$ となる。

【0030】

このような構成において、アドレスラッチ回路 10 は、内部アドレスバリッド信号 $\#IADV$ が “L” のとき、外部アドレス $EAD < 7 : 3 >$ 及び外部アドレス $EAD < 1 : 0$

10

20

30

40

50

>を内部アドレス I A D < 7 : 3 > 及び内部アドレス I A D < 1 : 0 > として出力する。

【 0 0 3 1 】

そして、アドレスラッチ回路 1 0 は、アドレス遷移検出信号 # A T D 1 の “ L ” 立ち下がりトリガとして、外部アドレス E A D < 2 > を反転処理アドレス R A D < 2 > として出力し、反転指示信号 # S R の “ L ” 立ち下がりトリガとして外部アドレス E A D < 2 > の反転信号を反転処理アドレス R A D < 2 > として出力する。

【 0 0 3 2 】

図 4 は図 1 で示したメモリセルアレイ 1 のメモリセルアレイ周辺部に対し各種制御信号を出力するページモード制御回路の主要部の構成を示す回路図である。同図において、A T D 回路部 1 4 (アドレス遷移検出部) は内部チップイネーブル信号 # I C E 、内部アドレス I A D < 7 : 2 > 及び反転処理アドレス R A D < 2 > を受け、アドレス遷移検出信号 # A T D 1 及び # A T D 3 を出力する。

10

【 0 0 3 3 】

図 5 は A T D 回路部 1 4 の内部構成を示す回路図である。同図に示すように、A T D 回路 3 1 は内部アドレス I A D < 7 : 2 > 及び内部チップイネーブル信号 # I C E を受け、アドレス遷移検出信号 # A T D 1 を出力し、A T D 回路 3 2 は反転処理アドレス R A D < 2 > を受け、アドレス遷移検出信号 # A T D 2 を出力する。A N D ゲート G 1 はアドレス遷移検出信号 # A T D 1 及びアドレス遷移検出信号 # A T D 2 を受け、アドレス遷移検出信号 # A T D 3 を出力する。

【 0 0 3 4 】

20

図 6 は A T D 回路 3 1 の内部構成を示す回路図である。同図に示すように、遷移パルス発生回路 3 3 は内部アドレス I A D < 7 : 2 > を受け、内部アドレス I A D < 7 : 2 > のいずれかのアドレス遷移を検出すると “ H ” の遷移パルスを発生する。遷移パルス発生回路 3 4 は内部チップイネーブル信号 # I C E を受け、内部チップイネーブル信号 # I C E のエッジ変化を検出すると “ H ” の遷移パルスを発生する。

【 0 0 3 5 】

N M O S トランジスタ Q 1 及び Q 2 はそれぞれ信号線 7 1 と接地レベル間に介挿され、N M O S トランジスタ Q 1 のゲートが遷移パルス発生回路 3 3 の出力に接続され、N M O S トランジスタ Q 2 のゲートが遷移パルス発生回路 3 4 の出力に接続される。

【 0 0 3 6 】

30

直列に接続されるインバータ G 1 1 , G 1 2 のインバータ G 1 1 の入力信号線 7 1 に接続され、P M O S トランジスタ Q 1 1 は信号線 7 1 , 電源 V d d 間に介挿され、P M O S トランジスタ Q 1 1 のゲートがインバータ G 1 2 の出力に接続される。そして、信号線 7 1 より得られる信号がアドレス遷移検出信号 # A T D 1 となる。なお、遷移パルス発生回路 3 3 及び N M O S トランジスタ Q 1 は内部アドレス I A D < 7 : 2 > の各ビットに対応すべく実際にはそれぞれ 6 個設けられる。

【 0 0 3 7 】

図 7 は遷移パルス発生回路の内部構成を示す回路図である。同図に示す遷移パルス発生回路は、遷移パルス発生回路 3 3 , 3 4 に相当し、遷移パルス発生回路 3 3 の場合、内部アドレス I A D < 7 : 2 > の各アドレスビットを入力信号 I N 1 として受け、出力信号 O U T 1 を出力する 1 ビット分の構成に相当し、遷移パルス発生回路 3 4 の場合、内部チップイネーブル信号 # I C E を入力信号 I N 1 として受け、出力信号 O U T 1 を出力する構成に相当する。

40

【 0 0 3 8 】

同図に示すように、直列に接続されるインバータ G 1 5 , G 1 6 において、インバータ G 1 5 の入力に入力信号 I N 1 を受ける。N M O S トランジスタ Q 4 , P M O S トランジスタ Q 1 4 , 抵抗 R 1 , 及びキャパシタ C 1 により構成される L 出力遅延インバータ 6 1 において、P M O S トランジスタ Q 1 4 のソースは電源 V d d に接続され、ドレイン (ノード N 1) は抵抗 R 1 の一端及びキャパシタ C 1 の一方電極に接続される。抵抗 R 1 の他端は N M O S トランジスタ Q 4 のドレインに接続され、N M O S トランジスタ Q 4 のソース

50

は接地され、キャパシタC 1の他方電極は接地される。そして、インバータG 1 5の出力がP M O SトランジスタQ 1 4及びN M O SトランジスタQ 4のゲートに共通に接続される。

【 0 0 3 9 】

N M O SトランジスタQ 5 , P M O SトランジスタQ 1 5 , 抵抗R 2 , 及びキャパシタC 2により構成されるL出力遅延インバータ6 2において、P M O SトランジスタQ 1 5のソースは電源V ddに接続され、ドレイン(ノードN 2)は抵抗R 2の一端及びキャパシタC 2の一方電極に接続される。抵抗R 2の他端はN M O SトランジスタQ 5のドレインに接続され、N M O SトランジスタQ 5のソースは接地され、キャパシタC 2の他方電極は接地される。そして、インバータG 1 6の出力がP M O SトランジスタQ 1 5及びN M O SトランジスタQ 5のゲートに共通に接続される。

10

【 0 0 4 0 】

L出力遅延インバータ6 1は入力(インバータG 1 5の出力)の“ H ”立ち上がり時は、入力の“ L ”立ち下がり時に比べて抵抗R 1 , キャパシタC 1の第1のR C時定数で決定される遅延時間分遅れて“ L ”の反転遅延信号を出力し、L出力遅延インバータ6 2は入力(インバータG 1 6の出力)の“ H ”立ち上がり時に、入力が“ L ”立ち下がり時に比べて抵抗R 2 , キャパシタC 2の第2のR C時定数で決定される遅延時間分遅れて“ L ”の反転遅延信号を出力する。

【 0 0 4 1 】

N A N DゲートG 2はノードN 1 , N 2を一方入力, 他方入力として受け、その出力がインバータG 1 7の入力に接続され、インバータG 1 7の出力が出力信号O U T 1となる。

20

【 0 0 4 2 】

このような構成の遷移パルス発生回路において、通常は、L出力遅延インバータ6 1 , 6 2のうち一方の出力が必ず“ L ”のため、出力信号O U T 1は“ L ”となっている。

【 0 0 4 3 】

そして、入力信号I N 1の“ H ”立ち上がり時において、L出力遅延インバータ6 1の出力の“ L ” “ H ”への変化に対し、L出力遅延インバータ6 2の出力の“ H ” “ L ”への変化が第2のR C時定数分遅れて生じるため、上記第2のR C時定数分の“ H ”パルスが出力信号O U T 1から発生する。

30

【 0 0 4 4 】

同様にして、入力信号I N 1の“ L ”立ち下がり時において、L出力遅延インバータ6 2の出力の“ L ” “ H ”への変化に対し、L出力遅延インバータ6 1の出力における“ H ” “ L ”へ変化が第1のR C時定数分遅れて生じるため、上記第1のR C時定数分の“ H ”パルスが出力信号O U T 1から発生する。

【 0 0 4 5 】

このように、遷移パルス発生回路は、入力信号I N 1の“ H ”立ち上がり及び“ L ”立ち下がりの信号遷移時に“ H ”パルスを発生する出力信号O U T 1を出力する。

【 0 0 4 6 】

図6に戻って、上記構成のA T D回路3 1は、通常は、P M O SトランジスタQ 1 1により、信号線7 1は“ H ”に設定されているため、“ H ”のアドレス遷移検出信号# A T D 1を出力する。そして、内部アドレスI A D < 7 : 2 >のアドレス遷移時にN M O SトランジスタQ 1が、遷移パルス発生回路3 3からの“ H ”の遷移パルス発生時間オンするため、アドレス遷移検出信号# A T D 1が所定期間“ L ”に立ち下がり、同様にして内部チップイネーブル信号# I C Eの信号遷移時にN M O SトランジスタQ 2が、遷移パルス発生回路3 4の“ H ”の遷移パルス発生時間オンするため、アドレス遷移検出信号# A T D 1が所定期間“ L ”に立ち下がる。

40

【 0 0 4 7 】

図8はA T D回路3 2の内部構成を示す回路図である。同図に示すように、遷移パルス発生回路3 5は反転処理アドレスR A D < 2 >を受け、反転処理アドレスR A D < 2 >の

50

アドレス遷移を検出すると“H”の遷移パルスを発生する。

【0048】

NMOSトランジスタQ3は信号線72と接地レベル間に介挿され、NMOSトランジスタQ3のゲートが遷移パルス発生回路35の出力に接続される。

【0049】

直列に接続されるインバータG13, G14のインバータG13の入力が信号線72に接続され、PMOSトランジスタQ12は信号線72, 電源V_{dd}間に介挿され、PMOSトランジスタQ12のゲートがインバータG14の出力に接続される。そして、信号線72より得られる信号がアドレス遷移検出信号#ATD2となる。

【0050】

なお、遷移パルス発生回路35は図7で示した構成を呈しており、遷移パルス発生回路35に入力される反転処理アドレスRAD<2>を入力信号IN1として受け、出力信号OUT1を出力する構成に相当する。

【0051】

このような構成において、ATD回路32は通常は、PMOSトランジスタQ12により、信号線72は“H”に設定されているため、“H”のアドレス遷移検出信号#ATD2を出力する。そして、反転処理アドレスRAD<2>の遷移時にNMOSトランジスタQ3が、遷移パルス発生回路35からの“H”の遷移パルス発生時間オンするため、アド

【0052】

図5に戻って、上述したATD回路31, 32及びANDゲートG1からなるATD回路部14は、内部アドレスIAD<7:2>あるいは内部チップイネーブル信号#ICEの信号遷移時に“L”パルスを発生するアドレス遷移検出信号#ATD1を出力し、内部アドレスIAD<7:2>、内部チップイネーブル信号#ICEあるいは反転処理アドレスRAD<2>の信号遷移時に“L”パルスを発生するアドレス遷移検出信号#ATD3を出力している。

【0053】

図4に戻って、アドレス反転制御回路15(第2の信号制御回路)は、アドレス遷移検出信号#ATD1及びラッチ信号SL1に基づき、反転指示信号#SR及びラッチ信号SL2を出力する。センス制御回路16(第1の信号制御回路)はアドレス遷移検出信号#ATD3に基づきセンス信号#SS及びラッチ信号SL1を出力する。

【0054】

図9はセンス制御回路16の内部構成を示す回路図である。同図に示すように、3段直列に接続される遅延ユニット36~38のうち初段の遅延ユニット36はアドレス遷移検出信号#ATD3を受け、最終段の遅延ユニット38の出力がセンス信号#SSとなる。3段直列に接続されるインバータG18~G20のうち初段のインバータG18がセンス信号#SSを受ける。NANDゲートG3は一方入力にセンス信号#SSを他方入力にインバータG20の出力を受ける。NANDゲートG3の出力はインバータG21を介してラッチ信号SL1として出力される。

【0055】

図10は遅延ユニット36(37, 38)の内部構成を示す回路図である。同図に示すように、NMOSトランジスタQ6, PMOSトランジスタQ16, 抵抗R3, 及びキャパシタC3により構成されるL出力遅延インバータ63において、PMOSトランジスタQ16のソースは電源V_{dd}に接続され、ドレイン(ノードN3)は抵抗R3の一端及びキャパシタC3の一方電極に接続される。抵抗R3の他端はNMOSトランジスタQ6のドレインに接続され、NMOSトランジスタQ6のソースは接地され、キャパシタC3の他方電極は接地される。インバータG22の入力がノードN3に接続される。

【0056】

そして、入力信号IN2がPMOSトランジスタQ16及びNMOSトランジスタQ6のゲートに共通に接続され、インバータG22の出力が出力信号OUT2となる。なお、入力信号IN2は遅延ユニット36, 37及び38において、アドレス遷移検出信号#A

10

20

30

40

50

T D 3、遅延ユニット 3 6 の出力信号、及び遅延ユニット 3 7 の出力信号に相当し、出力信号 O U T 2 は遅延ユニット 3 6 の出力信号、遅延ユニット 3 7 の出力信号、遅延ユニット 3 8 の出力信号（センス信号 # S S ）に相当する。

【 0 0 5 7 】

このような構成において、遅延ユニット 3 6 の L 出力遅延インバータ 6 3 は入力信号 I N 2 が “ H ” 立ち上がり時に、入力が “ L ” 立ち下がり時に比べて抵抗 R 3 , キャパシタ C 3 の第 3 の R C 時定数で決定される遅延時間分遅れて “ L ” の反転遅延信号を出力するため、入力信号 I N 2 から出力信号 O U T 2 への “ H ” 立ち上がりの信号伝搬遅延が生じる。一方、入力信号 I N 2 の “ L ” 立ち下がり時は、L 出力遅延インバータ 6 3 も速やかに “ H ” の反転信号を出力するため、“ L ” 立ち下がり時の信号伝搬遅延が生じない。このように、遅延ユニット 3 6 は入力信号 I N 2 の “ H ” 立ち上がり時間を所定時間遅延させて出力信号 O U T 2 を出力する。

10

レス遷移検出信号 # A T D 2 が所定期間 “ L ” に立ち下がる。

【 0 0 5 8 】

図 9 に戻って、センス信号 # S S は、アドレス遷移検出信号 # A T D 3 の “ L ” 立ち下がりトリガとして速やかに “ L ” に立ち下がり、アドレス遷移検出信号 # A T D 3 の “ H ” 立ち上がりトリガとし、遅延ユニット 3 6 ~ 3 8 による遅延時間後に “ H ” に立ち上がる信号として出力される。

【 0 0 5 9 】

一方、ラッチ信号 S L 1 は、通常は N A N D ゲート G 3 の一方の入力が “ L ” のため “ L ” の信号となり、センス信号 # S S の “ H ” 立ち上がり時から所定期間（インバータ G 1 8 ~ G 2 0 の信号伝搬遅延時間）のみ “ H ” パルスを発生する信号となる。

20

【 0 0 6 0 】

図 1 1 はアドレス反転制御回路 1 5 の内部構成を示す回路図である。同図に示すように、アドレス反転制御回路 1 5 はインバータ G 3 3、R S フリップフロップ 3 9、1 ショットパルス発生回路 4 0、N A N D ゲート G 7 及び遅延回路 4 7 により構成される。

【 0 0 6 1 】

インバータ G 3 3 はラッチ信号 S L 1 を受け、その出力が R S フリップフロップ 3 9 の S（セット）入力部に入力される。一方、アドレス遷移検出信号 # A T D 1 が R S フリップフロップ 3 9 の R（リセット）入力部に入力される。

30

【 0 0 6 2 】

R S フリップフロップ 3 9 は N A N D ゲート G 4 , G 5 及びインバータ G 3 4 より構成され、N A N D ゲート G 4 , G 5 の一方入力がそれぞれ S 入力部、R 入力部となり、N A N D ゲート G 4 の出力が N A N D ゲート G 5 の他方入力として帰還し、N A N D ゲート G 5 の出力が N A N D ゲート G 4 の他方入力として帰還する。インバータ G 3 4 は入力が N A N D ゲート G 5 の出力に接続され、インバータ G 3 4 からの出力信号が F F 出力信号 S 3 9 となる。

【 0 0 6 3 】

このような構成の R S フリップフロップ 3 9 において、ラッチ信号 S L 1 の “ H ” 立ち上がりトリガとして F F 出力信号 S 3 9 が “ H ” にセットされ、アドレス遷移検出信号 # A T D 1 の “ L ” 立ち下がりトリガとして “ L ” にリセットされる。

40

【 0 0 6 4 】

1 ショットパルス発生回路 4 0 は直列に接続されたインバータ G 3 5 ~ G 3 7 及び N A N D ゲート G 6 より構成され、インバータ G 3 5 の入力が F F 出力信号 S 3 9 を受ける。N A N D ゲート G 6 は一方入力が F F 出力信号 S 3 9 を受け、他方入力がインバータ G 3 7 の出力に接続される。そして、N A N D ゲート G 6 の出力信号が遅延回路 4 7 を介し反転指示信号 # S R として出力される。なお、アドレス反転制御回路 1 5 では遅延回路 4 7 を介して反転指示信号 # S R を出力する例を示したが、1 ショットパルス発生回路 4 0 の出力をそのまま反転指示信号 # S R として出力させても良い。

【 0 0 6 5 】

50

NANDゲートG7は一方入力にNANDゲートG6の出力を受け、他方入力にアドレス遷移検出信号#ATD1を受け、その出力をラッチ信号SL2として出力する。

【0066】

このような構成において、1ショットパルス発生回路40から遅延回路47を介して出力される反転指示信号#SRは、通常はNANDゲートG6の一方の入力が“L”のため“H”の信号となり、FF出力信号S39の“H”立ち上がり時から遅延回路47により遅延時間経過後の所定期間（インバータG35～G37の信号伝搬遅延時間）のみ“L”パルスを発生する信号となる。

【0067】

したがって、アドレス反転制御回路15は、アドレス遷移検出信号#ATD1の“L”立ち下がりによってRSフリップフロップ39がリセットされた後にラッチ信号SL1の最初の“H”立ち上がりによってRSフリップフロップ39がセットされると、1ショットパルス発生回路40から遅延回路47を介して得られる反転指示信号#SRとして、ビット反転処理を指示する“L”のパルスを発生する。

【0068】

さらに、アドレス反転制御回路15は、1ショットパルス発生回路40の出力信号S40（反転指示信号#SRの遅延前の信号）及びアドレス遷移検出信号#ATD1のうち一方が“L”パルスを発生したとき、ラッチ信号SL2として“L”パルスを発生する。

【0069】

図12はアドレス反転制御回路15及びその周辺回路の動作を示すタイミング図である。同図に示すように、時刻t1において、内部アドレスIAD<7:2>のアドレス遷移をATD回路部14が検出すると、アドレス遷移検出信号#ATD1が“L”に立ち下がる。

【0070】

このアドレス遷移検出信号#ATD1の“L”立ち下がりトリガとして内部アドレスIAD<2>が反転処理アドレスRAD<2>としてアドレスバッファ13より出力される。同時に、アドレス反転制御回路15のRSフリップフロップ39がリセットされ、FF出力信号S39が“L”となる。

【0071】

そして、時刻t1から所定時間経過後の時刻t2にラッチ信号SL1の“H”立ち上がりトリガとしてRSフリップフロップ39がセットされFF出力信号S39が“H”となり、その結果、反転指示信号#SRが“L”に立ち下がる。なお、図12では説明の都合上、1ショットパルス発生回路40の出力信号S40が遅延回路47を介することなくそのまま反転指示信号#SRとして出力される場合を示している。

【0072】

この反転指示信号#SRの“L”立ち下がりトリガとして内部アドレスIAD<2>の反転信号が反転処理アドレスRAD<2>としてアドレスバッファ13より出力される。

【0073】

その後、時刻t2から所定時間経過後の時刻t3にラッチ信号SL1が再び“H”に立ち上がる。しかし、FF出力信号S39が時刻t2から“H”であるため、FF出力信号S39が“H”を維持するに留まるため、反転指示信号#SRが“L”に立ち下がることはない。

【0074】

その後、時刻t4において、内部アドレスIAD<7:2>のアドレス遷移をATD回路部14が検出すると、アドレス遷移検出信号#ATD1が“L”に立ち下がる。このアドレス遷移検出信号#ATD1の“L”立ち下がりトリガとして内部アドレスIAD<2>が反転処理アドレスRAD<2>としてアドレスバッファ13より出力される。同時に、アドレス反転制御回路15のRSフリップフロップ39がリセットされ、FF出力信号S39が“L”となる。

10

20

30

40

50

【 0 0 7 5 】

図 1 3 は図 1 のセクタ回路 6 の内部構成を示す回路図である。同図において、16 ビットのページ選択データ P S D のうち、所定ビット P S D < k > (k = 0 ~ 1 5 のいずれか) に対応し、内部アドレス I A D < 1 : 0 > により識別可能なアドレス毎に分類される部分ページデータ D I < 0 > ~ D I < 3 > の選択回路を示している。実際には、図 1 3 のような構成がページ選択データ P S D の 1 6 ビット分存在する。ただし、ページ選択データ P S D の各ビットにおいて選択信号 S E L < 3 : 0 > を生成する回路部分 (G 1 0 1 ~ G 1 0 4 , G 4 0 ~ G 4 3) は共有することができる。

【 0 0 7 6 】

N A N D ゲート G 1 0 1 は一方入力に内部アドレス I A D < 1 > を受け、他方入力に内部アドレス I A D < 0 > を受け、インバータ G 4 0 は N A N D ゲート G 1 0 1 の出力を受ける。

10

【 0 0 7 7 】

N A N D ゲート G 1 0 2 は一方入力に内部アドレス I A D < 1 > を受け、他方入力に反転内部アドレス # I A D < 0 > を受け、インバータ G 4 1 は N A N D ゲート G 1 0 2 の出力を受ける。なお、反転内部アドレス # I A D < 0 > は内部アドレス I A D < 0 > を受けるインバータ G 3 9 の出力として得ることができる。

【 0 0 7 8 】

N A N D ゲート G 1 0 3 は一方入力に反転内部アドレス # I A D < 1 > を受け、他方入力に内部アドレス I A D < 0 > を受け、インバータ G 4 2 は N A N D ゲート G 1 0 3 の出力を受ける。なお、反転内部アドレス # I A D < 1 > は内部アドレス I A D < 1 > を受けるインバータ G 3 8 の出力として得ることができる。

20

【 0 0 7 9 】

N A N D ゲート G 1 0 4 は一方入力に反転内部アドレス # I A D < 1 > を受け、他方入力に反転内部アドレス # I A D < 0 > を受け、インバータ G 4 3 は N A N D ゲート G 1 0 4 の出力を受ける。

【 0 0 8 0 】

N A N D ゲート G 1 0 5 は一方入力に部分ページデータ D I < 3 > を受け、他方入力にインバータ G 4 0 の出力信号である選択信号 S E L < 3 > を受ける。

【 0 0 8 1 】

N A N D ゲート G 1 0 6 は一方入力に部分ページデータ D I < 2 > を受け、他方入力にインバータ G 4 1 の出力信号である選択信号 S E L < 2 > を受ける。

30

【 0 0 8 2 】

N A N D ゲート G 1 0 7 は一方入力に部分ページデータ D I < 1 > を受け、他方入力にインバータ G 4 2 の出力信号である選択信号 S E L < 1 > を受ける。

【 0 0 8 3 】

N A N D ゲート G 1 0 8 は一方入力に部分ページデータ D I < 0 > を受け、他方入力にインバータ G 4 3 の出力信号である選択信号 S E L < 0 > を受ける。

【 0 0 8 4 】

N A N D ゲート G 1 0 9 は一方入力及び他方入力に N A N D ゲート G 1 0 5 及び G 1 0 6 の出力が接続され、N A N D ゲート G 1 1 0 は一方入力及び他方入力に N A N D ゲート G 1 0 7 及び N A N D ゲート G 1 0 8 の出力が接続される。N A N D ゲート G 1 0 9 及び G 1 1 0 の出力がインバータ G 4 4 及び G 4 5 の入力に接続される。

40

【 0 0 8 5 】

N A N D ゲート G 1 1 1 は一方入力及び他方入力にインバータ G 4 4 及び G 4 5 の出力に接続され、N A N D ゲート G 1 1 1 の出力がページ選択データ P S D < k > となる。

【 0 0 8 6 】

このような構成において、内部アドレス I A D < 1 : 0 > によって選択信号 S E L < 3 : 0 > のうちの選択信号のみ “ H ” となる。ここで、“ H ” になった選択信号を選択信号 S E L < j > (j = 0 ~ 3 のいずれか) とすると、ページ選択データ P S D < k > とし

50

て部分ページデータ $D I < j >$ が出力される。

【 0 0 8 7 】

図 1 4 はこの発明の実施の形態 1 による半導体記憶装置のページモード読み出し動作を示すタイミング図である。以下、同図を参照して実施の形態 1 のページモード読み出し動作を説明する。

【 0 0 8 8 】

まず、時刻 $t 0 1$ で内部チップイネーブル信号 $\# I C E$ 及び内部アドレスバリッド信号 $\# I A D V$ が “ L ” に立ち下がり、アドレスバッファ 1 3 が活性状態となり、半導体記憶装置が動作状態となる。

【 0 0 8 9 】

そして、時刻 $t 0 2$ で、内部アドレス $I A D < 7 : 2 >$ のアドレス遷移が A T D 回路部 1 4 によって検出され、アドレス遷移検出信号 $\# A T D 1$ 及び $\# A T D 3$ が “ L ” に立ち下がり、同時にセンス信号 $\# S S$ の “ L ” 立ち下がり、ラッチ信号 $S L 2$ の “ H ” 立ち上がりが生じる。

【 0 0 9 0 】

このときの内部アドレス $I A D < 2 >$ を “ 0 ” とすると、アドレス遷移検出信号 $\# A T D 1$ の “ L ” 立ち下がりトリガとして、内部アドレス $I A D < 2 >$ が反転処理アドレス $R A D < 2 >$ としてアドレスラッチ回路 1 0 から出力される。

【 0 0 9 1 】

また、上記動作と並行して、Xデコーダ 8 は内部アドレス $I A D < 7 : 5 >$ に基づき X 選択信号 $S X$ を出力し、Yデコーダ 9 は内部アドレス $I A D < 4 : 3 >$ 及び反転処理アドレス $R A D < 2 >$ に基づき Y 選択信号 $S Y$ を出力する。そして、メモリセルアレイ 1 から X 選択信号 $S X$ によって選択されたメモリセルの記憶データが 5 1 2 ビットのメインビット線 $M B a$ に読み出され、Y 選択信号 $S Y$ に基づき Y ゲート 2 により選択された 6 4 ビットのデータ (第 1 のメモリセル情報群) がセンスアンプ 3 に付与される。

【 0 0 9 2 】

センスアンプ 3 はセンス信号 $\# S S$ の “ L ” 立ち下がりにより活性状態となり、センスアンプ動作を行い、時刻 $t 0 2$ から時間 $T S$ 経過後の時刻 $t 0 3$ に付与された 6 4 ビットのデータのセンス結果 ($D 0 x x$) が現れる。その後、センス信号 $\# S S$ が “ H ” に立ち上がる。

【 0 0 9 3 】

その後、時刻 $t 0 4$ にラッチ信号 $S L 1$ が “ H ” に立ち上がると、これをトリガとしてラッチ信号 $S L 2$ の “ H ” 立ち上がりが生じる。センスアンプ 3 のセンス結果がセンスデータ $S D$ としてセンスデータ用ラッチ 4 にラッチされ、センスデータ $S D$ がページデータ $P D$ ($D 0 x x$) としてページデータ用ラッチ 5 にラッチされる。

【 0 0 9 4 】

その結果、ページデータ用ラッチ 5 にラッチされたページデータ $P D$ は、セクタ回路 6 によって、内部アドレス $I A D < 1 : 0 >$ によって最初に指定されるアドレスに対応するページ選択データ $P S D$ ($D 0 0 0$) が出力バッファ 7 を介して外部データ $D O$ として出力される。

【 0 0 9 5 】

このように、センスアンプ 3 によるセンスアンプ動作が必要なため、最初の外部データ $D O$ ($D 0 0 0$) が得られるのは、時刻 $t 0 1 \sim$ 時刻 $t 0 4$ 間の時間を要する。

【 0 0 9 6 】

その後、ページデータ用ラッチ 5 にラッチされたページデータ $P D$ は、セクタ回路 6 により、内部アドレス $I A D < 1 : 0 >$ によって指定される順に上述した “ $D 0 0 0$ ” 以降も、“ $D 0 0 1$ ” “ $D 0 1 0$ ” “ $D 0 1 1$ ” の順に選択された後、出力バッファ 7 により外部データ $D O$ として連続的に出力するページモード読み出し出力が行われる。すなわち、時刻 $t 0 4$ 以降、4 ワード分のデータが連続して読み出されることになる。

【 0 0 9 7 】

10

20

30

40

50

一方、時刻 t_{04} のラッチ信号 $SL1$ の “H” 立ち上がりから、遅延回路 47 による遅延時間経過後の時刻 t_{05} に反転指示信号 $\#SR$ の “L” 立ち下がる。この時刻 t_{05} において、アドレスラッチ回路 10 から、内部アドレス $IA D < 2 >$ の反転信号が反転処理アドレス $RA D < 2 >$ として出力させることにより、上位アドレスの所定ビットである反転処理アドレス $RA D < 2 >$ を “0” から “1” 擬似的（一時的）に反転するビット反転処理が実行される。なお、ここでいう擬似的に反転するとは、時刻 t_{05} ～時刻 t_{08} までの一時的な期間において、内部アドレス $IA D < 2 >$ の “1” を反転させて反転処理アドレス $RA D < 2 >$ を得ていることを意味する。

【0098】

その結果、反転処理アドレス $RA D < 2 >$ のアドレス遷移によって変更された Y 選択信号 SY に基づき、Y ゲート 2 により選択された新たな 64 ビットのメモリセル情報（第 2 のメモリセル情報群）のセンスアンプ 3 への付与が速やかに行われる。

10

【0099】

そして、反転処理アドレス $RA D < 2 >$ のアドレス遷移をトリガとしてアドレス遷移検出信号 $\#ATD3$ が “L” に立ち下がり、センス信号 $\#SS$ が “L” に立ち下がり、センスアンプ 3 が再び活性状態となる。

【0100】

そして、時刻 t_{05} から時間 TS 経過後の時刻 t_{06} に、反転処理アドレス $RA D < 2 >$ が “1” の場合の（第 2 のメモリセル情報群に基づく）新たなセンス結果（ $D1xx$ ）が現れる。その後、センス信号 $\#SS$ が “H” に立ち上がる。

20

【0101】

時刻 t_{06} から所定時間経過後の時刻 t_{07} において、ラッチ信号 $SL1$ が “H” に立ち上がり、センスデータ用ラッチ 4 にラッチされるセンスデータ SD が $D0xx$ （第 1 のメモリセル情報群のデータ）から $D1xx$ （第 2 のメモリセル情報群のデータ）に変更される。

【0102】

このように、ラッチ信号 $SL1$ はアドレス遷移検出信号 $\#ATD3$ の “L” 立ち下がりに応答して、所定時間経過後 “H” となりため、反転処理アドレス $RA D < 2 >$ のアドレス遷移後のセンスアンプ 3 より得られるセンス結果を速やかにラッチすることができる。

【0103】

このとき、ラッチ信号 $SL2$ は反転処理アドレス $RA D < 2 >$ のアドレス遷移に関係なく “L” を維持するため、ページデータ用ラッチ 5 のページデータ PD が更新されることなく上述したページモード読み出し出力が支障無く行われる。

30

【0104】

このように、ラッチ信号 $SL1$ 及び $SL2$ のラッチタイミングに連動してビット反転処理を実行する反転指示信号 $\#SR$ を生成することにより、時刻 t_{04} 以降において、ページデータ用ラッチ 5、セレクト回路 6 及び出力バッファ 7 による前半の 4 ワード分のデータ（第 1 のメモリセル情報群に基づくデータ）のページモード読み出し動作に並行して、メモリセルアレイ 1、Y ゲート 2、センスアンプ 3、及びセンスデータ用ラッチ 4 による後半の 4 ワード分のデータ（第 2 のメモリセル情報群に基づくデータ）のセンス動作を行うことができる。

40

【0105】

そして、 $D000 \sim D003$ の 4 ワード分の外部データ DO の出力が終える時刻 t_{08} に内部アドレス $IA D < 2 >$ がアドレス変化（“0” “1”）する。この時刻 t_{08} 時点において、既にセンスデータ用ラッチ 4 には次の読み出しデータ（ $D1xx$ ）がラッチされている。

【0106】

内部アドレス $IA D < 2 >$ のアドレス遷移検出によるアドレス遷移検出信号 $\#ATD1$ の “L” 立ち下がりに伴い、反転処理アドレス $RA D < 2 >$ として内部アドレス $IA D < 2 >$ が出力されるが、時刻 t_{05} の際に既に反転処理アドレス $RA D < 2 >$ は “1” とな

50

っているため、結果的に反転処理アドレス $RAD < 2 >$ は “ 1 ” を維持することになる。

【 0 1 0 7 】

このとき、ラッチ信号 $SL2$ の “ H ” 立ち上がりが生じるため、センスデータ SD がページデータ用ラッチ 5 にラッチされ、ページデータ PD が更新されるが、前述したように、時刻 $t08$ には外部データ DO から “ $D000$ ” “ $D001$ ” “ $D010$ ” “ $D011$ ” のデータが既に読み出されているため、ページモード読み出し動作に支障は来さない。

【 0 1 0 8 】

そして、時刻 $t08$ でページデータ用ラッチ 5 にラッチされたページデータ PD は、セレクト回路 6 によって、内部アドレス $IAD < 1 : 0 >$ によって指定される順に “ $D100$ ” “ $D101$ ” “ $D110$ ” “ $D111$ ” の順に選択された後、出力バッファ 7 より外部データ DO として連続的に出力するページモード読み出し出力が行われる。すなわち、時刻 $t04$ から 8 ワードの外部データ DO (第 1 及び第 2 のメモリセル情報群に基づくデータ) が “ $D000$ ” “ $D001$ ” “ $D010$ ” “ $D011$ ” , “ $D100$ ” “ $D101$ ” “ $D110$ ” “ $D111$ ” の順で連続的に読み出されることになる。

【 0 1 0 9 】

なお、時刻 $t08$ 後の時刻 $t09$ にラッチ信号 $SL1$ 及びラッチ信号 $SL2$ の “ H ” 立ち上がりにより、センスアンプ 3 によるセンス結果でセンスデータ用ラッチ 4 及びページデータ用ラッチ 5 の内容が更新されるが、センス結果は時刻 $t07$ 時点の内容と同様の ($D1 \times \times$) であるため、実質的にはページデータ用ラッチ 5 のラッチ内容に変化はないため、動作に支障を来すことはない。

【 0 1 1 0 】

このように、アドレスラッチ回路 10、 ATD 回路部 14、アドレス反転制御回路 15、及びセンス制御回路 16 等から構成されるページモード制御回路によって以下の動作が行われる。

【 0 1 1 1 】

前半 4 ワードのアドレス (第 1 のアドレス) を規定する内部アドレス $IAD < 7 : 3 >$ 及び反転処理アドレス $RAD < 2 >$ に基づきメモリセルアレイ 1 から読み出された第 1 のメモリセル情報群が、センスアンプ 3 及びセンスデータ用ラッチ 4 を介して、ページデータ PD としてページデータ用ラッチ 5 にラッチされた後、反転処理アドレス $RAD < 2 >$ を擬似的に反転させるビット反転処理を行い前半 4 ワードのアドレスに続く後半 4 ワードのアドレス (第 2 のアドレス) をアドレスラッチ回路 10 から発生させる。

【 0 1 1 2 】

そして、第 1 のメモリセル情報群に基づくページモード読み出し期間中に、後半 4 ワードのアドレスを規定する上位アドレス信号に基づきメモリセルアレイ 1 から読み出された第 2 のメモリセル情報群を、センスアンプ 3 を介して 64 ビット構成のセンスデータ SD としてセンスデータ用ラッチ 4 に格納させる。

【 0 1 1 3 】

その後、上記第 1 のメモリセル情報群に関するページモード読み出し期間終了後、センスデータ用ラッチ 4 に格納された上記第 2 のメモリセル情報群に基づく 64 ビット構成のセンスデータ SD を、ページデータ PD としてページデータ用ラッチ 5 にラッチさせることにより、第 1 のメモリセル情報群に基づくページモード読み出し期間後に第 2 のメモリ

【 0 1 1 4 】

その結果、従来レベルのハードウェア構成としては、ページ長が 4 ワード構成のページモード読み出し機能に抑えながら、実質的にはページ長が 8 ワード構成のページモード読み出し動作を実現することができる。

【 0 1 1 5 】

したがって、実施の形態 1 の半導体記憶装置は、同時に活性化するセンスアンプ 3 のビット数及びラッチ 4、5 の記憶容量を 4 ワードページ分に抑えながら、8 ワードページ分のページモード読み出し機能を有することになるため、ページモード読み出し時のピーク電流及びページモード読み出し機能を実現する回路のレイアウト面積の増大を最小限に抑

10

20

30

40

50

えることができる。

【 0 1 1 6 】

本実施の形態では、前半の 4 ワード分の外部へのページモード読み出し期間中に、後半の 4 ワード分のデータを読み出ししている。後半の 4 ワード分のセンスデータ S D が確定すれば直ちに後半の 4 ワード分の外部へのページモード読み出し期間に移行することも考えられる。

【 0 1 1 7 】

しかしながら、前半の 4 ワード分の外部へのページモード読み出し動作が確実に行われることを保証するため、前半の 4 ワード分の外部へのページモード読み出し動作が完了した時刻 t 0 8 にラッチ信号 S L 2 を “ H ” にして、後半の 4 ワード分の外部へのページモード読み出し期間に移行する方が適切である。

10

【 0 1 1 8 】

なお、本実施の形態では、内部アドレス I A D < 1 : 0 > の出力順が “ 0 0 ” , “ 0 1 ” , “ 1 0 ” , “ 1 1 ” の場合を示したが、この順は任意である。

【 0 1 1 9 】

< 実施の形態 2 >

図 1 5 はこの発明の実施の形態 2 である半導体記憶装置のメモリセルアレイ周辺部の構成を示すブロック図である。同図において、内部アドレス I A D < 7 : 5 > によって X 選択信号 S X が選択され、内部アドレス I A D < 4 : 3 > 及び反転処理アドレス R A D < 2 > により Y 選択信号 S Y が選択され、X 選択信号 S X 及び Y 選択信号 S Y によって 3 2 ビット (所定数) の多値データが読み出され、ページアドレスとして 2 ビットの内部アドレス I A D < 1 : 0 > が用いられる 4 ワードページの場合が示されている。

20

【 0 1 2 0 】

メモリセルアレイ 2 1 はマトリクス状に配置され、各々が 4 値の多値情報が記憶可能な複数のメモリセルを有し、X 選択信号 S X に基づき、複数のメモリセルのうちより選択されたメモリセルからの記憶データを、総計 2 5 6 本のメインビット線 M B b それぞれに読み出す。

【 0 1 2 1 】

Y ゲート 2 2 は Y 選択信号 S Y に基づき、2 5 6 本のメインビット線 M B b のうち 3 2 本 (所定数) を選択してセンスアンプ 2 3 に電氣的に接続する。

30

【 0 1 2 2 】

センスアンプ 2 3 は、センス信号 # S S 2 が “ L ” のとき活性状態となり、活性状態時に Y ゲート 2 2 より選択された、3 2 本のメインビット線 M B b に現れる記憶データを検知・増幅するセンスアンプ動作を実行する。センスアンプ動作はセンスアンプ期間中に連続して行う第 1 及び第 2 のセンスアンプ動作からなり、センス信号 # S S 1 が “ L ” のときに行われる第 1 のセンスアンプ動作により上記記憶データの上位ビット情報が得られ、センス信号 # S S 1 が “ H ” のときに行われる第 2 のセンスアンプ動作により上記記憶データの下位ビット情報が得られる。センスアンプ 2 3 より得られた 3 2 単位のセンス結果 (上位ビット情報あるいは下位ビット情報) はセンスデータ用ラッチ 2 4 に付与される。

40

【 0 1 2 3 】

センスデータ用ラッチ 2 4 は第 1 センス用ラッチ部 2 4 a 及び第 2 センス用ラッチ部 2 4 b により構成される。第 1 センス用ラッチ部 2 4 a は、ラッチ信号 S L 1 1 が “ H ” のとき活性状態となり、活性状態時にセンスアンプ 2 3 により増幅された 3 2 個の上位ビット情報をセンスデータ S D 1 としてラッチする。第 2 センス用ラッチ部 2 4 b は、ラッチ信号 S L 1 2 が “ H ” のとき活性状態となり、活性状態時にセンスアンプ 2 3 により増幅された 3 2 個の下位ビット情報をセンスデータ S D 2 としてラッチする。したがって、センスデータ用ラッチ 2 4 は $32 \times 2 = 64$ ビット (所定ビット数) のセンスデータ S D 1 + S D 2 をラッチすることになる。

【 0 1 2 4 】

以降、第 1 センス用ラッチ部 2 4 a 及び第 2 センス用ラッチ部 2 4 b は、それぞれラッ

50

チ信号 $SL11$ 及び $SL12$ が再び “H” になるまでラッチしたセンスデータ $SD1$, $SD2$ を保持する。したがって、センスアンプ 23 が非活性状態になっても、センスデータ用ラッチ 24 にラッチされたセンスデータ $SD1$, $SD2$ は保持される。

【0125】

ページデータ用ラッチ 25 は、第 1 センス用ラッチ部 25a 及び第 2 センス用ラッチ部 25b により構成され、ラッチ信号 $SL20$ が “H” のとき活性状態となり、活性状態時に、センスデータ用ラッチ 24 に格納されたセンスデータ $SD1$ 及び $SD2$ を第 1 及び第 2 のセンス用ラッチ部 25a 及び 25b にラッチする。そして、第 1 センス用ラッチ部 25a にラッチされたデータが第 1 ページデータ $PD1$ として出力され、第 2 センス用ラッチ部 25b にラッチされたデータが第 2 ページデータ $PD2$ として出力される。第 1 ページデータ $PD1$ 及び第 2 ページデータ $PD2$ はそれぞれ 4 個の部分ページデータに分類可能である。

10

【0126】

セクタ回路 26 は第 1 センス用セレクト部 26a 及び第 2 センス用セレクト部 26b から構成され、第 1 センス用セレクト部 26a 及び第 2 センス用セレクト部 26b は、共通に入力される内部アドレス $IAD<1:0>$ で選択されるアドレスに基づき、ページデータ $PD1$, $PD2$ から 8 ビットのページ選択データ $PSD1$, $PSD2$ をそれぞれ出力する。すなわち、センスアンプ 23 , センスデータ用ラッチ 24、ページデータ用ラッチ 25 及びセクタ回路 26 による従来レベルのハードウェア構成としては、ページ長が 4 ワード構成の多値データのページモード読み出し機能を有している。

20

【0127】

出力バッファ 27 は第 1 センス用バッファ部 27a 及び第 2 センス用バッファ部 27b により構成され、第 1 及び第 2 のセンス用バッファ部 27a 及び 27b は、ページ選択データ $PSD1$ 及び $PSD2$ をバッファリングし、第 1 及び第 2 の外部データ $DO1$ 及び $DO2$ として出力し、第 1 外部データ $DO1$ 及び第 2 外部データ $DO2$ からなる外部データ $DO12$ が外部データとして最終的に出力される。

【0128】

X デコーダ 28 は実施の形態 1 の X デコーダ 8 同様、内部アドレス $IAD<7:5>$ に基づき X 選択信号 SX を出力し、Y デコーダ 29 は実施の形態 1 の Y デコーダ 9 同様、内部アドレス $IAD<4:3>$ 及び反転処理アドレス $RAD<2>$ に基づき Y 選択信号 SY を出力する。したがって、Y ゲート 22、X デコーダ 28 及び Y デコーダ 29 によってメモリセルアレイ 21 から 32 単位の多値メモリセル情報を読み出す読み出し制御部が構成される。

30

【0129】

なお、内部アドレス供給部の構成は、図 2 で示した実施の形態 1 と同様であるため、説明を省略する。

【0130】

図 16 は図 15 で示したメモリセルアレイ 21 の周辺部に対し各種制御信号を出力するページモード制御回路の主要部の構成を示す回路図である。同図において、ATD 回路部 17 は図 4 で示した実施の形態 1 の ATD 回路部 14 と同様、内部チップイネーブル信号 #ICE、内部アドレス $IAD<7:2>$ 及び反転処理アドレス $RAD<2>$ を受け、アドレス遷移検出信号 #ATD1 及び #ATD3 を出力する。

40

【0131】

センス制御回路 19 はアドレス遷移検出信号 #ATD3 に基づきセンス信号 #SS1 及び #SS2 並びにラッチ信号 $SL11$ 及び $SL12$ を出力する。セル情報群に基づくページモード読み出し期間を連続的に設定する。

【0132】

図 17 はセンス制御回路 19 の内部構成を示す回路図である。同図に示すように、3 段直列に接続される遅延ユニット 41 ~ 43 のうち初段の遅延ユニット 41 はアドレス遷移検出信号 #ATD3 を受け、最終段の遅延ユニット 43 の出力がセンス信号 #SS1 とな

50

る。３段直列に接続されるインバータＧ４６～Ｇ４８のうち初段のインバータＧ４６がセンス信号＃ＳＳ１を受ける。ＮＡＮＤゲートＧ１１２は一方入力にセンス信号＃ＳＳ１を他方入力にインバータＧ４８の出力を受ける。ＮＡＮＤゲートＧ１１２の出力はインバータＧ４９を介してラッチ信号ＳＬ１１として出力される。

【０１３３】

さらに、３段直列に接続される遅延ユニット４４～４６のうち初段の遅延ユニット４４はセンス信号＃ＳＳ１を受け、最終段の遅延ユニット４６の出力がセンス信号＃ＳＳ２となる。３段直列に接続されるインバータＧ５０～Ｇ５２のうち初段のインバータＧ５０がセンス信号＃ＳＳ２を受ける。ＮＡＮＤゲートＧ１１３は一方入力にセンス信号＃ＳＳ２を他方入力にインバータＧ５２の出力を受ける。ＮＡＮＤゲートＧ１１３の出力はインバータＧ５３を介してラッチ信号ＳＬ１２として出力される。なお、遅延ユニット４１～４６の内部構成は、図１０で示した実施の形態１の遅延ユニット３６～３８の内部構成と同様である。

10

【０１３４】

このような構成において、センス信号＃ＳＳ１及び＃ＳＳ２は、アドレス遷移検出信号＃ＡＴＤ３の“Ｌ”立ち下がりトリガとして共に速やかに“Ｌ”に立ち下がり、アドレス遷移検出信号＃ＡＴＤ３の“Ｈ”立ち上がりトリガとし、遅延ユニット４１～４３及び遅延ユニット４１～４６による遅延時間後にそれぞれ“Ｈ”に立ち上がる信号として出力される。

【０１３５】

20

一方、ラッチ信号ＳＬ１１及びＳＬ１２は、通常はＮＡＮＤゲートＧ１１２及びＧ１１３の一方の入力が“Ｌ”のため“Ｌ”の信号となり、センス信号＃ＳＳ１及び＃ＳＳ２の“Ｈ”立ち上がり時から所定期間（インバータＧ４６～Ｇ４８及びインバータＧ５０～５２の信号伝搬遅延時間）のみそれぞれ“Ｈ”パルスが発生する信号となる。

【０１３６】

図１６に戻って、アドレス反転制御回路１８は、アドレス遷移検出信号＃ＡＴＤ１及びラッチ信号ＳＬ１２に基づき、反転指示信号＃ＳＲ及びラッチ信号ＳＬ２０を出力する。内部構成は、入力信号となるラッチ信号ＳＬ１がラッチ信号ＳＬ１２に置き換わり、出力信号となるラッチ信号ＳＬ２がラッチ信号ＳＬ２０に置き換わった点を除き、図１１で示して実施の形態１のアドレス反転制御回路１５と同様である。

30

【０１３７】

上述したアドレスラッチ回路１０（実施の形態１と同じ）、ＡＴＤ回路部１７、アドレス反転制御回路１８及びセンス制御回路１９等により、実施の形態１と同様なページモード制御が可能なページモード制御回路を構成する。

【０１３８】

図１８はこの発明の実施の形態２による半導体記憶装置のページモード読み出し動作を示すタイミング図である。以下、同図を参照して実施の形態２のページモード読み出し動作を説明する。

【０１３９】

まず、時刻ｔ１１で内部チップイネーブル信号＃ＩＣＥ及び内部アドレスバリッド信号＃ＩＡＤＶが“Ｌ”に立ち下がり、アドレスバッファ１３が活性状態となり、半導体記憶装置が動作状態となる。

40

【０１４０】

そして、時刻ｔ１２で、内部アドレスＩＡＤ＜７：２＞のアドレス遷移がＡＴＤ回路部１７によって検出され、アドレス遷移検出信号＃ＡＴＤ１及び＃ＡＴＤ３が“Ｌ”に立ち下がり、同時にセンス信号＃ＳＳ２（＃ＳＳ１）の“Ｌ”立ち下がり、ラッチ信号ＳＬ２０の“Ｈ”立ち上がりが生じる。

【０１４１】

このときの内部アドレスＩＡＤ＜２＞を“０”とすると、アドレス遷移検出信号＃ＡＴＤ１の“Ｌ”立ち下がりトリガとして、内部アドレスＩＡＤ＜２＞が反転処理アドレス

50

R A D < 2 > としてアドレスラッチ回路 1 0 から出力される。

【 0 1 4 2 】

また、上記動作と並行して、Xデコーダ 2 8 は内部アドレス I A D < 7 : 5 > に基づき X 選択信号 S X を出力し、Yデコーダ 2 9 は内部アドレス I A D < 4 : 3 > 及び反転処理アドレス R A D < 2 > に基づき Y 選択信号 S Y を出力する。そして、メモリセルアレイ 2 1 から X 選択信号 S X によって選択されたメモリセルの記憶データが 2 5 6 ビットのメインビット線 M B b に読み出され、Y 選択信号 S Y に基づき Y ゲート 2 2 により選択された 3 2 単位の多値データがセンスアンプ 2 3 に付与される。

【 0 1 4 3 】

センスアンプ 2 3 はセンス信号 # S S 2 の “ L ” 立ち下がりにより活性状態となり、第 1 のセンスアンプ動作を行い、時刻 t 1 2 から時間 T S 1 経過後の時刻 t 1 3 に、Y ゲート 2 2 より付与された 3 2 単位のデータの上位ビット情報のセンス結果 (D 0 x x F) が現れ、このとき、ラッチ信号 S L 1 1 の “ H ” 立ち上がりによりセンス結果が第 1 センスデータ S D 1 としてラッチされる。

10

【 0 1 4 4 】

時刻 t 1 3 とほぼ同時にセンス信号 # S S 1 が “ H ” に立ち上がり、センスアンプ 2 3 は第 2 のセンスアンプ動作を開始し、時刻 t 1 3 から時間 T S 2 経過後の時刻 t 1 4 に、Y ゲート 2 2 より付与された 3 2 単位のデータの下位ビット情報のセンス結果 (D 0 x x S) が現れ、このとき、第 1 ラッチ信号 S L 1 2 の “ H ” 立ち上がりによりセンス結果が第 2 センスデータ S D 2 としてラッチされる。

20

【 0 1 4 5 】

時刻 t 1 4 にラッチ信号 S L 1 2 が “ H ” に立ち上がると、これをトリガとして反転指示信号 # S R の “ L ” 立ち下がり及びラッチ信号 S L 2 0 の “ H ” 立ち上がりが生じる。その結果、ページデータ用ラッチ 2 5 における第 1 及び第 2 センス用ラッチ部 2 5 a 及び 2 5 b の第 1 及び第 2 のページデータ P D 1 及び P D 2 として、第 1 及び第 2 のセンスデータ S D 1 及び S D 2 がラッチされる。

【 0 1 4 6 】

そして、ページデータ用ラッチ 2 5 にラッチされたページデータ P D 1 及び P D 2 は、セクタ回路 2 6 によって、内部アドレス I A D < 1 : 0 > によって最初に指定されるアドレスに対応するページ選択データ P S D (D 0 0 0 (D 0 0 0 F , D 0 0 0 S)) が出力バッファ 2 7 を介して外部データ D O 1 2 として出力される。

30

【 0 1 4 7 】

このように、センスアンプ 2 3 によるセンスアンプ動作が必要なため、最初の外部データ D O 1 2 (D 0 0 0) が得られるのは、時刻 t 1 1 ~ 時刻 t 1 4 間の時間を要する。

【 0 1 4 8 】

その後、ページデータ用ラッチ 2 5 にラッチされたページデータ P D は、セクタ回路 2 6 により、内部アドレス I A D < 1 : 0 > によって指定される順に上述した “ D 0 0 0 ” 以降も、“ D 0 0 1 (D 0 0 1 F , D 0 0 1 S) ” “ D 0 1 0 (D 0 1 0 F , D 0 1 0 S) ” “ D 0 1 1 (D 0 1 1 F , D 0 1 1 S) ” の順に選択された後、出力バッファ 2 7 により外部データ D O 1 2 として連続的に出力するページモード読み出し出力が行われる。すなわち、時刻 t 1 4 以降、4 ワード分のデータが連続して読み出されることになる。

40

【 0 1 4 9 】

一方、時刻 t 1 4 から少し遅れた時刻 t 1 5 において反転指示信号 # S R の “ L ” 立ち下がりにより、内部アドレス I A D < 2 > の反転信号が反転処理アドレス R A D < 2 > として出力されることにより、反転処理アドレス R A D < 2 > が “ 0 ” から “ 1 ” に反転される。

【 0 1 5 0 】

その結果、反転処理アドレス R A D < 2 > のアドレス遷移によって変更された Y 選択信号 S Y に基づき、Y ゲート 2 2 により選択された新たな 3 2 単位の多値データがセンスアンプ 2 3 に付与される。

50

【 0 1 5 1 】

そして、反転処理アドレス $RAD < 2 >$ のアドレス遷移をトリガとしてアドレス遷移検出信号 # $ATD 3$ が “ L ” に立ち下がり、第 2 のセンス信号 # $SS 2$ が “ L ” に立ち下がり、センスアンプ 2 3 が再び活性状態となり、第 1 のセンスアンプ動作を開始する。

【 0 1 5 2 】

そして、時刻 $t 1 5$ から時間 $TS 1$ 経過後の時刻 $t 1 6$ に、反転処理アドレス $RAD < 2 >$ が “ 1 ” の場合の新たなセンス結果 ($D 1 \times \times F$) が現れる。このとき、ラッチ信号 $SL 1 1$ の “ H ” 立ち上がりによりセンス結果が第 1 センスデータ $SD 1$ としてラッチされる。すなわち、第 1 センス用ラッチ部 2 4 a にラッチされる第 1 センスデータ $SD 1$ が $D 0 \times \times F$ から $D 1 \times \times F$ に変更される。

10

【 0 1 5 3 】

時刻 $t 1 6$ とほぼ同時に、センス信号 # $SS 1$ が “ H ” に立ち上がり、センスアンプ 2 3 は第 2 のセンスアンプ動作を開始する。センス信号 # $SS 1$ の “ H ” 立ち上がり後、時間 $TS 2$ 経過後の時刻 $t 1 7$ に、 Y ゲート 2 2 より付与された 3 2 単位のデータの下位ビット情報のセンス結果 ($D 1 \times \times S$) が現れ、このとき、ラッチ信号 $SL 1 2$ の “ H ” 立ち上がりによりセンス結果が第 2 センスデータ $SD 2$ としてラッチされる。すなわち、第 2 センス用ラッチ部 2 4 b にラッチされる第 2 センスデータ $SD 2$ が $D 0 \times \times S$ から $D 1 \times \times S$ に変更される。

【 0 1 5 4 】

このとき、ラッチ信号 $SL 2 0$ は “ L ” を維持するため、ページデータ用ラッチ 2 5 のページデータ $PD 1$ 及び $PD 2$ が更新されることなく上述したページモード読み出し出力が支障無く行われる。

20

【 0 1 5 5 】

このように、時刻 $t 1 4$ 以降において、ページデータ用ラッチ 2 5、セクタ回路 2 6 及び出力バッファ 2 7 による前半の 4 ワード分のデータの外部データ $DO 1 2$ としての出力動作に並行して、メモリセルアレイ 2 1、 Y ゲート 2 2、センスアンプ 2 3、及びセンスデータ用ラッチ 2 4 による後半の 4 ワード分のデータのセンス動作が行われる。

【 0 1 5 6 】

そして、 $D 0 0 0 \sim D 0 0 3$ の 4 ワード分の外部データ $DO 1 2$ の出力が終える時刻 $t 1 8$ に内部アドレス $IAD < 2 >$ がアドレス変化 (“ 0 ” “ 1 ”) する。この時刻 $t 1 8$ 時点において、既にセンスデータ用ラッチ 2 4 には次の読み出しデータ ($D 1 \times \times (D 1 \times \times F, D 1 \times \times S)$) がラッチされている。

30

【 0 1 5 7 】

内部アドレス $IAD < 2 >$ のアドレス遷移検出によるアドレス遷移検出信号 # $ATD 1$ の “ L ” 立ち下がりに伴い、反転処理アドレス $RAD < 2 >$ として内部アドレス $IAD < 2 >$ が出力されるが、時刻 $t 1 5$ の際に既に反転処理アドレス $RAD < 2 >$ は “ 1 ” となっているため、結果的に反転処理アドレス $RAD < 2 >$ は “ 1 ” を維持することになる。

【 0 1 5 8 】

このとき、ラッチ信号 $SL 2 0$ の “ H ” 立ち上がりが生じるため、センスデータ $SD 1$, $SD 2$ がページデータ用ラッチ 2 5 にラッチされ、ページデータ $PD 1$, $PD 2$ が更新されるが、前述したように、時刻 $t 1 8$ には外部データ $DO 1 2$ から “ $D 0 0 0$ ” “ $D 0 0 1$ ” “ $D 0 1 0$ ” “ $D 0 1 1$ ” のデータが既に読み出されているため、ページモード読み出し動作に支障は来さない。

40

【 0 1 5 9 】

そして、時刻 $t 1 8$ でページデータ用ラッチ 2 5 にラッチされたページデータ $PD 1$, $PD 2$ は、セクタ回路 2 6 によって、内部アドレス $IAD < 1 : 0 >$ によって指定される順に “ $D 1 0 0 (D 1 0 0 F, D 1 0 0 S)$ ” , “ $D 1 0 1 (D 1 0 1 F, D 1 0 1 S)$ ” , “ $D 1 1 0 (D 1 1 0 F, D 1 1 0 S)$ ” , “ $D 1 1 1 (D 1 1 1 F, D 1 1 1 S)$ ” の順に選択された後出力バッファ 2 7 により外部データ $DO 1 2$ として連続的に出力するページモード読み出し出力が行われる。すなわち、時刻 $t 1 4$ から 8 ワードの外部デ

50

ータ D O 1 2 が “ D 0 0 0 ” “ D 0 0 1 ” “ D 0 1 0 ” “ D 0 1 1 ” “ D 1 0 0 ” “ D 1 0 1 ” “ D 1 1 0 ” “ D 1 1 1 ” の順で連続的に読み出されることになる。

【 0 1 6 0 】

なお、時刻 t_{18} 後の時刻 t_{19} における第 1 ラッチ信号 $S L 1 1$ の “ H ” 立ち上がりにより第 1 センス用ラッチ部 2 4 a の内容が更新され、時刻 t_{20} におけるラッチ信号 $S L 1 2$ 及びラッチ信号 $S L 2 0$ の “ H ” 立ち上がりにより、第 2 センス用ラッチ部 2 4 b 及びページデータ用ラッチ 2 5 の内容が更新されるが、センス結果は時刻 t_{17} 時点の内容と同様の ($D 1 \times \times (D 1 \times \times F, D 1 \times \times S)$) であるため、実質的にはページデータ用ラッチ 2 5 のラッチ内容に変化はないため、動作に支障を来すことはない。

【 0 1 6 1 】

このように、実施の形態 2 の半導体記憶装置は、ラッチ信号 $S L 1 2$ 及びラッチ信号 $S L 2 0$ の “ H ” 立ち上がりによってページデータ用ラッチ 2 5 へのラッチ完了時を基準として、反転指示信号 # $S R$ を “ L ” の活性状態とすることにより、前半のページデータのページモード読み出し機能に支障無く、かつ後半のページデータのセンス動作を実行している。

【 0 1 6 2 】

その結果、実施の形態 2 の半導体記憶装置は、実施の形態 1 と同様、同時に活性化するセンスアンプ 2 3 のビット数及びラッチ 2 4 , 2 5 の記憶容量を 4 ワードページ分に抑えながら、8 ワードページ分のページモード読み出し機能を有することになるため、ページモード読み出し時のピーク電流及びページモード読み出し機能を実現する回路のレイアウト面積の増大を最小限に抑えることができる。

【 0 1 6 3 】

なお、実施の形態 2 では、実施の形態 1 同様、内部アドレス $I A D < 1 : 0 >$ の出力順が “ 0 0 ” , “ 0 1 ” , “ 1 0 ” , “ 1 1 ” の場合を示したが、この順は任意である。

【 0 1 6 4 】

加えて、実施の形態 2 の半導体記憶装置は、3 ビット以上の多値情報を記憶するメモリセルから構成されるメモリセルアレイ 2 1 に対し、上記した効率的なページモード読み出し機能を有するという効果を奏している。

【 0 1 6 5 】

なお、実施の形態 2 では多値情報として 4 値記憶の場合を示したが、3 値、5 値以上の多値記憶に応用することができる。例えば、8 値の場合は各構成部の個数 m を現在の “ 2 ” から “ 3 ” ($(2^3) = 8$) に拡張することにより実現することができる。

【 0 1 6 6 】

< 実施の形態 3 >

図 1 9 はこの発明の実施の形態 3 である半導体記憶装置のメモリセルアレイ周辺部の構成を示すブロック図である。同図において、構成要素 1 ~ 9 は実施の形態 1 で示した構成と同様であり、同一符号を付している。

【 0 1 6 7 】

スペアメモリセルアレイ 5 1 は複数のスペアメモリセルを有し、X 選択信号 $S X$ に基づき、複数のスペアメモリセルのうちより選択されたスペアメモリセルからの記憶データ (スペア情報) を、総計 8 本のメインビット線 $M B s$ それぞれに読み出す。

【 0 1 6 8 】

Y ゲート 5 2 はスペア Y 選択信号 $S S Y$ に基づき、8 本のメインビット線 $M B s$ のうち 1 本 (所定のスペア数) を選択してセンスアンプ 3 に電氣的に接続する。

【 0 1 6 9 】

センスアンプ 5 3 (置換用センスアンプ) は、センス信号 # $S S$ が “ L ” のとき活性状態となり、活性状態時に Y ゲート 5 2 より選択された 1 本のメインビット線 $M B s$ に現れる記憶データを検知・増幅するセンスアンプ動作を実行する。

【 0 1 7 0 】

センスデータ用ラッチ 5 4 (スペアセンス用ラッチ) は、ラッチ信号 $S L 1$ が “ H ” の

10

20

30

40

50

とき活性状態となり、活性状態時にセンスアンプ 5 3 により増幅された 1 本（所定 スペアビット数）のメインビット線 M B s 上の信号をスペアセンスデータ S S D 1 としてラッチする。以降、ラッチ信号 S L 1 が再び “ H ” になるまでラッチしたスペアセンスデータ S S D 1 を保持する。したがって、センスアンプ 5 3 が非活性状態になっても、センスデータ用ラッチ 5 4 にラッチされたスペアセンスデータ S S D 1 は保持される。

【 0 1 7 1 】

ページデータ用ラッチ 5 5（スペアデータ用ラッチ）は、ラッチ信号 S L 2 が “ H ” のとき活性状態となり、活性状態時にセンスデータ用ラッチ 5 4 に格納されたスペアセンスデータ S S D 1 をスペアデータ S S D 2 としてラッチする。

【 0 1 7 2 】

図 2 0 はスペア Y 選択信号 S S Y を発生するスペア制御回路 2 0 の構成を示すブロック図である。同図に示すように、スペア制御回路 2 0 は内部アドレス I A D < 4 : 3 > 及び反転処理アドレス R A D < 2 > に基づきスペア Y 選択信号 S S Y を決定し出力する。また、スペア Y 選択信号 S S Y より選択されたデータにおける置換情報を示す冗長置換情報 R D を出力する。

【 0 1 7 3 】

したがって、X デコーダ 8（実施の形態 1 と同じ）、スペア制御回路 2 0 及び Y ゲート 5 2 によりスペアメモリセルアレイ 5 1 からスペア情報を読み出すスペア読み出し制御部を構成することになる。

【 0 1 7 4 】

スワップ回路 5 6（置換実行回路）はページ選択データ P S D を受け、冗長置換情報 R D 及び冗長情報シフト信号 R S F（置換情報取り込み制御信号）に規定された指示に従い、置換が必要な場合、ページ選択データ P S D のうちの所定ビットデータを置換用 1 ビットデータであるスペアデータ S S D 2 に置換して、置換済みページ選択データ S 5 6 を出力する。

【 0 1 7 5 】

出力バッファ 7 は置換済みページ選択データ S 5 6 をバッファリングして外部データ D O として出力する。

【 0 1 7 6 】

図 2 1 はスワップ回路 5 6 の内部構成を示す回路図である。同図に示すように、インバータ G 5 4（実際は 1 6 個あり、代表的に 1 つを示す）は、ページ選択データ P S D を入力し、インバータ G 5 5（実際は 1 6 個あり、代表的に 1 つを示す）はスペアデータ S S D 2 を受ける。すなわち、1 6 個のインバータ G 5 5 は全て同じスペアデータ S S D 2 を受ける。

【 0 1 7 7 】

一方、ラッチ 6 8 は N M O S トランジスタ Q 7（実際は 6 個あり、代表的に 1 つを示す）を介して冗長置換情報 R D を受ける。冗長置換情報 R D には 2 ビットのアドレス置換情報 R A < 1 : 0 > と 4 ビットの冗長置換情報 R D < 3 : 0 > からなる 6 ビット情報であり、N M O S トランジスタ Q 7 がオン状態時にラッチ 6 8 に取り込まれる。

【 0 1 7 8 】

N M O S トランジスタ Q 7 はゲートに冗長情報シフト信号 R S F を受ける。したがって、冗長情報シフト信号 R S F が “ H ” のとき冗長置換情報 R D がラッチ 6 8 に取り込まれる。判定回路 6 9 はラッチ 6 8 の出力と内部アドレス I A D < 1 : 0 > とを受け、置換信号 H I T < 1 5 : 0 > を出力する。

【 0 1 7 9 】

置換信号 H I T < 1 5 : 0 > は、1 6 個のインバータ G 5 4 及び G 5 5 の反転制御入力及び制御入力に付与される。置換信号 H I T < 1 5 : 0 > は通常、全て “ 0 ” であり、置換が必要な際は所定ビットのみ “ 1 ” となる。

【 0 1 8 0 】

したがって、通常はページ選択データ P S D がそのまま置換済みページ選択データ S 5

10

20

30

40

50

6をして出力され、置換時はページ選択データPSDのうち置換信号HIT<15:0>の指示する所定ビットがスペアデータSSD2に置換されて得られるデータが置換済みページ選択データSS6として出力される。

【0181】

図22は判定回路69の内部構成を示す回路図である。同図に示すように、冗長置換情報RD<3:0>はインバータG56~G59によりそれぞれ反転され、反転冗長置換情報#RD<3:0>が得られている。

【0182】

NANDゲートG114は一方入力及び他方入力に反転冗長置換情報#RD<0>及び反転冗長置換情報#RD<1>を受ける。NANDゲートG115は一方入力及び他方入力に冗長置換情報RD<0>及び反転冗長置換情報#RD<1>を受ける。NANDゲートG116は一方入力及び他方入力に反転冗長置換情報#RD<0>及び冗長置換情報RD<1>を受ける。NANDゲートG117は一方入力及び他方入力に冗長置換情報RD<0>及び冗長置換情報RD<1>を受ける。

【0183】

NANDゲートG118は一方入力及び他方入力に反転冗長置換情報#RD<2>及び反転冗長置換情報#RD<3>を受ける。NANDゲートG119は一方入力及び他方入力に冗長置換情報RD<2>及び反転冗長置換情報#RD<3>を受ける。NANDゲートG120は一方入力及び他方入力に反転冗長置換情報#RD<2>及び冗長置換情報RD<3>を受ける。NANDゲートG121は一方入力及び他方入力に冗長置換情報RD<2>及び冗長置換情報RD<3>を受ける。

【0184】

NORゲートG131~G134は実際には4個存在するが説明の都合上、1ビット代表させて示している。NORゲートG131~G134の一方入力にはNANDゲートG114~G117の出力であるヒット検出信号#HITD__L<3:0>が共通に入力される。

【0185】

NORゲートG131の他方入力にはNANDゲートG118の出力であるヒット検出信号#HITD__U<0>が4ビット分共通に入力され、NORゲートG132の他方入力にはNANDゲートG119の出力であるヒット検出信号#HITD__U<1>が4ビット分共通に入力され、NORゲートG133の他方入力にはNANDゲートG120の出力であるヒット検出信号#HITD__U<2>が4ビット分共通に入力され、NORゲートG134の他方入力にはNANDゲートG121の出力であるヒット検出信号#HITD__U<3>が4ビット分共通に入力される。

【0186】

その結果、NORゲートG131~G134の出力として、冗長置換情報RD<3:0>より規定される1ビットのみを“1”とした検出用置換信号HITD<15:0>(HITD<15:12>, HITD<11:8>, HITD<7:4>, HITD<3:0>)を得ることができる。

【0187】

一方、排他的論理和ゲートG141は一方入力に内部アドレスIAD<1>を受け、他方入力アドレス置換情報RA<1>を受け、排他的論理和ゲートG142は一方入力に内部アドレスIAD<0>を受け、他方入力にアドレス置換情報RA<0>を受ける。NORゲートG143は一方入力及び他方入力に排他的論理和ゲートG141及びG142の出力を受ける。

【0188】

その結果、アドレス置換情報RA<1:0>と内部アドレスIAD<1:0>とが完全一致したときのみ“H”の置換アドレス信号HIT__AがNORゲートG143から出力される。なお、置換アドレス信号HIT__Aは検出用置換信号HITD<15:0>に対応させるべく16ビットに拡張される。

【0189】

NANDゲートG122（実際は16個あり、代表的に1つを示す）は検出用置換信号HITD<15:0>及び置換アドレス信号HIT_Aを受ける。インバータG60（実際は16個あり、代表的に1つを示す）はNANDゲートG122の出力をうける。このインバータG60の出力が置換信号HIT<15:0>となる。

【0190】

したがって、置換信号HIT<15:0>は内部アドレスIAD<1:0>がアドレス置換情報RA<1:0>に一致したとき、冗長置換情報RD<3:0>の指示するビットを置換すべく、所定のビットのみが“1”となる。

【0191】

図23はスワップ回路56による冗長置換動作を示すタイミング図である。上述したように、スベア制御回路20が反転処理アドレスRAD<2>によってスベアY選択信号SSY及び冗長置換情報RDを生成するため、スワップ回路56において冗長置換情報RDが正しく認識される必要がある。

【0192】

このため、冗長置換情報RDの確定後、反転指示信号#SRの“L”立ち下がりより先に冗長情報シフト信号RSFの“H”立ち上がりが生じるようにし、同図に示すように、ラッチ68に格納されるシフト後の冗長置換情報RDが常に、ページ選択データPSDに対応する内容にすることができる。例えば、反転処理アドレスRAD<2>の“1”への変化により冗長置換情報RD（シフト前）の内容は内部アドレスIAD<2>=1対応の内容に変化するが、冗長置換情報RD（シフト後）の内容は次に冗長情報シフト信号RSFが“H”に立ち上がるまで内部アドレスIAD<2>=“0”対応の内容を維持する。したがって、内部アドレスIAD<2:0>の変化が“0”～“3”の期間は内部アドレスIAD<2>=“0”対応の情報がラッチ68にラッチされ続ける。

【0193】

図24は実施の形態3で用いられるアドレス反転制御回路の一例を示す回路図である。同図に示すように、NANDゲートG6の出力を遅延回路47を介して得られる信号を反転指示信号#SRとし、ラッチ信号SL2と同じ信号を冗長情報シフト信号RSFとしても出力する。なお、他の構成は図11で示したページモード制御回路におけるアドレス反転制御回路15と同様であるため説明を省略する。

【0194】

同図に示すようにアドレス反転制御回路30を構成することにより、図23に示すように、ラッチ信号SL1の“H”立ち上がりと同時に冗長情報シフト信号RSFの“H”立ち上がりが生じ、ラッチ信号SL1の“H”立ち上がりから遅延回路47による遅延時間T47遅れて反転指示信号#SRの“L”立ち下がりを生じさせることができる。

【0195】

このように、実施の形態3では、実施の形態1の効率的なページモード読み出し機能を維持した上、さらに冗長置換機能も兼ね備えるという効果を奏する。

【0196】

また、アドレス反転制御回路30によって、反転指示信号#SRの“L”立ち下がりに先がけて冗長情報シフト信号RSFの“H”立ち上がりを実現することにより、反転処理アドレスRAD<2>の反転処理が生じて、スワップ回路56のラッチ68には常に正しい内容の冗長置換情報RDがラッチされるため、正確に冗長置換動作を行うことができる。

【0197】

なお、実施の形態3では、実施の形態1の構成に冗長データ置換機能を持たせた半導体記憶装置を示したが、同様にして実施の形態2の構成に冗長データ置換機能を持たせても良い。

【図面の簡単な説明】

【0198】

【図 1】この発明の実施の形態 1 である半導体記憶装置のメモリセルアレイ周辺部の構成を示すブロック図である。

【図 2】実施の形態 1 の内部アドレス供給部の構成を示すブロック図である。

【図 3】図 2 のアドレスラッチ回路の内部構成を示す回路図である。

【図 4】ページモード制御回路の主要部の構成を示す回路図である。

【図 5】図 4 で示した A T D 回路部の内部構成を示す回路図である。

【図 6】図 5 で示した A T D 回路（その 1）の内部構成を示す回路図である。

【図 7】遷移パルス発生回路の内部構成を示す回路図である。

【図 8】図 5 で示した A T D 回路（その 2）の内部構成を示す回路図である。

【図 9】図 4 で示したセンス制御回路の内部構成を示す回路図である。

10

【図 10】図 9 で示した遅延ユニットの内部構成を示す回路図である。

【図 11】図 4 で示したアドレス反転制御回路の内部構成を示す回路図である。

【図 12】アドレス反転制御回路及びその周辺回路の動作を示すタイミング図である。

【図 13】図 1 で示したのセクタ回路の内部構成を示す回路図である。

【図 14】この発明の実施の形態 1 による半導体記憶装置のページモード読み出し動作を示すタイミング図である。

【図 15】この発明の実施の形態 2 である半導体記憶装置のメモリセルアレイ周辺部の構成を示すブロック図である。

【図 16】ページモード制御回路の主要部の構成を示す回路図である。

【図 17】図 16 で示したセンス制御回路の内部構成を示す回路図である。

20

【図 18】この発明の実施の形態 2 による半導体記憶装置のページモード読み出し動作を示すタイミング図である。

【図 19】この発明の実施の形態 3 である半導体記憶装置のメモリセルアレイ周辺部の構成を示すブロック図である。

【図 20】スベア Y 選択信号を発生するスベア制御回路の構成を示すブロック図である。

【図 21】図 19 で示したスワップ回路の内部構成を示す回路図である。

【図 22】図 21 で示した判定回路の内部構成を示す回路図である。

【図 23】スワップ回路による冗長置換動作を示すタイミング図である。

【図 24】実施の形態 3 で用いられるアドレス反転制御回路の一例を示す回路図である。

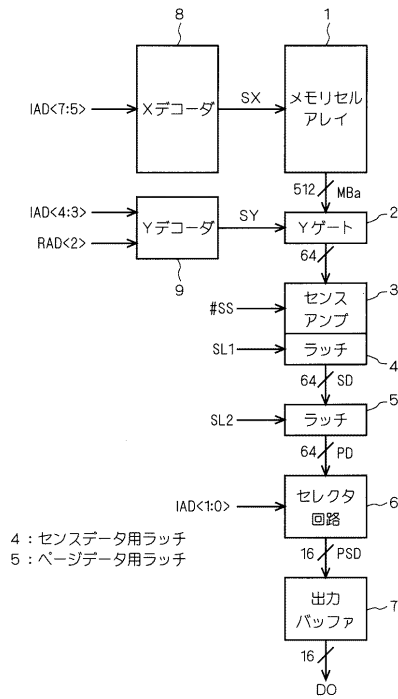
【符号の説明】

30

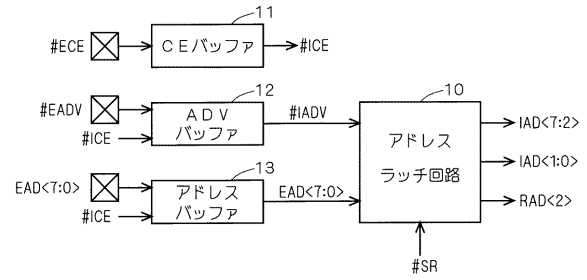
【 0 1 9 9 】

1, 21 メモリセルアレイ、2, 22, 52 Y ゲート、3, 23, 53 センスアンプ、4, 24, 54 センスデータ用ラッチ、5, 25, 55 ページデータ用ラッチ、6, 26 セクタ回路、7, 27 出力バッファ、8, 28 X デコーダ、9, 29 Y デコーダ、10 アドレスラッチ回路、11 CE バッファ、12 A D V バッファ、13 アドレスバッファ、14, 17 A T D 回路部、15, 18, 30 アドレス反転制御回路、16, 19 センス制御回路、20 スベア制御回路、31, 32 A T D 回路、33 ~ 35 遷移パルス発生回路、36 ~ 38, 41 ~ 46 遅延ユニット、47 遅延回路、51 スベアメモリセルアレイ、56 スワップ回路、69 判定回路。

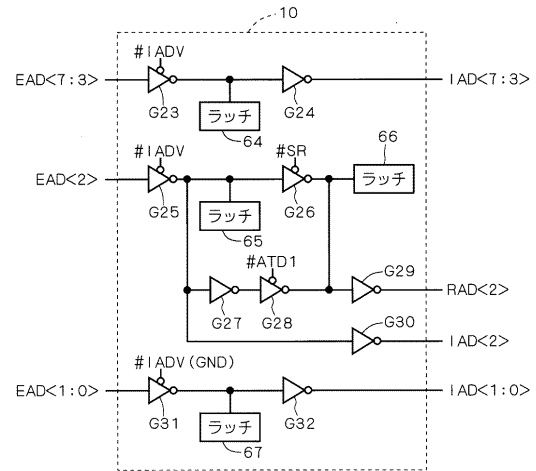
【図 1】



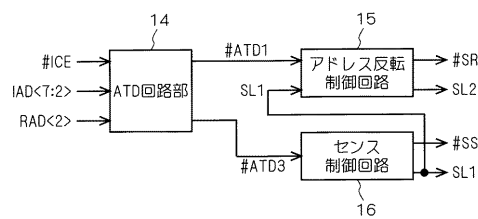
【図 2】



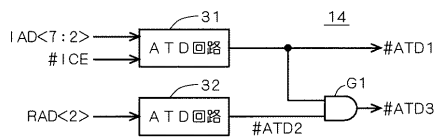
【図 3】



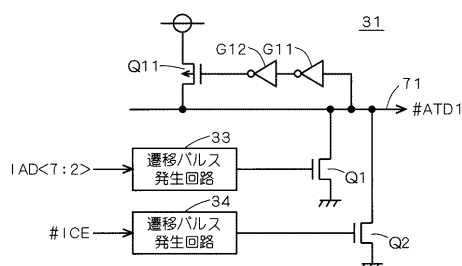
【図 4】



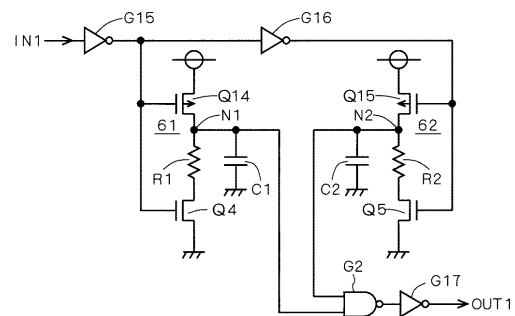
【図 5】



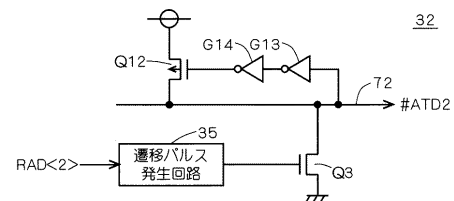
【図 6】



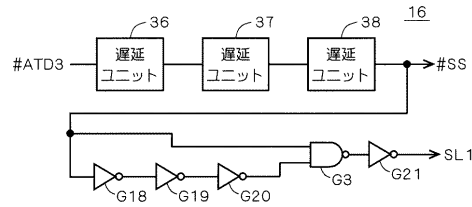
【図 7】



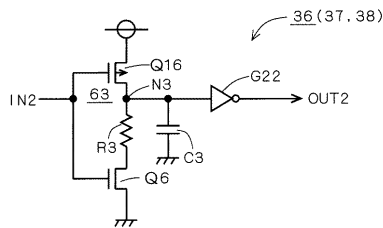
【図 8】



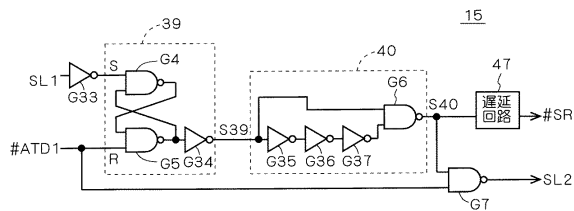
【図 9】



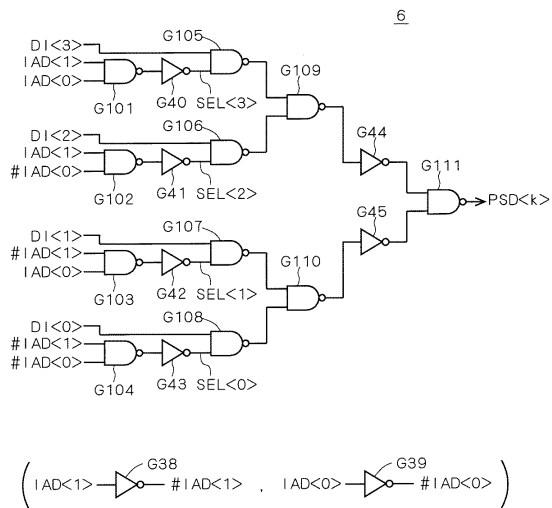
【図 10】



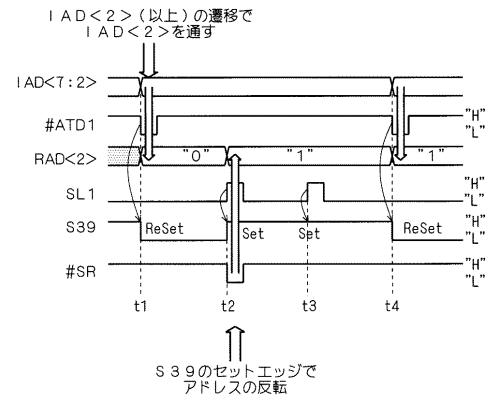
【図 11】



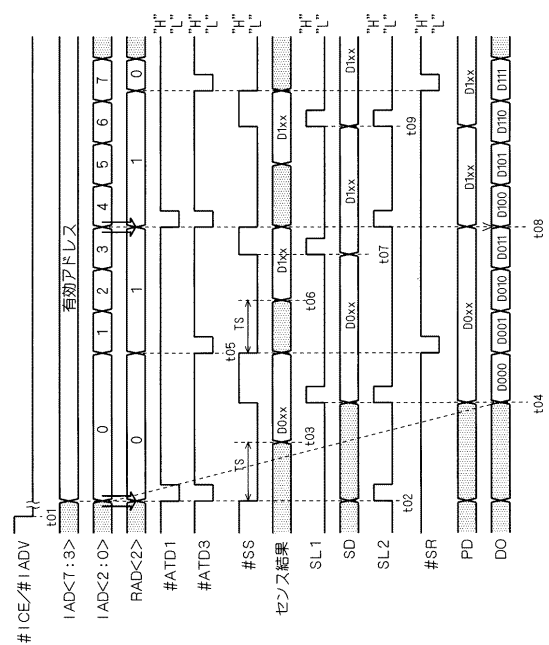
【図 13】



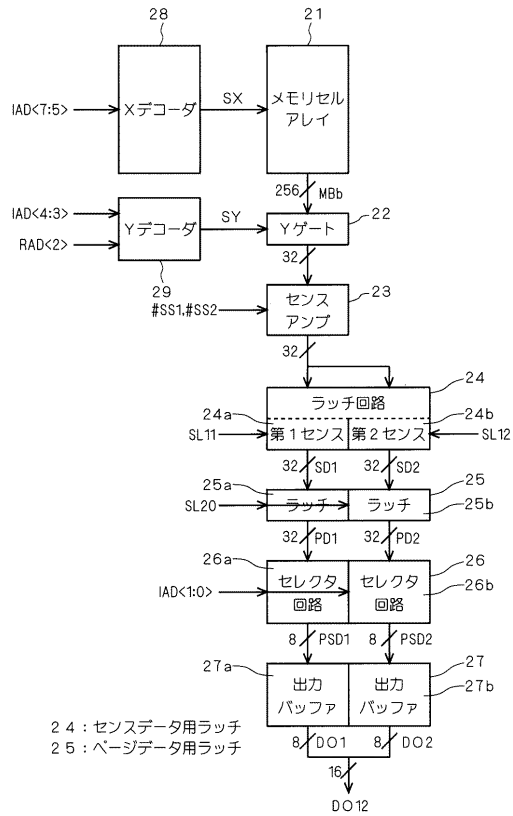
【図 12】



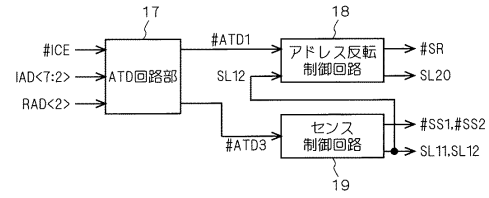
【図 14】



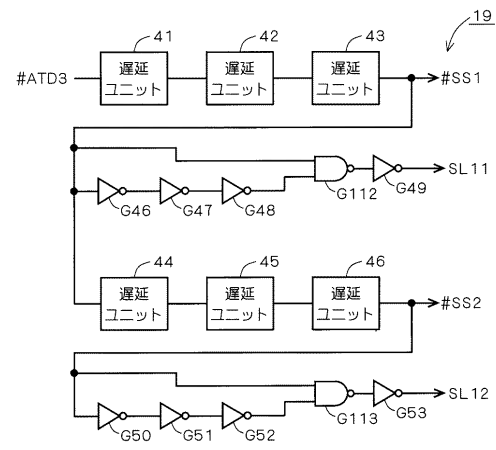
【図 15】



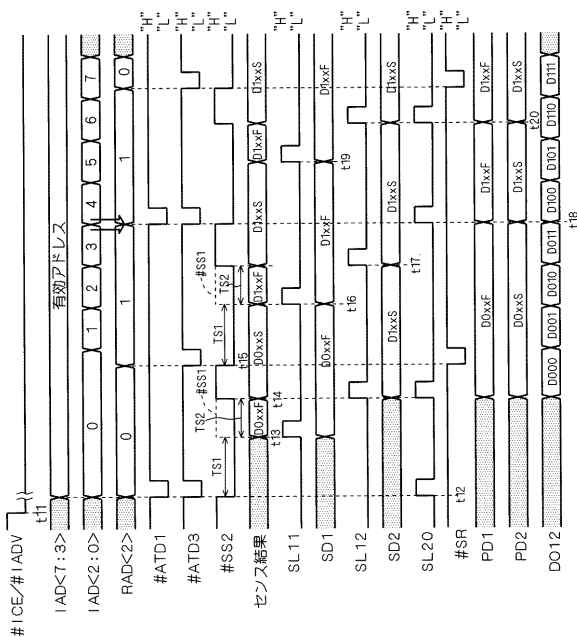
【図 16】



【図 17】



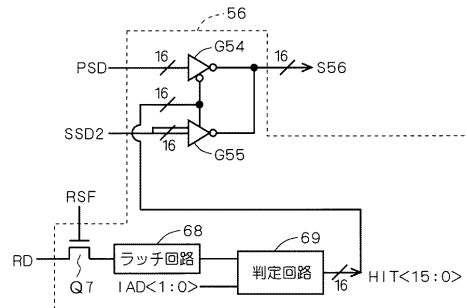
【図 18】



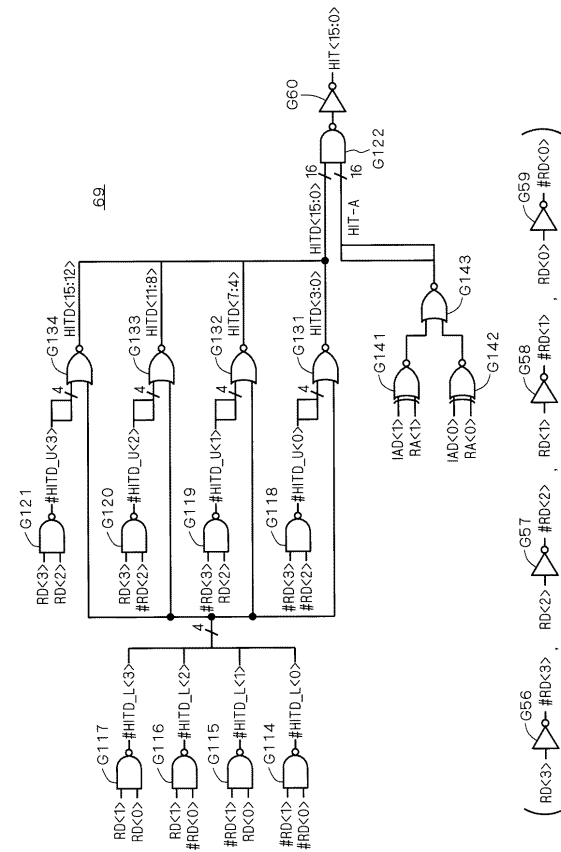
【図 20】



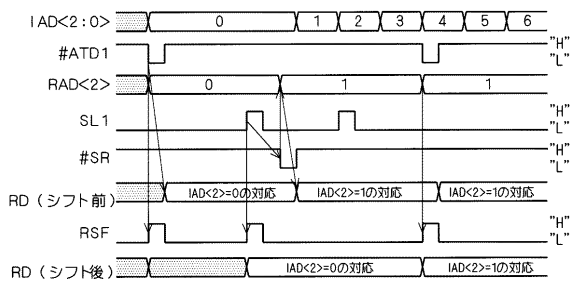
【図 21】



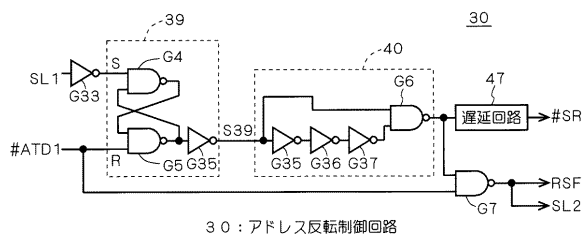
【図 22】



【図 23】



【図 24】



フロントページの続き

- (56)参考文献 特開2004-95030(JP,A)
特開2001-118395(JP,A)
特開平11-96786(JP,A)
特開平5-144255(JP,A)

- (58)調査した分野(Int.Cl., DB名)
G11C 16/02