

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2011年3月3日(03.03.2011)

PCT

(10) 国際公開番号
WO 2011/024790 A1

- (51) 国際特許分類:
H05K 3/40 (2006.01) H05K 1/11 (2006.01)
H01L 23/12 (2006.01) H05K 3/46 (2006.01)
- (21) 国際出願番号: PCT/JP2010/064253
- (22) 国際出願日: 2010年8月24日(24.08.2010)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2009-192688 2009年8月24日(24.08.2009) JP
特願 2009-249622 2009年10月30日(30.10.2009) JP
- (71) 出願人 (米国を除く全ての指定国について): 株式会社村田製作所(MURATA MANUFACTURING CO., LTD.) [JP/JP]; 〒6178555 京都府長岡京市東神足1丁目10番1号 Kyoto (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 荒井 雅司 (ARAI, Masashi) [JP/JP]; 〒6178555 京都府長岡京市東神足1丁目10番1号 株式会社村田製作所内 Kyoto (JP). 西原 麻友子(NISHIHARA, Mayuko) [JP/JP]; 〒6178555 京都府長岡京市東神

足1丁目10番1号 株式会社村田製作所内 Kyoto (JP).

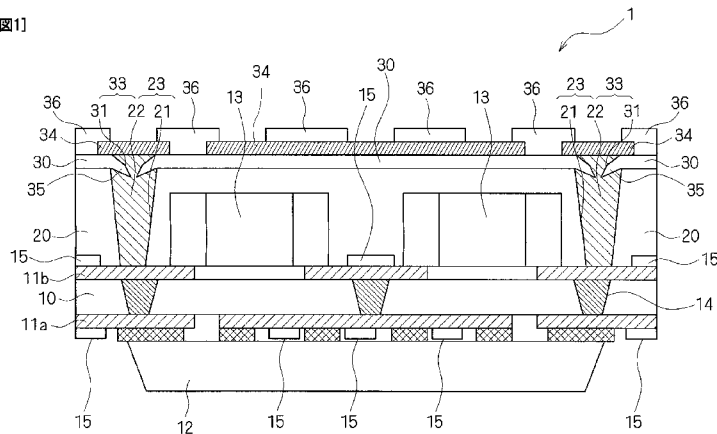
- (74) 代理人: 福永 正也(FUKUNAGA, Masaya); 〒5640063 大阪府吹田市江坂町一丁目23番5号 大同生命江坂第2ビル5F 北摂国際特許事務所 Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT,

[続葉有]

(54) Title: MULTIPLE RESIN-LAYERED SUBSTRATE AND METHOD OF MANUFACTURE OF MULTIPLE RESIN-LAYERED SUBSTRATE

(54) 発明の名称: 樹脂多層基板及び該樹脂多層基板の製造方法

[図1]



(57) Abstract: Provided are a multiple resin-layered substrate wherein a surface electrode is less liable to peel off from a resin layer, and a method of manufacture of the multiple resin-layered substrate. The multiple resin-layered substrate (1) is provided with a component-containing layer (a first resin layer) (20) and a thin resin layer (a second resin layer) (30) formed laminated on one face of the component-containing layer (the first resin layer) (20). The multiple resin-layered substrate (1) is further provided with a surface electrode (34) formed on the face of the thin resin layer (30) opposite the face on which the component-containing layer (20) is formed; a via conductor (a first via conductor)(23) which is formed in the component-containing layer (20) and extends to one face of the component-containing layer (20); and a via conductor (a second via conductor) (33) which is formed in the thin resin layer (30) and is connected electrically to the surface electrode (34) at one end and connected to the via conductor (23) at the other end. A portion of the thin resin layer (30) in contact with the via conductor (33) has a projection (35) projecting into the via conductor (23).

(57) 要約:

[続葉有]

WO 2011/024790 A1



NL, NO, PL, PT, RO, SE, SI, SK, SM, TR), OAPI (BF), 添付公開書類:

BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, — 国際調査報告 (条約第 21 条(3))
SN, TD, TG).

樹脂層から表面電極が剥離しにくい樹脂多層基板及び該樹脂多層基板の製造方法を提供する。樹脂多層基板 1 は、部品内蔵層 (第 1 樹脂層) 20 と、部品内蔵層 (第 1 樹脂層) 20 の一面に積層してある薄層樹脂層 (第 2 樹脂層) 30 とを備える。薄層樹脂層 30 の、部品内蔵層 20 に積層されている面とは反対側の面に形成してある表面電極 34 と、部品内蔵層 20 に設けてあり、一端が部品内蔵層 20 の一面に至るビア導体 (第 1 ビア導体) 23 と、薄層樹脂層 30 に設けてあり、一端が表面電極 34 と、他端がビア導体 23 とそれぞれ電氣的に接続してあるビア導体 (第 2 ビア導体) 33 とをさらに備える。ビア導体 33 と接する薄層樹脂層 30 の一部は、ビア導体 23 の内部へ突き出した形状 35 を形成している。

明 細 書

発明の名称：樹脂多層基板及び該樹脂多層基板の製造方法

技術分野

[0001] 本発明は、少なくとも２層以上の樹脂層とビア導体とを備える樹脂多層基板及び該樹脂多層基板の製造方法に関する。

背景技術

[0002] 近年、電子部品の高密度実装化に伴い、複数のビアホール内の導電性ペーストの密度を高めた、複数のビアホールが設けられている樹脂層が複数、積層されている状態において、それぞれの樹脂層にビア導体を接続して設けてある樹脂多層基板を電子部品の実装に用いている。例えば特許文献１には、それぞれの樹脂層に設けたビア導体を接続してある樹脂多層基板及び該樹脂多層基板を製造する方法が開示されている。

[0003] 特許文献１に開示されている電子部品内蔵モジュール及びその製造方法では、ＩＣを実装したキャリアを熱硬化性樹脂からなる絶縁層で被覆して硬化状態にした配線基板に、インナービアホールを形成して、貫通ビアホールを形成する。ブラインドビアホール及び貫通ビアホールのそれぞれに導電性ペーストを充填し、ブラインドビアホールと貫通ビアホールとが接続するように、配線基板に薄層樹脂層をラミネートする。薄層樹脂層上に銅箔をラミネートして、薄層樹脂層及び導電性ペーストを硬化状態にし、銅箔をパターンニングして表面電極を形成する。

先行技術文献

特許文献

[0004] 特許文献１：特開２００３－１２４３８０号公報

発明の概要

発明が解決しようとする課題

[0005] しかし、特許文献１に開示されている樹脂多層基板を製造する方法では、ブラインドビアホール及び貫通ビアホールの内部の容積以上に導電性ペース

トを充填することができないため、ブラインドビアホール及び貫通ビアホール内の導電性ペーストの密度を高めることができず、ブラインドビアホール及び貫通ビアホール内の導電性ペーストを硬化状態にしたブラインドビア導体及び貫通ビア導体の抵抗値を小さくすることができないという問題点があった。

[0006] また、ブラインドビアホール及び貫通ビアホールのそれぞれに導電性ペーストを充填してから、配線基板に薄層樹脂層をラミネートするので、ブラインドビアホール又は貫通ビアホールから導電性ペーストがにじみ出して、配線基板と薄層樹脂層との界面に広がり、配線基板と薄層樹脂層との間の絶縁性能を低下させるという問題点があった。

[0007] さらに、薄層樹脂層の厚みが薄いため、貫通ビアホールと、該貫通ビアホールに充填する導電性ペーストとの接触面積が狭く、導電性ペーストを硬化状態にする場合に生じる力により、貫通ビアホール上に形成した表面電極が、貫通ビアホールに充填された導電性ペーストとともに、薄層樹脂層から剥離するおそれがあるという問題点があった。

[0008] 本発明は、上記事情に鑑みてなされたものであり、樹脂層から表面電極が剥離しにくい樹脂多層基板及び該樹脂多層基板の製造方法を提供することを目的とする。また、本発明は、ビアホール内の導電性ペーストの密度を高め、ビア導体の抵抗値を小さくできるとともに、積層した樹脂層の界面に導電性ペーストが入り込むことがない樹脂多層基板及び該樹脂多層基板の製造方法を提供することを目的とする。

課題を解決するための手段

[0009] 上記目的を達成するために第1発明に係る樹脂多層基板は、第1樹脂層と、該第1樹脂層の一面に積層してある第2樹脂層とを備える樹脂多層基板において、前記第2樹脂層の、前記第1樹脂層に積層されている面とは反対側の面に形成してある表面電極と、前記第1樹脂層に設けてあり、一端が前記第1樹脂層の前記一面に至る第1ビア導体と、前記第2樹脂層に設けてあり、一端が前記表面電極と、他端が前記第1ビア導体とそれぞれ電氣的に接続

してある第2ビア導体とを備え、前記第2ビア導体と接する前記第2樹脂層の少なくとも一部が、前記第1ビア導体の内部へ突き出した形状を形成している。

[0010] 第1発明では、一端が第1樹脂層の一面に至る第1ビア導体を設けてある第1樹脂層と、一端が表面電極と、他端が第1ビア導体とそれぞれ電氣的に接続した第2ビア導体を設けてある第2樹脂層とを備えた樹脂多層基板において、第2ビア導体と接する第2樹脂層の少なくとも一部が、第1ビア導体の内部へ突き出した形状を形成しているので、第2樹脂層と導電性ペーストとの接触面積が広がる。したがって、第2樹脂層と第2ビア導体との接合力が増して、第2樹脂層から導電性ペーストとともに表面電極が剥離する可能性を低減することができる。また、第2ビア導体と接する第2樹脂層の少なくとも一部が、第1ビア導体の内部へ突き出す方向は、第2樹脂層を第1樹脂層から剥離する方向とは反対の方向になるため、第1樹脂層と第2樹脂層との接合力が増す。

[0011] また、第2発明に係る樹脂多層基板は、第1発明において、少なくとも一面に配線パターンを形成してあるベース層を備え、前記配線パターンが形成してある前記ベース層の一面に、前記第1樹脂層、前記第2樹脂層を順に積層し、前記配線パターンと前記第1ビア導体とを電氣的に接続してある。

[0012] 第2発明では、配線パターンを形成してあるベース層の一面に、第1樹脂層、第2樹脂層を順に積層し、配線パターンと第1ビア導体とを電氣的に接続してあるので、配線パターンに電子部品を実装することができ、電子部品を高密度実装化することが可能になる。

[0013] また、第3発明に係る樹脂多層基板は、第1発明において、前記第1樹脂層の、前記第2樹脂層が積層してある面とは反対側の面に形成してある配線パターンと、前記第1樹脂層に内蔵し、前記配線パターンに実装してある電子部品とを備える。

[0014] 第3発明では、第1樹脂層の、第2樹脂層が積層してある面とは反対側の面に形成してある配線パターンと、第1樹脂層に内蔵し、配線パターンに実

装してある電子部品とを備えるので、さらに電子部品を高密度実装化することが可能になる。

[0015] また、第4発明に係る樹脂多層基板は、第2発明において、前記ベース層の少なくとも一面に電子部品を実装し、実装してある前記電子部品を前記第1樹脂層に内蔵してある。

[0016] 第4発明では、ベース層の少なくとも一面に電子部品を実装し、実装してある電子部品を第1樹脂層に内蔵してあるので、電子部品をベース層の両面に実装することができ、さらに電子部品を高密度実装化することが可能になる。

[0017] また、第5発明に係る樹脂多層基板は、第1乃至第4発明のいずれか一つにおいて、前記表面電極は、マザー基板に形成されている電極と電氣的に接続してある。

[0018] 第5発明では、マザー基板に形成されている電極と電氣的に接続してある表面電極は第2樹脂層から剥離する可能性が低いので、樹脂多層基板とマザー基板との接続の信頼性が向上する。

[0019] また、第6発明に係る樹脂多層基板は、第1乃至第5発明のいずれか一つにおいて、前記第1ビア導体は、前記第2樹脂層の近傍部分のテーパ角が他の部分のテーパ角よりも大きくなるように形成してある。

[0020] 第6発明では、第1ビア導体は、第2樹脂層の近傍部分のテーパ角が他の部分のテーパ角よりも大きくなるように形成してあるので、第2ビア導体と接する未硬化状態の第2樹脂層の少なくとも一部が自重により第1ビア導体の内部へ折れ曲がり、第1ビア導体の内部へ突き出した形状を形成することができる。

[0021] 上記目的を達成するために第7発明に係る樹脂多層基板の製造方法は、第1樹脂層と、該第1樹脂層の一面に積層してある第2樹脂層とを備える樹脂多層基板を製造する方法において、硬化状態の第1樹脂層に第1ビアホールを形成する第1工程と、未硬化状態の第2樹脂層に第2ビアホールを形成し、前記第1ビアホールと前記第2ビアホールとが接続するように、前記第1

樹脂層の一面に前記第 2 樹脂層を積層する第 2 工程と、前記第 1 ビアホール及び前記第 2 ビアホールに導電性ペーストを充填して第 1 ビア導体及び第 2 ビア導体を形成する第 3 工程と、前記第 2 ビア導体と接する前記第 2 樹脂層の少なくとも一部を、前記第 1 ビア導体の内部へ突き出す第 4 工程と、前記導電性ペースト及び前記第 2 樹脂層を硬化状態にする第 5 工程とを含む。

[0022] 第 7 発明では、硬化状態の第 1 樹脂層に第 1 ビアホールを形成し、未硬化状態の第 2 樹脂層に第 2 ビアホールを形成し、第 1 ビアホールと第 2 ビアホールとが接続するように、第 1 樹脂層の一面に第 2 樹脂層を積層した後に、第 1 ビアホール及び第 2 ビアホールに導電性ペーストを充填するので、積層した第 1 樹脂層と第 2 樹脂層との界面に導電性ペーストが入り込むことがなく、第 1 樹脂層と第 2 樹脂層との間の絶縁性能を低下させることがない。また、第 2 ビア導体と接する第 2 樹脂層の少なくとも一部を、導電ペーストを充填した第 1 ビア導体の内部へ突き出し、導電性ペースト及び第 2 樹脂層を硬化状態にし、第 2 ビア導体と接する第 2 樹脂層の少なくとも一部が第 1 ビア導体の内部へ突き出した形状を形成することで、第 2 ビア導体と接する第 2 樹脂層の少なくとも一部が第 1 ビアホール内及び第 2 ビアホール内に導電性ペーストを押し込み、第 1 ビアホール内及び第 2 ビアホール内の導電性ペーストの密度を高め、第 1 ビア導体及び第 2 ビア導体の抵抗値を小さくすることができる。

[0023] また、第 8 発明に係る樹脂多層基板の製造方法は、第 7 発明において、前記第 3 工程では、前記第 1 ビアホール及び前記第 2 ビアホールに導電性ペーストを充填した場合、前記第 2 ビアホールから少なくとも上に凸形状を有するように前記導電性ペーストがはみ出し、前記第 4 工程では、前記第 2 ビアホールからはみ出した前記導電性ペーストを、前記導電性ペーストがはみ出した側の前記第 2 ビアホールの断面積よりも大きい断面積を有する物体で、前記第 2 ビアホール内へ押し込むことで、前記第 2 ビア導体と接する前記第 2 樹脂層の少なくとも一部を、前記第 1 ビア導体の内部へ突き出す。

[0024] 第 8 発明では、第 2 ビアホールからはみ出した導電性ペーストを、導電性

ペーストがはみ出した側の第2ビアホールの断面積よりも大きい断面積を有する物体で、第2ビアホール内へ押し込むことで、第2ビア導体と接する第2樹脂層の少なくとも一部が第1ビア導体の内部へ突き出した形状を形成することができる。したがって、第2ビアホールからはみ出した導電性ペーストが、第1ビアホール内及び第2ビアホール内に押し込まれ、第1ビアホール内及び第2ビアホール内の導電性ペーストの密度を高め、第1ビア導体及び第2ビア導体の抵抗値を小さくすることができる。

[0025] また、第9発明に係る樹脂多層基板の製造方法は、第8発明において、未硬化状態の前記第2樹脂層の一面に、前記第2樹脂層の形状を保持する保持フィルムが貼り付けられ、貼り付けられた保持フィルムに前記第2樹脂層に形成した前記第2ビアホールと接続する第3ビアホールが形成してあり、前記第3工程では、前記第1ビアホール、前記第2ビアホール、前記第3ビアホールに導電性ペーストを充填し、前記第3工程の終了後に、前記保持フィルムを前記第2樹脂層から剥離することで、前記保持フィルムに形成してある前記第3ビアホールに充填されている前記導電性ペーストを、前記第2ビアホールからはみ出した前記導電性ペーストとする。

[0026] 第9発明では、未硬化状態の第2樹脂層の一面に、第2樹脂層の形状を保持する保持フィルムが貼り付けられ、保持フィルムに第2ビアホールと接続する第3ビアホールが形成してあり、第3ビアホールに充填されている導電性ペーストを、保持フィルムを第2樹脂層から剥離することで、第2ビアホールからはみ出した導電性ペーストとすることができる。したがって、保持フィルムの厚みを変えることにより、第2ビアホールからはみ出す導電性ペーストの量を制御することができる。

[0027] また、第10発明に係る樹脂多層基板の製造方法は、第7発明において、前記第4工程では、前記第2樹脂層を前記第1樹脂層の方向に加圧することで、前記第2ビア導体と接する前記第2樹脂層の少なくとも一部を、前記第1ビア導体の内部へ突き出す。

[0028] 第10発明では、第2樹脂層を第1樹脂層の方向に加圧することで、第2

ビア導体と接する第2樹脂層の少なくとも一部が第1ビア導体の内部へ突き出した形状を形成することができ、第2樹脂層の厚みが薄くなる分だけ、導電性ペーストが第1ビアホール内及び第2ビアホール内に押し込まれ、第1ビアホール内及び第2ビアホール内の導電性ペーストの密度を高め、第1ビア導体及び第2ビア導体の抵抗値を小さくすることができる。

[0029] また、第11発明に係る樹脂多層基板の製造方法は、第7発明において、前記第1工程では、前記第2樹脂層の近傍部分のテーパ角が、他の部分のテーパ角よりも大きくなるように前記第1ビアホールを形成する。

[0030] 第11発明では、第2樹脂層の近傍部分のテーパ角が、他の部分のテーパ角よりも大きくなるように第1ビアホールを形成してあるので、第2ビア導体と接する未硬化状態の第2樹脂層の少なくとも一部が自重により第1ビア導体の内部へ折れ曲がり、第1ビア導体の内部へ突き出した形状を形成することができる。

[0031] また、第12発明に係る樹脂多層基板の製造方法は、第7発明において、前記第2工程では、前記第1樹脂層の一面に前記第2樹脂層を積層した後、前記第1ビアホール及び前記第2ビアホールに対して連通処理を行う。

[0032] 第12発明では、第1樹脂層の一面に第2樹脂層を積層した後、第1ビアホール及び第2ビアホールに対して連通処理を行うので、第1ビアホールと第2ビアホールとの接続を確保することができる。

発明の効果

[0033] 本発明に係る樹脂多層基板は、第1樹脂層に積層されている面とは反対側の第2樹脂層の面に形成してある表面電極と、第1樹脂層に設けてあり、一端が第1樹脂層の一面に至る第1ビア導体と、第2樹脂層に設けてあり、一端が表面電極と、他端が第1ビア導体とそれぞれ電氣的に接続してある第2ビア導体とを備え、第2ビア導体と接する第2樹脂層の少なくとも一部が、第1ビア導体の内部へ突き出した形状を形成しているので、第2樹脂層と導電性ペーストとの接触面積が広がる。したがって、第2樹脂層と第2ビア導体との接合力が増し、第2樹脂層から導電性ペーストとともに表面電極が

剥離する可能性を低減することができる。

- [0034] 本発明に係る樹脂多層基板の製造方法は、硬化状態の第 1 樹脂層に第 1 ビアホールを形成し、未硬化状態の第 2 樹脂層に第 2 ビアホールを形成し、第 1 ビアホールと第 2 ビアホールとが接続するように、第 1 樹脂層の一面に第 2 樹脂層を積層した後に、第 1 ビアホール及び第 2 ビアホールに導電性ペーストを充填するので、積層した第 1 樹脂層と第 2 樹脂層との界面に導電性ペーストが入り込むことがなく、第 1 樹脂層と第 2 樹脂層との間の絶縁性能を低下させることがない。また、第 2 ビア導体と接する第 2 樹脂層の少なくとも一部を、導電性ペーストを充填した第 1 導体の内部へ突き出し、導電性ペースト及び第 2 樹脂層を硬化状態にして、第 2 ビア導体と接する第 2 樹脂層の少なくとも一部が第 1 ビア導体の内部へ突き出した形状を形成することで、第 2 ビア導体と接する第 2 樹脂層の少なくとも一部が第 1 ビアホール内及び第 2 ビアホール内に導電性ペーストを押し込み、第 1 ビアホール内及び第 2 ビアホール内の導電性ペーストの密度を高め、第 1 ビア導体及び第 2 ビア導体の抵抗値を小さくすることができる。

図面の簡単な説明

- [0035] [図1]本発明の実施の形態 1 に係る樹脂多層基板の構成を示す模式図である。
- [図2]本発明の実施の形態 1 に係る樹脂多層基板の製造方法を説明するための模式図である。
- [図3]本発明の実施の形態 1 に係る樹脂多層基板の製造方法を説明するための模式図である。
- [図4]本発明の実施の形態 1 に係る樹脂多層基板の製造方法を説明するための模式図である。
- [図5]本発明の実施の形態 1 に係る樹脂多層基板の製造方法を説明するための模式図である。
- [図6]本発明の実施の形態 1 に係る樹脂多層基板の製造方法を説明するための模式図である。
- [図7]本発明の実施の形態 1 に係る樹脂多層基板の製造方法を説明するための

模式図である。

[図8]本発明の実施の形態 1 に係る樹脂多層基板の製造方法を説明するための模式図である。

[図9]本発明の実施の形態 1 に係る樹脂多層基板の製造方法を説明するための模式図である。

[図10]本発明の実施の形態 1 に係る樹脂多層基板の製造方法を説明するための模式図である。

[図11]本発明の実施の形態 1 に係る樹脂多層基板の製造方法を説明するための模式図である。

[図12]マザー基板に実装されている本発明の実施の形態 1 に係る樹脂多層基板の構成を示す模式図である。

[図13]ベース層を備えない本発明の実施の形態 1 に係る樹脂多層基板の構成を示す模式図である。

[図14]本発明の実施の形態 2 に係る樹脂多層基板の製造方法を説明するための模式図である。

[図15]本発明の実施の形態 2 に係る樹脂多層基板の製造方法を説明するための模式図である。

[図16]本発明の実施の形態 3 に係る樹脂多層基板のビアホールの構成を示す模式図である。

発明を実施するための形態

[0036] 以下、本発明の実施の形態における樹脂多層基板及び該樹脂多層基板の製造方法について、図面を用いて具体的に説明する。以下の実施の形態は、特許請求の範囲に記載された発明を限定するものではなく、実施の形態の中で説明されている特徴的事項の組み合わせの全てが解決手段の必須事項であるとは限らないことは言うまでもない。

[0037] (実施の形態 1)

図 1 は、本発明の実施の形態 1 に係る樹脂多層基板の構成を示す模式図である。図 1 に示すように、実施の形態 1 に係る樹脂多層基板 1 は、ベース層

10、部品内蔵層（第1樹脂層）20、薄層樹脂層（第2樹脂層）30を順に積層してある。ベース層10は、セラミック、ガラス、エポキシ樹脂等で構成され、両面に配線パターン11a、11bが形成してある。ベース層10の、配線パターン11aが形成してある面には、IC素子12が、配線パターン11bが形成してある面には複数の電子部品13がはんだ等の導電性接合材（図示せず）を用いて実装されている。複数の電子部品13は、表面実装型の部品であり、例えばチップコンデンサ、抵抗等である。配線パターン11aは、ベース層10に形成してある複数のビア導体14を介して配線パターン11bと電氣的に接続している。また、配線パターン11a、11bの所定位置には、絶縁性を確保する等の理由からレジスト層15が形成してある。

[0038] 部品内蔵層20は、ベース層10の配線パターン11bが形成してある面に積層され、実装されている複数の電子部品13及び配線パターン11bの一部を内蔵している。部品内蔵層20は、エポキシ樹脂等の熱硬化性樹脂で構成され、少なくとも複数の電子部品13が外部に露出しない程度の厚みを有している。また、部品内蔵層20には、複数のビアホール（第1ビアホール）21に導電性ペースト22を充填した複数のビア導体（第1ビア導体）23が形成してある。複数のビア導体23は、一端が薄層樹脂層30が積層されている部品内蔵層20の一面に至り、他端が配線パターン11bと電氣的に接続されている。

[0039] 薄層樹脂層30は、部品内蔵層20に比べて十分に薄く、部品内蔵層20をベース層10とで挟むように部品内蔵層20の一面に積層してある。薄層樹脂層30は、エポキシ樹脂等の熱硬化性樹脂で構成されている。薄層樹脂層30には、複数のビアホール（第2ビアホール）31に導電性ペースト22を充填した複数のビア導体（第2ビア導体）33が形成してある。複数のビア導体33は、一端が薄層樹脂層30の、部品内蔵層20に積層されている面とは反対側の面に形成してある表面電極34と、他端が複数のビア導体23とそれぞれ電氣的に接続してある。また、複数のビア導体33と接する

薄層樹脂層 30 の一部は、部品内蔵層 20 に形成してある複数のビア導体 23 の内部へ突き出した形状 35 を形成している。そのため、複数のビア導体 33 と接する薄層樹脂層 30 の一部と、導電性ペースト 22 との接触面積が広がる。したがって、薄層樹脂層 30 と複数のビア導体 33 との接合力が増し、薄層樹脂層 30 から導電性ペースト 22 とともに表面電極 34 が剥離する可能性を低減することができる。なお、表面電極 34 の所定位置にも、絶縁性を確保する等の理由からレジスト層 36 が形成してある。

[0040] 図 2 乃至図 11 は、本発明の実施の形態 1 に係る樹脂多層基板 1 の製造方法を説明するための模式図である。図 2 は、ベース層 10 を準備した状態を、図 3 は、ベース層 10 に複数の電子部品 13 が実装された状態を、図 4 は、ベース層 10 に部品内蔵層 20 が積層された状態を、図 5 は、部品内蔵層 20 に複数のビアホール 21 を形成した状態を、図 6 は、複数のビアホール 31 を形成した薄層樹脂層 30 を部品内蔵層 20 に積層する状態を、それぞれ示している。図 7 は、複数のビアホール 21、31 に対して行う連通処理を示している。また、図 8 は、複数のビアホール 21、31 に導電性ペースト 22 を充填した状態を、図 9 は、複数のビアホール 31 から上に凸形状に導電性ペースト 22 がはみ出した状態を、図 10 は、薄層樹脂層 30 に金属箔を貼り付けた状態を、図 11 は、金属箔をパターニングして表面電極 34 を形成した状態を、それぞれ示している。

[0041] 図 2 に示すように、ベース層 10 の両面には、配線パターン 11a、11b が形成してあり、ベース層 10 には、配線パターン 11a と配線パターン 11b とを電氣的に接続するための複数のビア導体 14 が形成してある。配線パターン 11a、11b は、ベース層 10 のそれぞれの面の全面に形成した金属層（例えば、Cu 層）に対して、フォトリソグラフィを用いて、所定パターンにパターニングして形成することができる。なお、配線パターン 11a、11b 上に形成してあるレジスト層 15 も、配線パターン 11a、11b と同様、フォトリソグラフィを用いて形成することができる。ベース層 10 は、FR4 に代表される樹脂基板であっても良いし、アルミナ、LTC

C（低温焼結セラミック）等のセラミック基板であっても良い。

[0042] 次に、図3に示すように、ベース層10の配線パターン11bが形成してある面に、複数の電子部品13をはんだ等の導電性接合材（図示せず）を用いて実装する。その後、図4に示すように、ベース層10の複数の電子部品13が実装された面に、複数の電子部品13及び配線パターン11bの一部を内蔵するように部品内蔵層20を形成する。部品内蔵層20は、ベース層10の複数の電子部品13が実装された面に、未硬化状態の樹脂シート、例えばエポキシ樹脂からなる樹脂シートを被せて、該樹脂シートを圧着し、硬化状態にして形成する。なお、部品内蔵層20は、薄層樹脂層30を積層する前に、硬化状態にしておくことが好ましい。

[0043] 次に、図5に示すように、部品内蔵層20の所定位置に、複数の有底のビアホール（第1ビアホール）21を形成する。複数のビアホール21は、部品内蔵層20の側からベース層10側へ、部品内蔵層20の所定位置にレーザ光を照射することで形成することができる。複数のビアホール21の断面形状は、レーザ光を部品内蔵層20の側から照射するため、ベース層10に近づくに連れて径が小さくなるテーパ形状である。また、複数のビアホール21は、配線パターン11bに達するまで形成されている。なお、レーザ光で複数のビアホール21を形成した場合に、複数のビアホール21内の残渣を濃硫酸、クロム酸又はこれらを混合した酸等で溶解除去するデスミア処理を行う。デスミア処理はウェット処理であるため、デスミア処理後の樹脂多層基板1を乾燥させる。

[0044] 次に、図6に示すように、複数のビアホール31を形成してある薄層樹脂層30を、複数のビアホール21と複数のビアホール31とが接続するように部品内蔵層20に積層する。薄層樹脂層30は、エポキシ樹脂等の熱硬化性樹脂で構成され、部品内蔵層20に積層する時点では未硬化状態である。そのため、薄層樹脂層30には、PETフィルム等の形状を保持するための保持フィルム38が貼り付けられている。保持フィルム38を薄層樹脂層30に貼り付けた状態で、保持フィルム38の側からレーザ光を照射して薄層

樹脂層 30 に複数のビアホール（第 2 ビアホール） 31 を形成する。なお、薄層樹脂層 30 に複数のビアホール 31 を形成する場合に、保持フィルム 38 に複数のビアホール 31 と接続する複数のビアホール（第 3 ビアホール） 39 が形成される。ビアホール 31、39 の断面形状は、保持フィルム 38 の側から薄層樹脂層 30 側へと径が小さくなるテーパ形状である。保持フィルム 38 が貼り付けられた薄層樹脂層 30 は、薄層樹脂層 30 側が部品内蔵層 20 と接するように、部品内蔵層 20 に貼り付けられる。なお、ビアホール 31 の上端側及び下端側の径は、ビアホール 21 の上端側の径よりも小さくなるように形成してある。ここで、ビアホール 31 の下端側とは、ビアホール 21 と接続する側を、ビアホール 31 の上端側とは、ビアホール 21 と接続する側の反対側をそれぞれ示している。また、ビアホール 21 の上端側とは、ビアホール 31 と接続する側である。

[0045] なお、ビアホール 31 を形成してある薄層樹脂層 30 を、部品内蔵層 20 に形成してあるビアホール 21 とビアホール 31 とが接続するように部品内蔵層 20 に積層した後、さらに、保持フィルム 38 の側からレーザ光の照射、ピンの挿入等の手法により、ビアホール 21、31 に対して連通処理（孔あけ処理）を施すことが好ましい。具体的な連通処理（孔あけ処理）は、部品内蔵層 20 に積層した薄層樹脂層 30 に対して、少なくともビアホール 31 の径より大きい径を有するレーザ光を保持フィルム 38 の側から照射する。また、連通処理（孔あけ処理）は、図 7 に示すように、部品内蔵層 20 に積層した薄層樹脂層 30（図 7（a）の状態、少なくともビアホール 31 の径より大きい径を有するピン 300 を保持フィルム 38 の側から挿入する（図 7（b））。連通処理（孔あけ処理）により、ビアホール 31 と接する未硬化状態の薄層樹脂層 30 の一部にビアホール 21 の方向への力が加わり、ビアホール 31 と接する薄層樹脂層 30 の一部がビアホール 21 の方向に突き出た形状に変形する（図 7（c））。

[0046] さらに、薄層樹脂層 30 を部品内蔵層 20 に積層するときに、薄層樹脂層 30 が未硬化状態であるためビアホール 31 が潰れてしまう場合があった。

しかし、薄層樹脂層 30 を部品内蔵層 20 に積層した後、連通処理（孔あけ処理）を行うことでビアホール 21 とビアホール 31 との接続を確保することができる。図 7 に示す連通処理を行い、ビアホール 21、31 に導電性ペーストを充填することで、図 1 に示すような樹脂多層基板 1 を形成することができる。

[0047] 図 8 に示すように、保持フィルム 38 を薄層樹脂層 30 に貼り付けた状態で、複数のビアホール 21、31、39 に導電性ペースト 22 を充填する。なお、導電性ペースト 22 は、銀、銅、スズ等の金属粉末を溶剤等に混ぜてペースト状にしたものである。その後、図 9 に示すように、保持フィルム 38 を薄層樹脂層 30 から剥離することで、保持フィルム 38 に形成したビアホール 39 に充填されている導電性ペースト 22 が複数のビアホール 31 から上に凸形状にはみ出した導電性ペースト 22 となる。なお、保持フィルム 38 の厚みを変えることにより、複数のビアホール 31 からはみ出す導電性ペースト 22 の量を制御することができる。

[0048] 次に、図 10 に示すように、薄層樹脂層 30 に金属箔 40（例えば、銅箔）を貼り付ける。金属箔 40 を未硬化状態の薄層樹脂層 30 に貼り付け、その後、薄層樹脂層 30 を硬化状態にすることで金属箔 40 と部品内蔵層 20 とを強固に接合させる。つまり、薄層樹脂層 30 は、金属箔 40 と部品内蔵層 20 とを接合する接合層として機能する。さらに、金属箔 40 を、薄層樹脂層 30 に貼り付けるとき、図 9 に示した複数のビアホール 31 からはみ出した導電性ペースト 22 を複数のビアホール 31 内へ押し込む。金属箔 40 は、導電性ペースト 22 がはみ出した側の複数のビアホール 31 の断面積（金属箔 40 と接するビアホール 31 の面における断面積）よりも大きい断面積を有しているので、複数のビアホール 31 からはみ出した導電性ペースト 22 を残さず複数のビアホール 31 内へ押し込むことができる。

[0049] 複数のビアホール 31 からはみ出した導電性ペースト 22 を複数のビアホール 31 内へ押し込むことにより、複数のビア導体 33 と接する未硬化状態の薄層樹脂層 30 の一部に複数のビアホール 21 の方向への力が加わり、複

数のビア導体 33 と接する薄層樹脂層 30 の一部が複数のビアホール 21 の方向へ突き出た形状に変形する。その後、導電性ペースト 22 及び薄層樹脂層 30 を硬化状態にして、複数のビア導体 33 と接する薄層樹脂層 30 の一部が、複数のビア導体 23 の内部へ突き出した形状 35 を形成することとなる。また、ビアホール 21、31 内に、複数のビアホール 31 からはみ出した導電性ペースト 22 を押し込むことで、ビアホール 21、31 内の導電性ペースト 22 の密度を高め、導電性ペースト 22 を硬化状態にしたビア導体 23、33 の抵抗値を小さくする。

[0050] 次に、図 11 に示すように、金属箔 40 をフォトリソグラフィを用いて、所定パターンにパターニングして表面電極 34 を形成する。その後、図 1 に示すように、表面電極 34 の所定位置に、フォトリソグラフィを用いてレジスト層 36 を形成し、配線パターン 11a 側のベース層 10 に、はんだ等の導電性接合材を用いて IC 素子 12 を実装する。

[0051] 以上のように、本実施の形態 1 に係る樹脂多層基板 1 は、少なくとも、部品内蔵層 20 と、部品内蔵層 20 の一面に積層してある薄層樹脂層 30 とを備え、複数のビア導体 33 と接する薄層樹脂層 30 の一部が、複数のビア導体 23 の内部、つまり、部品内蔵層 20 の平面方向及び厚み方向へ突き出した形状 35 を形成している。したがって、薄層樹脂層 30 と導電性ペースト 22 との接触面積が広くなり、薄層樹脂層 30 と複数のビア導体 33 との接合力が増して、薄層樹脂層 30 から導電性ペースト 22 とともに表面電極 34 が剥離する可能性を低減することができる。

[0052] また、本実施の形態 1 に係る樹脂多層基板 1 の製造方法は、複数のビアホール 21 を形成した部品内蔵層 20 に複数のビアホール 31 を形成した薄層樹脂層 30 を積層した後に、複数のビアホール 21 及び複数のビアホール 31 に導電性ペースト 22 を充填するので、積層した部品内蔵層 20 と薄層樹脂層 30 との界面に導電性ペースト 22 が入り込むことがなく、部品内蔵層 20 と薄層樹脂層 30 との間の絶縁性能を低下させることがない。さらに、本実施の形態 1 に係る樹脂多層基板 1 の製造方法は、複数のビア導体 33 と

接する薄層樹脂層 30 の一部を、導電性ペースト 22 を充填した複数のビア導体 23 の内部の方向に突き出させて、導電性ペースト 22 及び薄層樹脂層 30 を硬化状態にするので、ビア導体 33 と接する薄層樹脂層 30 の一部がビア導体 23 の内部へ突き出した形状を形成することができる。そのため、ビア導体 33 と接する薄層樹脂層 30 の一部が複数のビアホール 21、31 内に導電性ペースト 22 を押し込み、複数のビアホール 21、31 内の導電性ペースト 22 の密度を高め、ビア導体 23、33 の抵抗値を小さくすることができる。

[0053] なお、本実施の形態 1 に係る樹脂多層基板 1 は、基板に実装することも可能である。図 12 は、マザー基板に実装されている本発明の実施の形態 1 に係る樹脂多層基板 1 の構成を示す模式図である。図 12 に示すように、樹脂多層基板 1 は、表面電極 34 にはんだバンプ 41 を形成し、該はんだバンプ 41 とマザー基板 42 に形成された電極 43 とを接続することで、マザー基板 42 に実装されている。ここで、マザー基板 42 とは、複数の樹脂多層基板 1 や電子部品 13 を実装して、それぞれを電氣的に接続するための電子回路基板である。

[0054] また、本実施の形態 1 に係る樹脂多層基板 1 は、図 1 に示すようにベース層 10 を備えるものに限定されるものではなく、ベース層 10 を備えない樹脂多層基板 1 であっても良い。図 13 は、ベース層 10 を備えない本発明の実施の形態 1 に係る樹脂多層基板 1 の構成を示す模式図である。図 13 に示すように、樹脂多層基板 1 は、部品内蔵層 20、薄層樹脂層 30 を順に積層してあり、ベース層 10 を備えていない。部品内蔵層 20 は、薄層樹脂層 30 が積層されている面とは反対側の面に配線パターン 25 を設け、該配線パターン 25 に実装した複数の電子部品 13 を内蔵している。その他の構成については、図 1 に示した樹脂多層基板 1 の構成と同じであるため、同じ構成要素に同じ符号を付して詳細な説明を省略する。

[0055] (実施の形態 2)

図 14 及び図 15 は、本発明の実施の形態 2 に係る樹脂多層基板 1 の製造

方法を説明するための模式図である。図 1 4 は、接続したビアホール 2 1、3 1 に導電性ペースト 2 2 を充填した後の薄層樹脂層 3 0 に金属箔 4 0 を貼り付け、薄層樹脂層 3 0 の方向に金属箔 4 0 を加圧する状態を、図 1 5 は、薄層樹脂層 3 0 の方向に金属箔 4 0 を加圧した後の状態を、それぞれ示している。本実施の形態 2 に係る樹脂多層基板 1 の製造方法は、保持フィルム 3 8 を薄層樹脂層 3 0 に貼り付けず、薄層樹脂層 3 0 単体を部品内蔵層 2 0 に積層する以外、図 2 から図 8 で示した実施の形態 1 の製造方法と同じであるため、詳細な説明を省略する。なお、図 1 4 及び図 1 5 では、樹脂多層基板 1 に形成した接続するビア導体 2 3、3 3 とその近傍部分について図示しているが、他の構成については図 1 に示す樹脂多層基板 1 の構成と同じであるため図示を省略している。

[0056] 図 1 4 に示すように、接続したビアホール 2 1、3 1 に導電性ペースト 2 2 を充填した後の薄層樹脂層 3 0 に金属箔 4 0 を貼り付け、矢印 5 1 の方向（薄層樹脂層 3 0 の方向）に金属箔 4 0 を加圧する。金属箔 4 0 を矢印 5 1 の方向に加圧すると、未硬化状態の薄層樹脂層 3 0 の厚みが薄くなるとともに、矢印 5 2 の方向に広がろうとする。矢印 5 2 の方向に広がった薄層樹脂層 3 0 は、図 1 5 に示すように、ビア導体 2 3、3 3 の内部へ押し込まれる。ビア導体 2 3、3 3 の内部へ押し込まれた薄層樹脂層 3 0 は、矢印 5 1 の方向の加圧を受け、ビア導体 3 3 からビア導体 2 3 へ向かう矢印 5 3 の方向に突き出ることになる。つまり、金属箔 4 0 を矢印 5 1 の方向に加圧することで、薄層樹脂層 3 0 は部品内蔵層 2 0 の方向に加圧され、ビア導体 3 3 と接する薄層樹脂層 3 0 の一部が、ビア導体 2 3 の内部へ突き出した形状 3 5 を形成することになる。以降の製造方法は、図 1 1 に示した製造方法と同じであるため、詳細な説明を省略する。

[0057] 以上のように、本発明の実施の形態 2 に係る樹脂多層基板 1 は、接続したビアホール 2 1、3 1 に導電性ペースト 2 2 を充填した後の薄層樹脂層 3 0 を部品内蔵層 2 0 の方向に加圧することで、ビア導体 3 3 と接する薄層樹脂層 3 0 の一部がビア導体 2 3 の内部へ突き出した形状 3 5 を形成する。した

がって、加圧を受けて薄層樹脂層 30 の厚みが薄くなった分だけ導電性ペースト 22 が、ビアホール 21、31 内に押し込まれ、ビアホール 21、31 内の導電性ペースト 22 の密度を高め、ビア導体 23、33 の抵抗値を小さくすることができる。

[0058] (実施の形態 3)

図 16 は、本発明の実施の形態 3 に係る樹脂多層基板 1 のビアホール 21、31 の構成を示す模式図である。なお、図 16 では、樹脂多層基板 1 に形成した接続するビア導体 23、33 とその近傍部分について図示しているが、他の構成については図 1 に示す樹脂多層基板 1 の構成と同じであるため図示を省略している。なお、図 16 では、説明のためにビアホール 21 のテーパ角が段階的に変化する例を示しているが、実際の樹脂多層基板 1 では、ビアホール 21 のテーパ角は連続的に変化している。なお、テーパ角とは、配線パターン 11b が形成されたベース層 10 の面に対する垂線と、ビアホール 21 が形成された部品内蔵層 20 の面とのなす角度をいう。

[0059] 図 16 に示すように、部品内蔵層 20 に形成したビアホール 21 は、テーパ角が配線パターン 11b 近傍から薄層樹脂層 30 の近傍までの間で、角度 α 、角度 β 、角度 γ ($\alpha < \beta < \gamma$) と順に大きくなっている。なお、ビアホール 21 のテーパ角は、3 段階で大きくなる場合に限定されるものではなく、少なくとも薄層樹脂層 30 の近傍部分のテーパ角が他の部分のテーパ角よりも大きければ、2 段階で大きくなっても、連続で大きくなっても良い。

[0060] ビアホール 21 の、薄層樹脂層 30 の近傍部分のテーパ角を他の部分のテーパ角より大きくすることは、ビア導体 33 と接する薄層樹脂層 30 の一部を支える部品内蔵層 20 を取り除くことになる。支える部品内蔵層 20 がない、ビア導体 33 と接する薄層樹脂層 30 の一部は、未硬化状態であるため、自重によりビア導体 23 の内部へ折れ曲がり、ビア導体 33 からビア導体 23 へ向かう方向に突き出した形状を形成する。つまり、本実施の形態 3 に係る樹脂多層基板 1 では、薄層樹脂層 30 を部品内蔵層 20 の方向に加

圧する等の工程を要することなく、薄層樹脂層 30 の近傍部分のテーパ角が他の部分のテーパ角より大きいビアホール 21 を形成するだけで、ビア導体 33 と接する薄層樹脂層 30 の一部が、ビア導体 23 の内部へ突き出した形状 35 を形成することができる。

[0061] 以上のように、本実施の形態 3 に係る樹脂多層基板 1 では、薄層樹脂層 30 の近傍部分のテーパ角が、他の部分のテーパ角よりも大きくなるように複数のビアホール 21 を形成する。したがって、ビア導体 33 と接する薄層樹脂層 30 の一部が、ビア導体 23 の内部へ突き出した形状 35 を形成するので、薄層樹脂層 30 と導電性ペースト 22 との接触面積が広がる。したがって、薄層樹脂層 30 とビア導体 33 との接合力が増して、薄層樹脂層 30 から導電性ペースト 22 とともに表面電極 34 が剥離する可能性を低減することができる。

[0062] なお、実施の形態 1 乃至 3 に係る樹脂多層基板 1 では、複数のビア導体 33 と接する薄層樹脂層 30 の全ての部分が、略均一に複数のビア導体 23 の内部へ突き出した形状 35 を形成する場合に限定されるものではなく複数のビア導体 33 と接する薄層樹脂層 30 の少なくとも一部が、複数のビア導体 23 の内部へ突き出した形状 35 を形成する場合であっても良い。

符号の説明

- [0063] 1 樹脂多層基板
- 10 ベース層
 - 20 部品内蔵層
 - 30 薄層樹脂層
 - 11a、11b 配線パターン
 - 12 IC素子
 - 13 電子部品
 - 14、23、33 ビア導体
 - 15、36 レジスト層
 - 21、31 ビアホール

- 2 2 導電性ペースト
- 3 4 表面電極
- 3 5 ビア導体の内部へ突き出した形状
- 3 8 保持フィルム

請求の範囲

- [請求項1] 第1樹脂層と、該第1樹脂層の一面に積層してある第2樹脂層とを備える樹脂多層基板において、
- 前記第2樹脂層の、前記第1樹脂層に積層されている面とは反対側の面に形成してある表面電極と、
- 前記第1樹脂層に設けてあり、一端が前記第1樹脂層の前記一面に至る第1ビア導体と、
- 前記第2樹脂層に設けてあり、一端が前記表面電極と、他端が前記第1ビア導体とそれぞれ電氣的に接続してある第2ビア導体とを備え、
- 前記第2ビア導体と接する前記第2樹脂層の少なくとも一部が、前記第1ビア導体の内部へ突き出した形状を形成していることを特徴とする樹脂多層基板。
- [請求項2] 少なくとも一面に配線パターンを形成してあるベース層を備え、
- 前記配線パターンが形成してある前記ベース層の一面に、前記第1樹脂層、前記第2樹脂層を順に積層し、前記配線パターンと前記第1ビア導体とを電氣的に接続してあることを特徴とする請求項1に記載の樹脂多層基板。
- [請求項3] 前記第1樹脂層の、前記第2樹脂層が積層してある面とは反対側の面に形成してある配線パターンと、
- 前記第1樹脂層に内蔵し、前記配線パターンに実装してある電子部品とを備えることを特徴とする請求項1に記載の樹脂多層基板。
- [請求項4] 前記ベース層の少なくとも一面に電子部品を実装し、実装してある前記電子部品を前記第1樹脂層に内蔵してあることを特徴とする請求項2に記載の樹脂多層基板。
- [請求項5] 前記表面電極は、マザー基板に形成されている電極と電氣的に接続してあることを特徴とする請求項1乃至4のいずれか一項に記載の樹脂多層基板。

[請求項6] 前記第1ビア導体は、前記第2樹脂層の近傍部分のテーパ角が他の部分のテーパ角よりも大きくなるように形成してあることを特徴とする請求項1乃至5のいずれか一項に記載の樹脂多層基板。

[請求項7] 第1樹脂層と、該第1樹脂層の一面に積層してある第2樹脂層とを備える樹脂多層基板を製造する方法において、

硬化状態の第1樹脂層に第1ビアホールを形成する第1工程と、

未硬化状態の第2樹脂層に第2ビアホールを形成し、前記第1ビアホールと前記第2ビアホールとが接続するように、前記第1樹脂層の一面に前記第2樹脂層を積層する第2工程と、

前記第1ビアホール及び前記第2ビアホールに導電性ペーストを充填して第1ビア導体及び第2ビア導体を形成する第3工程と、

前記第2ビア導体と接する前記第2樹脂層の少なくとも一部を、前記第1ビア導体の内部へ突き出す第4工程と、

前記導電性ペースト及び前記第2樹脂層を硬化状態にする第5工程と

を含むことを特徴とする樹脂多層基板の製造方法。

[請求項8] 前記第3工程では、

前記第1ビアホール及び前記第2ビアホールに導電性ペーストを充填した場合、前記第2ビアホールから少なくとも上に凸形状を有するように前記導電性ペーストがはみ出し、

前記第4工程では、

前記第2ビアホールからはみ出した前記導電性ペーストを、前記導電性ペーストがはみ出した側の前記第2ビアホールの断面積よりも大きい断面積を有する物体で、前記第2ビアホール内へ押し込むことで、前記第2ビア導体と接する前記第2樹脂層の少なくとも一部を、前記第1ビア導体の内部へ突き出すことを特徴とする請求項7に記載の樹脂多層基板の製造方法。

[請求項9] 未硬化状態の前記第2樹脂層の一面に、前記第2樹脂層の形状を保

持する保持フィルムが貼り付けられ、貼り付けられた保持フィルムに前記第 2 樹脂層に形成した前記第 2 ビアホールと接続する第 3 ビアホールが形成してあり、

前記第 3 工程では、前記第 1 ビアホール、前記第 2 ビアホール、前記第 3 ビアホールに導電性ペーストを充填し、

前記第 3 工程の終了後に、前記保持フィルムを前記第 2 樹脂層から剥離することで、前記保持フィルムに形成してある前記第 3 ビアホールに充填されている前記導電性ペーストを、前記第 2 ビアホールからはみ出した前記導電性ペーストとすることを特徴とする請求項 8 に記載の樹脂多層基板の製造方法。

[請求項10]

前記第 4 工程では、

前記第 2 樹脂層を前記第 1 樹脂層の方向に加圧することで、前記第 2 ビア導体と接する前記第 2 樹脂層の少なくとも一部を、前記第 1 ビア導体の内部へ突き出すことを特徴とする請求項 7 に記載の樹脂多層基板の製造方法。

[請求項11]

前記第 1 工程では、

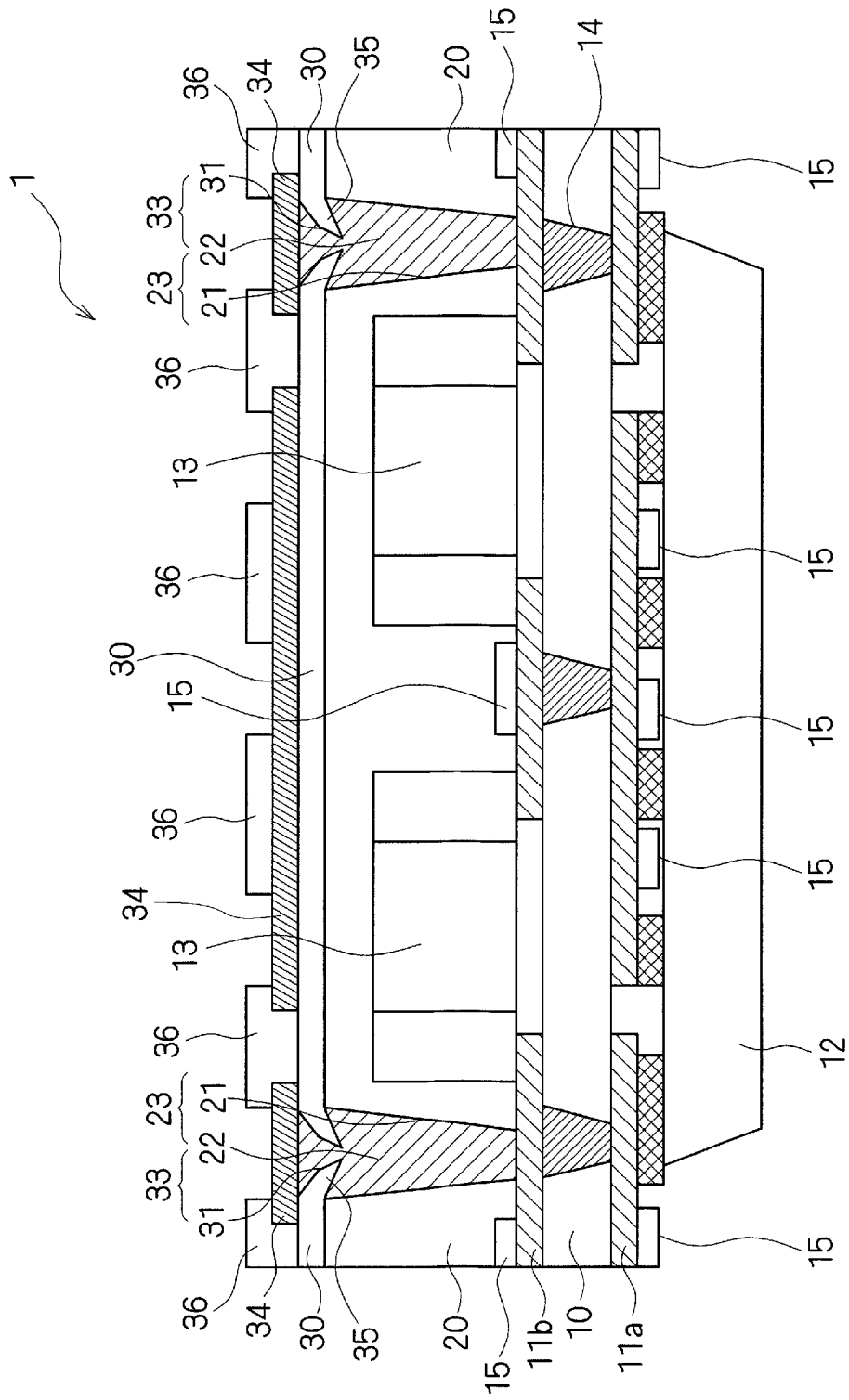
前記第 2 樹脂層の近傍部分のテーパ角が、他の部分のテーパ角よりも大きくなるように前記第 1 ビアホールを形成することを特徴とする請求項 7 に記載の樹脂多層基板の製造方法。

[請求項12]

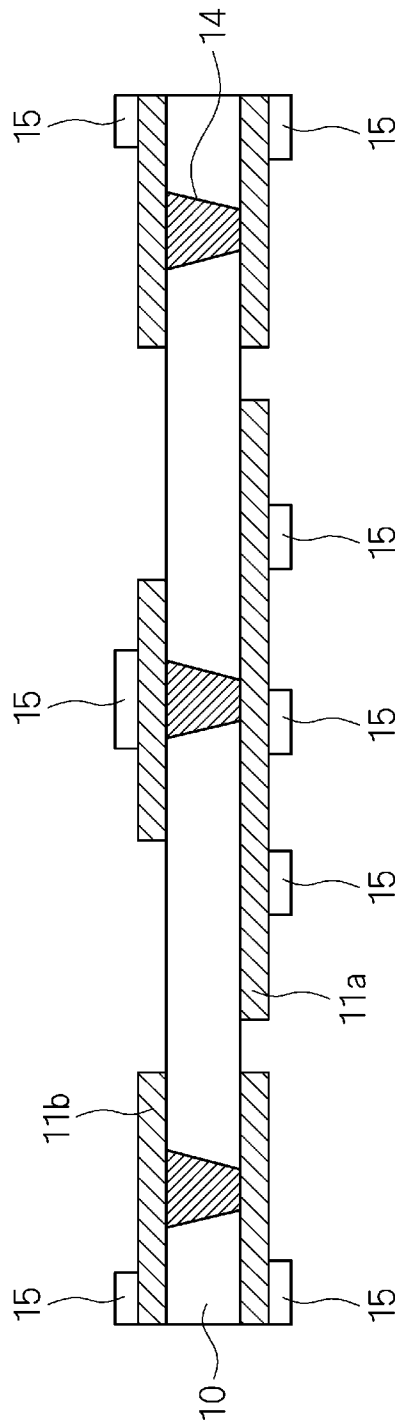
前記第 2 工程では、

前記第 1 樹脂層の一面に前記第 2 樹脂層を積層した後、前記第 1 ビアホール及び前記第 2 ビアホールに対して連通処理を行うことを特徴とする請求項 7 に記載の樹脂多層基板の製造方法。

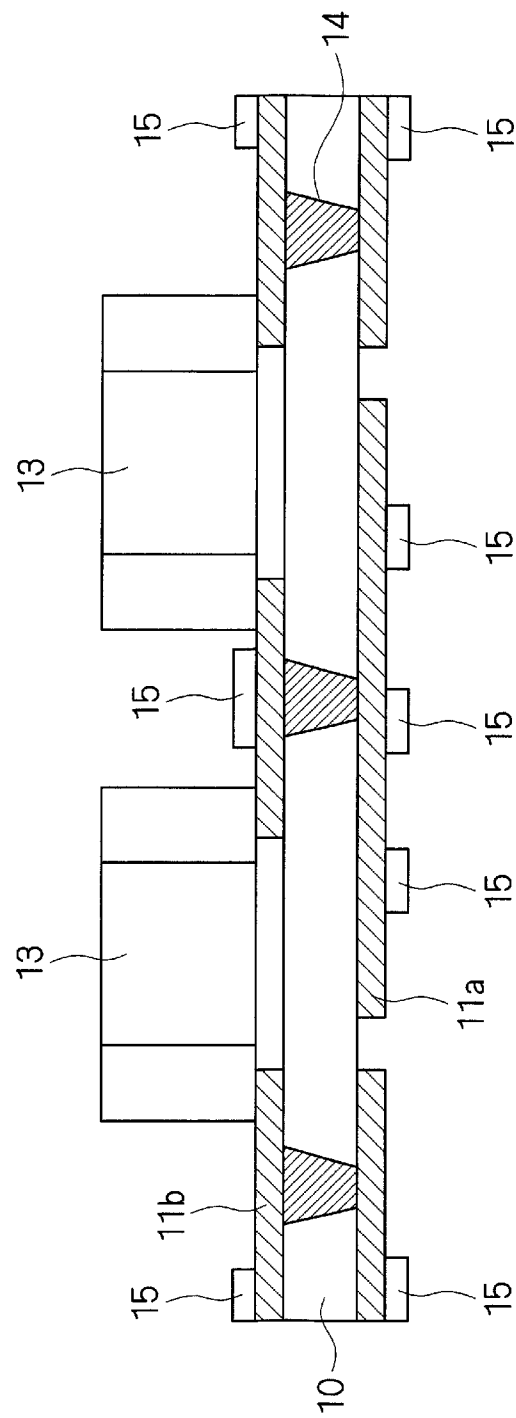
[図1]



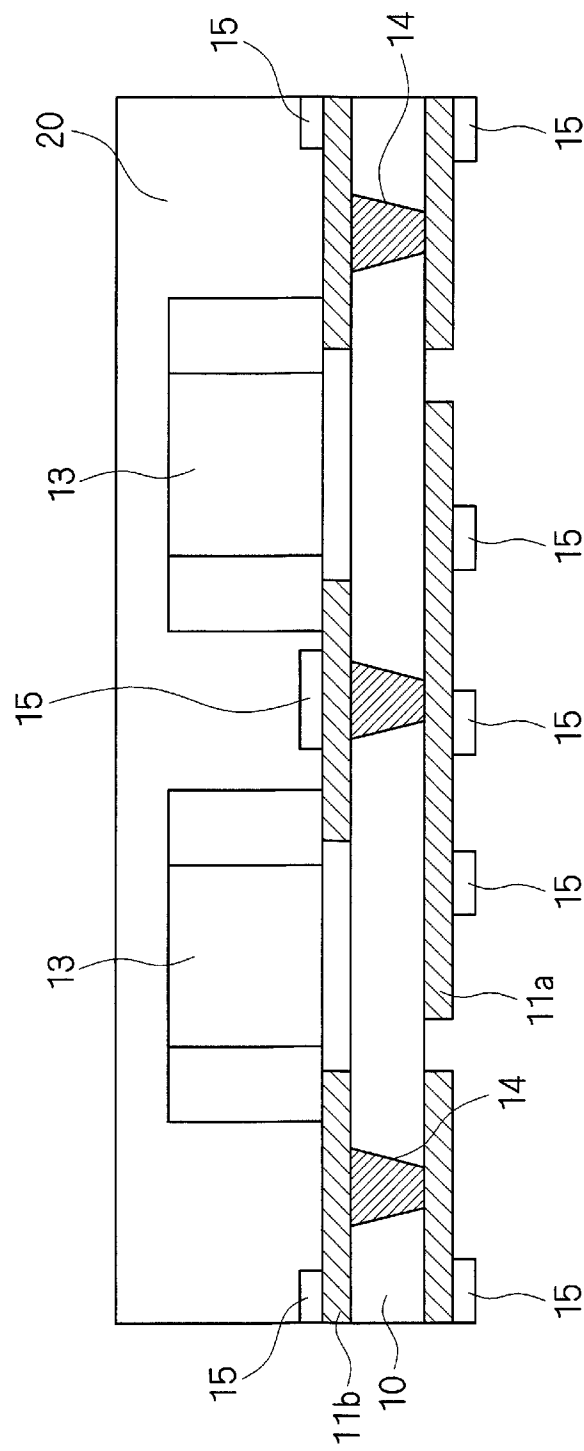
[図2]



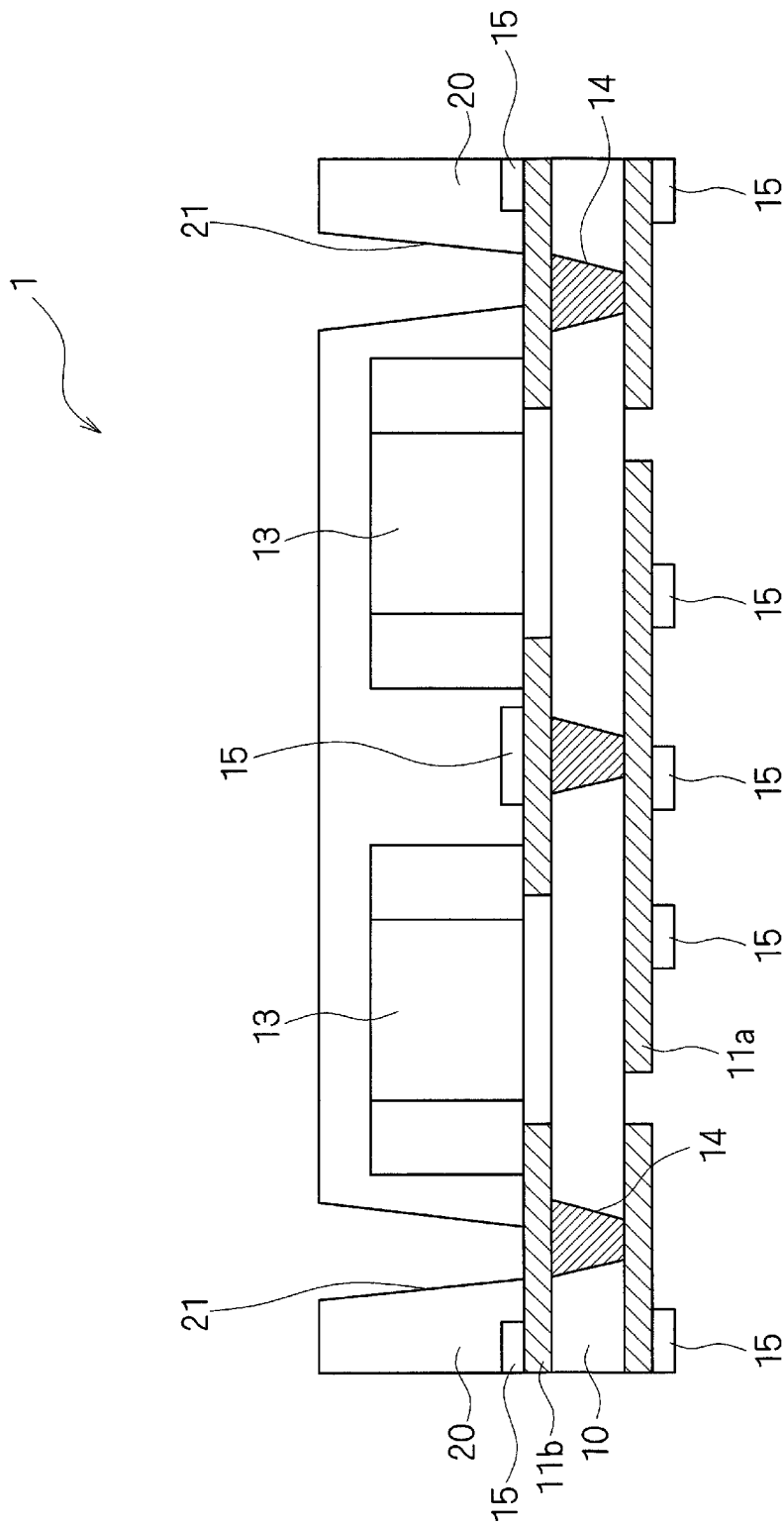
[図3]



[図4]



[図5]



[図6]

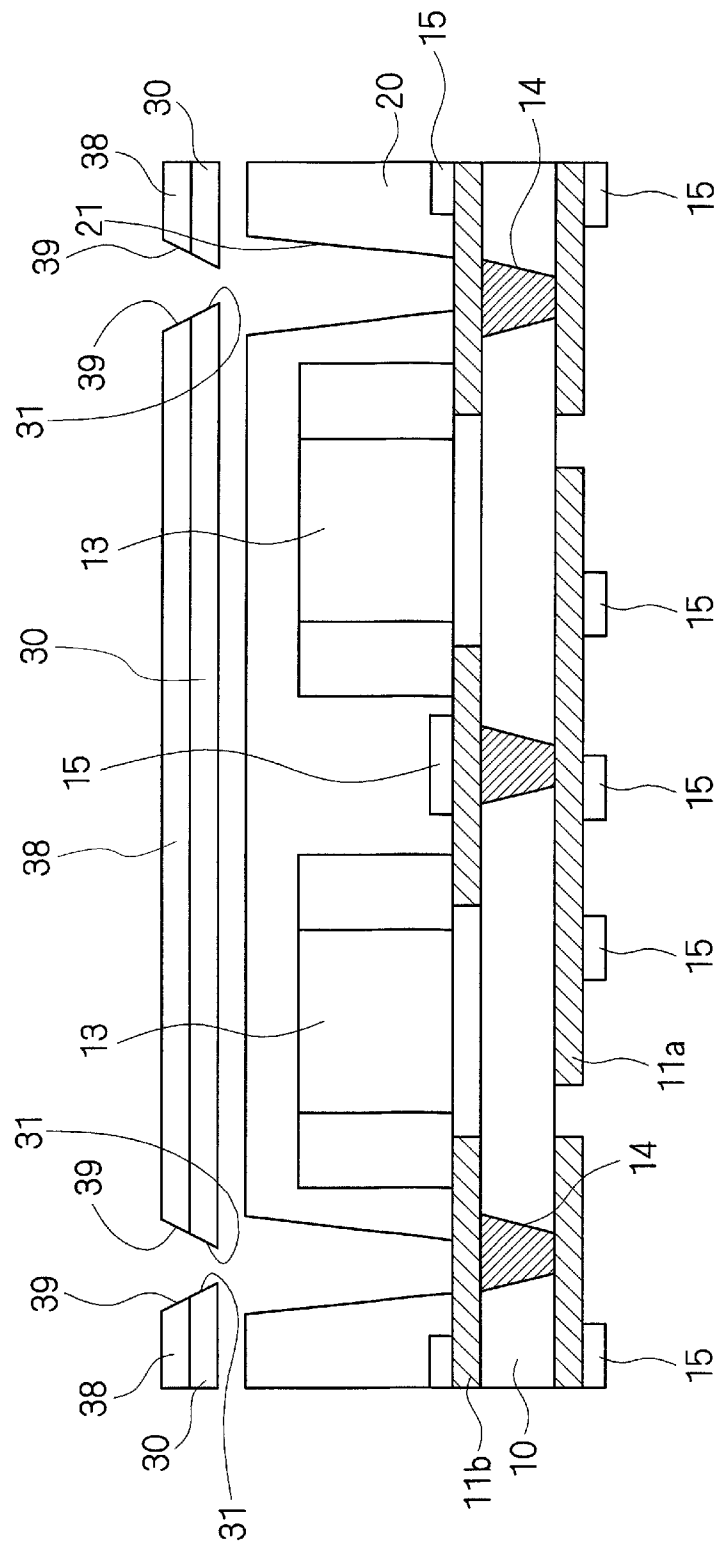
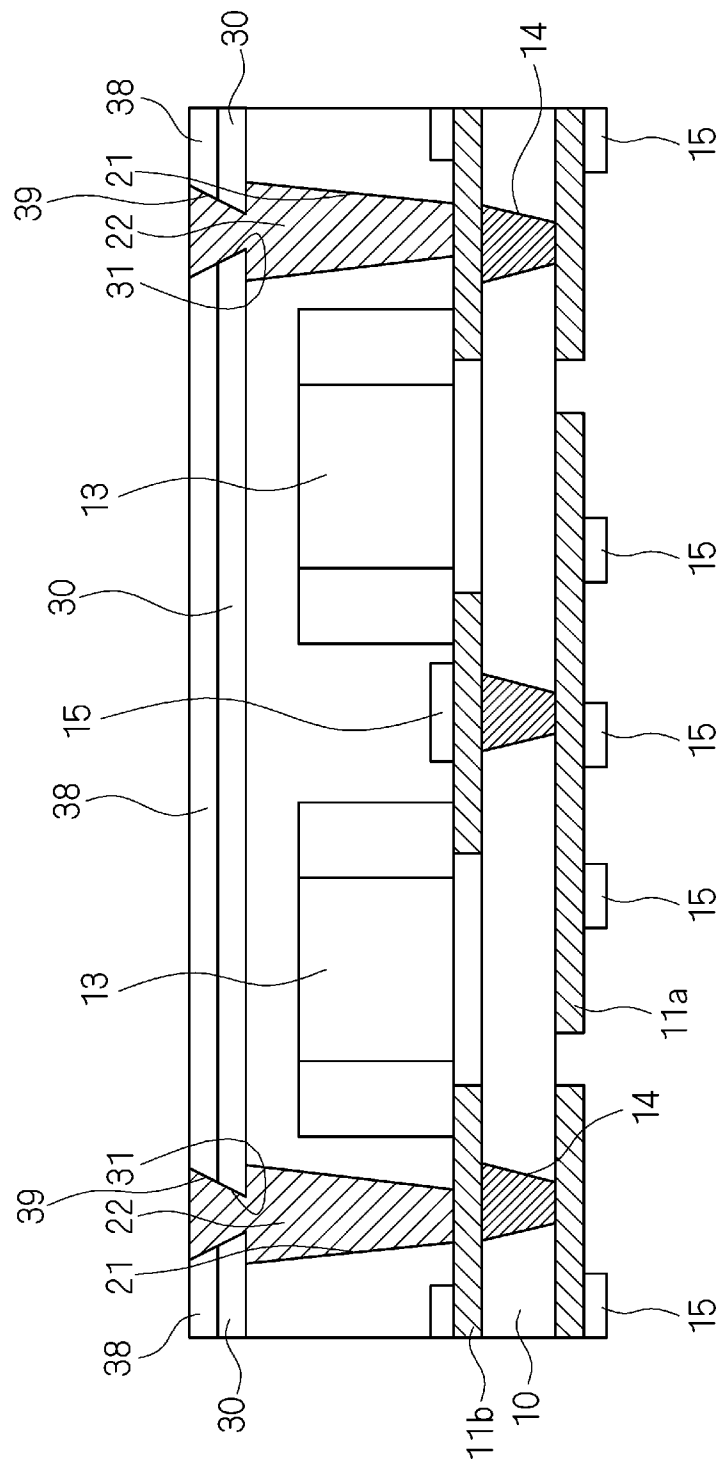
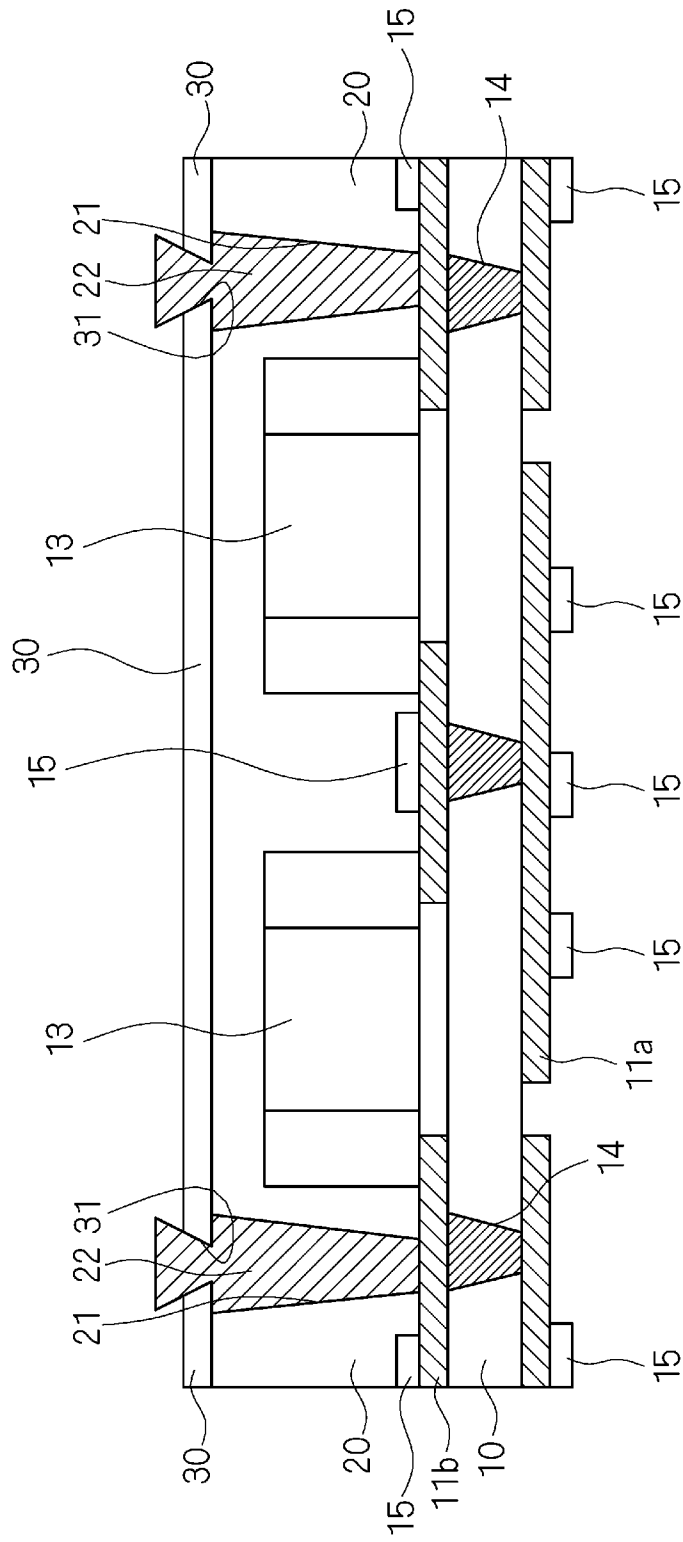


Figure 1 consists of three cross-sectional views of a semiconductor device, labeled (a), (b), and (c). Each view shows a base 10 with a layer 20, a layer 11b, and a layer 21. A layer 30 is on top of 21, and a layer 31 is on top of 30. A layer 38 is on top of 31, and a layer 39 is on top of 38. In view (b), a layer 300 is on top of 31. In view (c), a layer 300 is on top of 31 and a layer 38 is on top of 39.

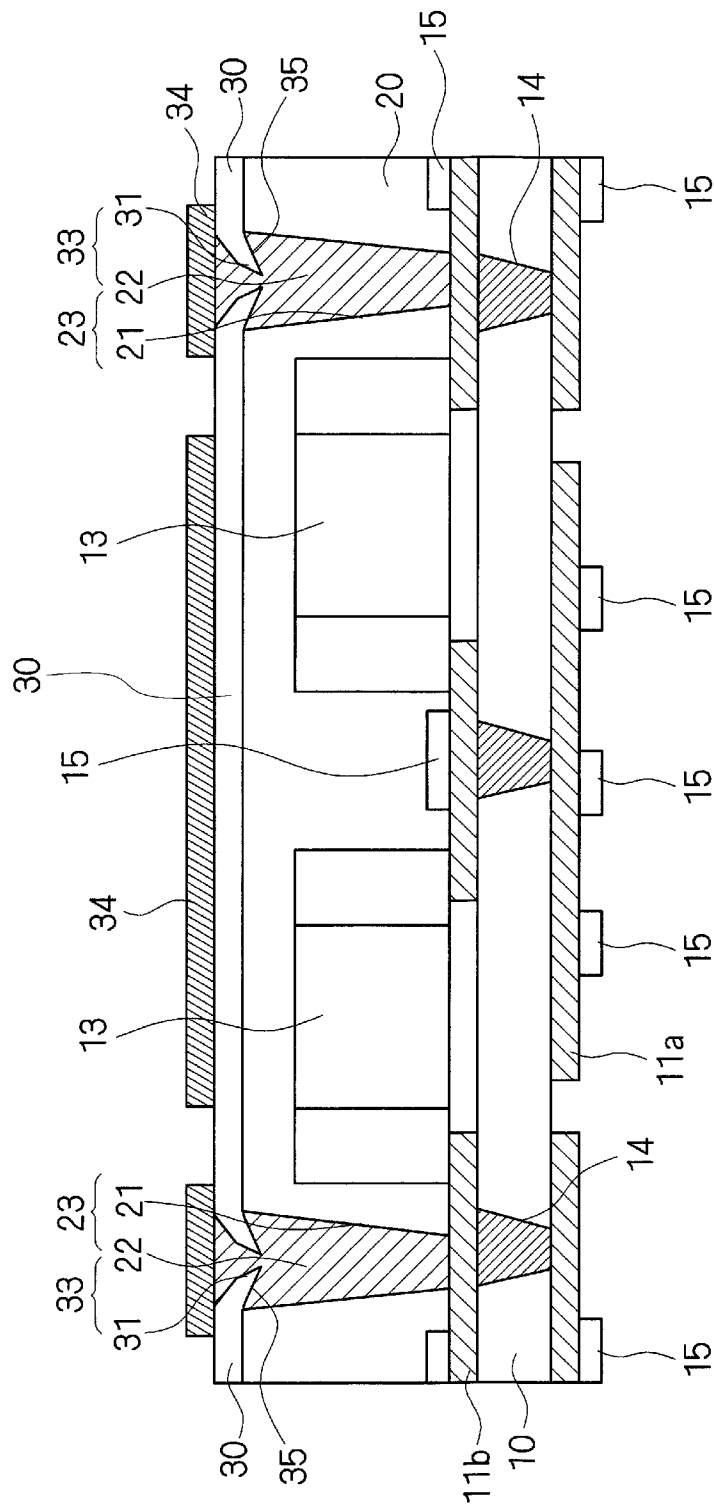
[図8]



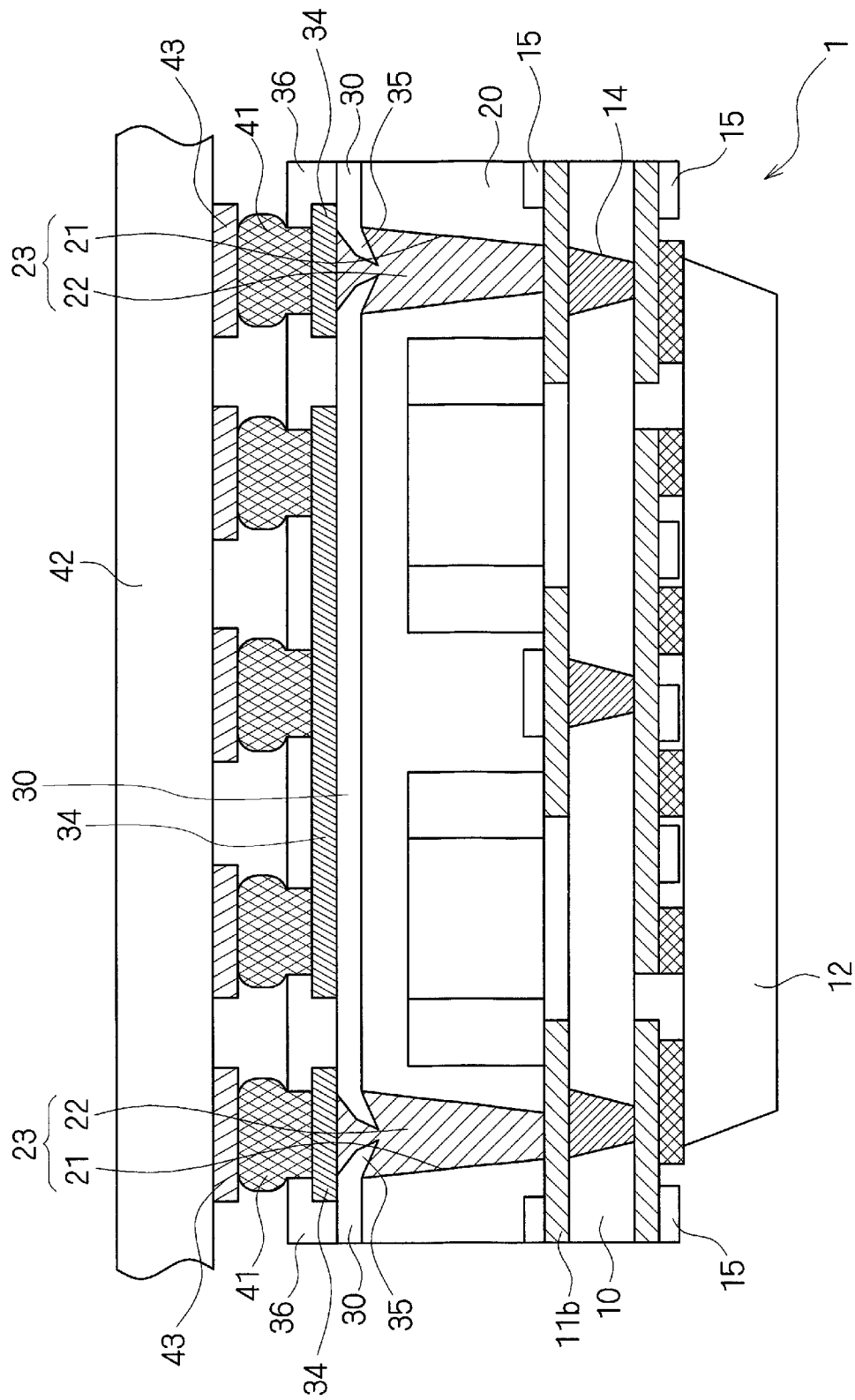
[図9]



[図11]

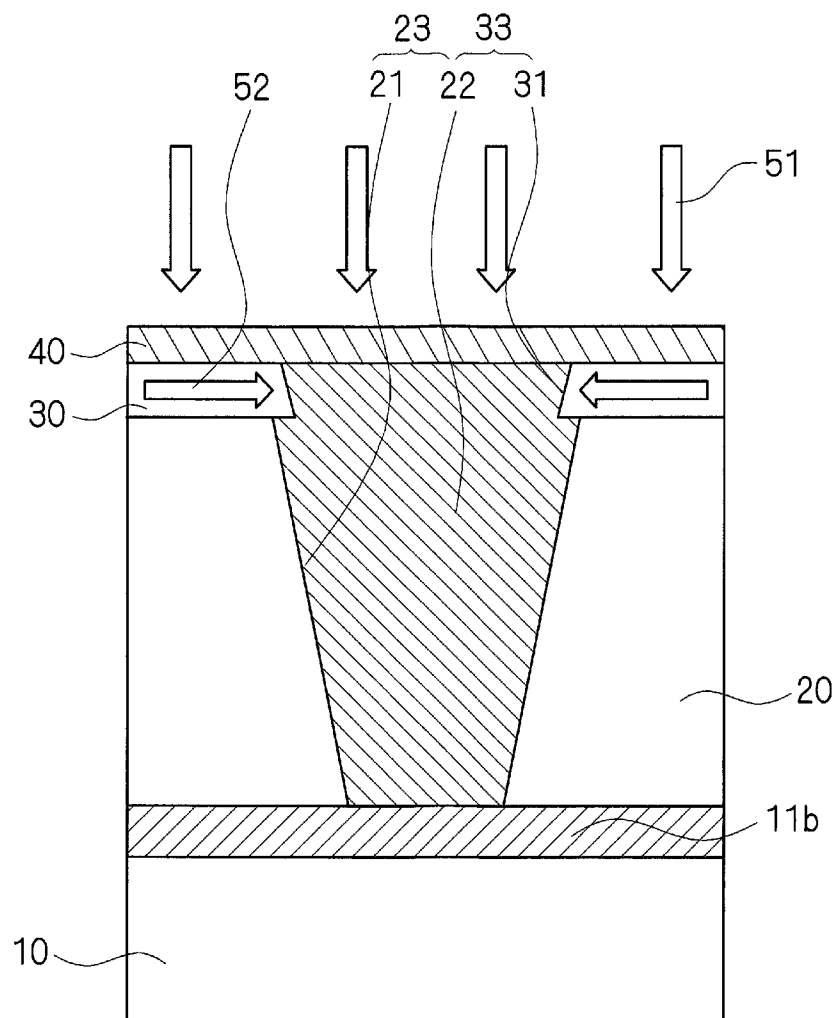


[図12]

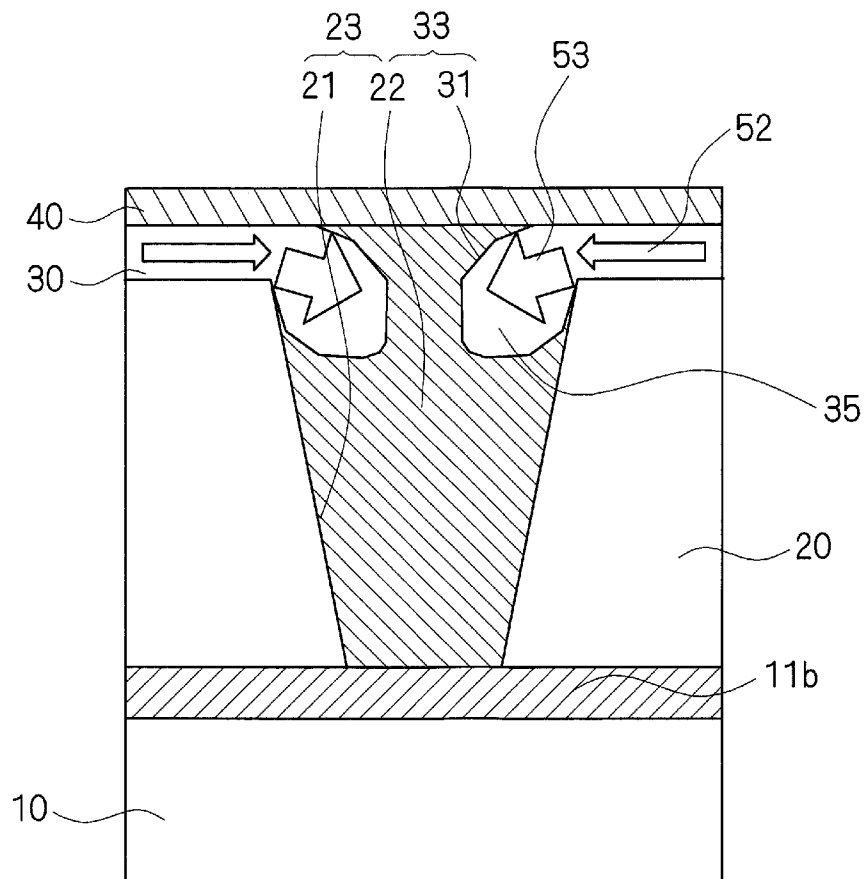


A detailed cross-sectional view of a semiconductor device 1. The device features a central channel region 13 flanked by two gate regions 20. Each gate region 20 is composed of a gate stack 25 and a gate electrode 15. The gate stack 25 includes a gate insulating layer 30 and a gate electrode layer 34. The gate electrode 15 is positioned between the gate insulating layer 30 and the gate electrode layer 34. The channel region 13 is defined by the gate regions 20 and is surrounded by a channel insulating layer 35. The device is shown in a cross-sectional view, with the channel region 13 and gate regions 20 being the primary components. The gate stack 25 and gate electrode 15 are shown in a cross-sectional view, with the gate insulating layer 30 and gate electrode layer 34 being the primary components. The channel insulating layer 35 is shown in a cross-sectional view, with the channel region 13 and gate regions 20 being the primary components. The device is shown in a cross-sectional view, with the channel region 13 and gate regions 20 being the primary components.

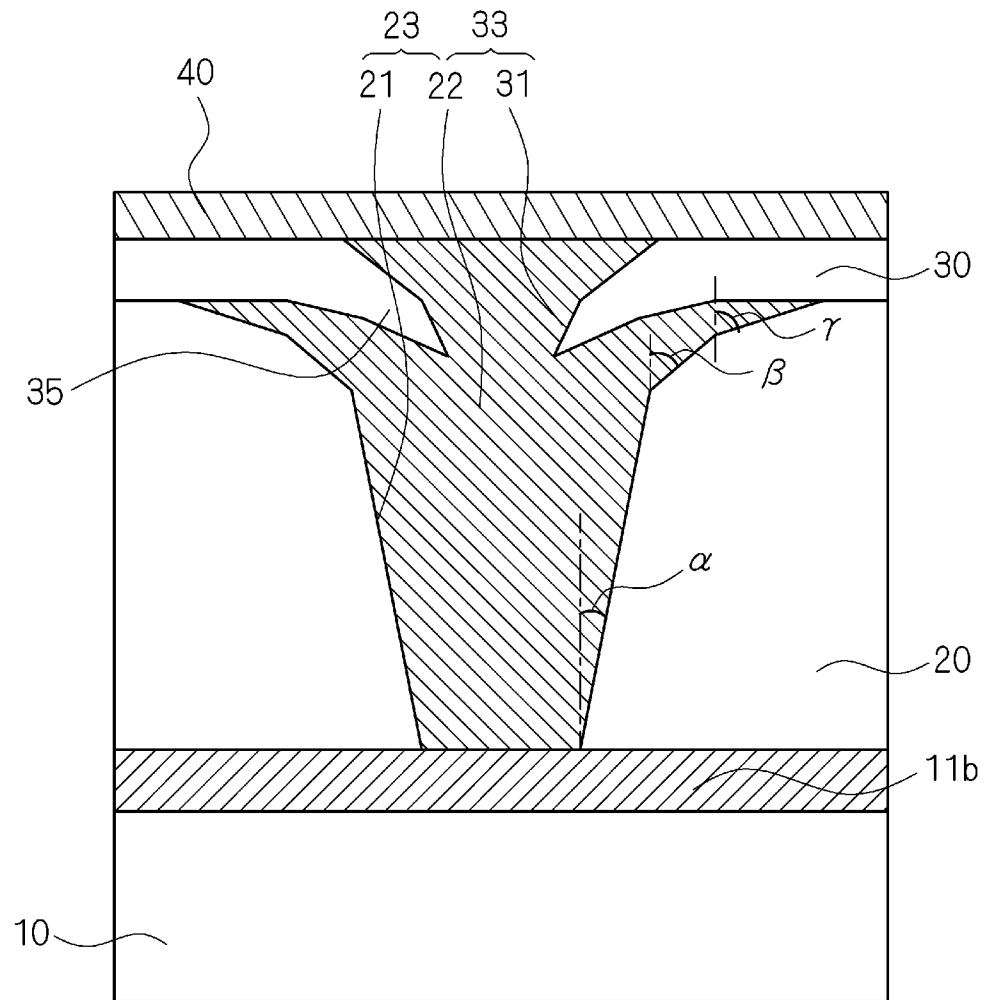
[図14]



[図15]



[図16]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2010/064253

A. CLASSIFICATION OF SUBJECT MATTER

H05K3/40(2006.01)i, H01L23/12(2006.01)i, H05K1/11(2006.01)i, H05K3/46(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H05K3/40, H01L23/12, H05K1/11, H05K3/46

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2010
Kokai Jitsuyo Shinan Koho	1971-2010	Toroku Jitsuyo Shinan Koho	1994-2010

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2009/081853 A1 (Murata Mfg. Co., Ltd.), 02 July 2009 (02.07.2009), fig. 5 to 8 & JP 004434315 B	1-12
A	JP 2001-244636 A (Ibiden Co., Ltd.), 07 September 2001 (07.09.2001), fig. 7 (Family: none)	1-12
A	JP 2003-69228 A (Ibiden Co., Ltd.), 07 March 2003 (07.03.2003), fig. 13 (Family: none)	1-12



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
20 October, 2010 (20.10.10)Date of mailing of the international search report
02 November, 2010 (02.11.10)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H05K3/40(2006.01)i, H01L23/12(2006.01)i, H05K1/11(2006.01)i, H05K3/46(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H05K3/40, H01L23/12, H05K1/11, H05K3/46

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 0 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 0 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 0 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	WO 2009/081853 A1（株式会社村田製作所）2009.07.02, 第5 - 8 図 & JP 004434315 B	1-12
A	JP 2001-244636 A（イビデン株式会社）2001.09.07, 第7 図（ファ ミリーなし）	1-12
A	JP 2003-69228 A（イビデン株式会社）2003.03.07, 第1 3 図（ファ ミリーなし）	1-12

C 欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

2 0 . 1 0 . 2 0 1 0

国際調査報告の発送日

0 2 . 1 1 . 2 0 1 0

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目4 番3 号

特許庁審査官（権限のある職員）

原 泰造

3 S

9 7 2 1

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 3 9 1