



(12) 发明专利

(10) 授权公告号 CN 102007586 B

(45) 授权公告日 2013. 09. 25

(21) 申请号 200980113810. 5

H01L 21/205 (2006. 01)

(22) 申请日 2009. 04. 10

H01L 29/786 (2006. 01)

(30) 优先权数据

2008-109657 2008. 04. 18 JP

(56) 对比文件

CN 1386301 A, 2002. 12. 18, 全文.

KR 10-0679742 B1, 2007. 02. 07, 全文.

CN 1992102 A, 2007. 07. 04, 全文.

(85) PCT申请进入国家阶段日

2010. 10. 15

(86) PCT申请的申请数据

PCT/JP2009/057711 2009. 04. 10

审查员 陈敏

(87) PCT申请的公布数据

W02009/128522 EN 2009. 10. 22

(73) 专利权人 株式会社半导体能源研究所

地址 日本神奈川县

(72) 发明人 宫入秀和 大力浩二 惠木勇司

神保安弘 伊佐敏行

(74) 专利代理机构 上海专利商标事务所有限公

司 31100

代理人 侯颖嫒

(51) Int. Cl.

H01L 21/336 (2006. 01)

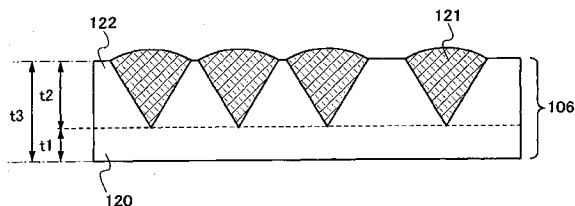
权利要求书2页 说明书25页 附图26页

(54) 发明名称

薄膜晶体管及其制造方法

(57) 摘要

所公开的是一种薄膜晶体管,该薄膜晶体管在具有绝缘表面的衬底上包括:覆盖栅电极的栅极绝缘层;起沟道形成区域作用的半导体层;以及包含赋予一导电类型的杂质元素的半导体层。该半导体层以多个晶粒分散在非晶硅中且晶粒具有倒锥形或倒金字塔形的状态存在。晶粒沿半导体层沉积的方向大致放射状生长。倒锥形或倒金字塔形的晶粒的顶点远离栅极绝缘层与半导体层之间的界面。



1. 一种用于制造薄膜晶体管的方法,所述方法包括如下步骤:
在具有绝缘表面的衬底上形成栅电极;
在所述栅电极上使用氧化硅、氮化硅、氧氮化硅或氮氧化硅形成栅极绝缘层;
将所述栅极绝缘层暴露于通过包含氮的气体产生的等离子体;
通过使用包含半导体材料气体和含氮气体的混合气体在所述栅极绝缘层上形成半导体层,其中所述含氮气体的浓度随着所述半导体层的形成的进行而下降;
在所述半导体层上形成源区及漏区,其中所述源区及漏区包含半导体及对所述半导体赋予一导电类型的杂质;以及
在所述源区及漏区上分别形成源电极及漏电极。
2. 如权利要求1所述的方法,其特征在于,
所述包含氮的气体为氨气。
3. 如权利要求1所述的方法,其特征在于,
所述包含氮的气体为包含氨气及氢气的混合气体。
4. 如权利要求1所述的方法,其特征在于,
使用包含所述半导体材料气体及稀释气体的所述混合气体进行所述半导体层的形成,其中,所述半导体材料气体选自氢化硅、氟化硅以及氯化硅,且
所述稀释气体选自氢气、氮气以及氨气。
5. 如权利要求1所述的方法,其特征在于,
所述栅极绝缘层通过使用选自氧化硅、氮化硅、氧氮化硅和氮氧化硅的材料来形成。
6. 如权利要求1所述的方法,其特征在于,
所述栅极绝缘层具有其中氧氮化硅层层叠在氮化硅层上的叠层结构。
7. 一种用于制造薄膜晶体管的方法,所述方法包括如下步骤:
在具有绝缘表面的衬底上形成栅电极;
在处理室中,在所述栅电极上使用氧化硅、氮化硅、氧氮化硅或氮氧化硅形成栅极绝缘层;
将所述栅极绝缘层暴露于通过包含氮的气体产生的等离子体;
从所述处理室除去所述衬底;
使用氮化硅覆盖所述处理室的内壁;
将所述衬底设置在所述处理室中;
在所述处理室中,通过使用包含半导体材料气体和含氮气体的混合气体在所述栅极绝缘层上形成半导体层,其中所述含氮气体的浓度随着所述半导体层的形成的进行而下降;
在所述半导体层上形成源区及漏区,其中所述源区及漏区包含半导体及对所述半导体赋予一导电类型的杂质;以及
在所述源区及漏区上分别形成源电极及漏电极。
8. 如权利要求7所述的方法,其特征在于,
使用包含所述半导体材料气体及稀释气体的所述混合气体进行所述半导体层的形成,其中,所述半导体材料气体选自氢化硅、氟化硅以及氯化硅,且
所述稀释气体选自氢气、氮气以及氨气。
9. 如权利要求7所述的方法,其特征在于,

所述栅极绝缘层通过使用选自氧化硅、氮化硅、氧氮化硅和氮氧化硅的材料来形成。

10. 如权利要求 7 所述的方法,其特征在于,

所述栅极绝缘层具有其中氧氮化硅层层叠在氮化硅层上的叠层结构。

11. 一种用于制造薄膜晶体管的方法,所述方法包括如下步骤:

在具有绝缘表面的衬底上形成栅电极;

在所述栅电极上使用氧化硅、氮化硅、氧氮化硅或氮氧化硅形成栅极绝缘层;

通过使用包含半导体材料气体及含氮气体的混合气体在所述栅极绝缘层上形成半导体层,其中所述含氮气体的浓度随着所述半导体层的形成的进行而下降;

在所述半导体层上形成源区及漏区,其中所述源区及漏区包含半导体及对所述半导体赋予一导电类型的杂质;以及

在所述源区及漏区上分别形成源电极及漏电极,

其中,所述半导体材料气体选自氢化硅气体、氟化硅气体及氯化硅气体,且

所述含氮气体选自氮气及氨气。

12. 如权利要求 11 所述的方法,其特征在于,

所述混合气体还包含氢气。

13. 如权利要求 11 所述的方法,其特征在于,

所述栅极绝缘层通过使用选自氧化硅、氮化硅、氧氮化硅和氮氧化硅的材料来形成。

14. 如权利要求 11 所述的方法,其特征在于,

所述栅极绝缘层具有其中氧氮化硅层层叠在氮化硅层上的叠层结构。

薄膜晶体管及其制造方法

技术领域

[0001] 本发明涉及薄膜晶体管及其制造方法、以及使用该薄膜晶体管的半导体装置及显示装置。

背景技术

[0002] 薄膜晶体管（以下也称为“TFT”）已在液晶显示器的技术领域中被广泛地应用。TFT 是一种场效应晶体管，它是根据形成沟道的半导体膜很薄的事实来命名的。现在，使用非晶硅或多晶硅作为该半导体薄膜来制造 TFT 的技术已被付诸应用。

[0003] 长期以来，与非晶硅或多晶硅相同，被称为“微晶硅”的半导体材料是公知的，并且也存在关于与场效应晶体管有关的微晶硅的报告（例如，参照专利文献 1：美国专利 No. 5, 591, 987）。然而，直到现在，与非晶硅晶体管和多晶硅晶体管相比，人们并未关注使用微晶硅的 TFT；其实用化存在延迟，且其报告仅见于学术观点（例如，参照非专利文件 1：Toshiaki Arai 等人，“SID’ 07 论文集”2007，第 1370-1373 页）。

[0004] 可以通过等离子体 CVD 法利用等离子体（弱电离等离子体）使源气分解而在诸如玻璃之类的具有绝缘表面的衬底上形成微晶硅膜；然而，因为反应在非平衡状态下进行，所以认为难以控制晶核生成或晶体生长。

[0005] 已经对微晶硅进行了各种研究。根据一种假说，微晶硅的生长机理如下：首先，原子随机构成的非晶相在衬底上生长，之后晶核开始生长（参照非专利文献 2：Hiroyuki Fujiwara 等人，“日本应用物理期刊（Jpn. J. Appl. Phys.）”第 41 卷，2002，第 2821-2828 页）。在非专利文献 2 中，因为当微晶硅的核开始生长时在非晶表面上观察到特异的硅-氢键，所以认为可以利用形成微晶硅膜时所使用的氢气浓度来控制微晶硅核的密度。

[0006] 另外，还研究了诸如氧、氮的杂质元素对微晶硅膜的生长表面造成的影响，并且已有如下报告：通过降低杂质浓度，微晶硅膜的晶粒的粒径增大，因此缺陷密度（具体是电荷缺陷密度）降低（参照非专利文献 3：Toshihiro Kamei 等人，“日本应用物理期刊（Jpn. J. Appl. Phys.）”第 37 卷，1998，第 L265-L268 页）。

[0007] 此外，存在为了改善 TFT 的工作特性而需要提高微晶硅膜的纯度的报告，并且已尝试了通过将氧浓度、氮浓度、碳浓度分别控制为 $5 \times 10^{16} \text{cm}^{-3}$ 、 $2 \times 10^{18} \text{cm}^{-3}$ 、 $1 \times 10^{18} \text{cm}^{-3}$ 来提高有效迁移率（参照非专利文献 4：C. -H. Lee 等人，“国际电子器件会议技术论文集（Int. Electron Devices Meeting Tech. Digest）”，2006，第 295-298 页）。另外，已报告了具有提高的有效迁移率的微晶半导体膜的制造，其中等离子体 CVD 的沉积温度被设定为 150°C 、氧浓度被降低到 $1 \times 10^{16} \text{cm}^{-3}$ （参照非专利文献 5：Czang-Ho 等人，“应用物理快报（Appl. Phys. Lett）”，第 89 卷，2006，第 252101 页）。

[0008] 发明公开

[0009] 然而，在通过在形成非晶硅膜之后设置由金属材料形成的光热转换层并执行激光辐照而形成微晶硅膜的方法中，可以提高结晶度；但是从生产率方面来看，相比通过激光退火形成的多晶硅膜并无优势。

[0010] 虽然在微晶硅核开始生长时在非晶表面观察到特异的硅-氢键,但是无法直接控制核生成位置和核生成密度。

[0011] 另外,通过提高微晶硅的纯度并降低杂质浓度,能得到晶粒的粒径增大且缺陷密度(具体是电荷缺陷密度)降低的微晶硅膜。然而,虽然这样的努力有助于改变微晶硅膜的物理性质,但这些策略不一定能改善 TFT 等的元件特性。这是因为:考虑到半导体元件是有意控制流过半导体中的电子或空穴导致的载流子流而进行工作的事实,改善元件特性要求改善有助于载流子流动的微晶硅膜的特定部分的膜质量。

[0012] 鉴于上述描述,本发明的一个实施例的目的在于控制微晶半导体膜或包含晶粒的半导体膜的膜质量从而改善以 TFT 为代表的半导体元件的工作特性。本发明的一个实施例的另一目的在于通过控制微晶半导体膜或包含晶粒的半导体膜的沉积过程来改善以 TFT 为代表的半导体元件的特性。再者,本发明的一个实施例的另一目的在于提高薄膜晶体管的导通电流。

[0013] 本发明的一个实施例如下:在形成非晶结构中包含多个晶体区域的半导体层时,通过控制作为晶体区域开始生长的起点的晶核的生成位置和生成密度,可控制该半导体层的质量。本发明的另一个实施例如下:在制造将非晶结构中包含多个晶体区域的半导体层作为沟道形成区的薄膜晶体管时,根据载流子流过的区域控制作为晶体区域开始生长的起点的晶核的生成位置和生成密度。

[0014] 以可以生成微晶半导体的混合比使用半导体源气(例如,氢化硅气体、氟化硅气体或氯化硅气体)和稀释气体作为反应气体来形成在非晶结构中包含多个晶体区域的半导体层。将该反应气体引入降低了氧浓度的超高真空反应室内,并维持预定压力以产生辉光放电等离子体。由此,在安装于反应室内的衬底上沉积膜。在沉积初期阶段,允许阻碍晶核生成的杂质元素被包括在反应室中,并逐渐降低该杂质元素的浓度,藉此生成晶核,并且基于晶核形成晶体区域。

[0015] 优选使用氮或氮化物作为阻碍晶核生成的杂质。在使半导体层中包括氮的情况下,通过 SIMS 测量的该半导体层中的氮浓度为 $1 \times 10^{20} \text{cm}^{-3}$ 至 $1 \times 10^{21} \text{cm}^{-3}$ 。通过 SIMS 测量的栅极绝缘层和半导体层的界面附近的氮的峰值浓度为 $3 \times 10^{20} \text{cm}^{-3}$ 至 $1 \times 10^{21} \text{cm}^{-3}$,并且通过使氮浓度从该界面附近沿半导体层的厚度方向逐渐降低,可控制作为晶体区域开始生长的核生成位置和核生成密度。

[0016] 注意,作为抑制晶核生成的杂质元素,选择被包括在硅中时不捕获载流子的杂质元素。另一方面,降低产生硅的悬空键的杂质元素(例如,氧)的浓度。就是说,优选通过 SIMS 测量的氧浓度小于或等于 $5 \times 10^{18} \text{cm}^{-3}$ 。

[0017] 本发明的一个实施例的薄膜晶体管具有在非晶结构中包含多个晶体区域的半导体层。在该半导体层上设置有形成源区及漏区的包含赋予一导电型的杂质元素的一对半导体层。

[0018] 注意,在本说明书中,浓度是通过二次离子质谱分析法(以下称为 SIMS)测得的。然而,当描述其他测量方法时并无特殊限制。

[0019] 注意,在本说明书中,导通电流是当晶体管导通时流过源电极和漏电极之间的电流。

[0020] 另外,截止电流是指当晶体管处于截止状态时流过源电极和漏电极之间的电流。

例如,在 N 型晶体管的情况下,截止电流是当晶体管的栅极电压比阈值电压低时流过源电极和漏电极之间的电流。

[0021] 在非晶结构中包含多个晶体区域的半导体层中,本发明允许控制晶体区域的产生密度和产生位置。通过将这种半导体层用作薄膜晶体管的沟道形成区域,可以提高导通电流。

附图说明

[0022] 在附图中:

[0023] 图 1 是说明薄膜晶体管的示例的视图;

[0024] 图 2 是说明薄膜晶体管中包括的半导体层的视图;

[0025] 图 3A 至 3C 是说明薄膜晶体管的制造方法的示例的视图;

[0026] 图 4A 至 4C 是说明薄膜晶体管的制造方法的示例的视图;

[0027] 图 5A 至 5C 是说明薄膜晶体管的制造方法的示例的视图;

[0028] 图 6 是说明可应用于薄膜晶体管的制造方法的装置的视图;

[0029] 图 7 是示出薄膜晶体管的制造方法的示例的视图;

[0030] 图 8A 和 8B 是说明薄膜晶体管的制造方法的示例的视图;

[0031] 图 9 是示出薄膜晶体管的制造方法的示例的视图;

[0032] 图 10 是示出薄膜晶体管的制造方法的示例的视图;

[0033] 图 11 是示出薄膜晶体管的制造方法的示例的视图;

[0034] 图 12 是说明薄膜晶体管的示例的视图;

[0035] 图 13A 至 13C 是说明薄膜晶体管的制造方法的示例的视图;

[0036] 图 14A 至 14C 是说明薄膜晶体管的制造方法的示例的视图;

[0037] 图 15A 至 15C 是说明薄膜晶体管的制造方法的示例的视图;

[0038] 图 16A 至 16C 是说明薄膜晶体管的制造方法的示例的视图;

[0039] 图 17 是说明电子设备的视图;

[0040] 图 18 是说明电子设备的视图;

[0041] 图 19 是说明电子设备的视图;

[0042] 图 20A 是说明电子设备的平面图,且图 20B 是该电子设备的横截面图;

[0043] 图 21A 至 21C 分别是说明电子设备的视图;

[0044] 图 22A 至 22D 分别是说明电子设备的视图;

[0045] 图 23 是电子设备的框图;以及

[0046] 图 24A 至 24C 是说明电子设备的视图。

[0047] 实施本发明的最佳方式

[0048] 下面,将参照附图详细说明本发明的实施例。注意,所属技术领域的普通技术人员很容易理解,本发明不限于以下说明,且其形式及细节在不脱离本发明的宗旨及其范围的情况下可以进行多种改变。因此,本发明不应该被解释为仅限于以下实施例的描述。注意,在参照附图进行的描述中,在不同附图中使用相同的附图标记来表示相同的部分。相同的阴影图案应用于相似部分,且在一些情况下相似部分不特别标注。

[0049] 实施例 1

[0050] 在本实施例中,将参照附图描述薄膜晶体管的方式的示例。

[0051] 图 1 是根据本实施例的薄膜晶体管的俯视图及横截面图。图 1 所示的薄膜晶体管包括衬底 100 上的栅电极层 102、覆盖栅电极层 102 的栅极绝缘层 104、设置在栅极绝缘层 104 上并与其接触的半导体层 106、以及设置在半导体层 106 上并与其接触的源区及漏区 110。另外,该薄膜晶体管包括在源区及漏区 110 上并与其接触的布线层 112。布线层 112 形成源电极及漏电极。该薄膜晶体管包括在布线层 112 上的起到保护膜作用的绝缘层 114。另外,各个层被图案化成所希望的形状。

[0052] 注意,图 1 所示的薄膜晶体管可以应用于设置在液晶显示装置的像素部中的像素晶体管。由此,在图 1 所示的示例中,在绝缘层 114 中设置开口,在绝缘层 114 上设置像素电极层 116,以使像素电极层 116 和布线层 112 之一相互连接。

[0053] 另外,源电极及漏电极中的一者被形成为 U 字形状(倒 C 形或马蹄形),且包围源电极和漏电极中的另一者。源电极和漏电极之间的距离被保持大致恒定(参照图 1)。

[0054] 薄膜晶体管的源电极及漏电极具有上述形状,藉此可以增大该薄膜晶体管的沟道宽度,从而增大电流量。另外,可以减少电特性的不均匀性。再者,可以抑制因制造工序中的掩模图案未对准而导致的可靠性的降低。然而,不局限于此,源电极及漏电极中的一者不一定具有 U 字形状。

[0055] 在此,对作为图 1 所示的薄膜晶体管的主要特征之一的半导体层 106 进行说明。半导体层 106 用作薄膜晶体管的沟道形成区域。在半导体层 106 中,包括晶体半导体的晶粒分散地存在于具有非晶结构的半导体层中(参照图 2)。

[0056] 半导体层 106 包括第一区域 120 和第二区域 122。第一区域 120 具有非晶结构。第二区域 122 具有以分散方式存在的多个晶粒 121 和多个晶粒 121 之间的非晶结构。第一区域 120 设置在栅极绝缘层 104 上并与其接触,并且距离第一区域 120 和栅极绝缘层 104 的界面具有厚度 t_1 。第二区域 122 设置在第一区域 120 上并与其接触,并且具有厚度 t_2 。就是说,晶粒 121 的核生成位置沿半导体层 106 的厚度方向上被控制,以便核生成位置位于距离第一区域 120 和栅极绝缘层 104 的界面 t_1 的位置处。晶粒 121 的核生成位置由包含在半导体层 106 中的抑制结晶化的杂质元素的浓度(例如氮浓度)控制。

[0057] 晶粒 121 具有倒锥形或倒金字塔形。在此,“倒锥形或倒金字塔形”表示三维形状,且由 (i) 由多个平面构成的底面 (ii) 连接所述底面的外周和存在于所述底面外部的顶点而成的线构成,并且该顶点位于衬底侧。换言之,“倒锥形或倒金字塔形”是从远离栅极绝缘层 104 和半导体层 106 的界面的一位置沿半导体层 106 沉积的方向以大致放射状生长的晶粒 121 的形状。分散形成的各个晶核在半导体层的形成期间沿晶体取向生长,藉此晶粒以晶核为起点开始生长以沿与晶体的生长方向垂直的面的面内方向扩展。该半导体层具有此类晶粒,藉此其导通电流相比于非晶半导体的导通电流提高。另外,晶粒 121 包含单晶或双晶。在此,具有倒锥形或倒金字塔形的晶粒 121 的侧表面的晶面方向对齐,从而其侧面(连接周边与顶点的线)平直(图 2)。由此,可以认为晶粒 121 接近于单晶或包括双晶的形式,而不是包括多个晶体的形式。在包括双晶的形式(的情况下),相比于包括多个晶体的情况,悬空键数量少、缺陷数量少且截止电流小。此外,在包括双晶的形式(的情况下),与含有多个晶体的形式(的情况下)相比,晶界数量少且导通电流大。注意,晶粒 121 可以含有多个晶体。

[0058] 注意,术语“双晶”是指两个不同晶粒在晶粒界面处以极好的一致性彼此接合。即,

“双晶”具有晶格在晶粒界面处连续排列,从而源于晶体缺陷等的陷阱能级难以形成的结构。据此,可以认为在具有这种晶体结构的区域中实际上不存在晶界。

[0059] 注意,作为抑制晶核生成的杂质元素,选择被包含在硅中时不捕获载流子的杂质元素(例如,氮)。另一方面,降低生成硅的悬空键的杂质元素(例如,氧)的浓度。由此,优选降低氧浓度而不降低氮浓度。具体而言,优选通过 SIMS 测得的氧浓度小于或等于 $5 \times 10^{18} \text{cm}^{-3}$ 。

[0060] 另外,在栅极绝缘层 104 的表面上存在氮的情况下形成半导体层 106。在此,因为氮浓度决定核生成位置,所以氮浓度很重要。当在存在氮的栅极绝缘层 104 上形成半导体层 106 时,首先形成第一区域 120,然后形成第二区域 122。在此,第一区域 120 和第二区域 122 之间的界面的位置取决于氮浓度。当通过 SIMS 测得的氮浓度大于或等于 $1 \times 10^{20} \text{cm}^{-3}$ 且小于或等于 $1 \times 10^{21} \text{cm}^{-3}$ 、优选大于或等于 $2 \times 10^{20} \text{cm}^{-3}$ 且小于或等于 $7 \times 10^{20} \text{cm}^{-3}$ 时,晶核生成,从而第二区域 122 形成。就是说,在作为晶粒 121 开始生长的起点的晶核生成位置中,通过 SIMS 测得的氮浓度大于或等于 $1 \times 10^{20} \text{cm}^{-3}$ 且小于或等于 $1 \times 10^{21} \text{cm}^{-3}$ 、优选大于或等于 $2 \times 10^{20} \text{cm}^{-3}$ 且小于或等于 $7 \times 10^{20} \text{cm}^{-3}$ 。换言之,在具有倒锥形或倒金字塔形的晶粒 121 的顶点处,通过 SIMS 测得的氮浓度大于或等于 $1 \times 10^{20} \text{cm}^{-3}$ 且小于或等于 $1 \times 10^{21} \text{cm}^{-3}$ 、优选大于或等于 $2 \times 10^{20} \text{cm}^{-3}$ 且小于或等于 $7 \times 10^{20} \text{cm}^{-3}$ 。

[0061] 另外,氮浓度随着离栅极绝缘层 104 与半导体层 106 之间的界面的距离的增加而逐渐下降。从栅极绝缘层 104 与半导体层 106 之间的界面起,氮浓度优选在离栅极绝缘层 104 与半导体层 106 之间的界面大于等于 25nm 且小于或等于 40nm 的范围内减少一个数位,更优选在大于或等于 30nm 且小于或等于 35nm 的范围内减少一个数位。

[0062] 如上所述,晶粒是分散存在的。为了使晶粒分散存在,需要控制晶核的生成密度。氮浓度被设定在上述范围内,藉此可控制晶核的生成密度,且晶粒可分散存在。

[0063] 注意,当抑制晶核生成的杂质元素以高浓度(通过 SIMS 测得的杂质元素的浓度约大于或等于 $1 \times 10^{20} \text{cm}^{-3}$)存在时,晶体生长也被抑制;因此,只对其上形成了半导体层 106 的表面添加要包含在半导体层 106 中的氮,或仅在其形成半导体层 106 的初期引入氮。

[0064] 接下来,将对图 1 所示的薄膜晶体管的制造方法进行描述。与 p 沟道薄膜晶体管相比, n 沟道薄膜晶体管的载流子迁移率高。优选在一衬底上形成的所有薄膜晶体管具有相同极性,因为这样可以减少制造步骤数量。由此,在本实施例中,将对 n 沟道薄膜晶体管的制造方法进行描述。

[0065] 首先,在衬底 100 上形成栅电极层 102(参照图 3A)。

[0066] 作为衬底 100,除了可以使用玻璃衬底、陶瓷衬底以外,还可以使用具有可承受本制造工艺中的处理温度的耐热性的塑料衬底等。在衬底不需要透光性的情况下,可使用其中在诸如不锈钢合金等的金属衬底表面上设置绝缘层的衬底。作为玻璃衬底,可以使用利用钡硼硅玻璃、铝硼硅玻璃或铝硅玻璃等形成的无碱玻璃衬底。在衬底 100 为母体玻璃的情况下,不仅可以使第一代(例如, $320 \text{mm} \times 400 \text{mm}$)至第七代(例如, $1870 \text{mm} \times 2200 \text{mm}$)或第八代(例如, $2200 \text{mm} \times 2400 \text{mm}$)的衬底,还可以使用第一代至第九代(例如, $2400 \text{mm} \times 2800 \text{mm}$)或第十代(例如, $2950 \text{mm} \times 3400 \text{mm}$)的衬底。

[0067] 可以通过使用钼、钛、铬、钽、钨、铝、铜、钕或铈等的金属或以这些金属为主要成分的合金以单层或叠层方式形成栅电极层 102。在使用铝的情况下,优选使用其中铝与钼合

金化的 Al-Ta 合金,因为这样可以抑制小丘的产生。此外,更优选使用其中铝与钽合金化的 Al-Nd 合金,因为这样可以抑制电阻的增大并且抑制小丘的产生。替代地,也可以使用 AgPdCu 合金或以诸如磷的杂质元素掺杂的多晶硅为代表的半导体。例如,在铝层上层叠钼层的双层结构、在铜层上层叠钼层的双层结构、或者在铜层上层叠氮化钛层或氮化钼层的双层结构是优选的。当在低电阻的层上层叠起阻挡层作用的金属层时,可以降低电阻,并且可以防止金属元素从金属层扩散到半导体层中。替代地,也可以采用包括氮化钛层和钼层的双层结构或者其中层叠了厚度为 50nm 的钨层、厚度为 500nm 的铝和硅的合金层、以及厚度为 30nm 的氮化钛层的三层结构。在采用三层结构的情况下,可以使用氮化钨层代替第一导电层的钨层;使用铝-钛合金层代替第二导电层的铝-硅合金层;或可以使用钛层代替第三导电层的氮化钛层。例如,当在 Al-Nd 合金层上层叠钼层时,可以形成具有优越的耐热性和低电阻的导电层。

[0068] 可以通过溅射法或真空蒸镀法等使用上述材料在衬底 100 上形成导电层,通过光刻法或喷墨法等在该导电层上形成抗蚀剂掩模,并使用该抗蚀剂掩模蚀刻导电层,来形成栅电极层 102。替代地,也可以通过喷墨法将银、金或铜等的导电纳米浆料喷射在衬底上并烘焙导电浆料来形成栅电极层 102。注意,可以在衬底 100 和栅电极层 102 之间设置任一种上述金属的氮化物层。在此,在衬底 100 上形成导电层,然后利用使用光掩模形成的抗蚀剂掩模进行蚀刻。

[0069] 注意,优选将栅电极层 102 的侧面形成为锥形。这是为了当在后面的工序中将半导体层及布线层等形成在栅电极层 102 上时,防止在阶梯状部分处形成缺陷。为了将栅电极层 102 的侧面形成为锥形,可在使抗蚀剂掩模缩小的同时进行蚀刻。例如,通过在蚀刻气体(例如,氯气)中包含氧气,可以在使抗蚀剂掩模变薄的同时进行蚀刻。

[0070] 通过形成栅电极层 102 的工序,可以同时形成栅极布线(扫描线)。而且,还可以同时形成像素部中包括的电容器线。注意,“扫描线”是指用于选择像素的布线,而“电容器线”是指连接至像素中的储能电容器的一个电极的布线。然而,不局限于此,也可以分别形成栅电极层 102 及栅极布线与电容器布线中的一者或二者。

[0071] 接下来,形成栅极绝缘层 104 以覆盖栅电极层 102(参照图 3B)。可以通过 CVD 法或溅射法等使用氧化硅、氮化硅、氧氮化硅或氮氧化硅以单层或叠层方式形成栅极绝缘层 104。另外,优选使用高频率(1GHz 左右)的微波等离子体 CVD 装置形成栅极绝缘层 104。当通过具有高频率的微波等离子体 CVD 装置形成栅极绝缘层 104 时,可以提高栅电极与漏电极及源电极之间的耐电压;因此,可获得高可靠性的薄膜晶体管。另外,使用氧氮化硅形成栅极绝缘层 104,从而可抑制晶体管的阈值电压的波动。

[0072] 在本说明书中定义的氧氮化硅中的氧含量大于氮含量,并且使用卢瑟福背散射质谱测量法(RBS)及氢前向散射法(HFS)的测量结果显示氧、氮、硅以及氢的组分范围分别为 50 原子%至 70 原子%、0.5 原子%至 15 原子%、25 原子%至 35 原子%、以及 0.1 原子%至 10 原子%。另外,氮氧化硅中的氮含量大于氧含量,并且使用 RBS 及 HFS 的测量结果显示氧、氮、硅以及氢的组分范围分别为 5 原子%至 30 原子%、20 原子%至 55 原子%、25 原子%至 35 原子%、以及 10 原子%至 30 原子%。注意,氮、氧、硅及氢的百分比落在上述范围内,其中氧氮化硅或氮氧化硅中包含的原子总数被定义为 100 原子%。

[0073] 注意,在使用氮化硅形成栅极绝缘层 104 的情况下,通过在栅极绝缘层 104 上形成

薄的氮化硅层,可以抑制在薄膜晶体管的工作初期产生的劣化。在此,将氮化硅层形成得极薄,只要其厚度大于或等于 1nm。该厚度优选大于或等于 1nm 且小于或等于 3nm。

[0074] 接下来,对半导体层 106 的形成方法进行描述。将半导体层 106 形成为大于或等于 2nm 且小于或等于 60nm 的厚度,更优选为大于或等于 10nm 且小于或等于 30nm 的厚度。

[0075] 另外,如上所述,半导体层 106 包括倒锥形或倒金字塔形的晶粒。例如,通过降低半导体层 106 中的氧浓度且使氮浓度高于氧浓度,并且根据晶粒的生长方向逐渐降低氮浓度,可以形成倒锥形或倒金字塔形的晶粒同时控制晶粒的核生成。在此,优选氮浓度比氧浓度高一个数位以上。更具体地说,通过 SIMS 测量的栅极绝缘层 104 和半导体层 106 之间的界面处的氧浓度小于或等于 $5 \times 10^{18} \text{cm}^{-3}$,氮浓度大于或等于 $1 \times 10^{20} \text{cm}^{-3}$ 且小于或等于 $1 \times 10^{21} \text{cm}^{-3}$ 。另外,将氧浓度抑制得较低且使氮浓度高于氧浓度来形成倒锥形或倒金字塔形的晶粒。

[0076] 将氧浓度保持较低而使氮浓度高于氧浓度的一种方法是在形成半导体层 106 之前使栅极绝缘层 104 的表面上包括大量的氮的方法。为了使栅极绝缘层 104 的表面包括大量的氮,在形成栅极绝缘层 104 之后且形成半导体层 106 之前,利用由包含氮的气体生成的等离子体对栅极绝缘层 104 的表面进行处理。在此,作为包含氮的气体,可以举出氨为例。

[0077] 将氧浓度保持较低而使氮浓度高于氧浓度的另一方法是使与半导体层 106 接触的栅极绝缘层 104 中包含高浓度的氮的方法。因此,需要使用氮化硅形成栅极绝缘层 104。注意,将在实施例 2 中描述该方法。

[0078] 将氧浓度保持较低而使氮浓度高于氧浓度的另一方法是使用包含高浓度氮的膜覆盖用来形成半导体层 106 的处理室的内壁的方法。作为包含高浓度氮的材料,可以举出氮化硅为例。注意,也可以与栅极绝缘层 104 同时形成覆盖处理室内壁的包含高浓度氮的膜,这样可以简化工序,所以是优选的。另外,在此情况下,栅极绝缘层 104 和半导体层 106 在相同处理室中形成;因此,可以将装置小型化。注意,将在实施例 3 中对该方法进行描述。

[0079] 将氧浓度抑制得低且使氮浓度高于氧浓度的另一方法是将用来形成半导体层 106 的气体中包含的氧浓度抑制得较低并提高氮浓度的方法。此时,只对在将成为半导体层 106 的膜的形成初期使用的气体供给氮。替代地,逐渐减少要供给的氮量。注意,将在实施例 4 中描述该方法。

[0080] 为了将氧浓度抑制得较低而使氮浓度高于氧浓度,可以使用上述方法中的任一种,也可以组合使用这些方法。在本实施例中,栅极绝缘层 104 具有其中氮化硅层层叠在氮化硅层上的结构。形成栅极绝缘层 104,并且将栅极绝缘层 104 暴露于氨中,藉此为栅极绝缘层 104 的表面提供氮。

[0081] 在此,对形成栅极绝缘层 104、半导体层 106、以及源区及漏区 110 的示例进行详细说明。通过 CVD 法等形成这些层。另外,栅极绝缘层 104 具有其中氮化硅层形成在氮化硅层上的叠层结构。通过采用这种结构,氮化硅层可以防止包含在衬底中的不利地影响电特性的元素(在衬底为玻璃的情况下为诸如钠的元素)进入半导体层 106 等中。图 6 是示出用于形成这些层的 CVD 装置的示意图。

[0082] 图 6 所示的等离子体 CVD 装置 161 连接至气体供应装置 150 及排气装置 151。

[0083] 图 6 所示的等离子体 CVD 装置 161 包括处理室 141、载物台 142、气体供应部 143、簇射极板(shower plate)144、排气口 145、上部电极 146、下部电极 147、交流电源 148、以及

温度控制部 149。

[0084] 处理室 141 由具有刚性的材料形成,且其内部可以抽成真空。处理室 141 设置有上部电极 146 和下部电极 147。注意,在图 6 中示出了电容耦合型(平行板型)的结构;然而,还可以使用诸如电感耦合型等其他结构,只要通过施加两种以上的不同高频功率可以在处理室 141 中产生等离子体。

[0085] 在使用图 6 所示的等离子体 CVD 装置进行处理时,从气体供应部 143 引入预定气体。被引入的气体经过簇射极板 144 被引入到处理室 141 中。通过连接至上部电极 146 和下部电极 147 的交流电源 148 施加高频功率,使处理室 141 内的气体被激发,藉此产生等离子体。另外,通过连接于真空泵的排气口 145 排出处理室 141 内的气体。另外,通过温度控制部 149,可以在加热被处理对象的同时进行等离子体处理。

[0086] 气体供应装置 150 包括填充有反应气体的汽缸 152、压力调节阀 153、停止阀 154、以及质量流量控制器 155 等。处理室 141 包括在上部电极 146 和衬底 100 之间的被加工成板状并设置有多个孔的簇射极板。被引入上部电极 146 的反应气体经过内部的中空结构从这些孔引入处理室 141 内。

[0087] 连接于处理室 141 的排气装置 151 具有进行抽真空的功能和在使反应气体流动的情况下控制处理室 141 内的压力以使其保持预定水平的功能。排气装置 151 的结构包括蝶阀 156、导气阀 (conductance valve) 157、涡轮分子泵 158、干燥泵 159 等。在并联配置蝶阀 156 和导气阀 157 的情况下,关闭蝶阀 156 并使导气阀 157 工作,从而控制反应气体的排气速度从而将处理室 141 中的压力保持在预定范围内。此外,通过打开传导性高的蝶阀 156,可以进行抽高真空。

[0088] 在对处理室 141 抽超高真空直到其压力低于 10^{-5} Pa 的情况下,优选同时使用低温泵 160。替代地,在进行排气到超高真空作为极限真空度时,可将处理室 141 的内壁抛光成镜面,且处理室 141 可设置烘焙用加热器以减少从内壁的气体释放。

[0089] 注意,如图 6 所示,当执行预涂处理以形成(沉积)膜以覆盖整个处理室 141 时,可以防止附着在处理室 141 内壁的杂质元素或形成处理室 141 内壁的杂质元素混入元件中。在本实施例中,作为预涂处理,可形成以硅为主要成分的膜。例如,可形成非晶硅膜等。注意,优选该膜不包含氧。

[0090] 将参照图 7 说明从形成栅极绝缘层 104 直到形成包含作为供体的杂质元素的半导体层 109(也称为包含赋予一导电型的杂质元素的半导体层)的一系列步骤。注意,以在氮化硅层上层叠氧氮化硅层的方式来形成栅极绝缘层 104。

[0091] 首先,在 CVD 装置的处理室 141 内加热形成有栅电极层 102 的衬底,并且将用来形成氮化硅层的源气引入处理室 141 内(图 7 的“预处理 A1”)。在此,作为示例,引入源气并使其流量稳定,其中 SiH_4 的流量为 40sccm, H_2 的流量为 500sccm, N_2 的流量为 550sccm, NH_3 的流量为 140sccm,并且在处理室 141 内的压力为 100Pa、衬底温度为 280°C 的条件下进行 370W 的等离子体放电,藉此形成约 110nm 厚度的氮化硅层。之后,仅停止 SiH_4 的引入,并在几秒后停止等离子体放电(图 7 中的“ SiN_x 层的形成 B1”)。这是因为若在 SiH_4 存在于处理室 141 内的状态下停止等离子体放电,则形成以硅为主要成分的粒状物或粉状物,这导致生产率降低。注意,可使用 N_2 气体或 NH_3 气体。在使用它们的混合气体的情况下,适当地调节流量。另外,适当地调节 H_2 气体的引入及流量,而当不需要时也可以不引入氢气。

[0092] 接下来,排出用来形成氮化硅膜的源气,并且将用来形成氧氮化硅膜的源气引入处理室 141 内(图 7 中的“气体置换 C1”)。在此,作为示例,引入源气并使其流量稳定,其中 SiH_4 的流量为 30sccm 且 N_2O 的流量为 1200sccm,并且执行 50W 的等离子体放电,其中处理室 141 内的压力为 40Pa、衬底温度为 280℃,以形成约 110nm 厚度的氧氮化硅层。之后,与氮化硅层同样地,仅停止 SiH_4 的引入,并在几秒后停止等离子体放电(图 7 中的“ SiO_xN_y 层的形成 D1”)。

[0093] 通过上述工序,可以形成栅极绝缘层 104。在形成栅极绝缘层 104 之后,从处理室 141 取出衬底 100(图 7 中的“卸载 E1”)。

[0094] 在从处理室 141 取出衬底 100 之后,例如将 NF_3 气体引入处理室 141 中,以进行处理室 141 内部的清洗(图 7 的“清洗处理 F1”)。之后,在处理室 141 中进行形成非晶硅层的处理(图 7 的“预涂处理 G1”)。在此,将说明非晶硅膜的形成方法。将用来形成非晶硅膜的源气引入处理室 141 内。在此,示例作为示例,通过引入源气并使其稳定,其中 SiH_4 的流量为 280sccm, H_2 的流量为 300sccm,并且在处理室 141 内的压力为 170Pa、衬底温度为 280℃的条件下进行 60W 的等离子体放电,以形成大约 150nm 厚度的半导体层。之后,与上述的氮化硅层等的形成相似地,只停止 SiH_4 的引入,并在几秒后停止等离子体放电。之后,排出这些气体,引入用来形成包含作为供体的杂质元素的半导体层 109 的气体(图 7 的“气体置换 L1”)。通过该处理,在处理室 141 内壁上形成非晶硅层。替代地,也可以使用氮化硅进行预涂处理。这种情况下的处理与形成栅极绝缘层 104 的处理相似。之后,将衬底 100 传送到处理室 141 内(图 7 的“装载 N1”)。

[0095] 接下来,对栅极绝缘层 104 的表面供给氮。在此,通过将栅极绝缘层 104 暴露于氨气,而对栅极绝缘层 104 的表面供给氮(图 7 的“冲洗处理 I1”)。另外,也可以在氨气体中包含氢。在此,作为示例,处理室 141 内的压力为 20Pa 至 30Pa 左右,衬底温度为 280℃,处理时间为 60 秒。注意,虽然在本工序的处理中只执行对氨气体的暴露;然而,还可以进行等离子体处理。之后,排出用于上述处理的源气,并将用来形成半导体层 105 的源气引入处理室 141 内(图 7 的“气体置换 J1”)。

[0096] 接下来,在供给了氮的栅极绝缘层 104 的整个表面上形成半导体层 105。半导体层 105 在后面的工序中被图案化成为半导体层 106。首先,将用来形成半导体层 105 的源气引入处理室 141 内。在此,示例作为示例,通过引入源气并使其流量稳定,其中 SiH_4 的流量为 10sccm, H_2 的流量为 1500sccm,并且在处理室 141 内的压力为 280Pa、衬底温度为 280℃的条件下进行 50W 的等离子体放电,以形成约 50nm 厚的半导体层。之后,与上述的氮化硅层等的形成相似地,只停止 SiH_4 的引入,并在几秒后停止等离子体放电(图 7 的“半导体层的形成 K1”)。之后,排出这些气体,引入用来形成包含作为供体的杂质元素的半导体层 109 的气体(图 7 的“气体置换 L1”)。注意,不限于此,不一定要进行气体置换。

[0097] 在上述示例中,用来形成半导体层 105 的源气中的 H_2 的流量与 SiH_4 的流量之比为 150 : 1。由此,硅是逐渐沉积的。

[0098] 对本实施例中的栅极绝缘层 104 的表面供给氮。如上所述,氮抑制硅晶核的生成。由此,在形成半导体层 105 的初期阶段中硅晶核不生成。在形成半导体层 105 的初期阶段中形成的该层成为图 2 所示的第一区域 120。由于半导体层 105 是在固定条件下形成的,所以第一区域 120 和第二区域 122 在相同的条件下形成。如上所述,对栅极绝缘层 104 的表面供

给氮,随后形成半导体层 105,藉此形成包含氮的半导体层(图 2 所示的第一区域 120)。在半导体层 105 中,氮浓度随着离半导体层 105 和栅极绝缘层 104 的界面的距离的增加而下降。当氮浓度降低到小于或等于一定值时,晶核产生。之后,晶核生长,从而形成晶粒 121。

[0099] 接下来,在半导体层 105 的整个表面上形成包含作为供体的杂质元素的半导体层 109。包含作为供体的杂质元素的半导体层 109 在后面的工序中被图案化成为源区及漏区 110。首先,将用来形成包含作为供体的杂质元素的半导体层 109 的源气引入处理室 141 内。在此,作为示例,通过引入源气并使其流量稳定,其中 SiH_4 的流量为 100sccm, PH_3 被 H_2 稀释到 0.5 体积%的混合气体的流量为 170sccm,并且在处理室 141 内的压力为 280Pa、衬底温度为 280℃的条件下进行 60W 的等离子体放电,以形成大约 50nm 的半导体层。之后,与上述的氮化硅层等的形成相似地,只停止 SiH_4 的引入,并在几秒后停止等离子体放电(图 7 的“杂质半导体层的形成 M1”)。之后,排出这些气体(图 7 的“排气 N1”)。

[0100] 如上所说明,可以进行直到形成包含作为供体的杂质元素的半导体层 109 的步骤(参照图 4A)。

[0101] 接下来,在包含作为供体的杂质元素的半导体层 109 上形成导电层 111。

[0102] 可以以铝、铜、钛、钽、钨、钼、铬、钽或钨等的单层或叠层的方式形成导电层 111。也可以使用添加有防止小丘的产生的元素的铝合金(例如可以用于栅电极层 102 的 Al-Nd 合金等)形成导电层 111。或者,也可以使用添加有作为供体的杂质元素的晶体硅。导电层 111 可具有其中与掺杂有作为供体的杂质元素的晶体硅接触一侧的层由钛、钽、钼、钨或这些元素的氮化物形成、并且在其上形成了铝或铝合金而成的叠层结构。再者,导电层 111 可具有其中使用钛、钽、钼、钨或这些元素的氮化物夹住铝或铝合金而成的叠层结构。例如,导电层 111 优选具有铝层夹在钼层之间的三层结构。

[0103] 通过使用 CVD 法、溅射法或真空蒸镀法形成导电层 111。另外,也可以通过使用丝网印刷法或喷墨法等喷射银、金或铜等的导电纳米浆料并进行烘焙来形成导电层 111。

[0104] 接下来,在导电层 111 上形成第一抗蚀剂掩模 131(参照图 4B)。第一抗蚀剂掩模 131 具有厚度不同的两个区域,并且可以使用多级灰度掩模形成。因为要使用的光掩模的数量减少且制造工序数减少,所以优选使用多级灰度掩模。在本实施例中,可以在形成半导体层的图案的工序和将半导体层 109 分离成源区和漏区的工序中使用利用多级灰度掩模形成的抗蚀剂掩模。

[0105] 多级灰度掩模是能以多级光强进行曝光的掩模,典型地说,以三级光强进行曝光以提供曝光区域、半曝光区域以及未曝光区域。当使用多级灰度掩模时,一次曝光及显影工艺允许形成具有多种(典型为两种)厚度的抗蚀剂掩模。由此,通过使用多级灰度掩模,可以减少光掩模的数量。

[0106] 图 8A 及 8B 包括典型的多级灰度掩模的横截面图。图 8A 表示灰色调掩模 180,而图 8B 表示半色调掩模 185。

[0107] 图 8A 所示的灰色调掩模 180 包括在具有透光性的衬底 181 上使用遮光膜形成的遮光部 182 以及利用遮光膜的图案设置的衍射光栅部 183。

[0108] 衍射光栅部 183 具有以小于或等于用于曝光的光的分辨率极限的间隔设置的狭缝、点或网格等,藉此控制光的透过量。注意,设置在衍射光栅部 183 处的狭缝、点或网格既可以是周期性的或非周期性的。

[0109] 作为具有透光性的衬底 181, 可以使用石英衬底等。可使用金属或金属氧化物、优选使用铬、氧化铬等形成遮光部 182 及衍射光栅部 183 的遮光膜。

[0110] 在对灰色调掩模 180 照射用来曝光的光的情况下, 如图 8A 所示, 与遮光部 182 重叠的区域的透光率为 0%, 而未设置遮光部 182 或衍射光栅部 183 的区域的透光率为 100%。另外, 衍射光栅部 183 处的透光率基本在 10% 至 70% 的范围内, 这可以根据衍射光栅的狭缝、点或网格的间隔等来调整。

[0111] 图 8B 所示的半色调掩模 185 包括在具有透光性的衬底 186 上使用半透光膜形成的半透光部 187 以及使用遮光膜形成的遮光部 188。

[0112] 可以使用 MoSiN、MoSi、MoSiO、MoSiON、CrSi 等的膜形成半透光部 187。可使用与灰色调掩模的遮光膜相同的金属或金属氧化物形成遮光部 188, 优选使用铬或氧化铬等。

[0113] 在对半色调掩模 185 照射用来曝光的光的情况下, 如图 8B 所示, 与遮光部 188 重叠的区域的透光率为 0%, 而未设置遮光部 188 或半透光部 187 的区域的透光率为 100%。另外, 半透光部 187 中的透光率大致在 10% 至 70% 的范围内, 这可以根据要形成的材料的种类或厚度等来调整。

[0114] 通过使用多级灰度掩模进行曝光及显影, 可以形成包括不同厚度的区域的抗蚀剂掩模。

[0115] 接下来, 使用第一抗蚀剂掩模 131 对半导体层 105、包含作为供体的杂质元素的半导体层 109 以及导电层 111 进行蚀刻。通过该工序, 半导体层 105、包含作为供体的杂质元素的半导体层 109 以及导电层 111 被分离到各个元件中 (参照图 4C)。

[0116] 在此, 缩小第一抗蚀剂掩模 131 以形成第二抗蚀剂掩模 132。执行利用氧等离子体的灰化来缩小抗蚀剂掩模。

[0117] 接下来, 使用第二抗蚀剂掩模 132 对导电层 111 进行蚀刻以形成布线层 112 (参照图 5A)。布线层 112 构成源电极及漏电极。优选通过湿法蚀刻进行导电层 111 的蚀刻。通过湿法蚀刻, 选择性地蚀刻导电层, 使导电层的侧面比第二抗蚀剂掩模 132 更向内缩小, 而形成布线层 112。由此, 布线层 112 的侧面与被蚀刻的包含作为供体的杂质元素的半导体层 109 的侧面不共面, 且源区及漏区 110 的侧面在布线层 112 的侧面外侧形成。布线层 112 不仅起到源电极及漏电极的作用, 而且还起到信号线的作用。但是, 不局限于此, 也可以分别设置信号线和布线层 112。

[0118] 接下来, 在保留第二抗蚀剂掩模 132 的状态下, 对包含作为供体的杂质元素的半导体层 109 进行蚀刻, 以形成源区及漏区 110 (参照图 5B)。

[0119] 接下来, 优选在保留第二抗蚀剂掩模 132 的状态下进行干蚀刻。在此, 设置干蚀刻条件, 以使不对露出的半导体层 106 造成损伤并且半导体层 106 的蚀刻速度低。即, 采用几乎不对露出的半导体层 106 的表面造成损伤并且半导体层 106 的厚度几乎不减少的条件。作为蚀刻气体可以使用 Cl_2 气体等。另外, 对于蚀刻方法没有特别限制, 可以使用 ICP 方法、CCP 方法、ECR 方法、反应离子蚀刻 (RIE) 方法等。

[0120] 这里可使用的干法蚀刻条件的示例如下: Cl_2 气体的流量为 100sccm, 反应室内的压力为 0.67Pa, 下部电极温度为 -10°C , 对上部电极的线圈施加 2000W 的 RF (13.56MHz) 功率来产生等离子体, 不对衬底 100 侧施加功率 (即无偏置 0W); 因此进行三十秒的蚀刻。反应室内壁的温度优选为 80°C 左右。

[0121] 接下来,优选在保留第二抗蚀剂掩模 132 的状态下进行等离子体处理。在此,优选例如利用水等离子体进行等离子体处理。

[0122] 通过在反应空间引入含以水蒸气 (H_2O 蒸气) 为代表的水为主要成分的气体以产生等离子体,可以进行水等离子体处理。借助于水等离子体可以去除第二抗蚀剂掩模 132。另外,在一些情况下,当通过进行水等离子体处理或暴露于大气中后进行水等离子体处理时,氧化物膜形成。

[0123] 注意,在不使用水等离子体处理的情况下,可在不对半导体层 106 的露出区域造成损伤并且半导体层 106 的蚀刻速度低的条件下进行干法蚀刻。

[0124] 如上所述,在形成一对源区及漏区 110 之后,在不对半导体层 106 造成损伤的条件下进一步进行干法蚀刻,藉此可以去除存在于露出的半导体层 106 上的残渣等杂质元素。另外,通过进行干法蚀刻接着按顺序进行水等离子体处理,也可以去除第二抗蚀剂掩模 132。通过进行水等离子体处理,可以使源区和漏区之间可靠地绝缘,从而在完成的薄膜晶体管中,截止电流可降低,导通电流可提高,且可以减少电特性的不均匀性。

[0125] 注意,等离子体处理等工序不限于上述顺序。在去除第二抗蚀剂掩模 132 之后,可进行无偏置的蚀刻或等离子体处理。

[0126] 如上所说明,可以制造根据本实施例的薄膜晶体管(参照图 5B)。根据本实施例的薄膜晶体管可以应用于在以液晶显示装置为代表的显示装置的像素中设置的开关晶体管。在此情况下,形成具有开口的绝缘层 114 以覆盖该薄膜晶体管,并且形成像素电极层 116 以连接于利用该开口部中布线层 112 形成的源电极或漏电极(参照图 5C)。可以通过光刻法形成该开口。之后,在绝缘层 114 上设置像素电极层 116 以通过该开口连接。因此,可以制造图 1 所示的设置在显示装置的像素中的开关晶体管。

[0127] 注意,可以以与栅极绝缘层 104 相似的方式形成绝缘层 114。优选使用氮化硅形成致密的绝缘层 114,以便防止大气中浮动的有机物、金属或水蒸气等会成为污染源的杂质元素进入。

[0128] 另外,可以使用包含具有透光性的导电高分子(也称为导电聚合物)的导电组成物形成像素电极层 116。优选的是,像素电极层 116 的薄层电阻小于或等于 $10000 \Omega / \text{cm}^2$,并且在波长为 550nm 时的透光率大于或等于 70%。另外,包含在导电组成物中的导电高分子的电阻率优选小于或等于 $0.1 \Omega \cdot \text{cm}$ 。

[0129] 作为导电高分子,可以使用所谓的 π 电子共轭类导电高分子。例如,可以举出聚苯胺或其衍生物、聚吡咯或其衍生物、聚噻吩或其衍生物、或者这些的两种以上的共聚物等。

[0130] 可以使用包含氧化钨的氧化铟、包含氧化钨的铟锌氧化物、包含氧化钛的铟氧化物、包含氧化钛的铟锡氧化物、铟锡氧化物(以下表示为 ITO)、铟锌氧化物或添加有氧化硅的铟锡氧化物等形成像素电极层 116。

[0131] 可通过光刻法蚀刻像素电极层 116,以与布线层 112 等相似的方式图案化。

[0132] 注意,虽然未图示,但是也可以在绝缘层 114 和像素电极层 116 之间形成通过旋涂法等使用有机树脂形成的绝缘层。

[0133] 因此,如本实施例所示,可以得到导通电流高的薄膜晶体管。

[0134] 实施例 2

[0135] 在本实施例中,将对与实施例 1 不同的制造图 1 所示薄膜晶体管的制造方法进行说明。在本实施例中,如实施例 1 那样形成包含倒锥形或倒金字塔形的晶粒的半导体层。然而,使半导体层包含氮的方法与实施例 1 中描述的方法不同。

[0136] 在本实施例中,使用氮化硅形成与半导体层接触的栅极绝缘层,藉此半导体层的氮浓度受控制,且形成包含具有倒锥形或倒金字塔形的晶粒的半导体层。以下将参照图 9 说明从形成栅极绝缘层 104 直到形成包含作为供体的杂质元素的半导体层 109 的一系列步骤。

[0137] 首先,在 CVD 装置的处理室 141 内加热形成有栅电极层 102 的衬底,并且将用来形成氮化硅层的源气引入处理室 141 内(图 9 的预处理 A2)。在此,作为示例,引入源气并使其流量稳定,以使 SiH_4 的流量为 40sccm, H_2 的流量为 500sccm, N_2 的流量为 550sccm, NH_3 的流量为 140sccm,并且在处理室 141 内的压力为 100Pa、衬底温度为 280℃的条件下进行 370W 的等离子体放电,以形成约 300nm 厚度的氮化硅层。之后,仅停止 SiH_4 的引入,并且在几秒后停止等离子体放电(图 9 的“ SiN_x 层的形成 B2”)。注意,可使用 N_2 气体或 NH_3 气体。在使用它们的混合气体的情况下,优选适当地调节其流量。另外,适当地调节 H_2 气体的引入及流量,而当不需要时也不一定引入它。

[0138] 接下来,排出用来形成氮化硅层的源气,将用来形成半导体层 105 的源气引入处理室 141 内(图 9 的“气体置换 C2”)。

[0139] 接下来,在栅极绝缘层 104 的整个表面上形成半导体层 105。在后面的工序中,半导体层 105 被图案化成为半导体层 106。首先,将用来形成半导体层 105 的源气引入处理室 141 内。在此,作为示例,引入源气并使其流量稳定,以使 SiH_4 的流量为 10sccm, H_2 的流量为 1500sccm,并且在处理室 141 内的压力为 280Pa,衬底温度为 280℃的条件下进行 50W 的等离子体放电,以形成约 50nm 厚度的半导体层。之后,以与上述的氮化硅层等的形成同样的方式,仅停止 SiH_4 的引入,并且在几秒后停止等离子体放电(图 9 的“半导体层的形成 D2”)。之后,排出这些气体,引入用来形成包含作为供体的杂质元素的半导体层 109 的气体(图 9 的“气体置换 E2”)。注意,不限于此,不一定要进行气体置换。

[0140] 在上述示例中,在用来形成半导体层 105 的源气中, H_2 的流量与 SiH_4 的流量之比为 150 : 1,因此,硅是逐渐沉积的。

[0141] 在本实施例中,因为与半导体层 105 接触的栅极绝缘层 104 由氮化硅形成,所以在栅极绝缘层 104 的表面上存在大量的氮。如上所述,氮抑制硅的晶核生成。由此,在形成半导体层 105 的初期阶段中硅晶核不生成。在形成半导体层 105 的初期阶段中形成的该层成为图 2 所示的第一区域 120。因为半导体层 105 是在固定条件下形成的,所以第一区域 120 和第二区域 122 在相同的条件下形成。如上所述,由于栅极绝缘层 104 由氮化硅形成,所以栅极绝缘层 104 上的半导体层 105 可包括氮(图 2 所示的第一区域 120)。在半导体层 105 中,氮浓度随着离半导体层 105 和栅极绝缘层 104 的界面的距离的增加而下降。当氮浓度小于或等于一定值时,晶核产生。之后,晶核生长,从而晶粒 121 形成。注意在此,在作为晶粒 121 开始生长的起点的晶核生成位置,通过 SIMS 测量的氮浓度大于或等于 $1 \times 10^{20} \text{cm}^{-3}$ 且小于或等于 $1 \times 10^{21} \text{cm}^{-3}$,优选大于或等于 $2 \times 10^{20} \text{cm}^{-3}$ 且小于或等于 $7 \times 10^{20} \text{cm}^{-3}$ 。

[0142] 注意,作为抑制晶核生成的杂质元素,选择在硅中不捕获载流子的杂质元素(例如,氮)。另一方面,降低生成硅的悬空键的杂质元素(例如,氧)的浓度。由此,优选不降

低氮浓度地降低氧浓度。具体而言,优选通过 SIMS 测量的氧浓度小于或等于 $5 \times 10^{18} \text{cm}^{-3}$ 。

[0143] 接下来,在半导体层 105 的整个表面上形成包含作为供体的杂质元素的半导体层 109。包含作为供体的杂质元素的半导体层 109 在后面的工序中被图案化成为源区及漏区 110。首先,将用来形成包含作为供体的杂质元素的半导体层 109 的源气引入处理室 141 内。在此,示例作为示例,通过引入源气并使其流量稳定,其中 SiH_4 的流量为 100sccm, PH_3 被 H_2 稀释到 0.5 体积%的混合气体的流量为 170sccm,并且在处理室 141 内的压力为 280Pa、衬底温度为 280°C 的条件下进行 60W 的等离子体放电,以形成约 50nm 厚度的包含作为供体的杂质元素的半导体层。之后,与上述的氮化硅层等的形成相似地,只停止 SiH_4 的引入,并在几秒后停止等离子体放电(图 9 的“杂质半导体层的形成 F2”)。之后,排出这些气体(图 9 的“排气 G2”)。

[0144] 如上所说明,通过使用氮化硅形成与半导体层接触的栅极绝缘层的最上层,可以将氧浓度抑制得较低而使氮浓度高于氧浓度,从而可以形成包含具有倒锥形或倒金字塔形的晶粒的半导体层。

[0145] 实施例 3

[0146] 在本实施例中,将对图 1 所示的与实施例 1 及实施例 2 不同的薄膜晶体管的制造方法进行说明。在本实施例中,与实施例 1 及实施例 2 同样地形成包含具有倒锥形或倒金字塔形的晶粒的半导体层。然而,使半导体层包含氮的方法与实施例 1 和 2 中所描述的方法不同。

[0147] 在本实施例中,在形成半导体层之前进行处理室 141 内的清洗,之后使用氮化硅层覆盖反应室内壁,藉此使半导体层包含氮,将氧浓度保持较低而使氮浓度高于氧浓度。以下将参照图 10 说明从形成栅极绝缘层 104 直到形成包含作为供体的杂质元素的半导体层 109 的步骤。

[0148] 首先,在 CVD 装置的处理室 141 内(反应室内)加热形成有栅电极层 102 的衬底,并且将用来形成氮化硅层的源气引入处理室 141 内,以便形成氮化硅层(图 10 的“预处理 A3”)。在此,作为示例,通过引入源气并使其流量稳定,其中 SiH_4 的流量为 40sccm, H_2 的流量为 500sccm, N_2 的流量为 550sccm, NH_3 的流量为 140sccm,并且在处理室 141 内的压力为 100Pa、衬底温度为 280°C 的条件下进行 370W 的等离子体放电,以形成约 110nm 厚度的氮化硅层。之后,只停止 SiH_4 的引入,并在几秒后停止等离子体放电(图 10 的“ SiN_x 层的形成 B3”)。注意,使用 N_2 气体及 NH_3 气体中的任一者即可。在使用它们的混合气体的情况下,适当地调节流量。另外,适当地调节 H_2 气体的引入及流量,而当不需要时不引入 H_2 也可以。

[0149] 接下来,排出用来形成氮化硅层的源气,并且将用来形成氧氮化硅层的源气引入处理室 141 内(图 10 的“气体置换 C3”)。在此,作为示例,通过引入源气并使其稳定,其中 SiH_4 的流量为 30sccm, N_2O 的流量为 1200sccm,并且在处理室 141 内的压力为 40Pa、衬底温度为 280°C 的条件下进行 50W 的等离子体放电,以形成约 110nm 厚度的氧氮化硅层。之后,与氮化硅层相似地,只停止 SiH_4 的引入,并在几秒后停止等离子体放电(图 10 的“ SiO_xN_y 层的形成 D3”)。

[0150] 通过上述工序,可以形成栅极绝缘层 104。在形成栅极绝缘层 104 之后,从处理室 141 取出衬底 100(图 10 中的“卸载 E3”)。

[0151] 在从处理室 141 取出衬底 100 之后,将 NF_3 气体引入处理室 141,以进行处理室 141

内部的清洗（图 10 的“清洗处理 F3”）。之后，与栅极绝缘层 104 相似地进行形成氮化硅层的处理（图 10 的“预涂处理 G3”）。通过该处理，处理室 141 的内壁被氮化硅层覆盖。之后，将衬底 100 传送到处理室 141 中，并且将用来形成半导体层 105 的源气引入处理室 141 内（图 10 的“1 装载 H3”）。

[0152] 接下来，在栅极绝缘层 104 的整个表面上形成半导体层 105。半导体层 105 在后面的工序中被图案化成为半导体层 106。首先，将用来形成半导体层 105 的源气引入处理室 141 内。在此，作为示例，通过引入源气并使其流量稳定，其中 SiH_4 的流量为 10sccm， H_2 的流量为 1500sccm，并且在处理室 141 内的压力为 280Pa、衬底温度为 280℃的条件下进行 50W 的等离子体放电，以形成约 50nm 厚度的半导体层。之后，与上述的氮化硅层等的形成相似地只停止 SiH_4 的供给，并在几秒后停止等离子体放电（图 10 的“半导体层的形成 I3”）。之后，排出这些气体，引入用来形成包含作为供体的杂质元素的半导体层 109 的气体（图 10 的“气体置换 J3”）。注意，不限于此，不一定要进行气体置换。

[0153] 在上述示例中，用来形成半导体层 105 的源气中的 H_2 的流量与 SiH_4 的流量之比为 150 : 1。由此，硅是逐渐沉积的。

[0154] 在本实施例中，氮从被氮化硅层覆盖的处理室内壁被供给到栅极绝缘层 104 的表面。如上所述，氮抑制硅晶核的生成。由此，在形成半导体层 105 的初期阶段，硅晶核不生成。在形成半导体层 105 的初期阶段中形成的该层是图 2 所示的第一区域 120。由于半导体层 105 是在固定条件形成的，所以第一区域 120 和第二区域 122 在相同的条件下形成。如上所述，因为对栅极绝缘层 104 的表面供给氮，所以半导体层 105 可包括氮（图 2 所示的第一区域 120）。在半导体层 105 中，氮浓度随着离半导体层 105 和栅极绝缘层 104 的界面的距离的增加而逐渐下降。当氮浓度降低到小于或等于一定值时，晶核产生。之后，晶核生长，从而形成晶粒 121。

[0155] 接下来，在半导体层 105 的整个表面上形成包含作为供体的杂质元素的半导体层 109。包含作为供体的杂质元素的半导体层 109 在后面的工序中被图案化成为源区及漏区 110。首先，将用来形成包含作为供体的杂质元素的半导体层 109 的源气引入处理室 141 内。在此，作为示例，通过引入源气并使其流量稳定，其中 SiH_4 的流量为 100sccm， PH_3 被 H_2 稀释为 0.5 体积%的混合气体的流量为 170sccm，并且在处理室 141 内的压力为 280Pa、衬底温度为 280℃的条件下进行 60W 的等离子体放电，以形成约 50nm 厚度的半导体层。之后，与上述的氮化硅层等的形成相似地，只停止 SiH_4 的供给，并在几秒后停止等离子体放电（图 10 的“包含作为供体的杂质元素的半导体层的形成 K3”）。之后，排出这些气体（图 10 的“排气 L3”）。

[0156] 如上所述，通过至少正好在形成半导体层 105 之前使用氮化硅层覆盖处理室 141 的内壁，可以将栅极绝缘层 104 中的氧浓度抑制得较低而使栅极绝缘层 104 中的氮浓度高于氧浓度，从而形成包含具有倒锥形或倒金字塔形的晶粒的半导体层。

[0157] 另外，通过使用氮化硅层覆盖处理室 141 的内壁，也可以防止构成处理室 141 的内壁的元素等混入半导体层中。

[0158] 注意，在上述说明中，通过在氮化硅层上层叠氧氮化硅层形成栅极绝缘层 104；所以描述了在形成栅极绝缘层 104 之后进行清洗处理和预涂处理的方式。但是，本实施例也可以与实施例 2 组合来实施。就是说，也可以使用氮化硅形成栅极绝缘层 104，并且该栅极

绝缘层 104 的形成步骤兼作为预涂处理,藉此工序得到简化,且可以提高产量。

[0159] 实施例 4

[0160] 在本实施例中,将描述与实施例 1 至实施例 3 不同的半导体装置的制造方法。在本实施例中,与实施例 1 同样形成包含具有倒锥形或倒金字塔形的晶粒的半导体层。但是,使半导体层包含氮的方法不同。

[0161] 在本实施例中,通过将氮混入半导体层的形成初期所使用的气体中,可以将氧浓度保持得较低而使氮浓度高于氧浓度。以下将参照图 11 说明从形成栅极绝缘层 104 直到形成包含作为供体的杂质元素的半导体层 109 的一系列步骤。

[0162] 首先,在 CVD 装置的处理室 141 内(即反应室内)加热形成有栅电极层 102 的衬底,并且将用来形成氮化硅层的源气引入处理室 141 内,以便形成氮化硅层(图 11 的预处理 A4)。在此,示例作为示例,通过引入源气并使其流量稳定,其中 SiH_4 的流量为 40sccm, H_2 的流量为 500sccm, N_2 的流量为 550sccm, NH_3 的流量为 140sccm 的,并且在处理室 141 内的压力为 100Pa、衬底温度为 280°C 的条件下进行 370W 的等离子体放电,以形成约 110nm 厚度的氮化硅层。之后,只停止 SiH_4 的引入,并在几秒后停止等离子体放电(图 11 的“ SiN_x 层的形成 B4”)。注意,可使用 N_2 气体或 NH_3 气体。在使用它们的混合气体的情况下,可适当地调节流量。另外,可适当地调节 H_2 气体的引入及其流量,而当不需要时也可以不引入 H_2 气体。

[0163] 接下来,排出用来形成氮化硅层的源气,并且将用来形成氧氮化硅层的源气引入处理室 141 内(图 11 的“气体置换 C4”)。在此,作为示例,通过引入源气并使其流量稳定,其中 SiH_4 的流量为 30sccm, N_2O 的流量为 1200sccm,并且在处理室 141 内的压力为 40Pa、衬底温度为 280°C 的条件下进行 50W 的等离子体放电,以形成大约 110nm 厚度的氧氮化层。之后,与氮化硅层同样地只停止 SiH_4 的引入,并在几秒后停止等离子体放电(图 11 的“ SiO_xN_y 层的形成 D4”)。之后,排出这些气体,引入用来形成半导体层 105 的气体(图 11 的“气体置换 E4”)。

[0164] 接下来,在栅极绝缘层 104 的整个表面上形成半导体层 105。半导体层 105 在后面的工序中被图案化成为半导体层 106。在此,作为示例,通过引入源气并使其流量稳定,其中 SiH_4 的流量为 10sccm, H_2 的流量为 1500sccm, N_2 的流量为 1000sccm 的,并且在处理室 141 内的压力为 280Pa、衬底温度为 280°C 的条件下进行 50W 的等离子体放电,之后,仅将 N_2 的流量设定为 0 并使半导体层生长,以形成约 50nm 厚度的半导体层。之后,与上述的氮化硅层等的形成同样地只停 SiH_4 的引入,并在几秒后停止等离子体放电(图 11 的“半导体层的形成 F4”)。之后,排出这些气体,并引入用来形成包含作为供体的杂质元素的半导体层 109 的气体(图 11 的“气体置换 G4”)。注意,可以使用 NH_3 代替 N_2 。注意,不限于此,不一定需要进行气体置换。

[0165] 在上述示例中,用来形成半导体层 105 的源气中的 H_2 的流量与 SiH_4 的流量之比为 150 : 1。由此,硅是逐渐沉积的。

[0166] 在本实施例中,半导体层 105 的形成初期所使用的气体中包含氮。如上所述,氮抑制硅的晶核生成。由此,在形成半导体层 105 的初期阶段中,硅晶核不生成。在形成半导体层 105 的初期阶段中形成的该层成为图 2 所示的第一区域 120。如上所述,由于形成半导体层 105 的初期阶段所使用的气体中包含氮,所以半导体层 105 包含氮(图 2 所示的第一区

域 120)。在半导体层 105 中,氮浓度随着离半导体层 105 和栅极绝缘层 104 的界面的距离的增加而下降。当氮浓度小于或等于一定值时,晶核产生。之后,晶核生长,从而形成晶粒 121。

[0167] 接下来,在半导体层 105 的整个表面上形成包含作为供体的杂质元素的半导体层 109。包含作为供体的杂质元素的半导体层 109 在后面的工序中被图案化成为源区及漏区 110 的层。首先,将用来形成包含作为供体的杂质元素的半导体层 109 的源气引入处理室 141 内。在此,作为示例,通过引入源气并使其流量稳定,其中 SiH_4 的流量为 100sccm, PH_3 被 H_2 稀释到 0.5 体积%的混合气体的流量为 170sccm,并且在处理室 141 内的压力为 280Pa、衬底温度为 280℃的条件下进行 60W 的等离子体放电,以形成约 50nm 厚度的半导体层。之后,与上述的氮化硅层等的形成同样地,只停止 SiH_4 的引入,并在几秒后停止等离子体放电(图 11 的“杂质半导体层的形成 H4”)。之后,排出这些气体(图 11 的“排气 I4”)。

[0168] 如上所述,通过将氮包含在半导体层的形成初期所使用的气体中,可以将氧浓度保持较低而使氮浓度高于氧浓度,从而可形成包含具有倒锥形或倒金字塔形的晶粒的半导体层。

[0169] 实施例 5

[0170] 在本实施例中,将参照附图说明薄膜晶体管的方式的示例。在本实施例中,在不使用多级灰度掩模的情况下形成薄膜晶体管。

[0171] 图 12 示出根据本实施例的薄膜晶体管的俯视图及横截面图。图 12 所示的薄膜晶体管包括衬底 200 上的栅电极层 202、覆盖栅电极层 202 的栅极绝缘层 204、设置在栅极绝缘层 204 上并与其接触的半导体层 206、以及设置在半导体层 206 的一部分上并与其接触的源区及漏区 210。另外,该薄膜晶体管包括设置在栅极绝缘层 204 及源区及漏区 210 上并与它们接触的布线层 212。布线层 212 构成源电极及漏电极。该薄膜晶体管包括在布线层 212 上起保护膜作用的绝缘层 214。另外,各个层被图案化成所希望形状。

[0172] 注意,图 12 所示的薄膜晶体管可以按照与图 1 所示的薄膜晶体管相似的方式应用于设置在液晶显示装置的像素部中的像素晶体管。由此,在图 12 示例中,在绝缘层 214 中设置开口,在绝缘层 214 上设置像素电极层 216,以使像素电极层 216 和布线层 212 相连接。

[0173] 另外,将源电极及漏电极之一形成为 U 字形状(反 C 形状或马蹄形状)并使其包围源电极及漏电极中的另一者。源电极和漏电极之间的距离保持几乎恒定(参照图 12)。

[0174] 通过将薄膜晶体管的源电极及漏电极形成为上述形状,可以使该薄膜晶体管的沟道宽度增大,从而增加电流量。另外,可以减少电特性的不均匀性。再者,可以抑制因制造工序中的掩模图案未对准而导致的可靠性的降低。然而,本发明不局限于此,且源电极及漏电极中的一者不一定具有 U 字形状。

[0175] 本实施例中的半导体层 206 具有与实施例 1 中的半导体层 106 相似的特征,并且可以使用与半导体层 106 相似的材料及方法形成。替代地,半导体层 206 也可以如实施例 2 至实施例 4 所说明那样形成。因此,在本实施例中,将省略半导体层 206 的形成的详细说明。

[0176] 接着,对图 12 所示的薄膜晶体管的制造方法进行说明。与 p 沟道薄膜晶体管相比, n 沟道薄膜晶体管的载流子迁移率高。优选使形成在同一衬底上的所有薄膜晶体管具有相同极性,因为这样可以减少工序数。由此,在本实施例中,对 n 沟道薄膜晶体管的制造方法

进行说明。

[0177] 首先,在衬底 200 上形成栅电极层 202(参照图 13A)。

[0178] 作为衬底 200,可以使用与实施例 1 中的衬底 100 相似的衬底。

[0179] 栅电极层 202 可以使用与实施例 1 中的栅电极层 102 相似的材料及方法形成。

[0180] 接下来,形成栅极绝缘层 204 以覆盖栅电极层 202(参照图 13B)。栅极绝缘层 204 可以以与实施例 1 中的栅极绝缘层 104 相似的材料及方法形成。

[0181] 在此,可以对栅极绝缘层 204 进行供给氮的处理(参照图 13C)。作为供给氮的处理,可以举出实施例 1 所说明的将栅极绝缘层 204 暴露于 NH_3 气体的处理为例。

[0182] 接下来,在栅极绝缘层 204 上形成半导体层 205 和包含作为供体的杂质元素的半导体层 209(参照图 14A)。之后,在包含作为供体的杂质元素的半导体层 209 上形成第一抗蚀剂掩模 231(参照图 14B)。

[0183] 可以与实施例 1 中的半导体层 105 相似地形成半导体层 205。可以与实施例 1 中的包含作为供体的杂质元素的半导体层 109 相似地形成包含作为供体的杂质元素的半导体层 209。

[0184] 注意,也可以通过实施例 2 至实施例 4 所说明的方法形成半导体层 205。

[0185] 接下来,使用第一抗蚀剂掩模 231 对半导体层 205 及包含作为供体的半导体层 209 进行蚀刻,以形成岛状的半导体层(参照图 14C)。之后,去除第一抗蚀剂掩模 231(参照图 15A)。

[0186] 接下来,形成导电层 211 以覆盖被蚀刻的半导体层 205 及包含作为供体的杂质元素的半导体层 209(参照图 15B)。可以使用与导电层 111 同样的材料及方法形成导电层 211。之后,在导电层 211 上形成第二抗蚀剂掩模 232(参照图 15C)。

[0187] 接下来,使用第二抗蚀剂掩模 232 对导电层 211 进行蚀刻,以形成布线层 212(参照图 16A)。布线层 212 构成源电极及漏电极。优选使用湿法蚀刻进行导电层 211 的蚀刻。通过湿法蚀刻选择性地蚀刻导电层。因此,导电层 211 的侧面比第二抗蚀剂掩模 232 的侧面更向内缩小,而形成布线层 212。由此,布线层 212 的侧面和被蚀刻的包含作为供体的杂质元素的半导体层 209 的侧面不共面,且源区及漏区的侧面在布线层 212 的侧面外侧形成。布线层 212 不仅起到源电极及漏电极的作用,而且还起到信号线的作用。但是,不限于此,也可以分别设置信号线和布线层 212。

[0188] 接下来,使用第二抗蚀剂掩模 232 对包含作为供体的杂质元素的岛状半导体层 209 进行蚀刻(参照图 16B),由此形成半导体层 206 以及源区及漏区 210。

[0189] 接下来,与实施例 1 相似地,在保留第二抗蚀剂掩模 232 的状态下,以不对半导体层 206 造成损伤并且对于半导体层 206 的蚀刻速度低的条件进行干法蚀刻。再者,通过水等离子体处理去除第二抗蚀剂掩模 232(图 16C)。

[0190] 通过上述工序,可以制造根据本实施例的薄膜晶体管。根据本实施例的薄膜晶体管可以与实施例 1 所说明的薄膜晶体管同样地应用于在以液晶显示装置为代表的显示装置的像素中设置的开关晶体管。因此,形成绝缘层 214 以覆盖该薄膜晶体管。绝缘层 214 形成有到达由布线层 212 构成的源电极及漏电极的开口。可以通过光刻法形成该开口。之后,在绝缘层 214 上设置像素电极层 216 以使它通过该开口与布线层 212 连接,从而形成为图 12 所示的显示装置的像素而设置的开关晶体管。

[0191] 注意,可以与实施例 1 中的绝缘层 114 同样地形成绝缘层 214。另外,可以与实施例 1 中的像素电极层 116 同样地形成像素电极层 216。

[0192] 虽然未图示,但也可以在绝缘层 214 和像素电极层 216 之间形成通过旋涂法等使用有机树脂膜形成的绝缘层。

[0193] 如本实施例所说明,在不使用多级灰度掩模的情况下,可以得到导通电流高的薄膜晶体管。

[0194] 实施例 6

[0195] 在本实施例中,以下将说明包括实施例 5 所示的薄膜晶体管的液晶显示装置作为显示装置的一个方式。在此,参照图 17 至图 19 说明 VA(垂直取向)型液晶显示装置。VA 型是指控制液晶面板的液晶分子的取向的方式之一。在 VA 型液晶显示装置中,当不施加电压时,液晶分子垂直于面板的方向。在本实施例中,特别设计将像素分为几个区域(子像素),以使液晶分子在各自区域中以不同方向取向。将此称为多畴或多畴设计。在以下说明中,将说明具有多畴设计的液晶显示装置。

[0196] 图 17 及图 18 示出 VA 型液晶显示装置的像素结构。图 18 是本实施例所示的像素结构的平面图,而图 17 示出沿图 18 中的线 Y-Z 所取的横截面结构。在以下说明中,参照图 17 及 18 进行说明。

[0197] 在本实施例所示的像素结构中,设置在衬底 250 上的一个像素包括多个像素电极,并且各像素电极经由平坦化膜 258 及绝缘层 257 连接到薄膜晶体管。各薄膜晶体管由不同的栅极信号驱动。具体说,多畴设计的像素具有施加到各像素电极的信号被独立控制的结构。

[0198] 像素电极 260 经由开口 259 中的布线 255 与薄膜晶体管 264 连接。此外,像素电极 262 经由开口部 263 中的布线 256 与薄膜晶体管 265 连接。薄膜晶体管 264 的栅电极 252 和薄膜晶体管 265 的栅电极 253 彼此分离,以便能够向它们提供不同的栅极信号。另一方面,薄膜晶体管 264 和薄膜晶体管 265 共同使用用作数据线的布线 254。可以通过实施例 5 所示的方法来制造薄膜晶体管 264 及薄膜晶体管 265。

[0199] 像素电极 260 和像素电极 262 具有不同的形状,并且通过狭缝 261 彼此分离。像素电极 262 被形成为包围扩展为 V 字型的像素电极 260。通过薄膜晶体管 264 及薄膜晶体管 265 使施加到像素电极 260 和像素电极 262 的电压时序交错来控制液晶的取向。当对栅电极 252 和栅电极 253 提供不同的栅极信号时,可以使薄膜晶体管 264 及薄膜晶体管 265 的工作时序交错。此外,在像素电极 260 及 262 上形成取向膜 272。

[0200] 对置衬底 251 设置有遮光膜 266、着色膜 267、对置电极 269。此外,在着色膜 267 和对置电极 269 之间形成有平坦化膜 268,以防止液晶取向的无序。此外,在对置电极 269 上形成有取向膜 271。图 19 示出对置衬底 251 一侧的像素结构。对置电极 269 由不同的像素共同使用,并且对置电极 269 具有狭缝 270。通过交替地设置该狭缝 270 和像素电极 260 及像素电极 262 的狭缝 261,可以产生倾斜电场,从而控制液晶的取向。因此,可以使液晶的取向方向根据位置不同,从而扩大视角。

[0201] 这里,衬底、着色膜、遮光膜以及平坦化膜形成滤色片。不一定在衬底上形成遮光膜以及平坦化膜中的任一者或者二者。

[0202] 此外,着色膜具有使可见光的波长范围中的预定波长范围的光优先透过的功能。

通常,将优先使红色波长范围的光透过的着色膜、优先使蓝色波长范围的光透过的着色膜、以及优先使绿色波长范围的光透过的着色膜组合用于滤色片。然而,着色膜的组合不限于上述组合。

[0203] 将液晶层 273 夹置在像素电极 260 和对置电极 269 之间的区域对应于第一液晶元件。将液晶层 273 夹置在像素电极 262 和对置电极 269 之间的区域对应于第二液晶元件。这是一个像素中包括第一液晶元件和第二液晶元件的多畴结构。

[0204] 注意,虽然在此描述 VA 型液晶显示装置作为液晶显示装置,但本发明不限于此。就是说,可以将通过使用实施例 5 所描述的薄膜晶体管形成的元件衬底用于 FFS 型液晶显示装置、IPS 型液晶显示装置、TN 型液晶显示装置、或其他液晶显示装置。

[0205] 另外,虽然在本实施例中使用实施例 5 中所制造的薄膜晶体管,但是也可以使用实施例 1 中所制造的薄膜晶体管。

[0206] 如上所说明,可以制造液晶显示装置。因为将导通电流高的薄膜晶体管用作本实施例的液晶显示装置中的像素晶体管,所以可以制造图像质量良好(例如高对比度)且功耗低的液晶显示装置。

[0207] 实施例 7

[0208] 在本实施例中,作为显示装置的一个方式,将对包括实施例 5 所示的薄膜晶体管的发光显示装置进行说明。在此,将对发光显示装置所包括的像素的结构示例进行说明。图 20A 示出像素的平面图,且图 20B 示出沿图 20A 中的线 A-B 所取的横截面结构。

[0209] 在本实施例中,描述了使用利用电致发光的发光元件的发光显示装置。利用电致发光的发光元件根据发光材料是有机化合物还是无机化合物来大致分类。一般而言,前者被称为有机 EL 元件,后者被称为无机 EL 元件。虽然在此利用实施例 5 作为薄膜晶体管的制造方法,但是制造方法不限于此,也可以采用实施例 1 中所描述的制造方法。

[0210] 在有机 EL 元件中,通过对发光元件施加电压,从一对电极将电子及空穴分别注入到包含发光性有机化合物的层中,且电流流过。然后,通过这些载流子(电子及空穴)的复合,发光性有机化合物形成激发态,并当激发态驰豫到基态时发光。由于上述机理,这种发光元件被称为电流激发型发光元件。

[0211] 无机 EL 元件根据其元件结构被分类为分散型无机 EL 元件和薄膜型无机 EL 元件。分散型无机 EL 元件具有发光材料颗粒分散在粘合剂中的发光层,并且其发光机理是利用供体能级和受体能级的供体-受体复合型发光。薄膜型无机 EL 元件具有发光层夹在电介质层之间且夹在电介质层之间的发光层进一步夹在电极之间的结构,并且其发光机理是利用金属离子内层电子跃迁的局部存在型发光。注意,这里使用有机 EL 元件作为发光元件进行说明。

[0212] 在图 20A 及 20B 中,第一薄膜晶体管 281a 对应于用来控制对于像素电极的信号输入的开关薄膜晶体管,第二薄膜晶体管 281b 对应于用来控制对于发光元件 282 的电流或电压的驱动薄膜晶体管。

[0213] 在第一薄膜晶体管 281a 中,栅电极连接到扫描线 283a,源区及漏区中的一者连接到信号线 284a,源区及漏区的另一者通过布线 284b 连接到第二薄膜晶体管 281b 的栅电极 283b。在第二薄膜晶体管 281b 中,源区及漏区中的一者连接到电源线 285a,源区及漏区中的另一者通过布线 285b 连接到发光元件的像素电极(阴极 288)。第二薄膜晶体管 281b 的

栅电极、栅极绝缘膜、以及电源线 285a 形成电容器 280, 而第一薄膜晶体管 281a 的源电极及漏电极中的另一者连接到电容器 280。

[0214] 注意, 当第一薄膜晶体管 281a 截止时, 电容器 280 对应于用于保持第二薄膜晶体管 281b 的栅电极和源电极之间的电位差或栅电极和漏电极之间的电位差 (下面称为栅电压) 的电容器。然而, 不一定设置电容器 280。

[0215] 在本实施例中, 虽然第一薄膜晶体管 281a 及第二薄膜晶体管 281b 是 n 沟道薄膜晶体管, 但是这些晶体管中的一者或二者也可以由 p 沟道薄膜晶体管形成。

[0216] 在第一薄膜晶体管 281a 及第二薄膜晶体管 281b 上形成有绝缘层 286, 在绝缘层 286 上形成有平坦化膜 287, 在平坦化膜 287 及绝缘层 286 中形成有开口, 并且通过该开口形成了连接到布线 285b 的阴极 288。平坦化膜 287 优选使用诸如丙烯酸树脂、聚酰亚胺、聚酰胺等有机树脂或硅氧烷聚合物来形成。在该开口中, 阴极 288 具有凹凸, 所以设置覆盖该阴极 288 的凹凸区域且具有开口的隔离壁 291。形成 EL 层 289 以使其通过隔离壁 291 的开口与阴极 288 接触, 形成阳极 290 以覆盖 EL 层 289, 并且形成保护绝缘膜 292 以覆盖阳极 290 及隔离壁 291。

[0217] 在此, 示出具有顶部发射 (top emission) 结构的发光元件 282 作为发光元件。因为具有顶部发射结构的发光元件 282 可以取出在第一薄膜晶体管 281a 及第二薄膜晶体管 281b 和 EL 层交迭的区域中的发光, 因此可以获得较广的发光面积。然而, 当第一薄膜晶体管 281a 及第二薄膜晶体管 281b 导致阴极 288 具有凹凸时, EL 层 289 的厚度分布不均匀, 这容易引起阳极 290 和阴极 288 之间的短路而产生显示缺陷。从而, 优选设置平坦化膜 287, 由此可以提高发光显示装置的生产率。

[0218] 在阴极 288 和阳极 290 之间置入 EL 层 289 的区域对应于发光元件 282。在图 20A 和 20B 示出的像素的情况下, 从发光元件 282 发射的光如图 20B 的空心箭头所示那样发射到阳极 290 一侧。

[0219] 作为阴极 288, 可使用任何已知的导电膜, 只要其功函数小且反射光。例如, 优选使用 Ca、MgAg、AlLi 等。EL 层 289 可以由单层或多层的叠层结构形成。在使用层叠了多层的结构的情况下, 在阴极 288 上按顺序层叠电子注入层、电子传输层、发光层、空穴传输层、空穴注入层。通过使用电子注入层, 允许将诸如 Al 等的具有高功函数的金属用作阴极 288。注意, 无需设置除发光层以外的层, 例如电子注入层、电子传输层、空穴传输层、空穴注入层等所有的层, 且可适当地设置必要的层。阳极 290 使用透过光的透光导电材料形成, 例如可以使用具有透光性的导电膜, 诸如含有氧化钨的铟氧化物、含有氧化钨的铟锌氧化物、含有氧化钛的铟氧化物、含有氧化钛的铟锡氧化物、ITO、铟锌氧化物、或添加有氧化硅的铟锡氧化物等。

[0220] 虽然在此示出从与衬底相反一侧的面取出发光的顶部发射结构的发光元件, 但本发明不限于此。就是说, 也可以采用具有从衬底一侧的面取出发光的底部发射 (bottom emission) 结构的发光元件、具有从衬底一侧及与衬底相反一侧的面取出发光的双面发射 (dual emission) 结构的发光元件。

[0221] 虽然在此描述了有机 EL 元件作为发光元件, 但是也可以采用无机 EL 元件作为发光元件。

[0222] 注意, 虽然在本实施例中示出控制发光元件的驱动的薄膜晶体管 (驱动薄膜晶体

管)和发光元件相连接的示例,但是也可以在驱动薄膜晶体管和发光元件之间连接用于控制电流的薄膜晶体管。

[0223] 如上所说明,可以制造发光显示装置。因为将将导通电流高的薄膜晶体管用作本实施例的发光显示装置中的像素晶体管,所以可以制造图像质量良好(例如,高对比度)且功耗低的发光显示装置。

[0224] 实施例 8

[0225] 接下来,将对显示装置中包括的显示面板的结构示例进行说明。

[0226] 图 21A 表示其中另行形成信号线驱动电路 303 并使它形成在衬底 301 上的像素部 302 连接的显示面板的方式。通过使用实施例 1 等所示的薄膜晶体管形成设置有像素部 302、保护电路 306、以及扫描线驱动电路 304 的元件衬底。信号线驱动电路 303 可由使用单晶半导体的晶体管、使用多晶半导体的晶体管、或使用绝缘体上硅(SOI)的晶体管形成。使用 SOI 的晶体管包括其中在玻璃衬底上设置单晶半导体层的晶体管。电源的电位及各种信号等通过 FPC 305 供给到像素部 302、信号线驱动电路 303、扫描线驱动电路 304 的每一个。可在信号线驱动电路 303 与 FPC 305 之间和 / 或信号线驱动电路 303 与像素部 302 之间设置利用实施例 1 中描述的薄膜晶体管等形成的保护电路。

[0227] 注意,也可以将信号线驱动电路 303 及扫描线驱动电路 304 二者与像素部的像素晶体管形成在单个衬底上。

[0228] 当另行形成驱动电路时,不一定总是将形成有驱动电路的衬底附连到形成有像素部的衬底上,例如也可以附连到 FPC 上。图 21B 示出在只另行形成信号线驱动电路 313 的情况下,在衬底 311 上形成的像素部 312、保护电路 316、以及扫描线驱动电路 314 与 FPC 315 相连接的显示面板的方式。通过使用上述实施例中所说明的薄膜晶体管形成像素部 312、保护电路 316 以及扫描线驱动电路 314。信号线驱动电路 313 通过 FPC 315 及保护电路 316 与像素部 312 连接。电源的电位及各种信号等通过 FPC 315 输入到像素部 312、信号线驱动电路 313、以及扫描线驱动电路 314 中的每一个。

[0229] 另外,也可以通过使用上述实施例所示的薄膜晶体管在形成了像素部的同一个衬底上形成信号线驱动电路的一部分或扫描线驱动电路的一部分,并另行形成其他部分并将其他部分与像素部电连接。图 21C 示出显示面板的该模式,其中将信号线驱动电路所包括的模拟开关 323a 形成在与像素部 322 及扫描线驱动电路 324 相同的衬底 321 上,且将信号线驱动电路所包括的移位寄存器 323b 另行形成在不同的衬底上然后将其附连至衬底 321。使用上述实施例所示的薄膜晶体管形成像素部 322、保护电路 326 及扫描线驱动电路 324。信号线驱动电路中包括的移位寄存器 323b 通过 FPC325 及保护电路 326 与像素部 322 相连接。电源的电位及各种信号等通过 FPC 325 输入到像素部 322、信号线驱动电路、扫描线驱动电路 324 的每一个。

[0230] 如图 21A 至 21C 所示,在本实施例的显示装置中,可以在与像素部相同的一个衬底上形成驱动电路的一部分或全部。设置用于信号线驱动电路和扫描线驱动电路的薄膜晶体管也可以如任一上述实施例所说明地形成。注意,显示装置的结构不局限于上述说明。例如,在不必要的情况下,也可以不设置保护电路。

[0231] 此外,对另行形成的电路的连接方法没有特别的限制,可以使用诸如 COG 方式、引线键合方式或 TAB 方式等已知方法。此外,连接的位置不限于图 21A 至 21C 所示的位置,只

要该位置能建立电连接。另外,也可以另行形成并连接控制器、CPU 或存储器等。

[0232] 注意,信号线驱动电路包括移位寄存器和模拟开关。除了移位寄存器和模拟开关之外,还可以包括诸如缓冲器、电平移动电路、源极跟随器等另一电路。注意,不一定要设置移位寄存器和模拟开关,而且例如可以使用诸如译码器电路的可以选择信号线的不同电路代替移位寄存器,且可以使用锁存器等代替模拟开关。

[0233] 实施例 9

[0234] 可以将由本实施例的薄膜晶体管构成的元件衬底、以及使用该元件衬底的显示装置应用于有源矩阵型显示装置面板。再者,这些元件衬底以及显示装置等可以通过被包含到显示部分中而应用于电子设备。

[0235] 此类电子设备的示例包括诸如摄像机和数字照相机的照相机、头戴式显示器(护目镜型显示器)、汽车导航系统、投影机、汽车音响、个人计算机、便携式信息终端(诸如移动电话计算机、蜂窝电话或电子书阅读器等)等。图 22A 至 22D 示出了这些装置的示例。

[0236] 图 22A 表示电视装置。可以将应用可上述实施例的显示面板组装在框体中来完成电视装置。由显示面板形成主屏 333,并且设置扬声器部 339 及操作开关等作为其他附件。

[0237] 如图 22A 所示那样,在框体 331 中装有利用显示元件的显示面板 332。除通过接收机 335 接收普通的电视广播之外,还可以通过经由调制解调器 334 连接到有线或无线网络的连接进行单向(从发射机到接收机)或双向(在发射机和接收机之间,或者在接收机之间)的信息通讯。可以通过组装在框体中的开关或遥控装置 336 进行电视装置的操作,并且该遥控装置 336 也可以设置有显示输出信息的显示部 337,且该显示部 337 可设置有实施例 1 等的薄膜晶体管。另外,除主屏 333 以外,该显示装置还可包括使用第二显示面板形成的子屏 338,用来显示频道或音量等。在该结构中,可以将实施例 1 等的薄膜晶体管应用于主屏 333 及子屏 338 中的一者或二者。

[0238] 图 23 是说明电视装置的主要结构的框图。显示面板设置有像素部 371。信号线驱动电路 372 和扫描线驱动电路 373 也可以通过 COG 方式安装在显示面板上。

[0239] 作为另一外部电路的结构,可在图像信号的输入侧设置:放大由调谐器 374 接收的信号中的图像信号的图像信号放大电路 375;将从图像信号放大电路 375 输出的信号转换为对应于红、绿、蓝中的每一种颜色的颜色信号的图像信号处理电路 376;以及将该图像信号转换为驱动器 IC 的输入规格的控制电路 377 等。控制电路 377 对扫描线侧和信号线侧分别输出信号。在进行数字驱动的情况下,也可以在信号线侧设置信号分割电路 378,从而将输入数字信号分割成 m 个要输入的分段。

[0240] 由调谐器 374 接收的信号中的音频信号被发送到音频信号放大电路 379,该音频信号放大电路 379 的输出通过音频信号处理电路 380 被输入到扬声器 383。控制电路 381 从输入部 382 接收接收站(所接收频率)或音量的控制信息,并且将信号发送到调谐器 374 和音频信号处理电路 380。

[0241] 注意,本发明不限于电视装置,还可以应用于个人计算机的监视器、或诸如火车站或飞机场等中的信息显示屏、街头上的广告显示屏等大面积显示媒体。

[0242] 如上所说明,通过将实施例 1 等所说明的薄膜晶体管应用于主屏 333 及子屏 338 中的一者或二者,可以制造图像质量高且功耗低的电视装置。

[0243] 图 22B 表示蜂窝电话 341 的一个示例。该蜂窝电话 341 包括显示部 342、操作部

343 等。通过将上述实施例 1 等所说明的薄膜晶体管应用于显示部 342, 可以提高其图像质量并且降低功耗。

[0244] 图 22C 所示的便携型计算机包括主体 351、显示部 352 等。通过将实施例 1 等所说明的薄膜晶体管应用于显示部 352, 可以提高图像质量并且降低其功耗。

[0245] 图 22D 表示台灯, 其包括照明部 361、灯罩 362、可调节臂 (adjustable arm) 363、支柱 364、底座 365、以及电源 366 等。该台灯的照明部 361 利用上述实施例所说明的发光显示装置来形成。通过将实施例 1 等所说明的薄膜晶体管应用于照明部 361, 可以降低其功耗。

[0246] 图 24A 至 24C 表示蜂窝电话的结构示例, 且将具有实施例 1 等所示的薄膜晶体管的元件衬底及具有该元件衬底的显示装置应用于该蜂窝电话的显示部。图 24A 是前视图, 图 24B 是后视图, 图 24C 是展开图。图 24A 至 24C 所示的蜂窝电话包括框体 394 及框体 385 的两个框体。图 24A 至 24C 所示的蜂窝电话 (也称为智能电话) 具备蜂窝电话和便携式信息终端二者的功能, 并且装有计算机, 除了进行声音对话以外还可以进行各种各样的数据处理。

[0247] 框体 394 包括显示部 386、扬声器 387、话筒 388、操作键 389、定位装置 390、前置摄像头 391、外部连接端子插孔 392、耳机端子 393 等, 而框体 385 包括键盘 395、外部存储器插槽 396、背面相机 397、灯 398 等。此外, 天线装在框体 394 内。

[0248] 除上述结构之外, 还可以装有非接触式 IC 芯片或小型储存器件等。

[0249] 在图 24A 中, 框体 394 和框体 385 相重合, 而如图 24C 所示, 框体 394 和框体 385 滑动而展开。可以将实施例 1 等中的显示装置组装于显示部 386 中, 且显示方向根据使用方式适当地变化。注意, 由于在与显示部 386 同一个面上设置了前置摄像头 391, 所以该蜂窝电话可被用作视频电话。通过将显示部 386 用作取景器, 可以利用背面相机 397 以及灯 398 拍摄静态图像以及动态图像。

[0250] 除了声音通话之外, 扬声器 387 和话筒 388 还可以用于视频通话、声音的录音以及再现等用途。利用操作键 389, 可以进行电话的拨打和接收、电子邮件等简单信息的输入、滚屏、以及光标移动等。

[0251] 如果需要处理许多信息, 诸如制作文件、用作便携式信息终端等, 使用键盘 395 是较方便的。相互重合的框体 394 和框体 385 (图 24A) 可滑动, 并如图 24C 那样展开, 从而该蜂窝电话可用作信息终端。另外, 通过使用键盘 395 及定位装置 390, 可以顺利地移动光标。AC 适配器以及诸如 USB 电缆等的各种电缆可连接至外部连接端子插口 392, 藉此可以进行充电及与个人计算机等的通信。此外, 通过向外部存储器插槽 396 插入记录媒体, 可以存储和移动大量的数据。

[0252] 在框体 385 的背面 (图 24B) 设置了背面相机 397 及灯 398, 并且通过将显示部 386 用作取景器可以拍摄静态图像以及动态图像。

[0253] 此外, 除了上述结构之外, 蜂窝电话还可以具有红外线通信功能、USB 端口、数字电视 (one segment) 广播接收功能、非接触式 IC 芯片或耳机插口等。

[0254] 通过将实施例 1 等所说明的薄膜晶体管应用于像素, 可以提高其图像质量并降低功耗。

[0255] 本申请基于 2008 年 4 月 18 日向日本专利局提交的日本专利申请

No. 2008-109657, 该申请的全部内容通过引用包含于此。

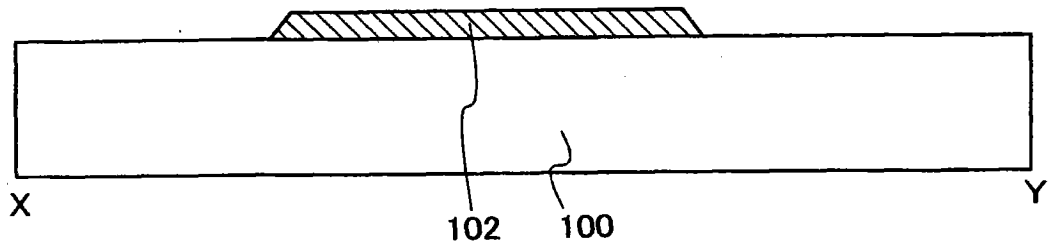


图 3A

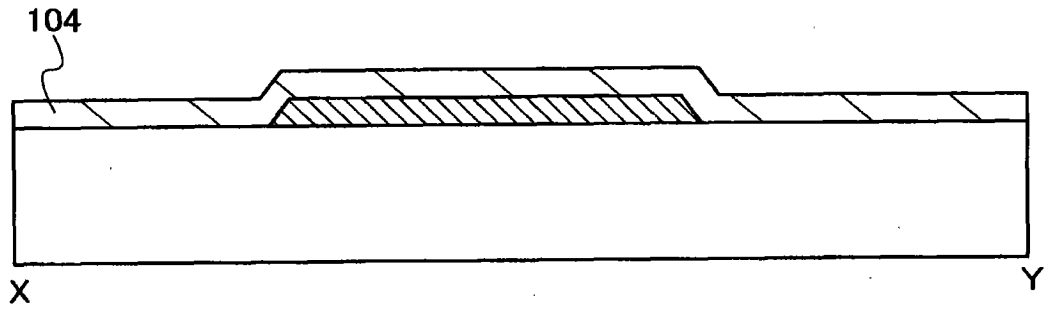


图 3B

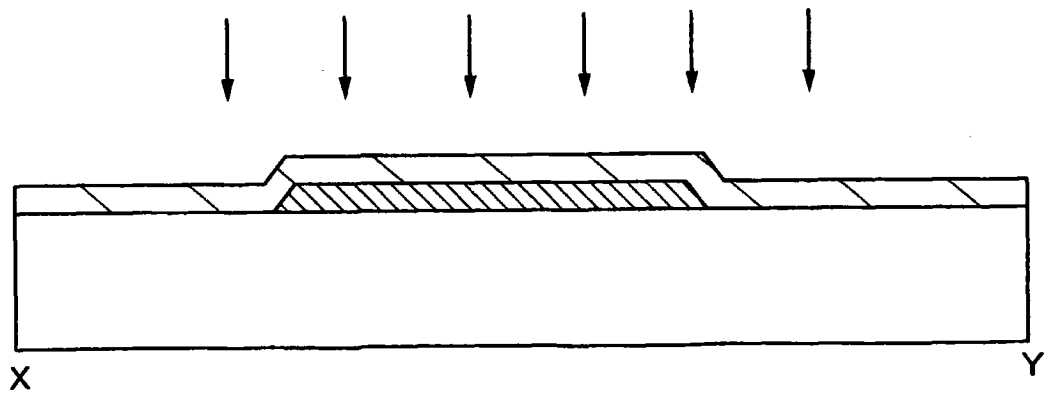


图 3C

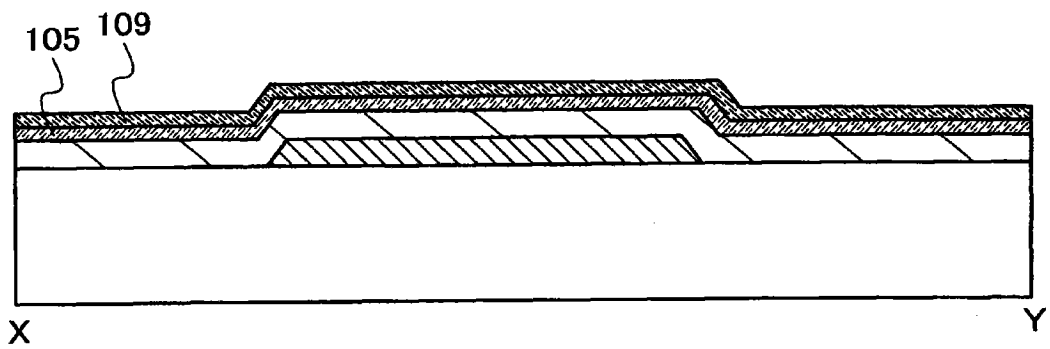


图 4A

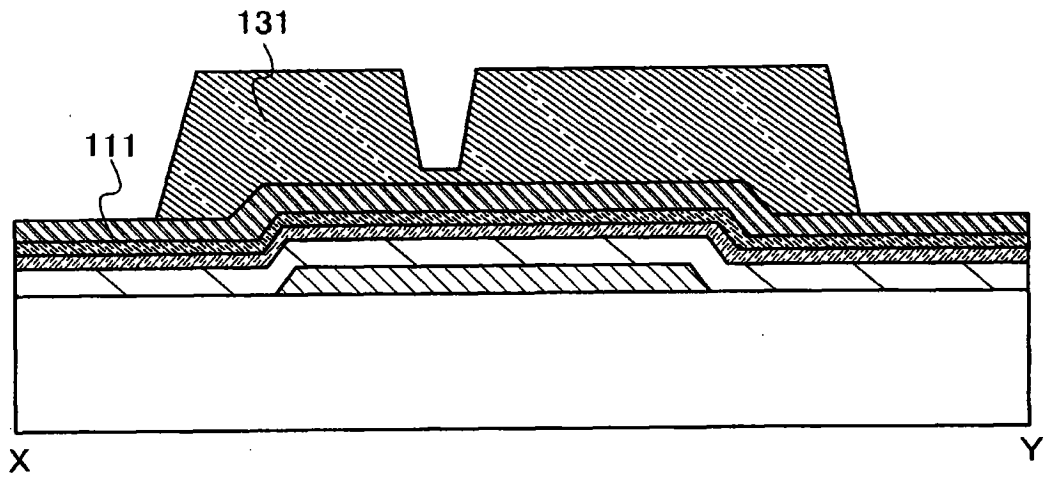


图 4B

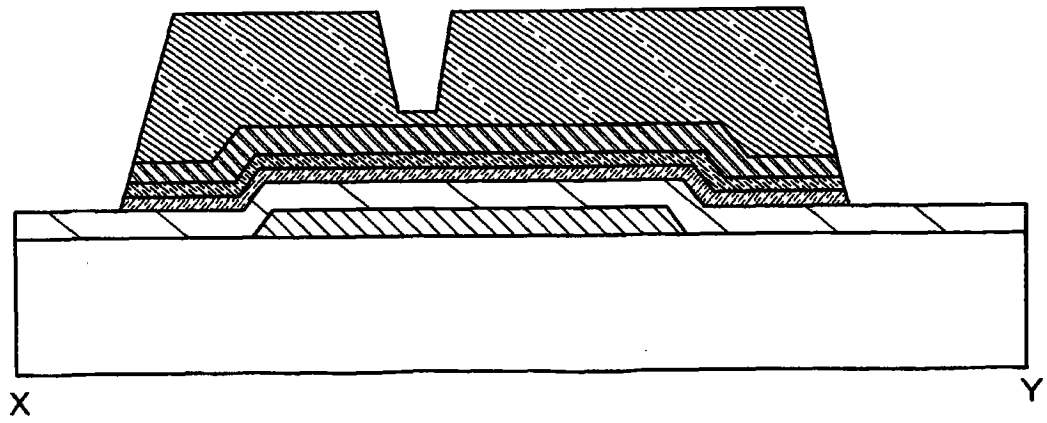


图 4C

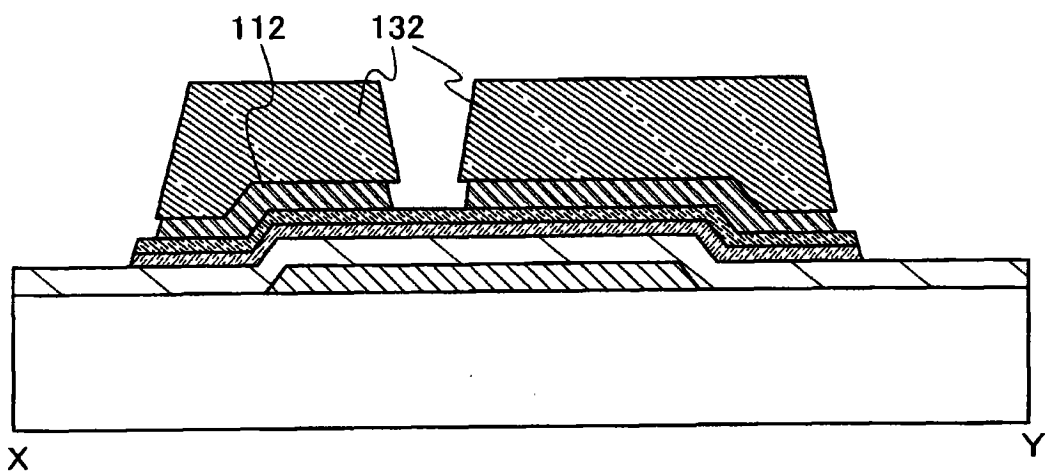


图 5A

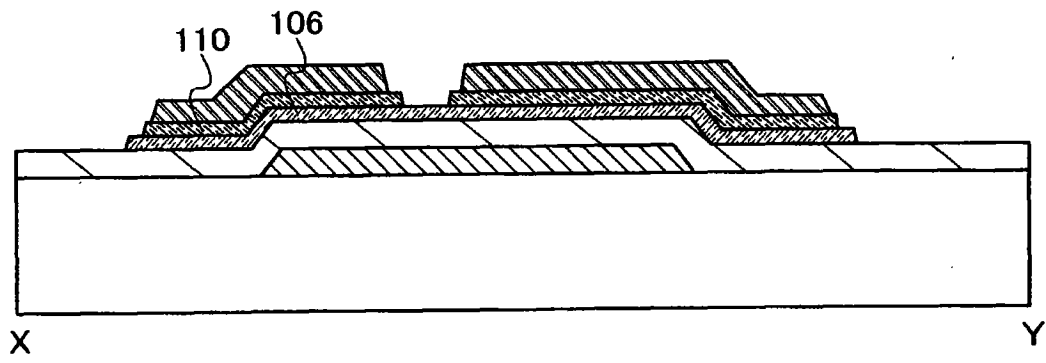


图 5B

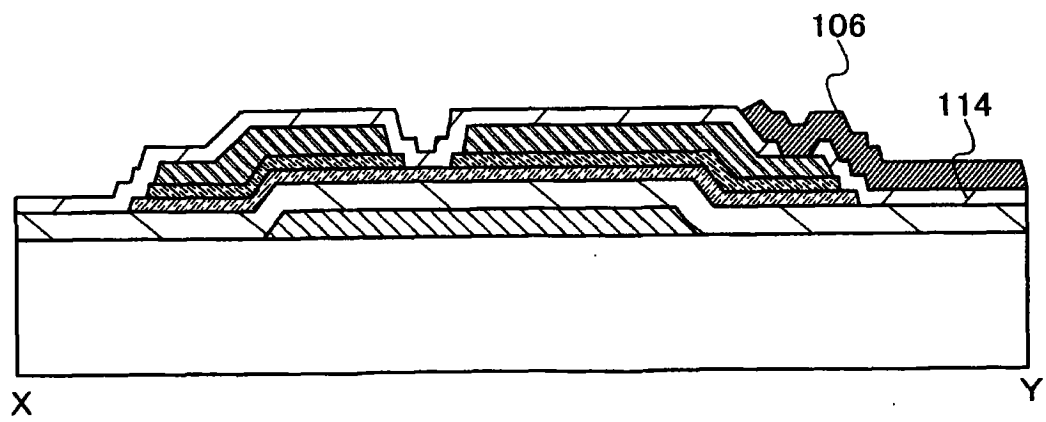


图 5C

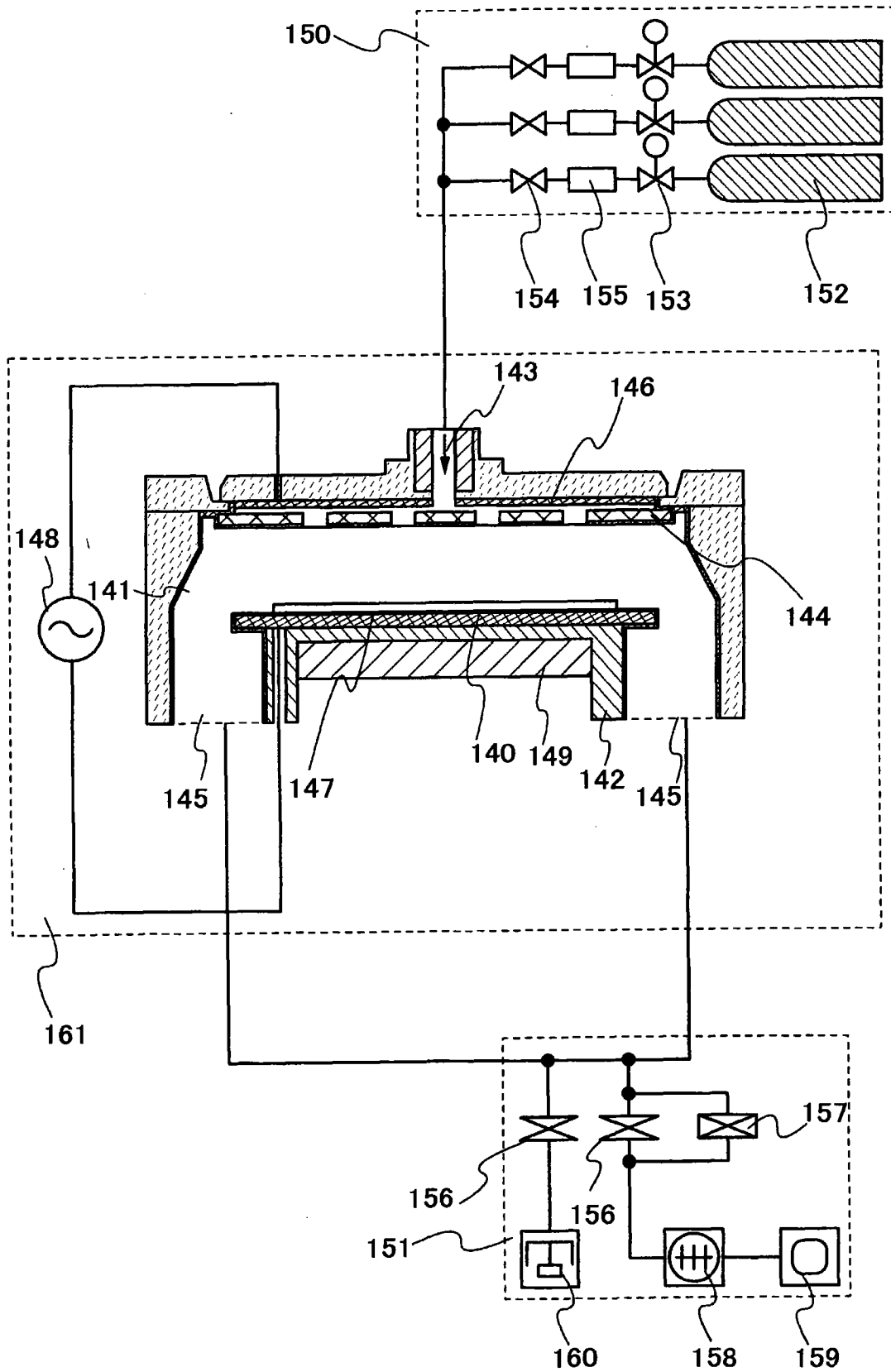


图 6

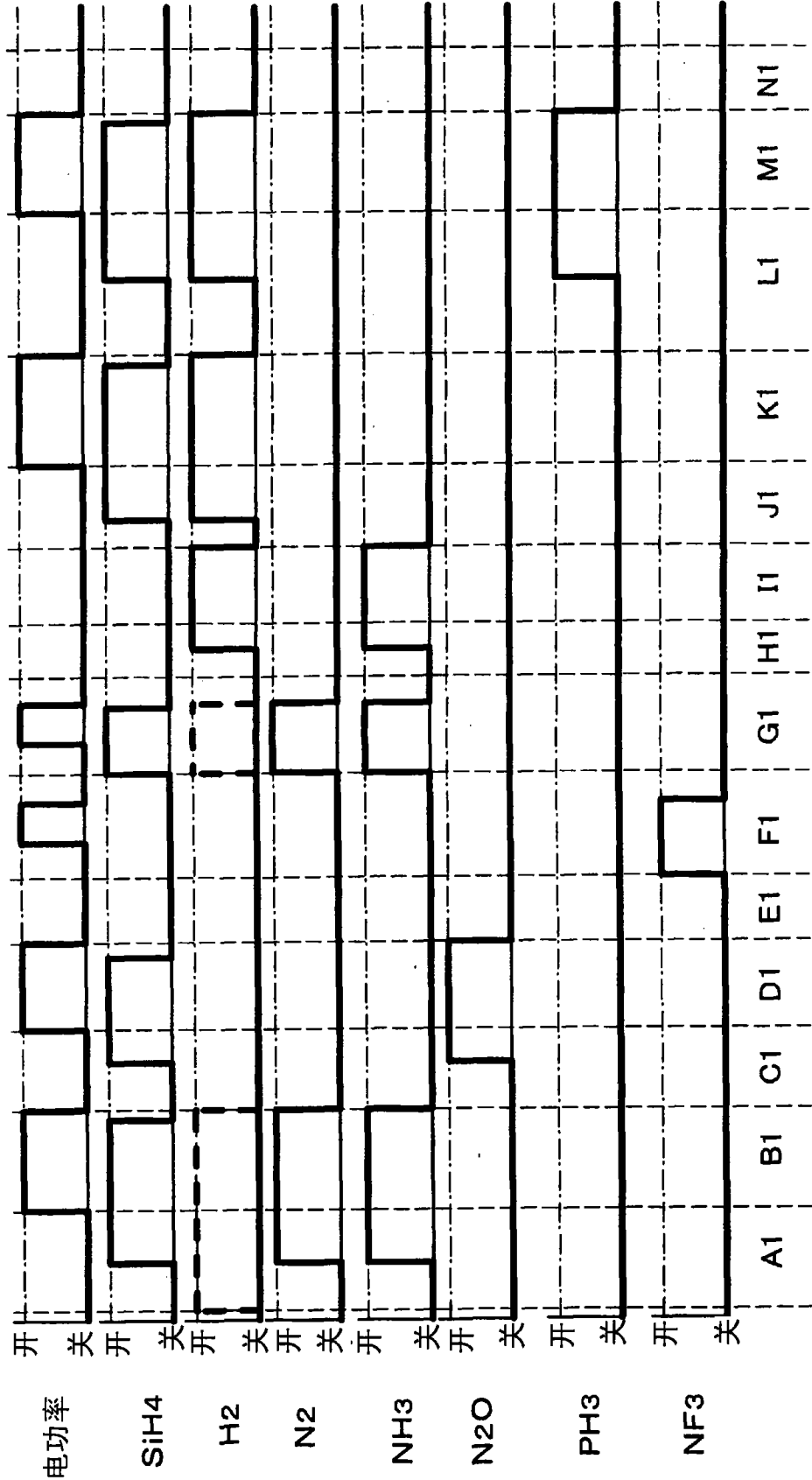


图 7

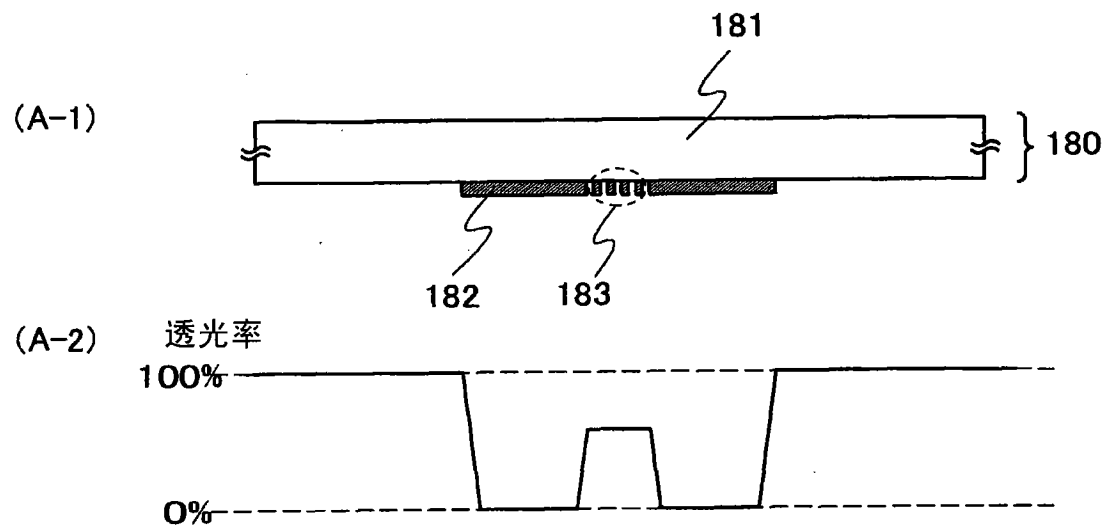


图 8A

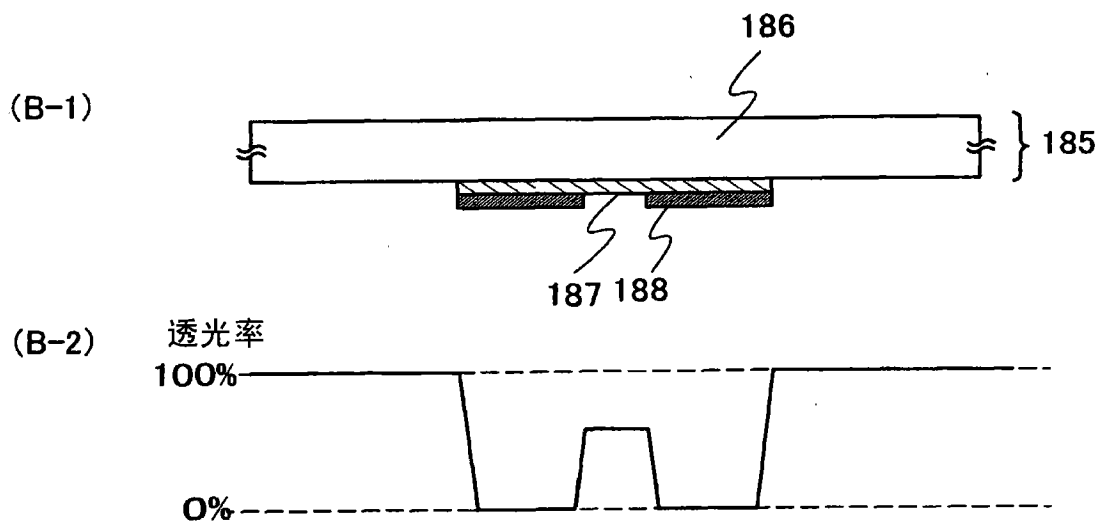


图 8B

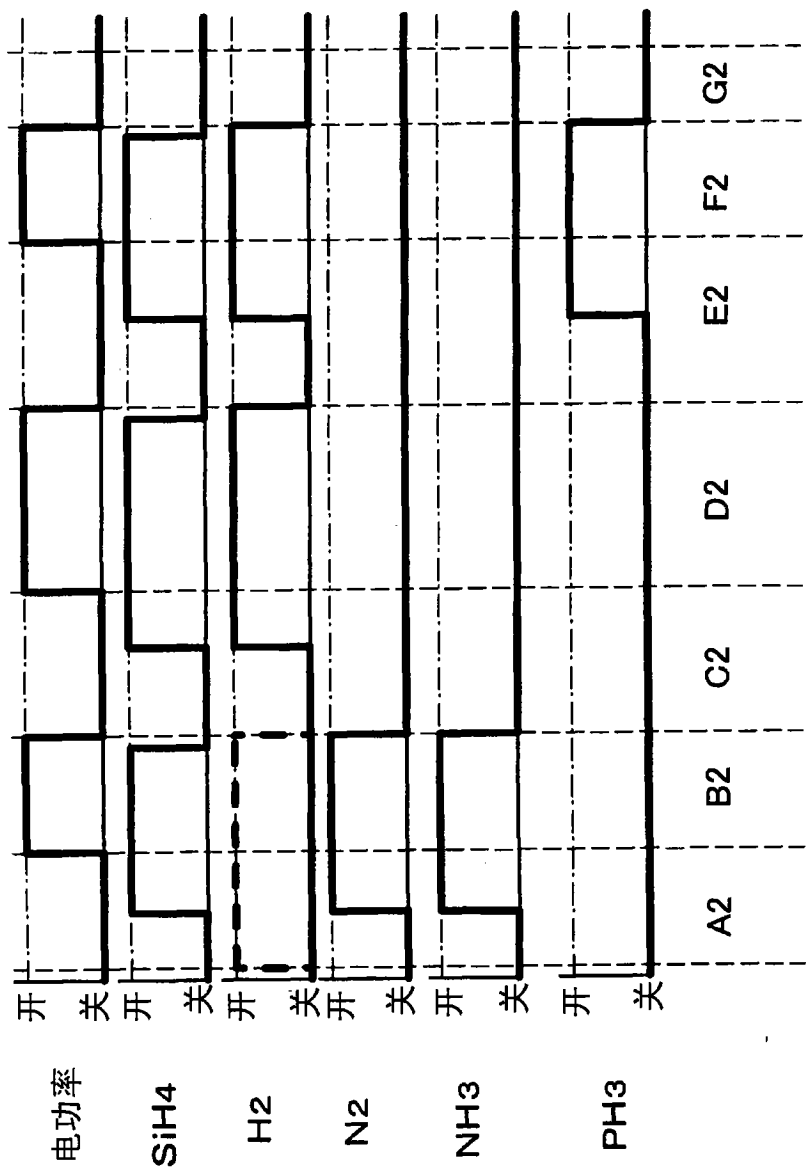


图 9

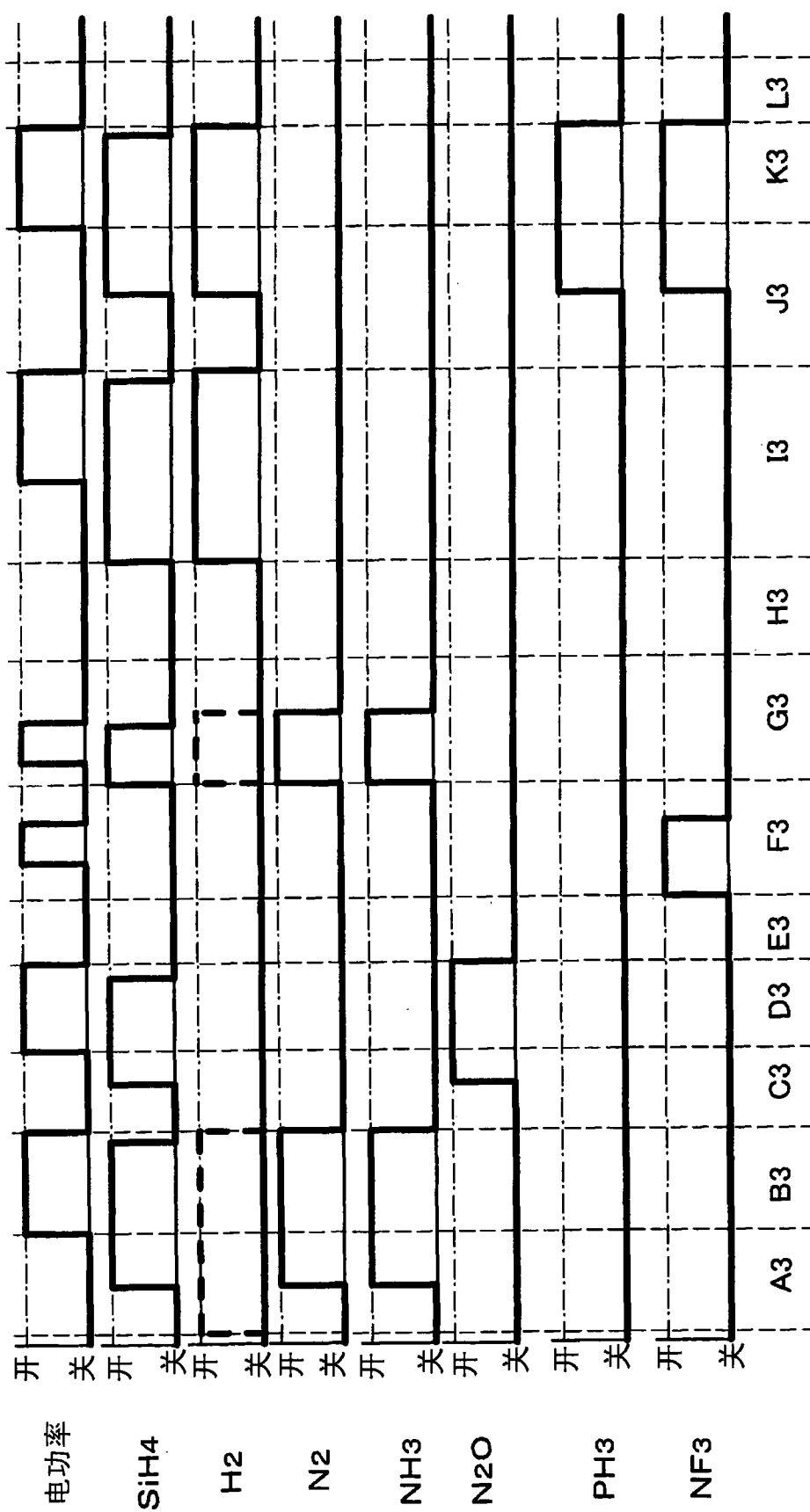


图 10

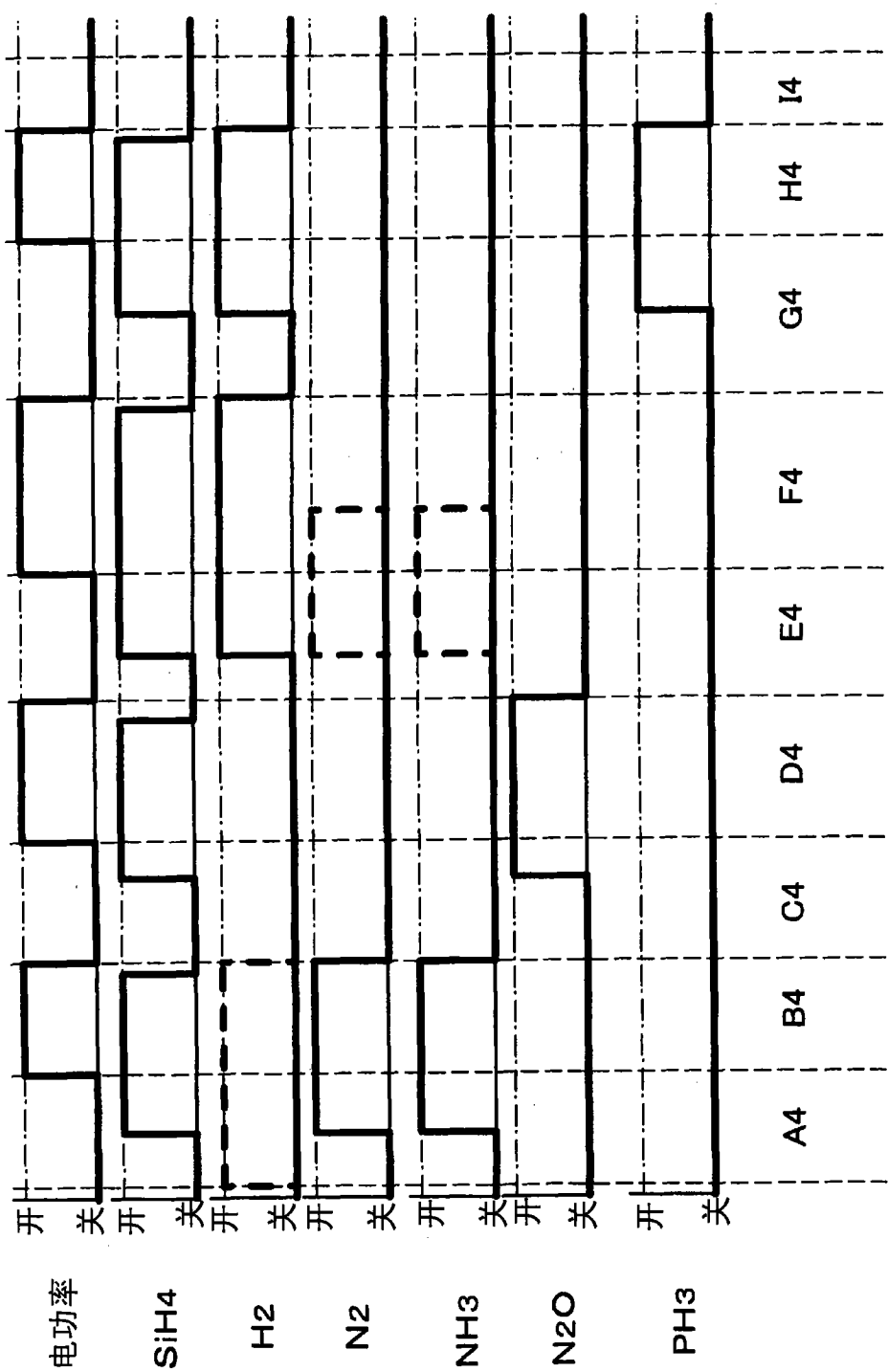


图 11

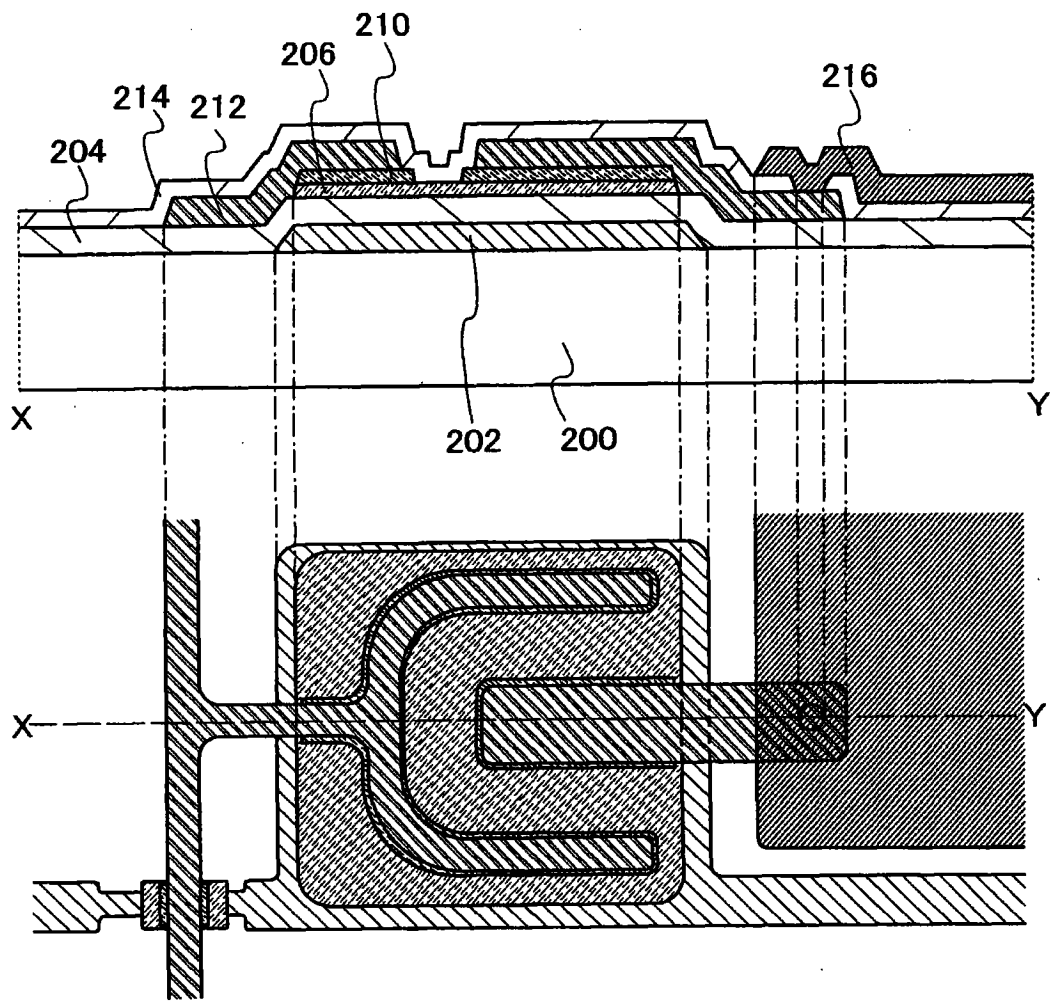


图 12

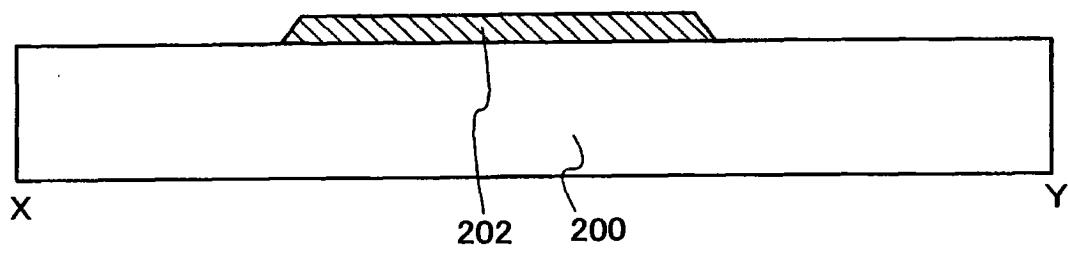


图 13A

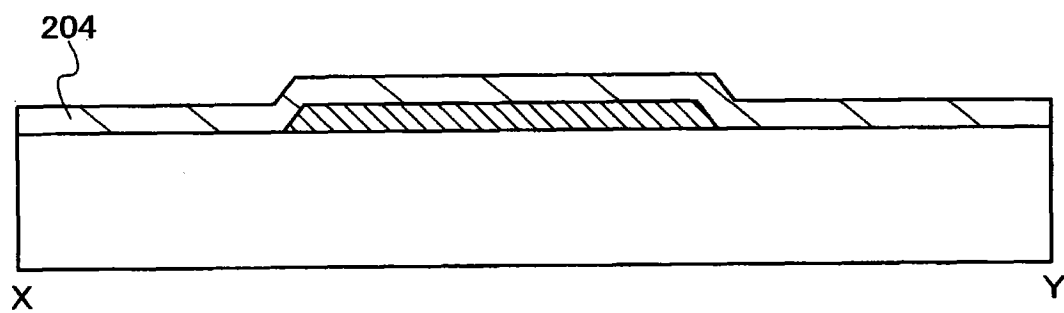


图 13B

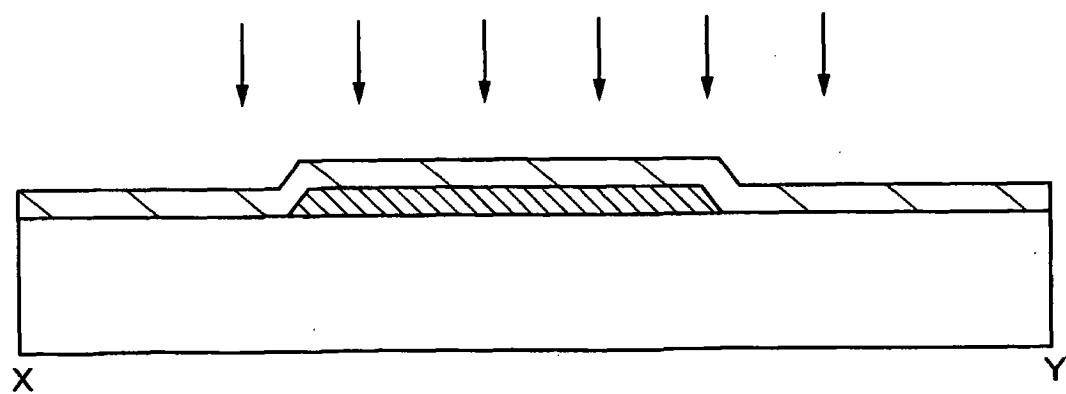


图 13C

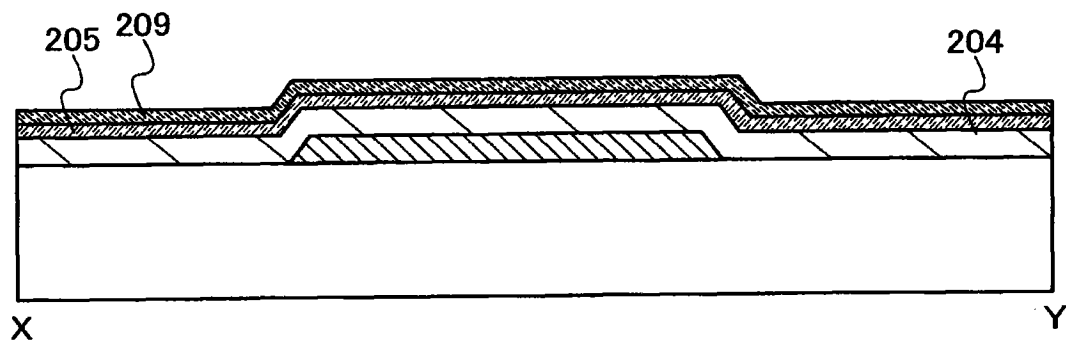


图 14A

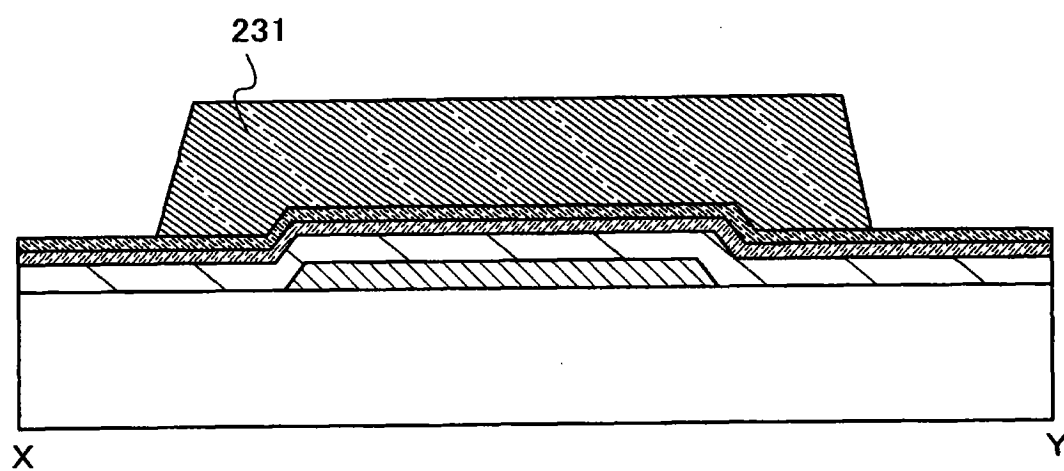


图 14B

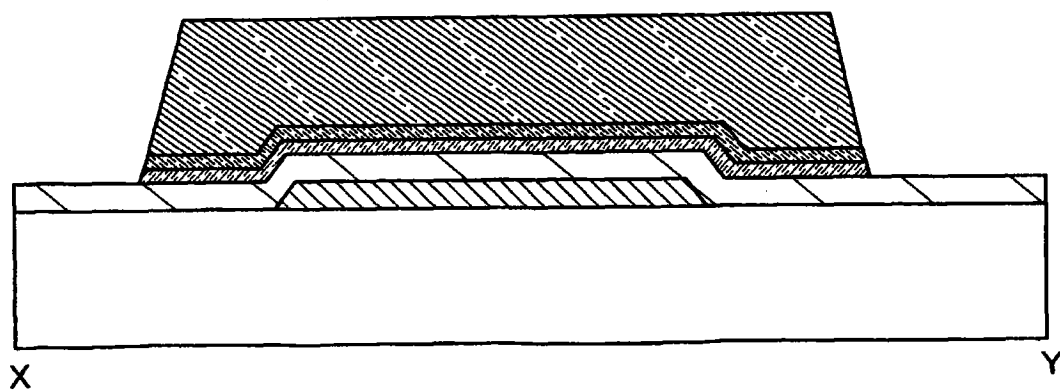


图 14C

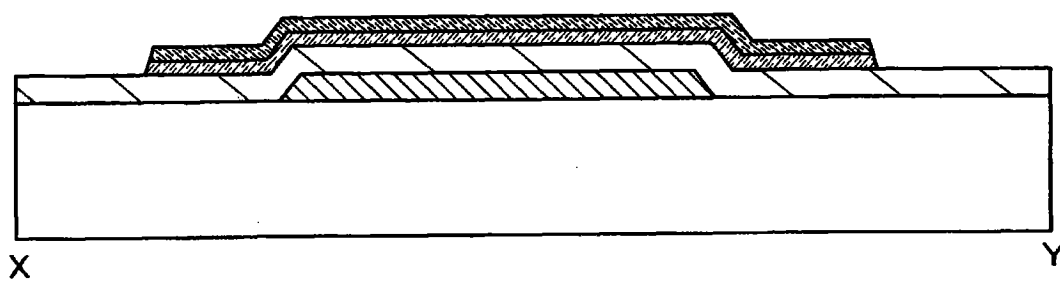


图 15A

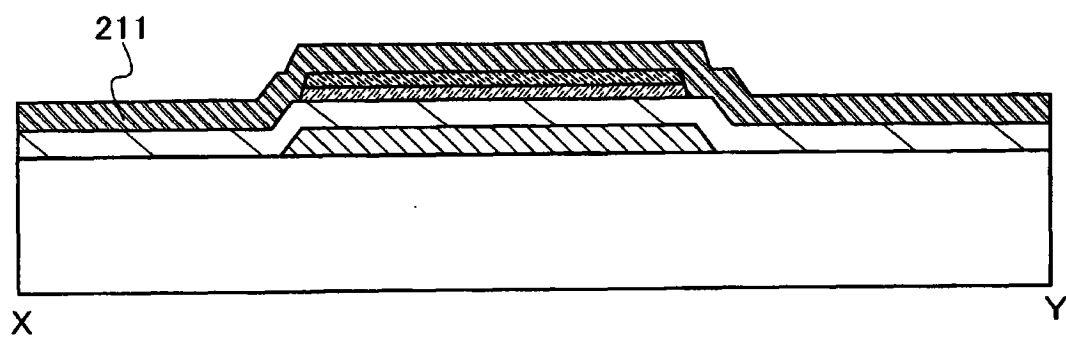


图 15B

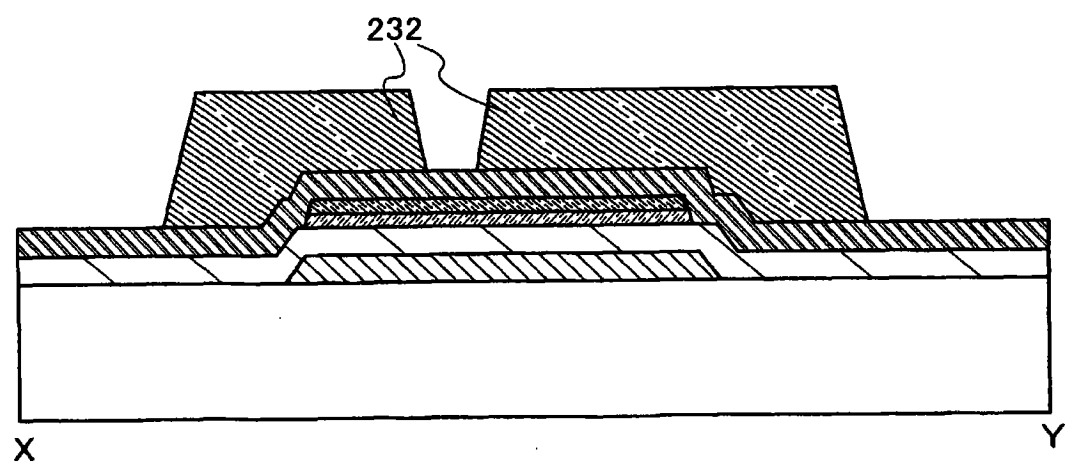


图 15C

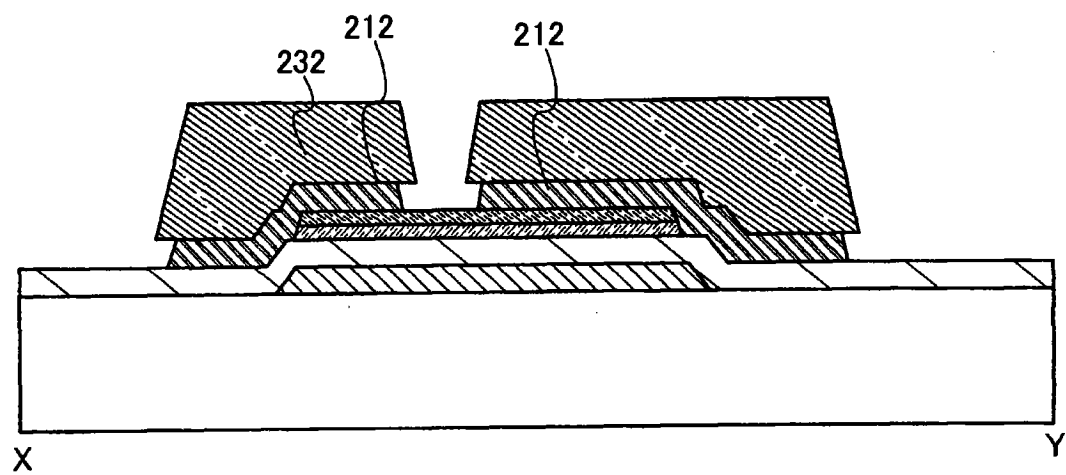


图 16A

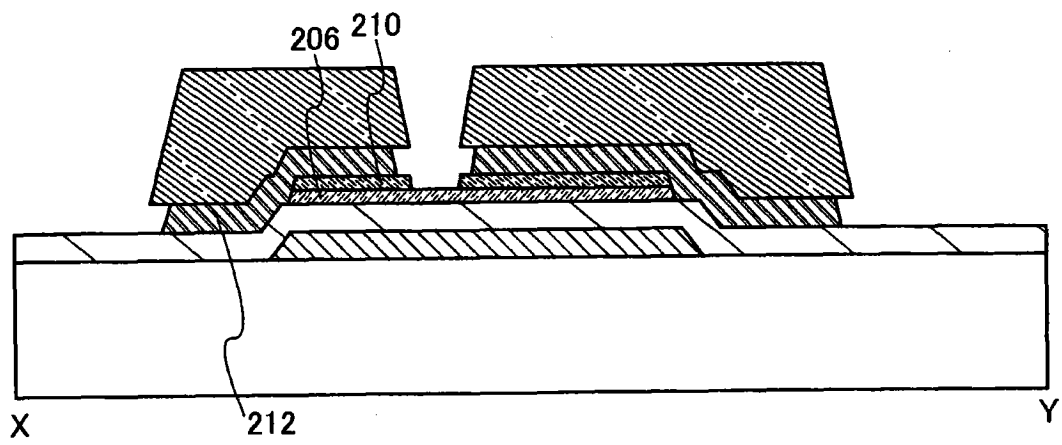


图 16B

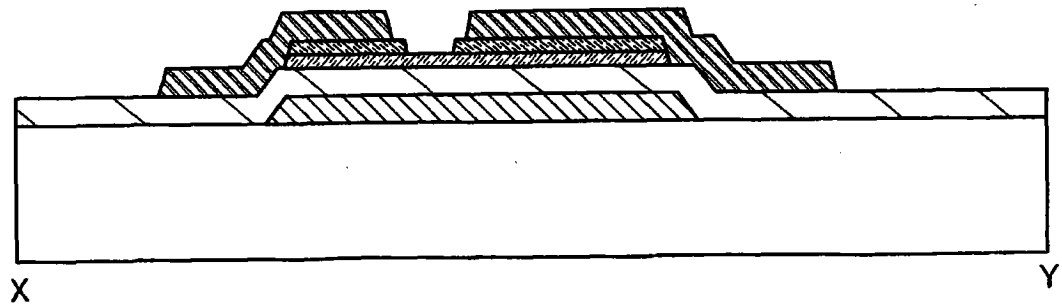


图 16C

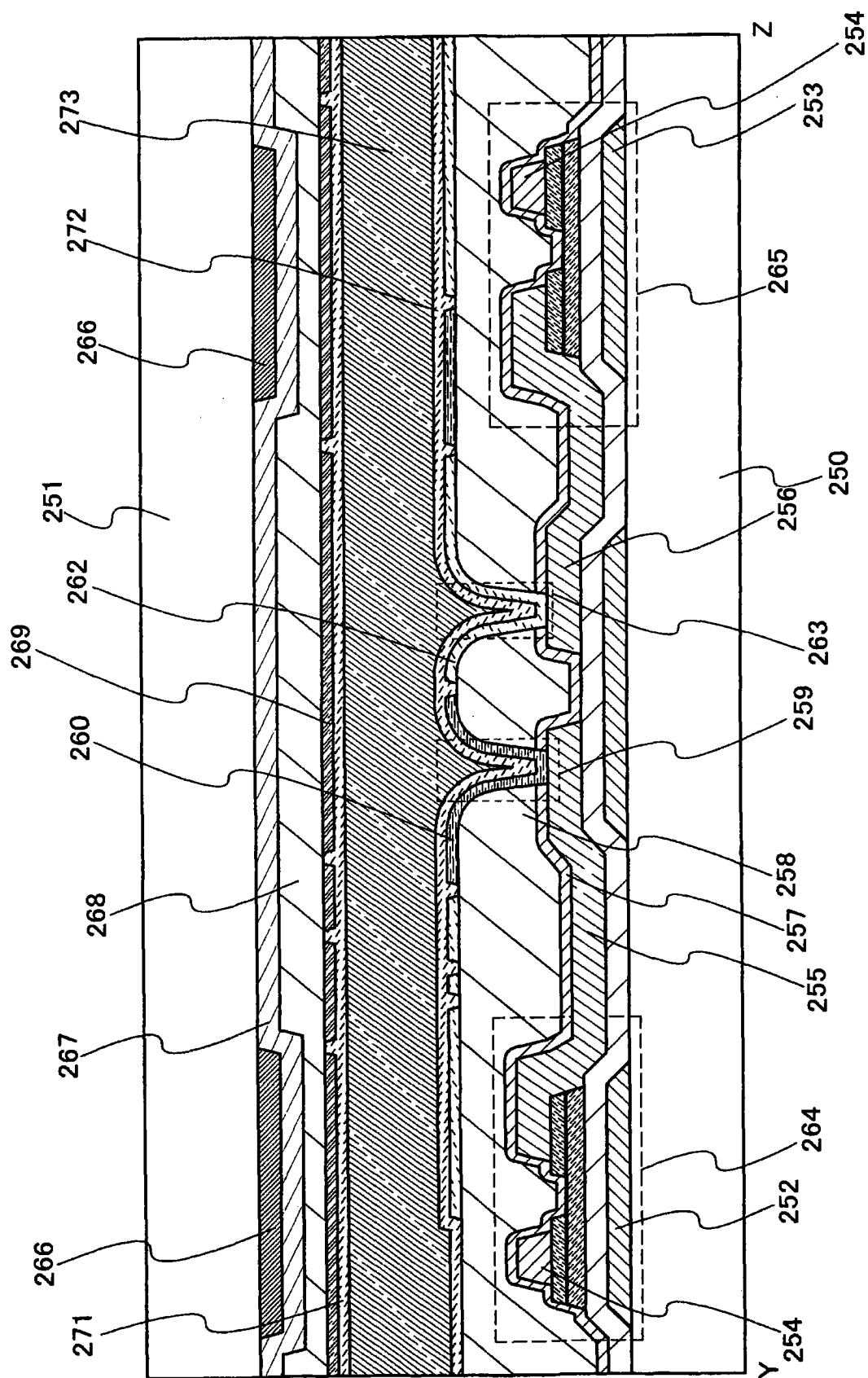


图 17

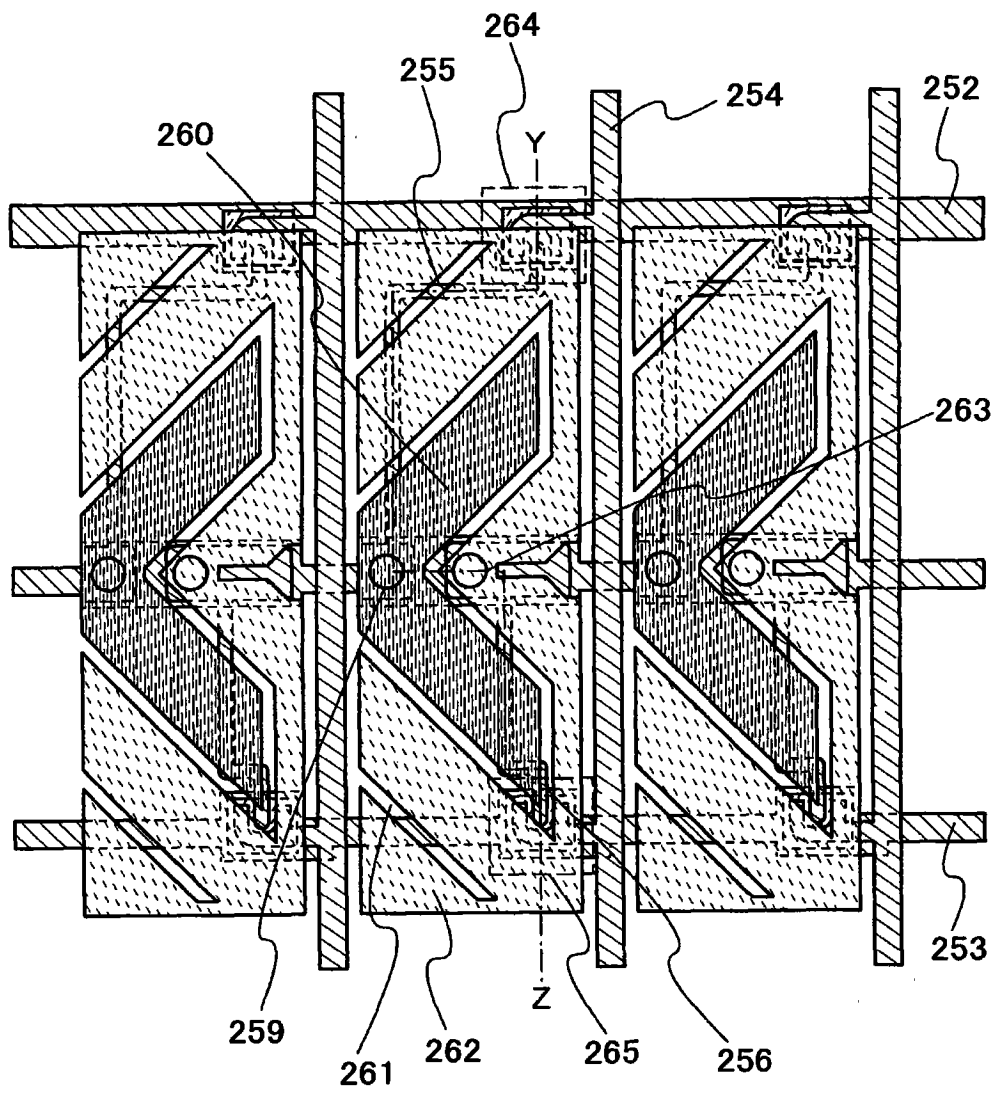


图 18

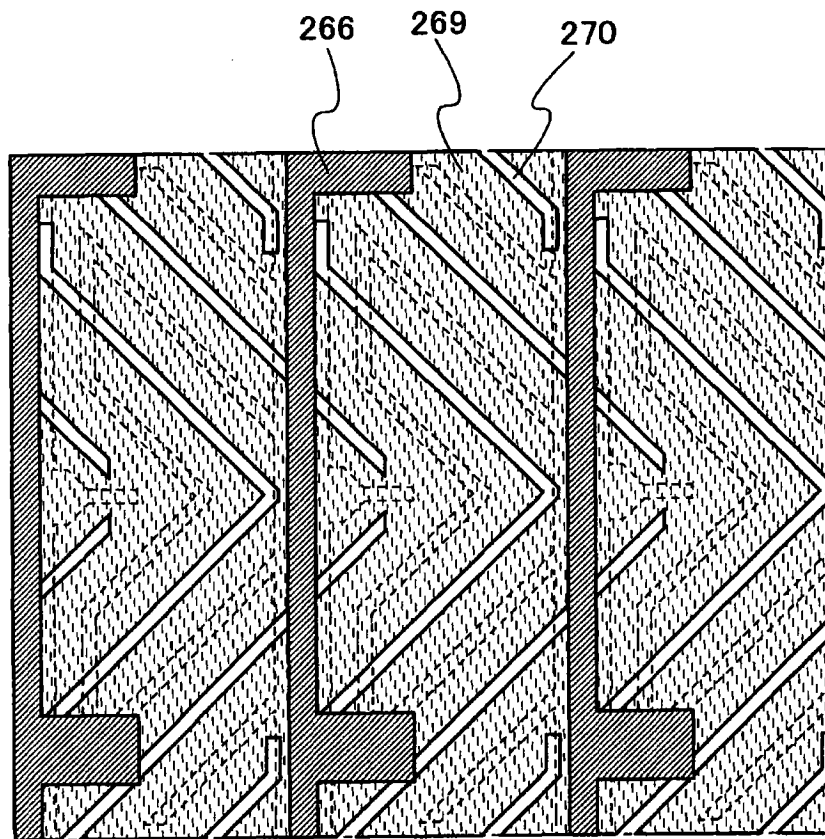


图 19

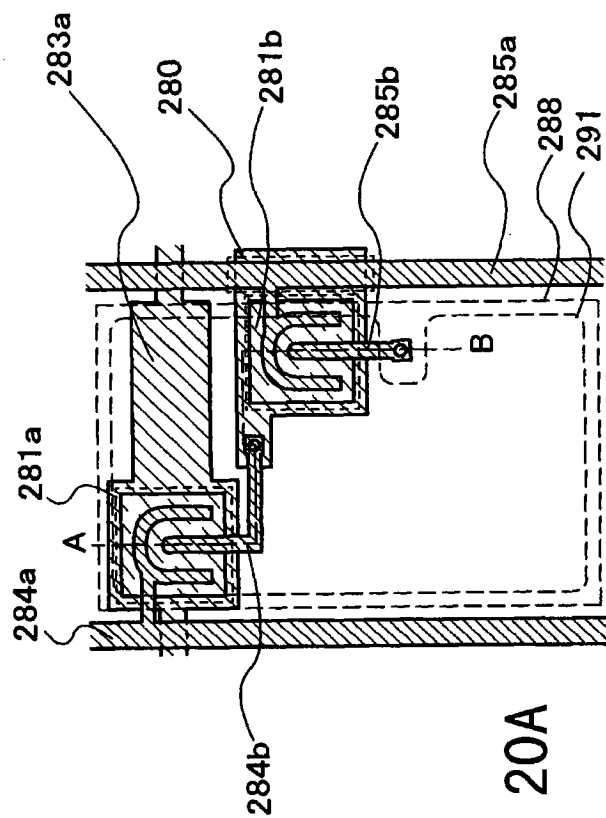


图 20A

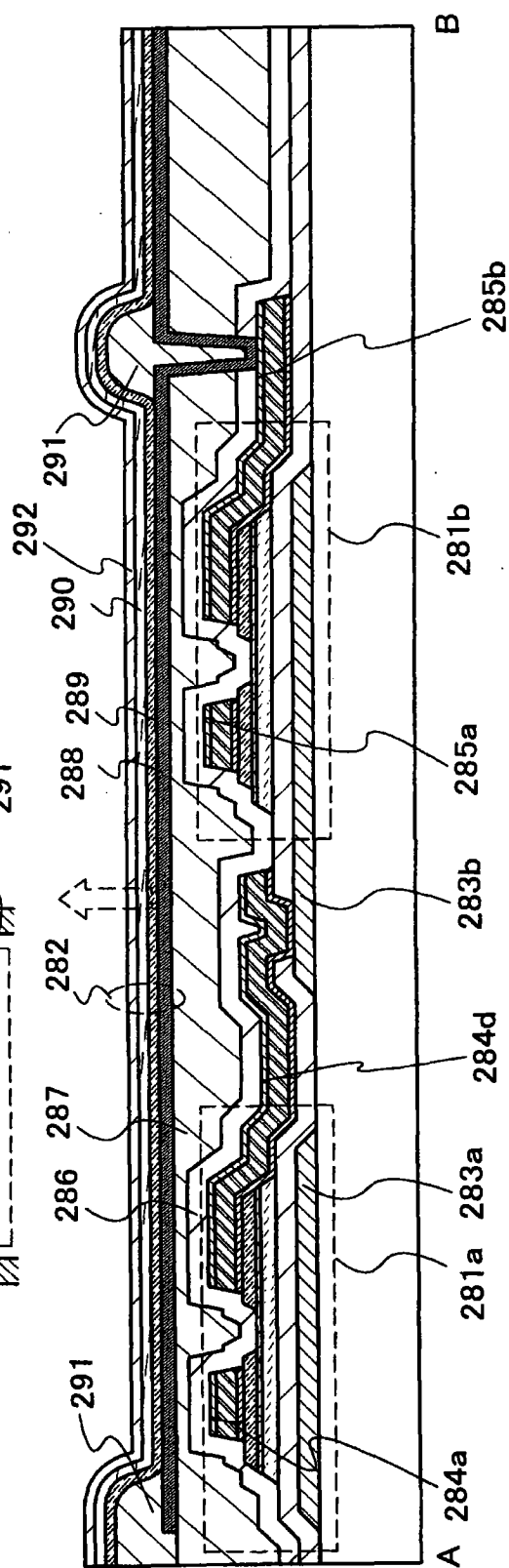


图 20B

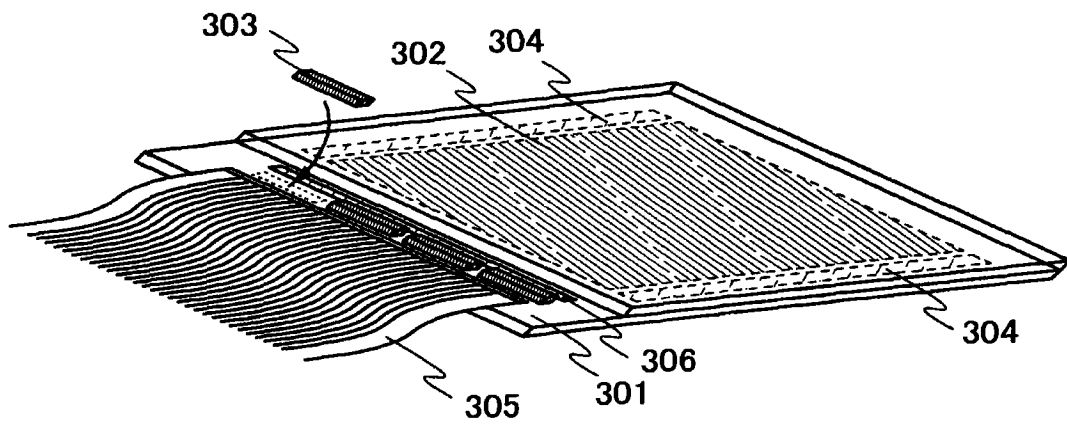


图 21A

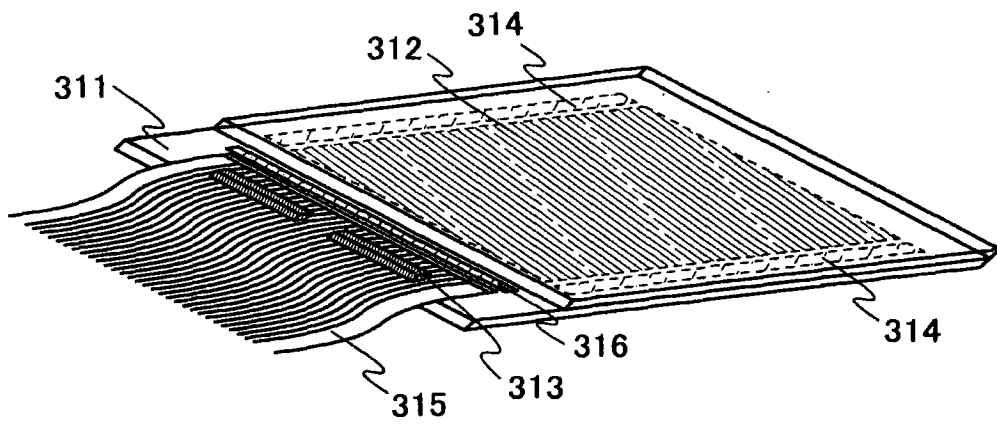


图 21B

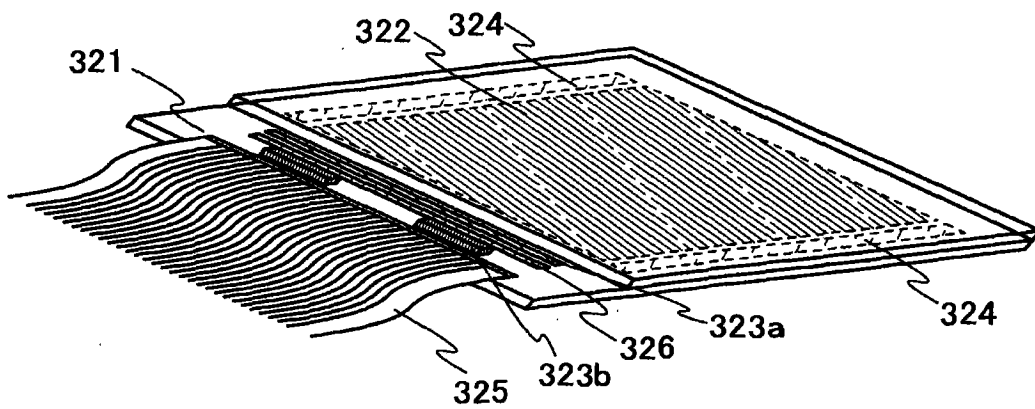


图 21C

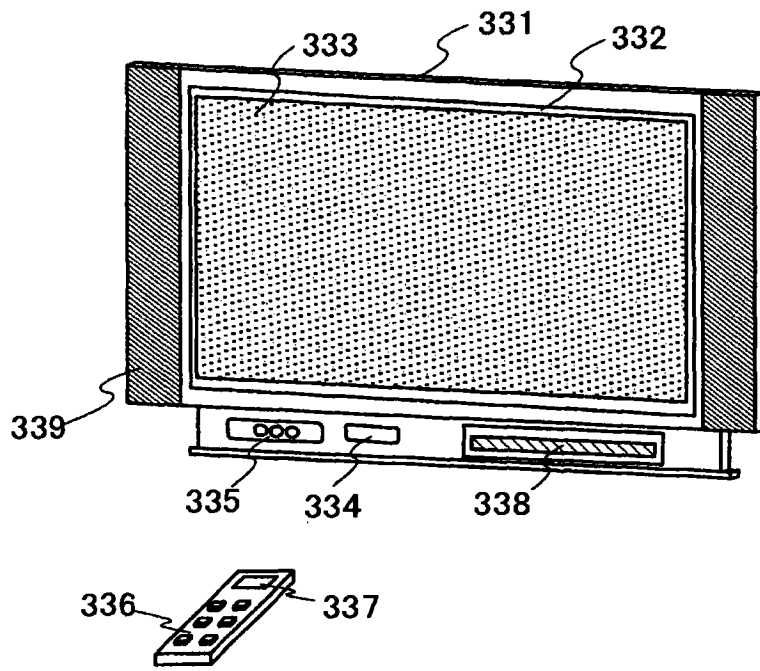


图 22A

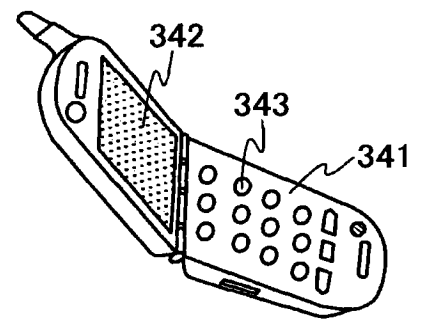


图 22B

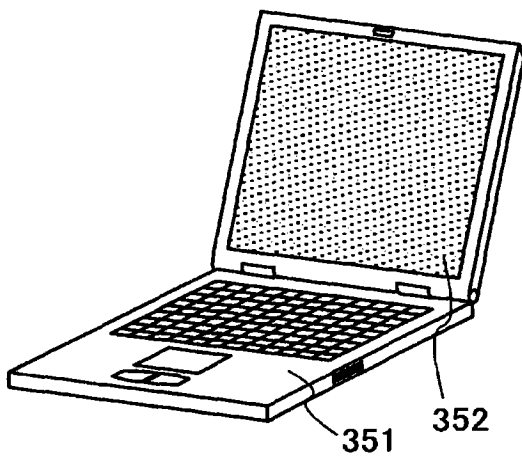


图 22C

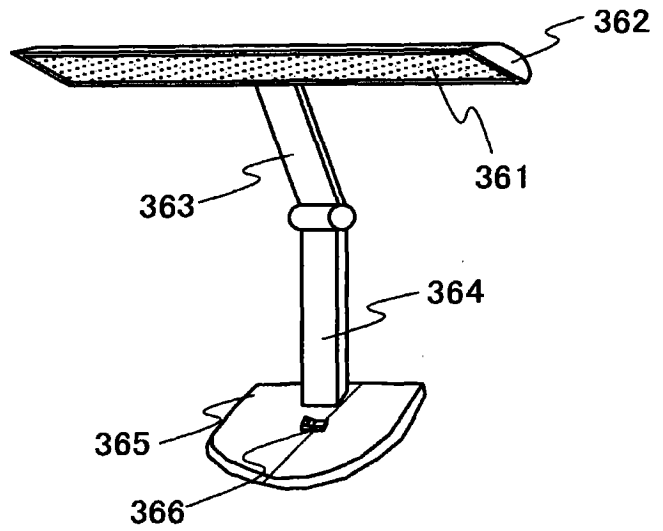


图 22D

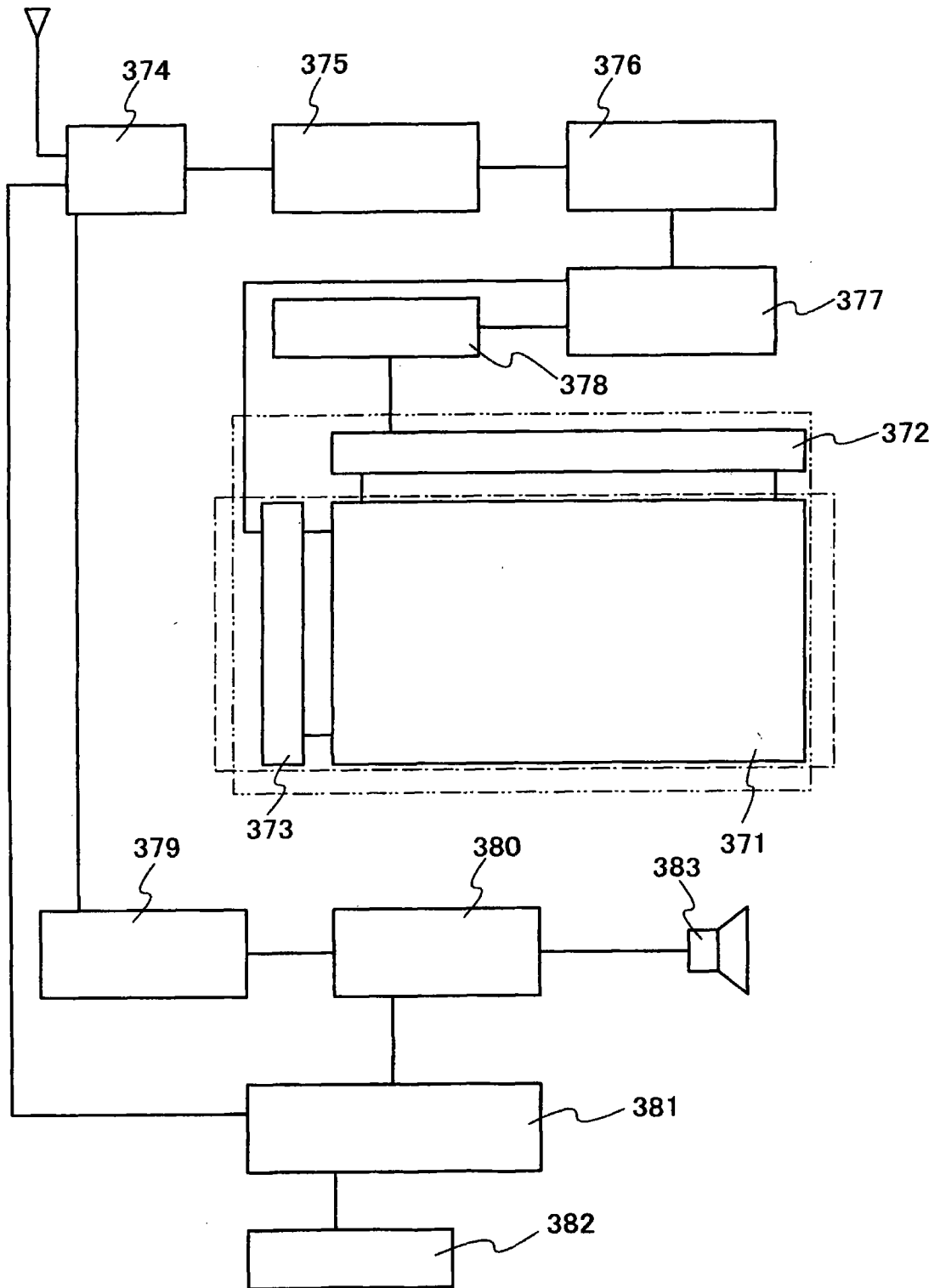


图 23

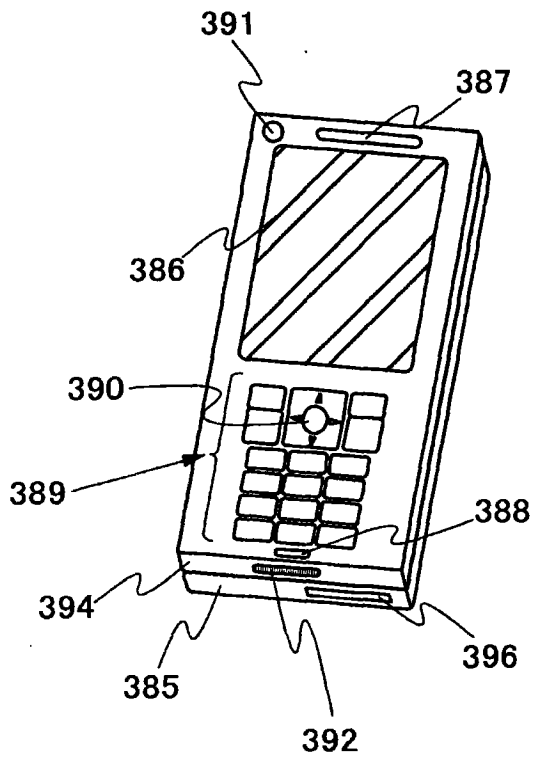


图 24A

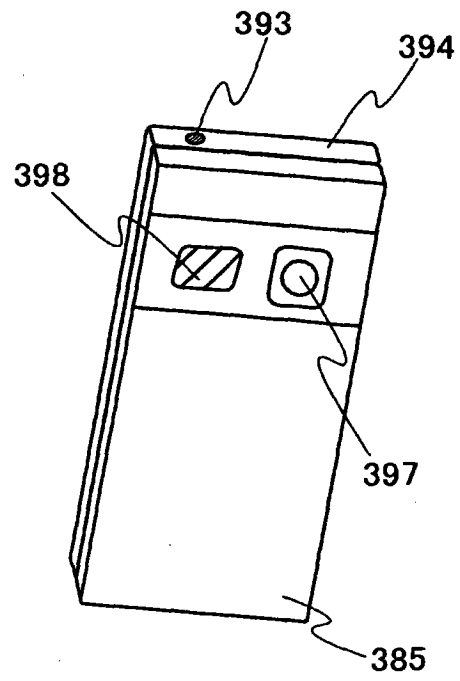


图 24B

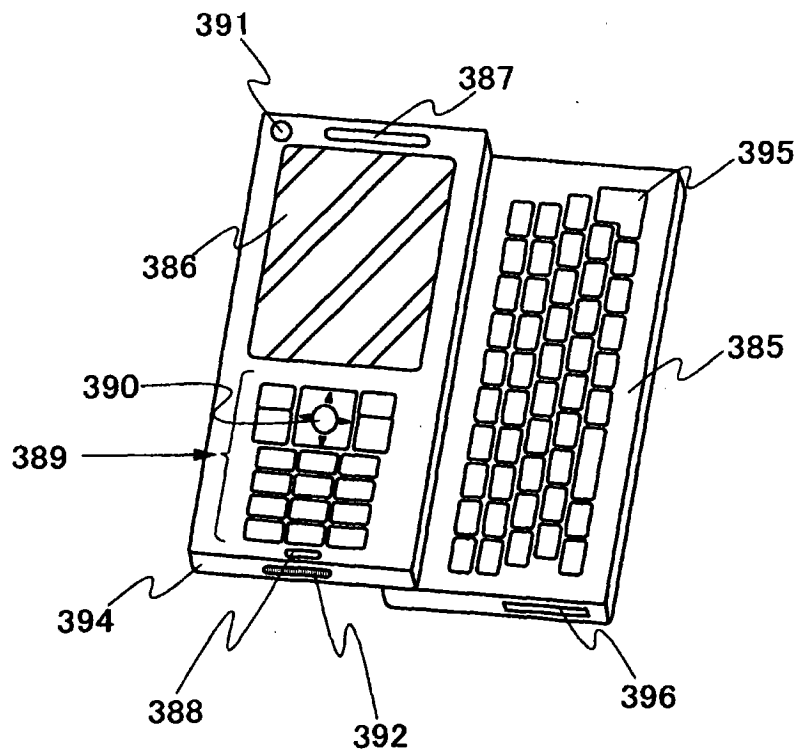


图 24C

附图标记说明

100: 衬底, 102: 栅电极层, 104: 栅极绝缘层, 105: 半导体层, 106: 半导体层, 109: 包含作为供体的杂质元素的半导体层, 110: 源区及漏区, 111: 导电层, 112: 布线层, 114: 绝缘层, 116: 像素电极层, 120: 第一区域, 121: 晶粒, 122: 第二区域, 131: 第一抗蚀剂掩模, 132: 第二抗蚀剂掩模, 141: 处理室, 142: 载物台, 143: 气体供应部, 144: 簇射极板, 145: 排气口, 146: 上部电极, 147: 下部电极, 148: 交流电源, 149: 温度控制部, 150: 气体供应装置, 151: 排气装置, 152: 气缸, 153: 压力调节阀, 154: 停止阀, 155: 质量流量控制器, 156: 蝶阀, 157: 导气阀, 158: 涡轮分子泵, 159: 干燥泵, 160: 低温泵, 161: 等离子体 CVD 装置, 180: 灰色调掩模, 181: 衬底, 182: 遮光部, 183: 衍射光栅部, 185: 半色调掩模, 186: 衬底, 187: 半透光部, 188: 遮光部, 200: 衬底, 202: 栅电极层, 204: 栅极绝缘层, 205: 半导体层, 206: 半导体层, 209: 包含作为供体的杂质元素的半导体层, 210: 源区及漏区, 211: 导电层, 212: 布线层, 214: 绝缘层, 216: 像素电极层, 231: 第一抗蚀剂掩模, 232: 第二抗蚀剂掩模, 250: 衬底, 251: 对置衬底, 252: 栅电极, 253: 栅电极, 254: 布线, 255: 布线, 256: 布线, 257: 绝缘层, 258: 平坦化膜,

259: 开口, 260: 像素电极, 261: 狭缝, 262: 像素电极, 263: 开口, 264: 薄膜晶体管, 265: 薄膜晶体管, 266: 遮光膜, 267: 着色膜, 268: 平坦化膜, 269: 对置电极, 270: 狭缝, 271: 取向膜, 272: 取向膜, 273: 液晶层, 280: 电容器, 281a: 薄膜晶体管, 281b: 薄膜晶体管, 282: 发光元件, 283a: 扫描线, 283b: 栅电极, 284a: 信号线, 284b: 布线, 285a: 电源线, 285b: 布线, 286: 绝缘层, 287: 平坦化膜, 288: 阴极, 289: EL 层, 290: 阳极, 291: 隔离壁, 292: 保护绝缘膜, 301: 衬底, 302: 像素部, 303: 信号线驱动电路, 304: 扫描线驱动电路, 305: FPC, 306: 保护电路, 311: 衬底, 312: 像素部, 313: 信号线驱动电路, 314: 扫描线驱动电路, 315: FPC, 316: 保护电路, 321: 衬底, 322: 像素部, 323a: 模拟开关, 323b: 移位寄存器, 324: 扫描线驱动电路, 325: FPC, 326: 保护电路, 331: 框体, 332: 显示面板, 333: 主屏, 334: 调制解调器,

335: 接收机, 336: 遥控装置, 337: 显示部, 338: 子屏, 339: 扬声器部, 341: 蜂窝电话, 342: 显示部, 343: 操作部, 351: 主体, 352: 显示部, 361: 照明部, 362: 灯罩, 363: 可调节臂, 364: 支柱, 365: 底座, 366: 电源, 371: 像素部, 372: 信号线驱动电路, 373: 扫描线驱动电路, 374: 调谐器, 375: 图像信号放大电路, 376: 图像信号处理电路, 377: 控制电路, 378: 信号分割电路, 379: 音频信号放大电路, 380: 音频信号处理电路, 381: 控制电路, 382: 输入部, 383: 扬声器, 385: 框体, 386: 显示部, 387: 扬声器, 388: 话筒, 389: 操作键, 390: 定位装置, 391: 前置摄像头, 392: 外部连接端子插孔, 393: 耳机端子, 394: 框体, 395: 键盘, 396: 外部存储器插槽, 397: 背面相机, 398: 灯。